

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5586887号  
(P5586887)

(45) 発行日 平成26年9月10日 (2014.9.10)

(24) 登録日 平成26年8月1日 (2014.8.1)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 S
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 3 A
	HO 1 L 29/78 6 5 2 D
	HO 1 L 29/78 6 5 2 C
請求項の数 20 (全 16 頁) 最終頁に続く	

(21) 出願番号	特願2009-169693 (P2009-169693)	(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成21年7月21日 (2009.7.21)	(74) 代理人	100100310 弁理士 井上 学
(65) 公開番号	特開2011-23675 (P2011-23675A)	(74) 代理人	100098660 弁理士 戸田 裕二
(43) 公開日	平成23年2月3日 (2011.2.3)	(72) 発明者	清水 悠佳 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
審査請求日	平成24年2月24日 (2012.2.24)	(72) 発明者	横山 夏樹 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
		審査官	土谷 慎吾
			最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体基板と、  
 前記半導体基板の裏面に接続されている第1の主電極と、  
 前記半導体基板上に形成されている前記半導体基板よりも低い濃度の第1導電型のエピタキシャル層と、  
 前記エピタキシャル層中に形成されている第2導電型のボディ領域と、  
 前記ボディ領域上に形成されている前記エピタキシャル層よりも高い濃度の第1導電型のソース層と、  
 前記ボディ領域と接続し前記半導体基板表面に形成されている第2導電型のボディ接続層と、  
 前記ソース層および前記ボディ接続層に接続されている第2の主電極と、  
 前記ボディ領域と前記ソース層を貫くように形成されているトレンチと、  
 前記トレンチの側壁および底部に形成されているゲート絶縁膜と、  
 前記トレンチ内部に形成されている第3の主電極と、を備え、  
 前記半導体基板および前記エピタキシャル層の材質が炭化珪素であり、  
 前記トレンチとトレンチで挟まれている前記ボディ領域の幅が少なくとも2種類以上あり、  
 前記ボディ領域幅が狭い領域のほうが前記ボディ領域幅が広い領域に比べボディ領域の濃度が低く、かつ前記ボディ領域幅が広い領域のほうが前記ボディ接続層に比べ濃度が低

10

20

く、

前記ボディ領域の幅が狭い領域の幅が、両側の第3の主電極から前記ゲート絶縁膜を介して延びる最大空乏層幅の和よりも狭いことを特徴とする半導体装置。

【請求項2】

前記ボディ領域のうちゲート絶縁膜に近い領域の濃度がゲート絶縁膜から離れた領域の濃度よりも濃度が低いことを特徴とする請求項1記載の半導体装置。

【請求項3】

前記ボディ領域の幅が狭い領域の幅が、0.1 μm以上0.5 μm以下であることを特徴とする請求項1記載の半導体装置。

【請求項4】

前記ボディ領域の幅が広い領域において、前記ソース層および前記ボディ接続層のコンタクトをとることを特徴とする請求項1記載の半導体装置。

【請求項5】

前記ボディ領域の幅が広い領域と前記ボディ領域の幅が狭い領域がともに長方形をなして互いに直行することを特徴とする請求項1記載の半導体装置。

【請求項6】

前記ボディ領域の幅が広い領域が長方形または正方形をなし格子状に配置されており、前記ボディ領域の幅が広い領域を互いに接続するように前記ボディ領域の幅が狭い領域が配置されていることを特徴とする請求項1記載の半導体装置。

【請求項7】

前記ドーパントがアルミニウムであることを特徴とする請求項1記載の半導体装置。

【請求項8】

(a) 第1導電型のエピタキシャル層が形成されている、前記エピタキシャル層よりも高い濃度の第1導電型の半導体基板を準備する工程、

(b) 前記エピタキシャル層中に第2導電型のボディ領域を形成する工程、

(c) 前記ボディ領域上に 前記エピタキシャル層よりも高い濃度の第1導電型のソース層を形成する工程、

(d) 前記ボディ領域と接続するように前記半導体基板表面に第2導電型のボディ接続層を形成する工程、

(e) 前記ボディ領域と前記ソース層を貫くようにトレンチを形成する工程、

(f) 前記トレンチの側壁および底部にゲート絶縁膜を形成する工程、を含み、

前記半導体基板および前記エピタキシャル層の材質が炭化珪素であり、

前記トレンチとトレンチで挟まれた前記ボディ領域の幅を少なくとも2種類以上異なる幅に形成し、

前記ボディ領域幅が狭い領域のほうが前記ボディ領域幅が広い領域に比べボディ領域の濃度が低く、かつ前記ボディ領域幅が広い領域のほうが前記ボディ接続層に比べ濃度が低くなるようにドーパントをイオン注入し、

前記ボディ領域の幅が狭い領域の幅が、両側の第3の主電極から前記ゲート絶縁膜を介して延びる最大空乏層幅の和よりも狭いことを特徴とする半導体装置の製造方法。

【請求項9】

前記ボディ領域のうちゲート絶縁膜に近い領域の濃度がゲート絶縁膜から離れた領域の濃度よりも濃度が低いことを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】

前記ボディ領域の幅が狭い領域の幅が、0.1 μm以上0.5 μm以下であることを特徴とする請求項8記載の半導体装置の製造方法。

【請求項11】

前記ボディ領域の幅が広い領域において、前記ソース層および前記ボディ接続層のコンタクトをとることを特徴とする請求項8記載の半導体装置の製造方法。

【請求項12】

前記ボディ領域の幅が広い領域と前記ボディ領域の幅が狭い領域がともに長方形をなし

10

20

30

40

50

ていて互いに直行することを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 1 3】

前記ボディ領域の幅が広い領域が長方形または正方形をなし格子状に配置されており、前記ボディ領域の幅が広い領域を互いに接続するように前記ボディ領域の幅が狭い領域が配置されていることを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 1 4】

前記ドーパントがアルミニウムであることを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 1 5】

前記ボディ領域幅が広い領域の深さは前記第3の主電極の底面よりも浅いことを特徴とする請求項 1 記載の半導体装置。

10

【請求項 1 6】

前記ボディ領域幅が広い領域の深さは前記第3の主電極の底面よりも浅いことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 1 7】

前記トレンチの前記ボディ領域の幅が狭い領域に接する幅が略 2  $\mu\text{m}$ であることを特徴とする請求項 1 記載の半導体装置。

【請求項 1 8】

前記トレンチの前記ボディ領域の幅が狭い領域に接する幅が略 2  $\mu\text{m}$ であることを特徴とする請求項 8 記載の半導体装置の製造方法。

20

【請求項 1 9】

前記ソース層の不純物がリンであることを特徴とする請求項 1 記載の半導体装置。

【請求項 2 0】

前記ソース層を形成する工程で、不純物としてリンを注入することを特徴とする請求項 8 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、UMOSFETを形成しても、耐圧を落とすことなく閾値電圧を下げるができるパワー半導体素子に関するものである。

30

【背景技術】

【0 0 0 2】

半導体パワー素子においてオン抵抗と耐圧は基板材料のバンドギャップで規定されるトレードオフの関係にある。そのため、パワー素子として広く用いられているシリコン素子の性能を超えるためには、シリコンよりもバンドギャップが大きな基板材料を用いることが有効である。特に、炭化珪素(SiC)は、シリコンに比べバンドギャップが約3倍と十分大きいこと、p型およびn型の導電型を容易に形成できること、熱酸化により酸化膜を形成できることなどの特長を有することから、高性能のMOSFET(Metal - Oxide - Semiconductor Field Effect Transistor)などの素子が実現できる可能性があり大きな注目を集めている。

40

【0 0 0 3】

パワー素子の中で縦型パワーMOSFETはスイッチング特性が優れており幅広い分野で用いられている。縦型パワーMOSFETには大きく分けてDMOSFETとUMOSFETの2種類がある。DMOSFETは基板表面にチャンネルを持つ構造で構造が単純なため比較的製造が容易で耐圧も出やすいが、セルピッチが大きくチャンネル抵抗が大きい。一方、UMOSFETはトレンチ側壁にチャンネルを持つ構造で比較的製造が難しいがセルピッチが小さくチャンネル抵抗が小さいという特長を持つ。そのため、シリコンの場合でもDMOSFETからUMOSFETへ移行してきた経緯がある。

【0 0 0 4】

しかしながら、炭化珪素にUMOSFETを適用すると、チャンネル移動度が非常に小さいとい

50

う大きな問題がある。原因としては、炭化珪素を熱酸化すると界面に炭素が残留して界面準位を形成してしまうということと、ドライエッチングにより形成したトレンチ側壁面が滑らかになりにくいということが挙げられるが、これらはどちらもシリコンの場合と大きく異なる点である。界面準位が増えると界面にトラップされたチャージによるクーロン散乱が増え、トレンチ側壁面が滑らかでないで界面のラフネスによる散乱が増える。これらによりチャネル移動度は大きく低下する。

【0005】

これらの要因はプロセスの改善によりある程度は改善可能であるが、シリコンと同等まで改善することは困難である。それは、基板中に炭素が存在することから界面から炭素を完全に除去することは困難であること、炭化珪素が硬くて加工しにくくさらに再結晶化しにくいなどシリコンと大きく物性が異なることなどによるものである。

10

【0006】

チャネル移動度が低い場合、他の手段によりチャネル抵抗を低減することは可能である。例えば、チャネル長を短くする、チャネルを形成するpボディ領域の濃度を下げ閾値電圧を下げるなどの対策が考えられる。しかしながら、チャネル長を短くすると、ドリフト層とソース領域が近くなるためOFF状態でパンチスルーしやすくなり耐圧が低下する。また、pボディ領域の濃度を下げるとOFF状態でpボディ領域に空乏層が伸びやすくなるため同じく耐圧が低下する。

【0007】

一方で、耐圧を落とさずに閾値電圧を下げる手段として、pボディ領域のうちトレンチ側壁近傍のみを低濃度にするという構造が知られている。閾値電圧に影響する酸化膜界面付近のみを低濃度にするにより、耐圧を落とすことなく閾値電圧を下げるができる。本構造の形成方法としては、n型不純物のイオン注入により表面のp濃度を下げる方法と、トレンチ側壁へのエピタキシャル成長によりn型不純物を形成する方法がある。前者はイオン注入によりチャネルにダメージを与えるため、移動度の低下だけでなく酸化膜信頼性の劣化を招くという大きな問題がある。後者はインプロセスエピが必要であるが、ドライエッチングで形成した荒れた面へのエピは難しく、コスト的および技術的課題が多い状況である。

20

【0008】

ソース領域とドリフト層の間でパンチスルーしにくい構造としては、特許文献1にダブルゲート型のDMOSFETの記載がある。本構造は図1に示されているとおり、基板面と水平方向に伸びたチャネルを上下ふたつのゲートで挟み込む構造となっており、下側のゲートによりチャネルに電界がかかるのをブロックすることでソース領域とドリフト層の間でパンチスルーしにくくなっている。しかしながら、本構造ではチャネルが横方向であるためセルピッチが広がることで十分集積度を上げることができず、結果として十分オン抵抗を低くすることができないのが現状である。また、下側のゲート電極を埋め込むのはプロセス的にコストがかかるという問題もある。また、本文献にはpボディの寸法、pボディ幅とドーパント濃度の関係等については一切記載されていない。

30

【0009】

同様に、構造はパワーMOSFETとは異なるが、ソース・ドレイン間でパンチスルーしにくくしかつ電流を増加させる構造として、特許文献2にダブルゲート構造のTFT(Thin Film Transistor)の記載があり、ゲート電極の間隔を2000オングストローム(0.2 $\mu$ m)とする記載がある。また、チャネル部の厚さの薄いダブルゲート構造のTFTではチャネルの全領域が反転し、オン電流の増加が期待でき、短チャネル化してもオフ電流が増加しない、等の記載がある(0006-7段落、0017段落、図1参照)。しかしながら、本文献は縦型パワーMOSFETに関する技術を開示するものではなく、UMOSFETのチャネル形成領域の両側に形成されたトレンチとトレンチで挟まれたボディ領域の幅とドーパントの濃度との関係等については記載されていない。

40

【先行技術文献】

【特許文献】

50

## 【 0 0 1 0 】

【特許文献 1】特許第3319215号公報

【特許文献 2】特開平05-110091号公報

【発明の概要】

【発明が解決しようとする課題】

## 【 0 0 1 1 】

上記のように、UMOSFETを形成しようとする、チャネル移動度が低く、耐圧を落とすことなく閾値電圧を下げる有効な手段が現状ではないことが課題である。

【課題を解決するための手段】

## 【 0 0 1 2 】

本発明は、UMOSFETにおいて、トレンチとトレンチで挟まれたpボディ領域の不純物濃度を $5 \times 10^{17} \text{ cm}^{-3}$ 以下で均一にし、かつ、pボディ領域の幅を0.1  $\mu\text{m}$ 以上0.5  $\mu\text{m}$ 以下とする、または、pボディ領域の幅を反転状態での両側のチャネルからの空乏層幅（最大空乏層幅）の和よりも狭くすることを最大の特徴とする。

## 【 0 0 1 3 】

第1の発明の特徴は、（1）ドレイン層をなす第1導電型の低抵抗の半導体基板と、前記半導体基板の裏面に接続された第1の主電極と、前記半導体基板上に形成された第1導電型の前記半導体基板より高抵抗のエピタキシャル層と、前記エピタキシャル層中に形成された第2導電型のボディ領域と、前記ボディ領域上に形成された第1導電型の前記半導体基板と同程度に低抵抗のソース層と、

前記ボディ領域と接続し前記半導体基板表面に形成された第2導電型の前記ボディ領域より低抵抗のボディ接続層と

前記ソース層および前記ボディ接続層上に接続された第2の主電極と、

前記ボディ領域と前記ソース層を貫くように形成されたトレンチと、

前記トレンチの側壁および底部に形成されたゲート絶縁膜と、

前記トレンチ内部において前記ゲート絶縁膜を介し前記ボディ領域の全面と前記ソース層の一部に接する第3の主電極と、を備え、

前記トレンチとトレンチで挟まれた前記ボディ領域の幅が少なくとも2種類以上あり、前記ボディ領域幅が狭い領域に比べ前記ボディ領域幅が広い領域のほうがボディ領域の濃度が濃いことにある。

## 【 0 0 1 4 】

（1）において、（2）前記ボディ領域のうちゲート絶縁膜に近い領域の濃度がゲート絶縁膜から離れた領域の濃度よりも濃度が低いことが好ましい。

## 【 0 0 1 5 】

（1）において、（3）前記ボディ領域の幅が狭い領域の幅が、0.1  $\mu\text{m}$ 以上0.5  $\mu\text{m}$ 以下であることが好ましい。

## 【 0 0 1 6 】

（1）において、（4）前記ボディ領域の幅が狭い領域の幅が、両側の第3の主電極から前記ゲート絶縁膜を介して延びる最大空乏層幅の和よりも狭いことが好ましい。

## 【 0 0 1 7 】

（1）において、（5）前記ボディ領域の幅が広い領域において、前記ソース層および前記ボディ接続層のコンタクトをとることが好ましい。

## 【 0 0 1 8 】

（1）において、（6）前記ボディ領域の幅が広い領域と前記ボディ領域の幅が狭い領域がともに長方形をなして互いに直行していることが好ましい。

## 【 0 0 1 9 】

（1）において、（7）前記ボディ領域の幅が広い領域が長方形または正方形をなし格子状に配置されており、前記ボディ領域の幅が広い領域を互いに接続するように前記ボデ

10

20

30

40

50

ィ領域の幅が狭い領域が配置されていることが好ましい。

【0020】

(1)において、(8)前記半導体基板および前記エピタキシャル層の材質が炭化珪素、シリコンまたは窒化ガリウムから選ばれることが好ましい。

【0021】

(1)において、(9)前記ドーパントがアルミニウムであることが好ましい。

【0022】

第2の発明の特徴は、(10)、(a)第1導電型の低抵抗の半導体基板上に第1導電型の前記半導体基板より高抵抗のエピタキシャル層を形成する工程、

(b)前記エピタキシャル層中に第2導電型のボディ領域を形成する工程、

(c)前記ボディ領域上に第1導電型の前記半導体基板と同程度に低抵抗のソース層を形成する工程、

(d)前記ボディ領域と接続するように前記半導体基板表面に第2導電型の前記ボディ領域より低抵抗のボディ接続層を形成する工程、

(e)前記ボディ領域と前記ソース層を貫くようにトレンチを形成する工程、

(f)前記トレンチの側壁および底部にゲート絶縁膜を形成する工程、を含み、

前記トレンチとトレンチで挟まれた前記ボディ領域の幅を少なくとも2種類以上異なる幅に形成し、前記ボディ領域幅が狭い領域に比べ前記ボディ領域幅が広い領域のほうがボディ領域の濃度が濃くなるようにドーパントをイオン注入することにある。

【0023】

(10)において、(11)前記ボディ領域のうちゲート絶縁膜に近い領域の濃度がゲート絶縁膜から離れた領域の濃度よりも濃度が低いことが好ましい。

【0024】

(10)において、(12)前記ボディ領域の幅が狭い領域の幅が、0.1 μm以上0.5 μm以下であることが好ましい。

【0025】

(10)において、(13)前記ボディ領域の幅が狭い領域の幅が、両側の第3の主電極から前記ゲート絶縁膜を介して延びる最大空乏層幅の和よりも狭いことが好ましい。

【0026】

(10)において、(14)前記ボディ領域の幅が広い領域において、前記ソース層および前記ボディ接続層のコンタクトをとることが好ましい。

【0027】

(10)において、(15)前記ボディ領域の幅が広い領域と前記ボディ領域の幅が狭い領域がともに長方形をなして互いに直行していることが好ましい。

【0028】

(10)において、(16)前記ボディ領域の幅が広い領域が長方形または正方形をなし格子状に配置されており、前記ボディ領域の幅が広い領域を互いに接続するように前記ボディ領域の幅が狭い領域が配置されていることが好ましい。

【0029】

(10)において、(17)前記半導体基板および前記エピタキシャル層の材質が炭化珪素、シリコンまたは窒化ガリウムであることが好ましい。

【0030】

(10)において、(18)前記ドーパントがアルミニウムであることが好ましい。本発明では、pボディ領域の濃度を $2 \times 10^{17} \text{ cm}^{-3}$ 以下にすることで閾値電圧を低く保つことができ、pボディ領域の幅をpボディ領域の深さ(チャンネル長)よりも狭くすることでソース・ドリフト領域間でパンチスルーすることなく耐圧を保つことができる。また、pボディ領域の幅を反転状態での両側のチャンネルからの空乏層幅(最大空乏層幅)の和よりも狭くすることで、反転層ができるまでにpボディ領域が完全空乏化され閾値電圧をさらに下げることができる。

【発明の効果】

10

20

30

40

50

## 【0031】

本発明によれば、チャネル移動度が大きく、耐圧を落とすことなく閾値電圧が下げられるUMOSFETを用いたパワー半導体素子が得られる。

## 【図面の簡単な説明】

## 【0032】

【図1】本発明による半導体装置の第1の実施例の断面構造図の一部である。

【図2】本発明による半導体装置の第1の実施例の断面構造図の一部である。

【図3】本発明による半導体装置の第1の実施例の平面レイアウトである。

【図4】本発明による半導体装置の第1の実施例の製造方法を示す図である。

【図5】本発明による半導体装置の第1の実施例の製造方法を示す図である。

【図6】本発明による半導体装置の第1の実施例の製造方法を示す図である。

【図7】本発明による半導体装置の第1の実施例の製造方法を示す図である。

【図8】本発明による半導体装置の第1の実施例の製造方法を示す図である。

【図9】本発明による半導体装置の第1の実施例の製造方法を示す図である。

【図10】本発明による半導体装置の第1の実施例の耐圧とpボディ領域3の幅の関係を示した図である。

【図11】本発明による半導体装置の第1の実施例の閾値電圧とpボディ領域3の幅の関係を示した図である。

【図12】本発明による半導体装置の第1の実施例のオン抵抗とpボディ領域3の奥行きとの関係を示した図である。

【図13】本発明による半導体装置の第1の実施例の特性図である。

【図14】本発明による半導体装置の第2の実施例の断面構造図である。

【図15】本発明による半導体装置の第3の実施例の平面レイアウトである。

## 【発明を実施するための形態】

## 【実施例1】

## 【0033】

以下、本発明の実施例を図面を用いて説明する。図1および図2は本発明によるUMOSFETの断面構造図を、図3は本発明によるUMOSFETのレイアウト図を示している。図3のA-A'の部分の断面図が図1、B-B'の部分の断面図が図2である。炭化珪素を母材とするn+基板のドレイン領域1上にn-エピタキシャル層のドリフト領域2が形成されている。ドリフト領域2上にはpボディ領域3とn+のソース領域4がそれぞれ形成されており、n+のソース領域4とpボディ領域3を貫くようにトレンチが形成されている。トレンチ底部、側壁およびソース領域4の上には酸化膜からなるゲート絶縁膜5が形成されておりトレンチ内部にはゲート絶縁膜5を介してゲート電極7が埋め込まれている。基板の裏面にはドレイン電極6が形成されている。トレンチは基板面内において長方形をしており、一定の周期で並んでいる。長方形の長辺側では隣接するトレンチと非常に接近しているが、短辺側は離れている。この離れた短辺と短辺の間にはpボディ領域3の電位を固定するためのp+領域8が配置されており、ソース電極9もこの領域において形成されている。また、pボディ領域の濃度はpボディ領域の幅が広いところ3'に比べ狭いところ3の方が薄くなっている。

## 【0034】

次に本実施例の動作について説明する。まず、ブロッキング状態では、ゲートに0Vまたは負の電圧を加えた状態でドレインに100V～数kVもの電圧がかかる。このとき、ソースとドレインの間に存在するpボディ領域が障壁となり、電流は流れない。このとき、pボディ領域の厚さすなわちチャネル長が短かかったりpボディ領域の濃度が薄いとpボディ領域が完全に空乏化されパンチスルーが起こり電流が流れてしまう。本実施例では、耐圧を確保するためpボディ領域の幅が広い領域3'ではパンチスルーしないようにpボディ領域の濃度を高く設定している。一方、pボディ領域が狭い領域3ではpボディ領域が広い領域3'よりも濃度を薄く設定している。通常、pボディ領域の濃度が薄いとパンチスルーしてしまうが、本実施例ではpボディ領域3の幅が非常に狭くなっているため両側のゲートによりpボディ領域3のポテンシャルが固定され、パンチスルーが起こらない。すなわち、通常よ

10

20

30

40

50

りもpボディ領域3の濃度が薄いにもかかわらず耐圧を確保することができる。一方、オン状態ではゲートにプラスの電位を与えるとトレンチ側壁が反転しチャンネルにキャリアが湧く。この状態でドレインに1V程度の電位を与えるとソースからドレインに大きな電流が流れる。このとき、pボディ領域が広い領域3'と狭い領域3では電流を流す能力に大きな差が生じる。それはpボディ領域が広い領域3'ではpボディ領域の濃度が高く、閾値電圧が高くなることからチャンネルの抵抗が大きくなってしまふ。それに対し、pボディ領域が狭い領域3ではpボディ領域の濃度が低いために閾値電圧が低くなり大電流を流すことが可能になる。また、本実施例では、pボディ領域3の幅が狭いことにより、ゲートに正の電圧を加えた際に反転層が形成される前にpボディ領域3が完全に空乏化されることにより、さらに閾値電圧が下がり電流が大きくなる。このように、pボディ領域の幅が狭い領域3では広い領域3'に比べ大電流を流すことが可能であるが、pボディ領域が狭いとソースのコンタクトをとることができないため、抵抗は大きい。pボディ領域が広い領域3'を設けてそこでコンタクトをとっている。

10

## 【0035】

本実施例は耐圧600Vクラスを想定しており、ドリフト層の濃度は $2 \times 10^{16} \text{ cm}^{-3}$ 、厚さは6  $\mu\text{m}$ 、トレンチの深さは1  $\mu\text{m}$ 、幅は1  $\mu\text{m}$ 程度である。pボディ領域の幅は狭いところで300 nm、濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 、広いところは幅が2  $\mu\text{m}$ 、濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 程度である。ドーパントはアルミニウムである。MOSFET特性のpボディ領域の濃度および幅の依存性については後で詳しく述べる。ソース領域は窒素をドーパントとしたn+であり、不純物濃度は $10^{20} \text{ cm}^{-3}$ 程度である。ゲート酸化膜は熱酸化膜にCVDの $\text{SiO}_2$ を重ねたもので、厚さはトレンチ側壁で50 nm、トレンチ底部および基板表面で100 nm程度である。酸化膜の形成方法はまだ最適化されていないため移動度は $10 \text{ cm}^2/\text{Vs}$ 程度にとどまっている。ゲート電極はポリシリコンを用いており、裏面電極はNiシリサイド上にNiをスパッタしたものである。

20

## 【0036】

次に、図4から図6を用いて本実施例の作製方法について説明する。まず、n+基板1上にn-エピタキシャル層2とpエピタキシャル層のpボディ領域3を成長させる。n+基板の面方位はSi面でオフ角は8度であるが、面方位はC面でも(11-20)面でもよく、オフ角は4度でも0度でもエピタキシャル層が均一に成長すれば問題ない。ただし、オフ角が0度だとイオン注入を垂直に行くとチャネリングにより不純物が深く入ることがあるので注意が必要である。次に、酸化珪素を堆積しリソグラフィおよびドライエッチングにより酸化珪素を加工し、それをハードマスクとしてイオン注入によりターミネーション領域となるp領域を形成する。イオン種はアルミニウムで濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 程度である。ターミネーション領域はトレンチコーナー部の電界集中を防ぐためにトレンチと同等の深さが必要であるため最大で500 keVの多段注入とした。本実施例ではJTE(Junction Termination Extension)構造を採用しているがガードリング構造でもその他の構造でも構わない。ターミネーション領域は本発明とは直接関係ないので図には示していない。

30

## 【0037】

次に、図4、5に示すように、ターミネーション領域の形成方法と同じ方法でpエピタキシャル層のpボディ領域3よりも濃度の濃いpボディ領域3'、ソース領域4となるn+領域及びpボディ領域の電位を固定するためのp+領域8を形成する。図4では全面にn+領域を形成しているが、実際はゲートのコンタクト領域やターミネーション領域には形成していない。イオン種はシート抵抗が小さくなるよう、n+は窒素がp+はアルミニウムとし、pn接合のリーク電流を低減するためn+のイオン注入は500度で行った。

40

## 【0038】

次に、図6、7に示すように、酸化珪素を堆積しリソグラフィおよびドライエッチングにより酸化珪素を加工し、それをハードマスクとしてドライエッチングによりトレンチを形成する。このとき、pボディ領域の幅を一定に保つためにトレンチはできるだけ垂直に近い方がよい。その後、面荒れ防止のためにカーボン膜を形成し、1700度程度で活性化アニールを行う。カーボンの除去は酸素アッシュにより行った。ゲート酸化膜の形成には、1250度の $\text{N}_2\text{O}$ 酸化により表面を酸窒化し、その後CVDにより $\text{SiO}_2$ 膜を堆積させた。このとき

50



、トレンチコーナーでの絶縁破壊を防ぐためにトレンチ側壁にくらべトレンチ底の膜厚を厚くする必要があるので、CVDは側壁に堆積しにくい条件を選んだ。最終的な膜厚はトレンチ側壁で50 nm程度、トレンチ底で100 nm程度に仕上げた。次に、ゲートとなる高濃度のポリシリコンをトレンチ内部に形成した。埋め込みはCVDによる膜の堆積とエッチバックにより行ったが、CMP(Chemical Mechanical Polishing)等の他の平坦化手法でも問題ない。

#### 【0039】

次に、表及び裏のコンタクトはNiを主成分とする合金で形成する。表は、リソグラフィとドライエッチングによりコンタクトホールを空け、Niを堆積させ1000度のシリサイド化アニールによりシリサイドを形成し、最後に未反応メタルを除去する。裏も同様にNiを堆積させ1000度のシリサイド化アニールによりシリサイドを形成する。最後に酸化珪素を層間絶縁膜としたアルミニウム2層配線を形成し、ソースパッド、ゲートパッドを開口してデバイスを完成させる。

10

#### 【0040】

本実施例では、p型不純物をアルミニウム、n型不純物を窒素としたが、pはボロンでもよく、nはリンでもよい。ボロンは、質量が軽いので低エネルギーで深く注入することが可能であり、リンはnの濃度をより高くすることが可能である。ただし、ボロンの外方拡散により表面付近の濃度も下がるため、表面にアルミニウムを追加注入する等の対策も必要であり、リンは結晶欠陥を多く発生させてしまうので注意が必要である。

#### 【0041】

20

次に、本発明で非常に重要なpボディ領域の濃度と幅について決めた根拠について説明する。図10は、pボディ領域の濃度と幅を変えたときの耐圧を示したものである。図からわかるようにpボディ領域の幅が1  $\mu\text{m}$ 以上の場合には耐圧はpボディ領域の幅にほとんど依存しない。一方で、pボディ領域の幅が0.5  $\mu\text{m}$ 以下になると耐圧が急激に上昇する。これは、pボディ領域の幅が狭いとpボディのポテンシャルが両側のゲートの電位により固定されるため、pボディ領域に空乏層が広がりにくくなるためである。さらにpボディ領域の幅を狭くし0.1  $\mu\text{m}$ 以下にすると逆に耐圧が落ちる場合がある。これは、プロッキング状態において電界が最も集中するのがトレンチコーナー部であるが、pボディ領域が狭くなりすぎるとトレンチコーナー部での電界集中ポイントが重なり、より電界が高くなってしまからである。以上より、耐圧の観点からpボディ領域の幅には最適点があることがわかる

30

#### 【0042】

次に、図11に閾値電圧とpボディ領域の濃度、幅の関係を示す。図より、pボディ領域の幅があるところから狭くなると閾値電圧が低くなるのがわかる。ただし、閾値電圧が下がり始める点はpボディ領域の濃度によって異なる。これは、閾値電圧が下がるのが、チャンネルに反転層ができる前にpボディ領域内が完全に空乏化されることに起因するためである。すなわち、両側のゲートから延びる最大空乏層幅の和よりもpボディ領域の幅が狭いときに閾値電圧が下がるという現象が起こる。以上の関係より、耐圧を確保しながら閾値電圧を下げ大電流化するためには、pボディ領域の幅を0.1  $\mu\text{m}$ から0.5  $\mu\text{m}$ 程度、濃度を $1 \times 10^{17} \text{ cm}^{-3}$ から $2 \times 10^{17} \text{ cm}^{-3}$ 程度にするとよいことがわかった。本実施例ではpボディ領域の幅0.2  $\mu\text{m}$ 、濃度 $1 \times 10^{17} \text{ cm}^{-3}$ を採用している。ただし、pボディ領域の幅が0.2  $\mu\text{m}$ ではソースのコンタクトをとることが難しい。そのため、ソースのコンタクトをとる領域を別に設けている。この領域はpボディ領域の幅を4  $\mu\text{m}$ 程度とっているため、先ほどの関係より濃度は $5 \times 10^{17} \text{ cm}^{-3}$ 程度としている。奥行き方向の寸法に関しては、ソースのコンタクトを全領域でソースの直上でとるわけではないので、ソース抵抗との兼ね合いで決まる。

40

#### 【0043】

図12はpボディ領域の幅が狭い領域3の奥行きとソース抵抗の関係を示している。n+のシート抵抗は約 $10^3 \Omega/\square$ である。奥行きが短いとソース抵抗は小さくなるが有効な面積が小さくなるためチャンネル抵抗が大きくなってしま。逆に奥行きが長いとチャンネル抵抗は

50

小さいがソース抵抗が大きくなってしまふ。最適値としては奥行きが約2 $\mu\text{m}$ 程度でトータルの抵抗は2.7  $\text{m} \ \text{cm}^2$ を達成できた。ただし、シート抵抗やチャネル移動度により奥行き最適値は変わるので注意が必要である。また、現状よりもシート抵抗が半減 ( $5 \times 10^2 /$  )、チャネル移動度が2倍 (20  $\text{cm}/\text{Vs}$ ) になった場合は、トータルでオン抵抗2  $\text{m} \ \text{cm}^2$ 以下を達成できる見込みである。

#### 【0044】

次に、本実施例の効果について特性図13を用いて説明する。図は、耐圧600V以上確保できる条件での電流密度を示しており、従来のpボディ領域が広い(4 $\mu\text{m}$ )の場合と、本実施例の0.2  $\mu\text{m}$ の場合をしたものを示している。従来に比べて本実施例の電流密度は2倍以上になっている。ただし、すでに述べたとおり、n+のシート抵抗やチャネル移動度の向上によりさらに大きな電流を流せるようになる見込みである。

10

#### 【実施例2】

#### 【0045】

本発明の実施例2の断面構造図を図14に示す。本実施例の実施例1との違いはトレンチ側壁近傍にチャネルドープしpボディ領域3の濃度よりもチャネルの濃度を下げている点にある。pボディ領域3よりも濃度の低いチャネル層10を形成することにより、実施例1よりも閾値電圧を下げることができ、電流密度を上げることができる。

#### 【0046】

本実施例の作製プロセスは、基本的には実施例1と同様であるが、トレンチを形成した後斜めイオン注入によりチャネル層を形成する点のみ異なる。斜めイオン注入の条件は15 keV、ドーズは $5 \times 10^{11} \text{cm}^{-2}$ である。他の設計値は実施例1と同様である。チャネルドープによりトレンチ側壁から約50 nmの幅で $5 \times 10^{16} \text{cm}^{-3}$ 程度のチャネル層を形成した。特性としては、実施例1よりも耐圧600Vを確保した上で、閾値電圧が約0.5V低減し、電流密度が約2割向上した。ただし、チャネルドープをやりすぎると耐圧が低下するだけでなく、チャネル移動度が低下したり、ゲート絶縁膜の信頼性を劣化させる要因にもなるので注意が必要である。

20

#### 【実施例3】

#### 【0047】

次に、本発明の実施例3を図15に示すデバイス平面構造図を用いて説明する。本実施例の実施例1との違いは、pボディ領域の幅が広い領域3'と狭い領域3の位置関係にある。実施例1ではpボディ領域の幅が広い領域3'と狭い領域3が直行するようなレイアウトになっているが、本実施例ではpボディ領域の幅が広い領域3'を格子状にして、その間をpボディ領域の幅が狭い領域3がつなぐレイアウトとなっている。

30

#### 【0048】

本実施例の作製方法および動作については実施例1と同様である。ただし、どちらが最適かは状況により異なる。例えばpボディ領域の幅が広い領域3'の幅がpボディ領域の幅が狭い領域3の奥行きよりも広い場合は本実施例のほうが面積的に有利となる。実施例1ではpボディ領域の幅が広い領域3'の幅が4  $\mu\text{m}$ 、pボディ領域の幅が狭い領域3の奥行きが2  $\mu\text{m}$ であるため、本実施例のほうが実施例1に比べ面積的にpボディの幅が狭い領域3が3割程度増え、チャネル抵抗が小さくなる。一方、n+のシート抵抗が低減され、pボディ領域の幅が狭い領域3の奥行きが長くてもソース抵抗が低く保たれる状況においては実施例1のほうが有利となる。

40

#### 【0049】

実施例1と実施例3を組み合わせたものも容易に想像できるが、状況によってはこの組み合わせが最適の場合もありえる。また、これらの実施例はすべて炭化珪素基板を例に説明したが、シリコンや窒化ガリウムなどどのような半導体にでも適用可能である。

#### 【産業上の利用可能性】

#### 【0050】

チャネル移動度が大きく、耐圧を落とすことなく閾値電圧が下げられるUMOSFETをパワー半導体素子に用いることができる。

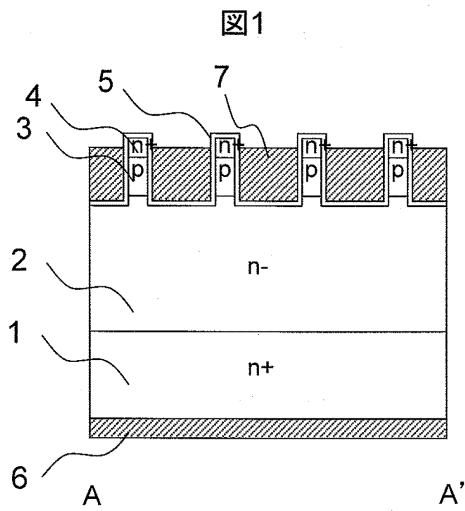
50

【符号の説明】

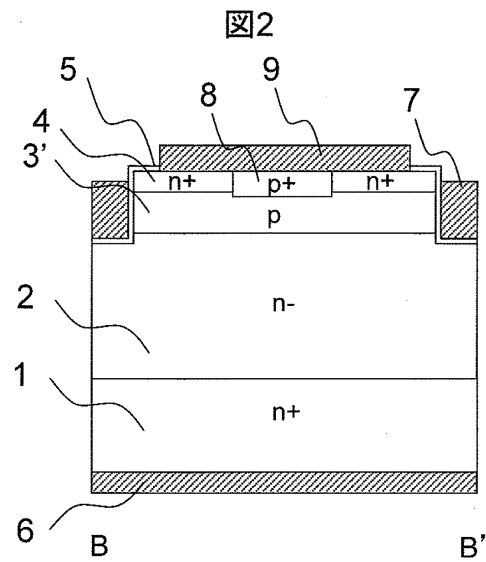
【0051】

- 1 ドレイン領域
- 2 ドリフト領域
- 3 ボディ領域
- 4 ソース領域
- 5 ゲート絶縁膜
- 6 ドレイン電極
- 7 ゲート電極
- 8 pボディ電位固定用p+層
- 9 ソース電極

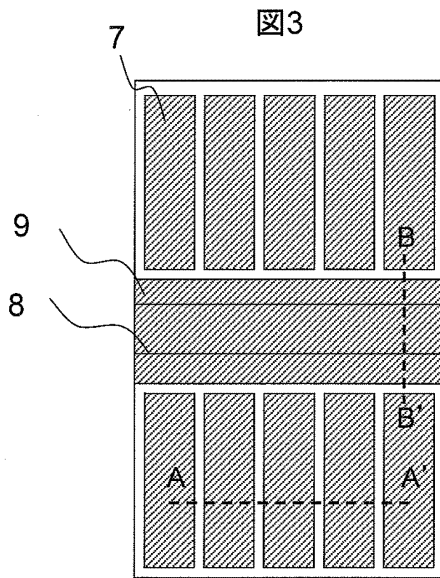
【図1】



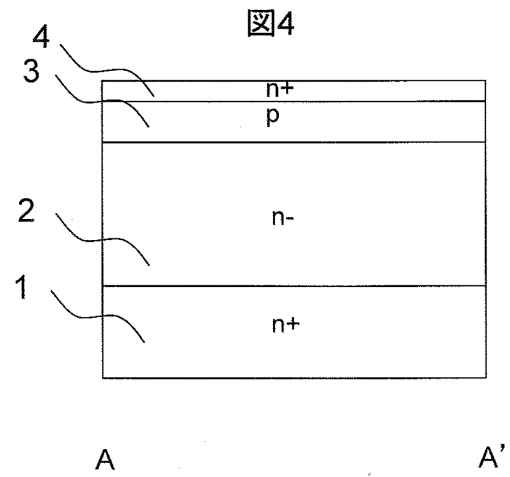
【図2】



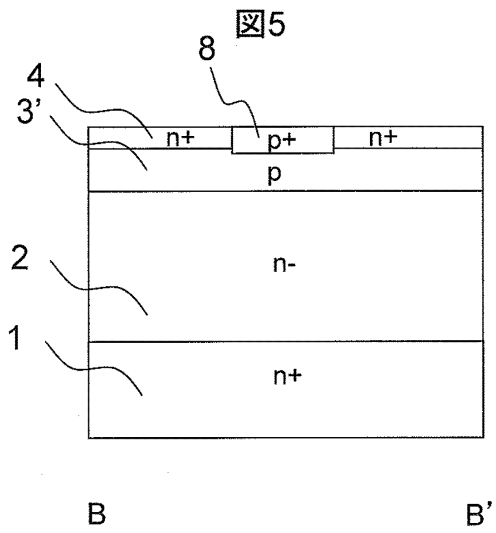
【図3】



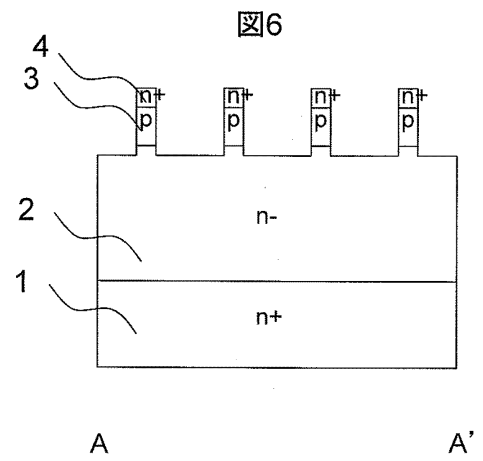
【図4】



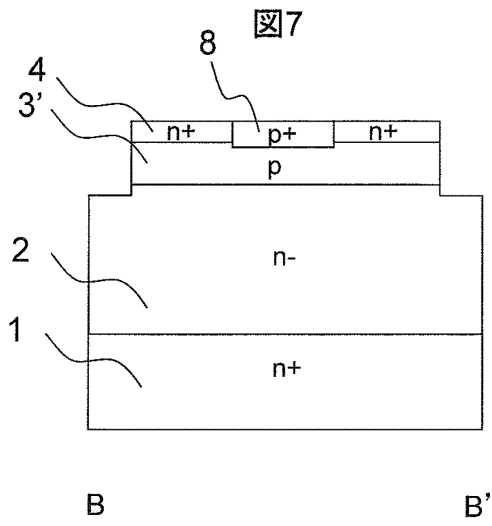
【図5】



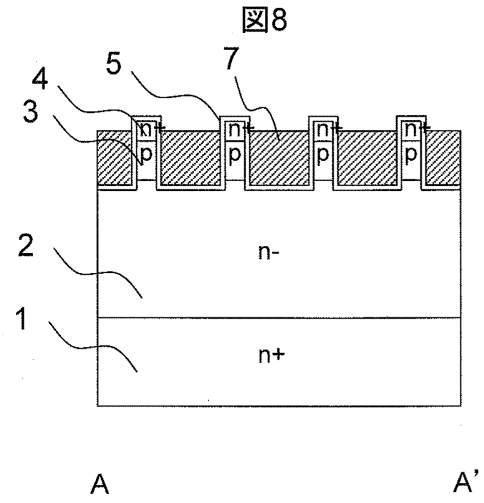
【図6】



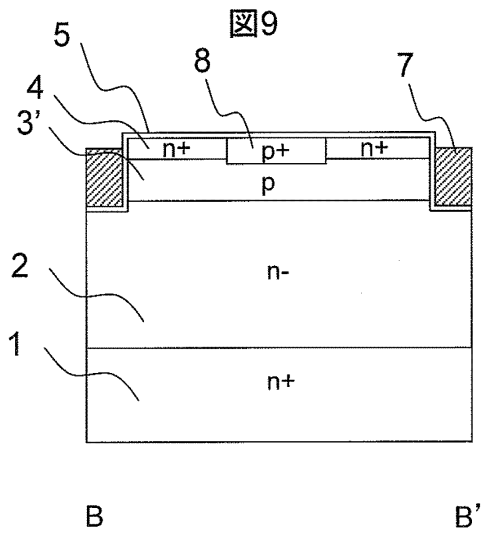
【図7】



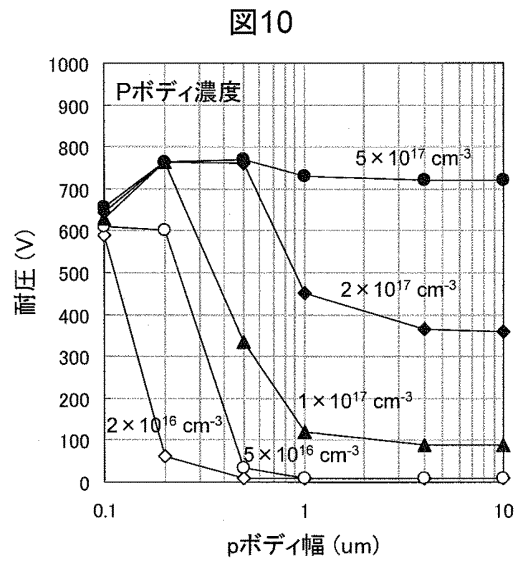
【図8】



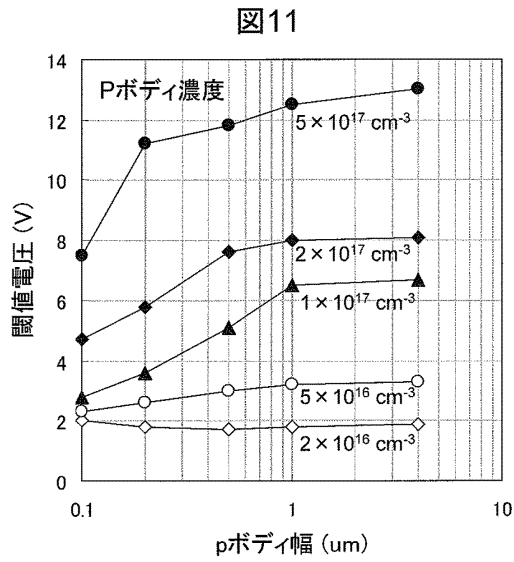
【図9】



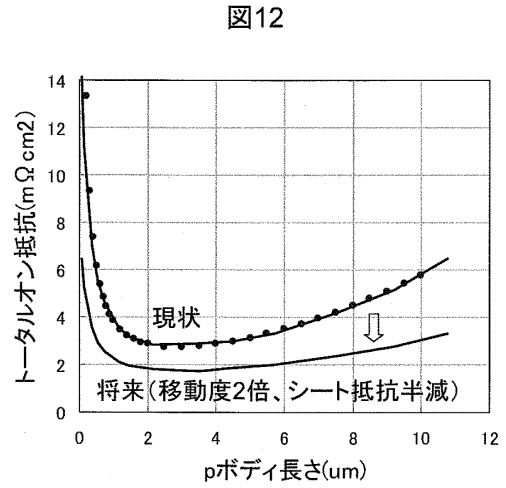
【図10】



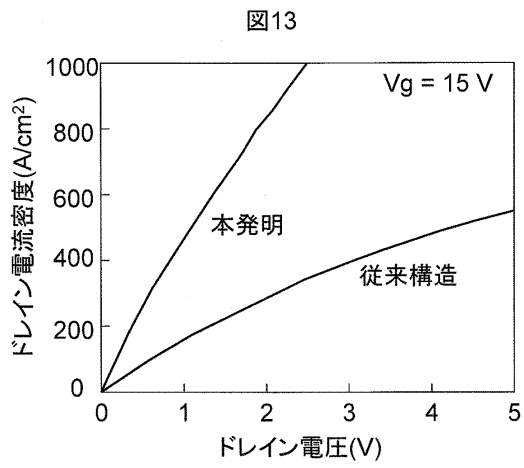
【図 1 1】



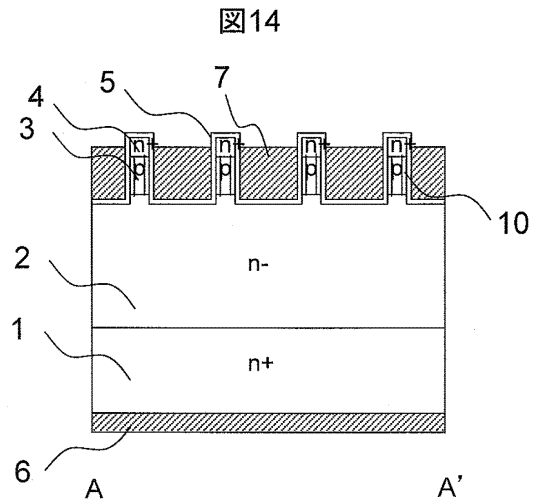
【図 1 2】



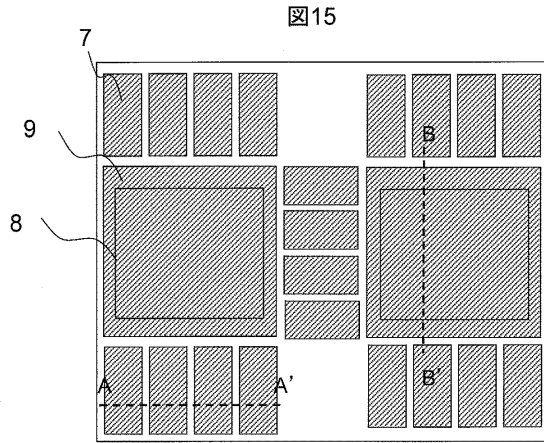
【図 1 3】



【図 1 4】



【 図 15 】



---

フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/78 6 5 8 A

H 0 1 L 29/78 6 5 8 E

(56)参考文献 特開2004-207289(JP,A)

特開平11-214685(JP,A)

特開2008-288462(JP,A)

特開2009-117593(JP,A)

特開2007-027327(JP,A)

特開2007-043123(JP,A)

特開2000-058823(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H 0 1 L 2 9 / 1 2

H 0 1 L 2 9 / 7 8