

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4846979号
(P4846979)

(45) 発行日 平成23年12月28日 (2011.12.28)

(24) 登録日 平成23年10月21日 (2011.10.21)

(51) Int.Cl.

F I

HO 1 L 21/8247 (2006.01)

HO 1 L 29/788 (2006.01)

HO 1 L 29/792 (2006.01)

HO 1 L 27/115 (2006.01)

HO 1 L 29/78 3 7 1

HO 1 L 27/10 4 3 4

請求項の数 12 (全 39 頁)

(21) 出願番号	特願2003-541063 (P2003-541063)	(73) 特許権者	592012513
(86) (22) 出願日	平成14年10月31日 (2002.10.31)		サンディスク コーポレーション
(65) 公表番号	特表2005-508094 (P2005-508094A)		SanDisk Corporation
(43) 公表日	平成17年3月24日 (2005.3.24)		アメリカ合衆国 95035 カリフォル
(86) 国際出願番号	PCT/US2002/035132		ニア州、ミルピタス、マッカーシー プー
(87) 国際公開番号	W02003/038907		ルバード 601
(87) 国際公開日	平成15年5月8日 (2003.5.8)	(74) 代理人	100075144
審査請求日	平成17年10月18日 (2005.10.18)		弁理士 井ノ口 壽
(31) 優先権主張番号	10/002,696	(72) 発明者	ハラリ, エリヤホウ
(32) 優先日	平成13年10月31日 (2001.10.31)		アメリカ合衆国、95030、カリフォル
(33) 優先権主張国	米国 (US)		ニア州、ロス ガトス、アウゼライス コ
(31) 優先権主張番号	10/161,235		ート 104
(32) 優先日	平成14年5月31日 (2002.5.31)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 誘電体格納エレメントを用いる多状態不揮発性メモリ及び電荷レベルを格納する方法

(57) 【特許請求の範囲】

【請求項 1】

不揮発性メモリセルアレイにおいて、個々のメモリセルからなるソースノドレイン領域 (1 5 2 , 1 5 3 ; 1 8 5 , 1 8 6 , 1 8 7 ; 3 4 1 , 3 4 3) 間の半導体基板 (1 6 3 ; 1 8 3 ; 2 5 7 ; 3 0 1) の表面上の電荷格納誘電体 (1 6 5 ; 2 0 1 ; 2 4 5 , 2 4 6 , 2 4 7 , 2 4 8 , 2 4 9 ; 2 9 7 ; 3 0 6) の中の水平で同一平面上の複数の隣接領域 (1 7 1 ~ 1 7 4 ; 2 1 1 ~ 2 1 4 ; 2 6 5 ~ 2 6 7 ; 2 6 9 ~ 2 7 2 ; 3 2 7 ~ 3 3 0) にデータを表す電荷レベルを格納する方法であって、

ソース側注入、ホットエレクトロン注入、ファウラー - ノルドハイムトンネリング、およびバリスティック注入からなるグループの中から選択された少なくとも2つの異なるメカニズムによって、前記複数の隣接領域 (1 7 1 ~ 1 7 4 ; 2 1 1 ~ 2 1 4 ; 2 6 5 ~ 2 6 7 ; 2 6 9 ~ 2 7 2 ; 3 2 7 ~ 3 3 0) のうちの第1および第2の領域に電荷を格納するステップを含み、

前記第1および第2の領域のうちの個々の領域に3以上の電荷レベルを格納し、それによって、前記第1および第2の領域のうちの個々の領域に2以上のビットデータを格納する方法。

【請求項 2】

請求項1記載の方法において、

個々のメモリセルからなるソースノドレイン領域 (1 5 2 , 1 5 3 ; 1 8 5 , 1 8 6 , 1 8 7 ; 3 4 1 , 3 4 3) 間の少なくとも1つの導電性制御ゲート (1 5 7 , 1 6 0 ; 1

8 9 ~ 1 9 4 ; 2 4 1 ~ 2 4 4 ; 3 1 7 ~ 3 2 3 , 3 5 3 , 3 5 5) と半導体基板 (1 6 3 ; 1 8 3 ; 2 5 7 ; 3 0 1) の表面との間に誘電体が挟持され、

ソース側注入により前記複数の隣接領域 (1 7 1 ~ 1 7 4 ; 2 1 1 ~ 2 1 4 ; 2 6 5 ~ 2 6 7 ; 2 6 9 ~ 2 7 2 ; 3 2 7 ~ 3 3 0) のうちの第 1 の領域に電荷を格納するステップと、ホットエレクトロン注入により前記複数の隣接領域 (1 7 1 ~ 1 7 4 ; 2 1 1 ~ 2 1 4 ; 2 6 5 ~ 2 6 7 ; 2 6 9 ~ 2 7 2 ; 3 2 7 ~ 3 3 0) のうちの第 2 の領域に電荷を格納するステップとをさらに有する方法。

【請求項 3】

導電性制御ゲート (1 5 7 , 1 6 0 ; 1 8 9 ~ 1 9 4 ; 2 4 1 ~ 2 4 4 ; 3 1 7 ~ 3 2 3 ; 3 5 3 ; 3 5 5) と、ソース/ドレイン領域 (1 5 2 , 1 5 3 ; 1 8 5 , 1 8 6 , 1 8 7 ; 3 4 1 , 3 4 3) 間の表面にわたって延在する半導電性チャネル内の半導体基板 (1 6 3 ; 1 8 3 ; 2 5 7 ; 3 0 1) の表面との間に配置された電荷格納誘電体 (1 6 5 ; 2 0 1 ; 2 4 5 , 2 4 6 , 2 4 7 , 2 4 8 , 2 4 9 ; 2 9 7 ; 3 0 6) を個々に有するメモリセルアレイを含むタイプの不揮発性メモリであって、

少なくとも前記導電性制御ゲート (1 5 7 , 1 6 0 ; 1 8 9 ~ 1 9 4 ; 2 4 1 ~ 2 4 4 ; 3 1 7 ~ 3 2 3 ; 3 5 3 ; 3 5 5) と接続可能な電圧源とソース/ドレイン領域 (1 5 2 , 1 5 3 ; 1 8 5 , 1 8 6 , 1 8 7 ; 3 4 1 , 3 4 3) とを含み、ソース側注入、ホットエレクトロン注入、ファウラー - ノルドハイムトンネリング、およびバリスティック注入からなるグループの中から選択されたメカニズムによって個々のアドレス指定されたメモリセルのチャネルにわたる電荷格納誘電体 (1 6 5 ; 2 0 1 ; 2 4 5 , 2 4 6 , 2 4 7 , 2 4 8 , 2 4 9 ; 2 9 7 ; 3 0 6) の中の水平で同一平面上の複数の隣接領域 (1 7 1 ~ 1 7 4 ; 2 1 1 ~ 2 1 4 ; 2 6 5 ~ 2 6 7 ; 2 6 9 ~ 2 7 2 ; 3 2 7 ~ 3 3 0) のうちの少なくとも 2 つの重ならない領域に電荷が半導体基板 (1 6 3 ; 1 8 3 ; 2 5 7 ; 3 0 1) から注入される大きさで電圧を供給して、プログラムされるべきデータに従って 3 以上のレベルのうちの 1 つのレベルにチャネルのそれぞれの少なくとも 2 つの部分のしきい値を調整するレベルにし、それによって前記電荷格納誘電体 (1 6 5 ; 2 0 1 ; 2 4 5 , 2 4 6 , 2 4 7 , 2 4 8 , 2 4 9 ; 2 9 7 ; 3 0 6) の中の前記複数の隣接領域 (1 7 1 ~ 1 7 4 ; 2 1 1 ~ 2 1 4 ; 2 6 5 ~ 2 6 7 ; 2 6 9 ~ 2 7 2 ; 3 2 7 ~ 3 3 0) のうちの少なくとも 2 つの規定された重ならない領域の個々の領域がそのような 2 以上のビットデータを格納することができるプログラミング回路と、

読み出し用回路であって、

前記少なくとも導電性制御ゲート (1 5 7 , 1 6 0 ; 1 8 9 ~ 1 9 4 ; 2 4 1 ~ 2 4 4 ; 3 1 7 ~ 3 2 3 ; 3 5 3 ; 3 5 5) と接続可能な電圧源と、

前記電荷格納誘電体 (1 6 5 ; 2 0 1 ; 2 4 5 , 2 4 6 , 2 4 7 , 2 4 8 , 2 4 9 ; 2 9 7 ; 3 0 6) の中の前記複数の隣接領域 (1 7 1 ~ 1 7 4 ; 2 1 1 ~ 2 1 4 ; 2 6 5 ~ 2 6 7 ; 2 6 9 ~ 2 7 2 ; 3 2 7 ~ 3 3 0) のうちの重ならない領域に格納された電荷レベルを測定し、それによって前記電荷格納誘電体 (1 6 5 ; 2 0 1 ; 2 4 5 , 2 4 6 , 2 4 7 , 2 4 8 , 2 4 9 ; 2 9 7 ; 3 0 6) の中の前記複数の隣接領域 (1 7 1 ~ 1 7 4 ; 2 1 1 ~ 2 1 4 ; 2 6 5 ~ 2 6 7 ; 2 6 9 ~ 2 7 2 ; 3 2 7 ~ 3 3 0) のうちの個々の規定された領域から 2 以上のビットデータを読み出すための個々のアドレス指定されたメモリセルのソース/ドレイン領域 (1 5 2 , 1 5 3 ; 1 8 5 , 1 8 6 , 1 8 7 ; 3 4 1 , 3 4 3) のうちの少なくとも一方の領域と接続可能なセンス増幅器と、を含む読み出し用回路と、

を備えるメモリ。

【請求項 4】

請求項 3 記載のメモリにおいて、

前記電荷格納誘電体 (1 6 5 ; 2 0 1 ; 2 4 5 , 2 4 6 , 2 4 7 , 2 4 8 , 2 4 9 ; 2 9 7 ; 3 0 6) は、窒化シリコンを含むメモリ。

【請求項 5】

請求項 3 ~ 4 のいずれか記載のメモリにおいて、

前記電荷格納誘電体（１６５；２０１；２４５，２４６，２４７，２４８，２４９；２９７；３０６）は、シリコン・リッチ・シリコン二酸化物を含むメモリ。

【請求項６】

請求項３～５のいずれか記載のメモリにおいて、

前記電荷は、４つのしきい値レベルの範囲に注入されるメモリ。

【請求項７】

請求項３～５のいずれか記載のメモリにおいて、

前記電荷は、５以上のしきい値レベルの範囲に注入されるメモリ。

【請求項８】

請求項３～７のいずれか記載のメモリにおいて、

個々のメモリセルは、少なくともソース/ドレイン領域（１５２，１５３；１８５，１８６，１８７；３４１，３４３）間のチャンネルに沿って連続して延在する前記電荷格納誘電体（１６５；２０１；２４５，２４６，２４７，２４８，２４９；２９７；３０６）をさらに含むメモリ。

10

【請求項９】

請求項３記載のメモリにおいて、

前記導電性制御ゲート（１５７，１６０；１８９～１９４；２４１～２４４；３１７～３２３；３５３；３５５）は、その下に前記電荷格納誘電体（１６５；２０１；２４５，２４６，２４７，２４８，２４９；２９７；３０６）の中の前記複数の隣接領域（１７１～１７４；２１１～２１４；２６５～２６７；２６９～２７２；３２７～３３０）のうちの少なくとも２つの規定された重ならない領域を有するチャンネルの別個のセグメントにわたって配置された少なくとも２つのゲートを含むメモリ。

20

【請求項１０】

請求項９記載のメモリにおいて、

前記電荷格納誘電体（１６５；２０１；２４５，２４６，２４７，２４８，２４９；２９７；３０６）の中の前記複数の隣接領域（１７１～１７４；２１１～２１４；２６５～２６７；２６９～２７２；３２７～３３０）のうちの少なくとも１つの領域は、少なくとも２つのゲートのそれぞれの下に配置されるメモリ。

【請求項１１】

請求項９記載のメモリにおいて、

前記少なくとも２つのゲートは、チャンネルに対して垂直な方向に延在する長さを有する導電性ラインから形成された少なくとも２つのゲートを含むメモリ。

30

【請求項１２】

請求項９記載のメモリにおいて、

前記少なくとも２つのゲートは、チャンネルに対して垂直な方向に延在する長さを有する導電性ラインから形成された少なくとも１つのゲートと、チャンネルと平行する方向に延在する長さを有する導電性ラインから形成された少なくとも１つのゲートを含むメモリ。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、特に、誘電材電荷格納エレメントを用いるタイプの不揮発性フラッシュＥＥＰＲＯＭ（電氣的に消去可能でプログラム可能なリードオンリメモリ）セルアレイに関する。

40

【背景技術】

【０００２】

今日使用されている商業的に成功した多くの不揮発性メモリ製品が存在し、特に、メモリセルが、一般にドーパされたポリシリコン材からなる導電性フローティングゲートを備えた小形カードの形の不揮発性メモリ製品が存在する。このカードには格納されているデータ状態のレベルに合わせて電子電荷が格納されている。このようなメモリセルの一般的な形では、ソース拡散部とドレイン拡散部との間に「分割チャンネル」が設けられる。セル

50

のフローティングゲートがチャンネルの一方の部分にわたって配置され、ワードライン（制御ゲートとも呼ばれる）がチャンネルの他方の部分並びにフローティングゲートにわたって配置される。この構成により、2つの直列トランジスタを備えたセルが効果的に形成される。一方のトランジスタ（メモリトランジスタ）は、チャンネルのトランジスタ部の中を流れることが可能な電流量の制御を行う、フローティングゲートにかかる電荷量と、ワードラインの電圧とを組み合わせたものであり、他方のトランジスタ（選択トランジスタ）はこのトランジスタのゲートとして使用するワードラインのみを備えたものである。このワードラインは、フローティングゲート列上に延在する。このようなセルと、メモリシステムにおけるこのセルの利用方法および製法を示すいくつかの例が、その全体が参照により本願明細書において援用されている、米国特許第5,070,032号（特許文献1）、
10 米国特許第5,095,344号（特許文献2）、米国特許第5,315,541号（特許文献3）、米国特許第5,343,063号（特許文献4）、および米国特許第5,661,053号（特許文献5）、さらに、米国特許第6,281,075号（特許文献6）に記載されている。

【0003】

この分割チャンネルフラッシュEEPROMセルの改変例として、フローティングゲートとワードラインとの間に配置されるステアリングゲートを追加する。アレイの個々のステアリングゲートはフローティングゲートの1つの列上でワードラインに対して垂直に延在する。その結果、選択したセルの読み出しまたはプログラミング時に2つの機能を同時に
20 実行しなければならない状態からワードラインが緩和されることになる。これら2つの機能として、（1）選択トランジスタのゲートとして使用する機能（したがって、選択トランジスタのオンとオフのための適当な電圧が必要となる）と、（2）ワードラインとフローティングゲート間の電磁界（容量）結合を通じて所望のレベルまでフローティングゲートの電圧を駆動する機能とが挙げられる。単一の電圧でこれら双方の機能を最適に実行することはしばしば困難である。ステアリングゲートを追加した場合、機能（1）の実行にはワードラインだけで十分であるのに対して、追加されたステアリングゲートは機能（2）を実行する。さらに、このようなセルをソース側のプログラミングにより作動することも可能であり、より低いプログラミング電流および/または電圧ですむという利点を有している。フラッシュEEPROMアレイでのステアリングゲートの利用については、その全体が参照により本願明細書において援用されている、米国特許第5,313,421号
30 （特許文献7）、米国特許第5,712,180号（特許文献8）、および米国特許第6,222,762号（特許文献9）に記載されている。。

【0004】

前に援用されている特許文献では、メモリセルは一般にNOR構成と呼ばれる構成で接続されている。1個または2個のフローティングゲート格納エレメントを有する個々のメモリセルは隣接ビットライン間で接続されているが、セル行内の隣接セルも個々のメモリセルと接続されている。1ビットラインは、仮想接地アレイと呼ばれるアレイで、1列のセルのソース拡散部および直接隣接しているセル列のドレイン拡散部の両方と接続されている。一般にNAND構成と呼ばれる別のタイプのアレイ構成では、8,16,またはそれ以上のメモリセルが相互に直列に接続されて、個々のビットラインと共通電位との間で
40 接続されたストリング内のトランジスタを選択する。このようなアレイおよびその動作を示す例が、その全体が参照により本願明細書において援用されている、米国特許第6,046,935号（特許文献10）に記載されている。

【0005】

ゲート誘電体を介してフローティングゲート上へ基板から電子を注入する種々のプログラミング技法が存在する。最も一般的なプログラミングメカニズムが、その全体が参照により本願明細書において援用されている、BrownとBrewerにより編集された本「不揮発性半導体メモリ技術」（IEEE Press, 第1.2節, 9~25ページ（1998年））（非特許文献1）に記載されている。「ファウラー-ノルドハイムトンネリング」（第1.2.1節）と呼ばれる1つの技法によって、制御ゲートと基板チャンネルとの間の電
50

圧差により確立される高い電界の影響の下で、電子が、フローティングゲート誘電体のトンネルの中を通される。また、一般に「ホットエレクトロン注入」(第1.2.3節)と呼ばれるドレイン領域でのチャンネルホットエレクトロン注入という別の技法によって、セルのドレインに隣接するフローティングゲートの領域内へセルのチャンネルから電子が注入される。「ソース側注入」(第1.2.4節)と呼ばれるさらに別の技法では、ドレインからチャンネル領域で電子注入を行う条件をつくりだすように、メモリセルチャンネルの長さに沿って基板面の電位が制御される。ソース側注入については、その全体が参照により本願明細書において援用されている、Kamiyaらの論文「高いゲート注入効率を持つEPRMセル」(IEDM技術ダイジェスト, 1982年, 741~744ページ)(非特許文献2)と、米国特許第4,622,656号(特許文献11)および米国特許第5,313,421号(特許文献7)にも記載がある。その全体が参照により本願明細書において援用されている、Oguraらによる「EEPROM/フラッシュのためのバリスティック直接注入による低圧、低電流、高速プログラムステップ分割ゲートセル」(IEDM技術ダイジェスト, 1998年, 987~990ページ)(非特許文献3)に記載されているように、「バリスティック注入」と呼ばれる別のプログラミング技法では、短いチャンネル内に高い電界が生成されて、直接電荷格納エレメント上へ電子を加速する。

10

【0006】

フローティングゲートから電荷を除去して、メモリセルを消去する2つの技法を、前述した2つのタイプのメモリセルアレイの両方で用いる。一方の技法は、ソース、ドレイン、基板、および別のゲートへの適正な電圧の印加により基板に対する消去を行う技法である。これらのゲートによって、フローティングゲートと基板との間の誘電体層の一部を貫通して電子のトンネリングが行われる。

20

【0007】

もう一方の消去技法では、フローティングゲートから別のゲートへ、これらゲート間に配置されたトンネル誘電体層を貫通して電子が転送される。この目的のために、前述した第1のタイプのセルでは、第3のゲートが設けられる。ステアリングゲートの使用に起因して3つのゲートを予め備えた前述した第2のタイプのセルでは、フローティングゲートは第4のゲートを追加する必要なくワードラインのレベルに合わせて消去される。この後者の技法では、ワードラインにより実行される第2の機能が再び追加されるが、これら2つの機能は異なる時点で実行されるため、2つの機能を適合するための妥協を行う必要性が回避される。

30

【0008】

所定サイズのメモリカードや別のタイプのパッケージの格納容量の増加を図るため、あるいは容量の増加とサイズの縮小の両方を図るために、シリコン基板の所定領域に格納できるデジタルデータ量の増加を連続して行うことが望まれている。データの格納密度を上げる1つの方法として、メモリセル当たり1ビット以上のデータを格納する方法がある。このことは、フローティングゲート電荷レベルの電圧範囲のウィンドウを分画して3以上の状態にすることにより達成される。このような4つの状態を用いることにより各セルが2ビットのデータを格納することが可能となり、また16の状態の1セルが4ビットのデータを格納する等々となる。多状態フラッシュEEPROMの構造と動作については、その全体が参照により本願明細書において援用されている、米国特許第5,043,940号(特許文献12)および第5,172,338号(特許文献13)に記載されている。

40

【0009】

メモリセルの物理的サイズおよび/またはアレイ全体の物理的サイズを縮小することにより、データ密度の増加を達成することもできる。より小さい機能サイズの実現を可能にする処理技法が時と共に向上するにつれて、一般に集積回路のサイズの縮小がすべてのタイプの回路に対して実行される。しかし、単純な縮小化によりスケーリングを行うことによって所定の回路レイアウトを縮小できる程度については限度があるため、1または2以上の機能がより狭い面積を占めるようにセルを再設計する努力がなされている。

【0010】

50

さらに、データ格納密度をさらに上げるための様々なメモリセル設計が実施されている。一例として、各フローティングゲート上の多状態の格納とともに作動することもできる NOR 構成で接続されたデュアルフローティングゲートメモリセルがある。このタイプのセルでは、2つのフローティングゲート間に選択トランジスタを備えたソース拡散部とドレイン拡散部との間でそのチャンネル上に2つのフローティングゲートが設けられる。フローティングゲートの各列に沿ってステアリングゲートが備えられ、さらに、ワードラインがフローティングゲートの各行に沿って設けられる。読み出しやプログラミングを行うために所定のフローティングゲートにアクセスする場合、フローティングゲートにどのような電荷レベルが存在しても、対象となるフローティングゲートを有するセルの別のフローティングゲート上のステアリングゲートを十分に高く上げて、もう一方のフローティングゲートの下にあるチャンネルのスイッチをオンにできるようにする。こうすることにより、同じメモリセル内の対象となるフローティングゲートの読み出しやプログラミング時のあるファクタとして他方のフローティングゲートを効果的に除去することができる。例えば、その状態を読み出すために用いることができるセル内を流れる電流量は、この場合、対象となるフローティングゲートの電荷量の関数であって、同じセル内のもう一方のフローティングゲートの電荷量の関数ではない。このセルアレイの構成、その製法、および操作技法の例が、その全体が参照により本願明細書において援用されている、米国特許第5,712,180号(図9+)(特許文献8)に記載されている(本願明細書では以後この特許を「デュアル格納エレメントセル」と呼ぶことにする)。

10

【0011】

20

フラッシュEEPROMシステムにおいて有用な別のタイプのメモリセルでは、不揮発性の態様で電荷を格納するために、導電性フローティングゲートの代わりに非導電性誘電材を用いる。このようなセルが、その全体が参照により本願明細書において援用されている、Chanらの論文「真の単トランジスタ酸化膜・窒化膜・酸化膜EEPROM素子」(IEEE電子デバイス・レター, EDL第8巻, 第3号, 1987年3月, 93~95ページ)(非特許文献4)に記載されている。シリコン酸化物、窒化シリコン、およびシリコン酸化物(「ONO」)から形成される3層誘電体が、メモリセルチャンネル上の導電性制御ゲートと半導電性基板の表面との間に挟持される。セルは、セルチャンネルから窒化物の中へ電子の注入を行うことによりセルをプログラムし、そこで、電子はトラップされ、限定された領域に格納される。次いで、検出可能なやり方でセルチャンネルの一部のしきい値電圧をこの格納された電荷は変化させる。セルは窒化物の中へホットホールを注入することにより消去される。その全体が参照により本願明細書において援用されている、Nozakiらの論文「半導体ディスクアプリケーション用MONOSメモリセルを備えた1MbのEEPROM」(半導体素子回路IEEEジャーナル, 第26巻, 第4号, 1991年4月, 497~501ページ)(非特許文献5)も参照されたい。この論文には、ドープされたポリシリコンゲートがメモリセルチャンネルの一部の上に延在して、別々の選択トランジスタを形成する分割ゲート構成と同様のセルが記載されている。BrownとBrewerにより編集された本の第1.2節(非特許文献1)を参照すると、前述したプログラミング技法についても、誘電体電荷トラッピング素子に適用可能となるように記載されている。

30

【0012】

40

前述した援用されている米国特許第5,851,881号(特許文献14)には、メモリセルのチャンネル上に互いに隣接して配置された2つの格納エレメント(一方は前述したような誘電体ゲートであり、他方は導電性フローティングゲートである)の利用について記載されている。2ビットのデータが、一方は誘電体の形で、他方はフローティングゲートの形で格納される。2つのゲートの各々を2つの異なる電荷レベル範囲のうちの一方の範囲にプログラムすることにより、メモリセルを4つの格納状態のうちの1つ状態を表す4つの異なるしきい値レベルの組み合わせにプログラムする。

【0013】

各セル内に2ビットを格納する別のアプローチが、Eitanらの「NROM:新規な局在化トラッピング、2ビット不揮発性メモリセル」(IEEE電子デバイス・レター, 第2

50

1 巻，第 11 号，2000 年 11 月，543～545 ページ）（非特許文献 6）に記載されている。ONO 誘電体層はソース拡散部とドレイン拡散部との間のチャンネルの両端にわたって延在する。1 ビットのデータ用の電荷がドレインに隣接する誘電体層に局在化され、別の 1 ビットのデータ用の電荷がソースに隣接する誘電体層に局在化される。誘電体内で空間的に分離した電荷格納領域の 2 進状態を別個に読み出すことにより多状態データ格納が得られる。

- 【特許文献 1】米国特許第 5,070,032 号
- 【特許文献 2】米国特許第 5,095,344 号
- 【特許文献 3】米国特許第 5,315,541 号
- 【特許文献 4】米国特許第 5,343,063 号 10
- 【特許文献 5】米国特許第 5,661,053 号
- 【特許文献 6】米国特許第 6,281,075 号
- 【特許文献 7】米国特許第 5,313,421 号
- 【特許文献 8】米国特許第 5,712,180 号
- 【特許文献 9】米国特許第 6,222,762 号
- 【特許文献 10】米国特許第 6,046,935 号
- 【特許文献 11】米国特許第 4,622,656 号
- 【特許文献 12】米国特許第 5,043,940 号
- 【特許文献 13】米国特許第 5,172,338 号
- 【特許文献 14】米国特許第 5,851,881 号 20
- 【特許文献 15】米国特許第 6,091,633 号
- 【特許文献 16】米国特許第 6,103,573 号
- 【特許文献 17】米国特許第 6,151,248 号
- 【特許文献 18】米国特許出願第 09/667,344 号
- 【特許文献 19】米国特許出願第 09/925,134 号
- 【特許文献 20】米国特許出願第 09/925,102 号
- 【特許文献 21】米国特許出願第 09/893,277 号
- 【特許文献 22】米国特許出願第 09/871,333 号
- 【特許文献 23】米国特許第 5,887,145 号
- 【非特許文献 1】Brown と Brewer 著，本「不揮発性半導体メモリ技術」，IEEE Press，第 1.2 節，9～25 ページ（1998 年） 30
- 【非特許文献 2】Kamiya ら著，論文「高いゲート注入効率を持つ EPROM セル」，IEDM 技術ダイジェスト，1982 年，741～744 ページ
- 【非特許文献 3】Ogura ら著，論文「EEPROM / フラッシュのためのバリスティック直接注入による低圧、低電流、高速プログラムステップ分割ゲートセル」，IEDM 技術ダイジェスト，1998 年，987～990 ページ
- 【非特許文献 4】Chan ら著，論文「真の単一トランジスタ酸化膜・窒化膜・酸化膜 EEPROM 素子」，IEEE 電子デバイス・レター，EDL 第 8 巻，第 3 号，1987 年 3 月，93～95 ページ
- 【非特許文献 5】Nozaki ら著，論文「半導体ディスクアプリケーション用 MONOS メモリセルを備えた 1 Mb の EEPROM」，半導体素子回路 IEEE ジャーナル，第 26 巻，第 4 号，1991 年 4 月，497～501 ページ 40
- 【非特許文献 6】Eitan ら著，論文「NROM：新規な局在化トラップング、2 ビット不揮発性メモリセル」，IEEE 電子デバイス・レター，第 21 巻，第 11 号，2000 年 11 月，543～545 ページ
- 【非特許文献 7】DiMaria ら著，論文「シリッチ SiO₂ 注入器およびフローティング多結晶シリコン格納層を用いる電氣的に変更可能なリードオンリメモリ」，日本応用物理学会誌 52（7），1981 年 7 月，4825～4842 ページ
- 【非特許文献 8】Hori ら著，論文「不揮発性メモリアプリケーションのための Si 注入ゲート - SiO₂ 絶縁体を設けた MOSFET」，IEDM 92，1992 年 4 月，469 50

~ 472 ページ

【発明の開示】

【発明が解決しようとする課題】

【0014】

本発明は、一体または独立したいずれの方法でも実現することができる2つの主要な態様を含むものである。一方の主要な態様は、導電性フローティングゲートではなく誘電体電荷格納エレメントを用いる新規な不揮発性メモリセル構造を目的とするものである。他方の主要な態様は、メモリセルトランジスタのチャンネル上に誘電体電荷格納エレメントの両端にわたって1または2以上の限度を設けた領域に3以上の検出可能なレベルのうちの1つのレベルの形で電荷を格納することを目的とするものである。2以上のビットのデータが、チャンネルの一部の上にある誘電体の1つの局部領域に格納される。チャンネルの長さに沿って互いに離間して配置された2以上のこのような独立してプログラム可能な電荷格納領域をこのようなセルのアレイの個々のメモリセルに設けることができ、2以上のビットデータが個々のこのような領域に格納される。

10

【課題を解決するための手段】

【0015】

本発明は、前に発明の背景の欄で説明したような複数の従来のフラッシュメモリシステムにおいて実現することができる。従来のメモリセルアレイが格納エレメントとして導電性フローティングゲートを利用する場合、電荷トラッピング誘電材がフローティングゲートの代わりに用いられる。誘電体格納エレメントを備えたこのような不揮発性メモリシステムをつくり、処理する方法は、その導電性フローティングゲートの対の片方の場合と極めて類似する。電荷は誘電体格納材の両端にわたって移動しないため、誘電体は、複数の行と列とからなるメモリセルの両端にわたって、メモリセルアレイのほとんど別の領域上に延在することが通常可能となる。しかし、メモリセルが選択トランジスタを備える場合、1つの実施形態では、ゲート誘電体は選択トランジスタ内で電子格納材により代用される。

20

【0016】

ゲート構造を有する個々のメモリセルの格納誘電体に2以上の電子格納エレメントを設けることが可能であり、このゲート構造によって、メモリセルチャンネルの長さに沿ってそれぞれの2以上の部分で基板面の両端にわたって電位の独立した制御が可能となる。独立してプログラムされ、読み出された1または2の電荷格納領域は、個々の誘電体電子格納エレメント内で利用してもよい。電子が注入される注入先の誘電体領域の拡大や移動は、消去/プログラミングサイクルの回数が増加するにつれて行われるため、同じメモリセル内の隣接領域に影響を与えることはない。これによって、メモリが耐え得る消去/プログラミングサイクルの回数が増加するため、メモリの有効耐用期間が長くなる。

30

【0017】

ある特定の例では、前に発明の背景の欄で説明したデュアル格納エレメントセルは、メモリセルの2つのフローティングゲートのそれぞれの代わりに用いられる電荷格納用誘電体を備えている。この誘電体は、導電性ステアリングゲートと基板との間に挟持され、そのソースとドレインとの間のメモリセルのチャンネル上に2つの機能的に別個の電荷格納エレメントが形成される。1つの電荷領域が、選択トランジスタの対向する側部にセルチャンネルの長さに沿って存在するこれら2つの格納エレメントのそれぞれに好適に格納されるが、代わりに、2つのこのような領域を用いて電荷格納密度をさらに増加させるようにしてもよい。ある領域内の電荷レベルはその領域の下にあるセルチャンネルの長さ部分のしきい値レベルに影響を与える。2以上のこのような電荷レベル、したがって、2以上の異なるしきい値レベルは、個々のメモリセルの2つの電荷格納領域のそれぞれにプログラムされるように規定されている。アドレス指定されたセルの2つの電荷格納領域のうちの選択された領域のプログラミングと読み出しとが、デュアルフローティングゲートシステムの場合と同様に選択トランジスタのスイッチをオンにして、別のチャンネル部を強く導電性へ駆動することにより行われる。これによって、アドレス指定されたセルの選択された電荷

40

50

格納領域がそのソース、ドレインおよびゲートにかかる電圧に反応することになる。フローティングゲートの代わりに電荷格納誘電体を用いることが可能なデュアル格納エレメントセルアレイの具体例が、その全体が参照により本願明細書において援用されている、米国特許第6,091,633号(特許文献15)、米国特許第6,103,573号(特許文献16)および米国特許第6,151,248号(特許文献17)、並びに2000年9月22日に出願されたYuanらの「連続するビットライン導体が接触する不連続なソース拡散部とドレイン拡散部とを備えた不揮発性メモリセルアレイおよび形成方法」という係属出願中の米国特許出願第09/667,344号(特許文献18)、2001年8月8日に出願されたHarariらの「基板トレンチを利用する不揮発性メモリセル」という米国特許出願第09/925,134号(特許文献19)、および2001年8月8日に出願されたYuanらの「スケーラブルな自己整合されたデュアルフローティングゲートメモリセルアレイおよび前記アレイの形成方法」という米国特許出願第09/925,102号(特許文献20)に記載されている。

10

【0018】

デュアル格納エレメントセルの本発明による別の態様には、電荷格納領域を利用する個々のメモリセルの選択ゲートの下で第3の誘電体格納エレメントを設ける態様が含まれる。これによって、それぞれの電荷格納領域が2状態(2進演算)で処理されるとき、各メモリセルに3ビットデータを格納することが可能となるが、電荷格納領域の若干またはすべてを3以上の状態で処理する場合、さらに多くのデータが単一のセル内に格納される。さらに、制御(ステアリング)ゲートラインの幅を規定するためにマスク内の誘電体スペースを利用するメモリセルアレイの製造工程をメモリセルの1つの寸法を縮小するためにオプションとして利用して、アレイのデータ格納密度を高めるように意図してもよい。

20

【0019】

別の具体例では、NANDアレイは誘電体層の格納エレメント領域により置き換えられたNANDアレイのメモリセルフローティングゲートを有する。この誘電体はワードラインと基板面との間に挟持される。そうでなければ、アレイは、その全体が参照により本願明細書において援用されている、2001年6月27日に出願された米国特許出願第09/893,277号(特許文献21)に記載されているように処理される。それぞれの格納エレメント領域は3以上の電荷レベルを格納するように処理してもよく、それによって個々のこのような領域内に2以上のビットデータが格納される。

30

【0020】

NANDアレイの改善によってNANDメモリセルストリングの長さに沿って、隣接するワードラインと格納エレメントとの間での基板内の通常の冶金によるソース/ドレイン領域が不要となる。代わりに、ワードラインと電荷格納エレメントとは、NANDストリングに沿った電荷格納エレメントの密度をほとんど2倍にするようなやり方でより近接して一体にバックされる。すなわち、追加のワードラインと電荷格納エレメントとは、メモリセルのNANDストリング内のソース拡散部とドレイン拡散部とが現在占める空間内に配置される。この改善されたアレイは、メモリセルのソース/ドレイン領域を備えたNANDアレイの場合と同様に処理される。

【0021】

本発明の追加の態様、利点、および特徴は、本発明の例示的な実施形態についての以下の説明に含まれるが、この説明は添付図面と共に読まれるべきである。

【発明を実施するための最良の形態】

【0022】

図面を参照しながら、いくつかの具体的なメモリセル構成について説明する。各メモリセル構成では、電荷は、導電性ゲートと基板との間に配置された電荷トラッピング誘電体の少なくとも1つの領域に格納される。メモリセルのこれら例は、1ビットのデータがそれぞれの電荷格納領域に格納される2進モード、または2以上のビットのデータがそれぞれの電荷格納領域に格納される多状態モードのうちのいずれかのモードで処理することができる。

50

【 0 0 2 3 】

第 1 のメモリセルの例 (図 1 ~ 図 6)

2 次元セルアレイの数個のセルが、図 2 A と図 2 B に示す断面図と共に平面図である図 1 に示されている。細長い、並列のソース拡散部とドレイン拡散部 1 0 3 , 1 0 4 , 1 0 5 が、拡散部の y 方向に延在し、かつ、x 方向に隔置された長さが設けられた半導体基板 1 0 0 の表面 1 0 1 内に形成される。電荷格納材を含む誘電体層 1 0 7 が基板面 1 0 1 上に形成される。細長い、並列の導電性制御ゲート 1 0 9 , 1 1 0 , 1 1 1 が x 方向に延在し、y 方向に隔置された長さを有する。これらゲートを、一般にドーブされたポリシリコン材からつくることができる。

【 0 0 2 4 】

この単純な構造 (これはその利点のうちの 1 つの利点である) の電荷格納エレメントは、ソース拡散部とドレイン拡散部 1 0 3 ~ 1 0 5 との間の誘電体層 1 0 7 の領域であり、制御ゲート 1 0 9 ~ 1 1 1 と基板面 1 0 1 との間に挟持される。これら格納エレメント領域は、図 1 にクロスハッチングでマークされている。作動可能なメモリセルを形成することを目的として、電荷トラッピング材をこれら領域だけに配置する必要があるが、この電荷トラッピング材は、メモリセルアレイ全体を含む、任意の別の都合のよい構造の一部の上にわたって延在するものであってもよい。

【 0 0 2 5 】

このメモリセルアレイは、標準的な処理技法、特に、フローティングゲートを利用するタイプのフラッシュ E E P R O M アレイを製造するために開発された標準的な処理技法により形成してもよい。主要な処理工程として、基板面上にイオン注入マスクを形成する工程が含まれる。次いで、この注入マスクを通してイオンがソース / ドレイン領域 1 0 3 ~ 1 0 5 内へ注入される。次いで、このマスクは除去され、誘電体層 1 0 7 がアレイ全体にわたって形成される。次いで、ドーブされたポリシリコンやポリサイドなどの導電材層が誘電体層 1 0 7 上に成膜され、エッチマスクがこの誘導体の頂面に形成され、ポリシリコンのエッチングがマスクを通して行われ、制御ゲート 1 0 9 ~ 1 1 1 が後に残される。ポリシリコンの場合、ドーブされた形で最初にポリシリコンを成膜するか、あるいはポリシリコンが細長いストリップ 1 0 9 ~ 1 1 1 に分離される前にイオンを注入することによりポリシリコンをその後ドーブするかのいずれかの方法により、これら制御ゲートに導電性をもたせるために、これら制御ゲートはドーブされる。ポリシリコンのエッチングを行うとき、エッチングされている領域内の誘電体層 1 0 7 もメモリの動作にとって不要であるため除去され、誘電体層 1 0 7 のストリップが制御ゲート 1 0 9 ~ 1 1 1 の下に残される。最後に、隣接セル行間での電気絶縁を向上させるために、マスクとして制御ゲートを用いて、制御ゲートストリップ 1 0 9 ~ 1 1 1 間で基板内への別の注入が行われる。

【 0 0 2 6 】

このようなアレイのプログラミングおよび電荷リテンションが図 3 に示されているが、1 つのメモリセルを含む図 2 A の一部は拡大されたものである。前に発明の背景の欄で説明したチャンネルホットエレクトロン注入法によりプログラミングが行われる。基板 1 0 0 、ソース 1 0 4 、ドレイン 1 0 5 および制御ゲート 1 1 0 に適正な電圧がかけられると、ソースからドレインへ向かってセルチャンネル内で電子が十分に加速され、ドレイン 1 0 5 に隣接する誘電体層 1 0 7 内の領域 1 1 5 内へ注入されて、そこに保持される。印加される実際のプログラミング電圧はアレイ構造の細部に依存するが、基板 1 0 0 : 0 ボルト、ソース 1 0 4 : 0 ボルト、ドレイン 1 0 5 : 5 ボルト、および制御ゲート 1 1 0 : 8 ボルトが典型的な例である。

【 0 0 2 7 】

好ましいプログラミング技法は、前に発明の背景の欄で説明した文献に記載されているような導電性フローティングゲートを用いるフラッシュ E E P R O M の技法に従うものである。このプログラミング電圧の同時パルスは、同時に複数のセルに周期的に印加され、セルのプログラムされた状態がプログラミングパルス間において読み出される。個々のセルがそのプログラムされたレベルに達したとき、このセルへのプログラミングパルスの印

加は終了する。隣接列内のセル間でソース拡散部とドレイン拡散部とが共有され、フローティングゲートメモリアレイで広く利用される仮想接地モードでこれらの拡散部が処理されることに留意されたい。

【 0 0 2 8 】

図 3 のメモリセルのチャンネル長は、電荷格納領域 1 1 5 の外側の長さ部分を表す「 L_1 」と、電荷格納領域 1 1 5の下にある長さ部分を表す「 L_2 」との 2 つの構成要素を有するという特徴を持っている。曲線 1 1 7 はチャンネルのしきい値電圧 (V_T) 特性を示す。この曲線は、基板面 1 0 1 内で行われたかもしれない何らかのしきい値を変更する注入や、何らかの以前のチャンネル消去処理のインパクト（後程説明する）に依存して、あるレベルでチャンネル長セグメント L_1 に沿って平らである。領域に格納された電荷が L_1 セグメント内のしきい値特性に影響を与えることはない。しかし、 L_2 チャンネルセグメント内では、しきい値は格納された電荷により著しい影響を受け、さらに、フローティングゲートの対の片方のシステムの場合のように、このしきい値はセルの格納状態を確定するために測定される特性値である。

【 0 0 2 9 】

チャンネル領域上に形成される酸化物層の中を貫通させるファウラー - ノルドハイムトンネリングによるプログラミングにはその限界がある。このプログラミングは、NAND 構成や AND 構成などのある特定のメモリアレイ構成だけで利用することができる。第 1 のメモリアレイの例、あるいは本願明細書で後述する第 2 または第 3 のメモリアレイの例のいずれもこの技法によりこれらをプログラムすることは実際的ではない。しかし、このようにプログラムできれば、誘電体層 1 0 7 内の格納領域は、電荷格納領域 1 1 5に限定される代わりにチャンネル長 ($L_1 + L_2$) 全体の両端にわたってほぼ均一に延在することになる。

【 0 0 3 0 】

V_T が 1 つの所定のしきい値レベル以上か未満かを検出することにより、1 ビットのデータを格納するように個々のセルを 2 進モードで処理することができる。しかし、本発明の 1 つの主要な態様によれば、3 以上のレベルや、3 以上の所定のしきい値レベルにより分離される V_T の範囲を区別するようにセルの処理を行うことにより、個々のセルに 2 以上のビットのデータを格納することも可能である。 L_2 セグメント内のしきい値レベルのウィンドウが、一例として、セル当たり 2 ビットを格納する 4 状態 0 ~ 3 に分画されて、図 3 に示されている。格納エレメント当たり 3 以上のビットを格納するためには、5 以上のレベルを代わりに指定してもよい。例示の電流 / 電圧特性が、誘電体領域 1 1 5 に格納される適切な電荷量の結果として、その 4 つの格納状態のそれぞれについて図 3 のセル用に図 4 に示されている。図 4 の X 軸に沿う量 V_{CG} はセルの制御ゲート 1 1 0 にかかる電圧であり、Y 軸上の量 I_{CELL} はセルのチャンネルの中を通る電流である。

【 0 0 3 1 】

図 3 に示すメモリセルは実際には分割チャンネルセルである。というのは、電荷格納領域 1 1 5 がチャンネルの一部だけの両端にわたって延在するからである。セルの電氣的等価回路が図 5 に示されている。2 つのトランジスタ Q 1 および Q 2 が隣接するソース拡散部 1 0 4 とドレイン拡散部 1 0 5（ビットライン）との間で直列に接続されている。トランジスタ Q 1 は、セルのエレメントにかかる電圧の十分な組み合わせを行うことにより、プログラミング中または読み出し中に導電性が与えられる。読み出し中、電圧源 1 2 1 (V_{CG}) は制御ゲート 1 1 0（ワードライン）と接続され、電圧源 1 2 5 (V_S) は拡散部 1 0 4 と接続され、電圧源 1 2 7 (V_D) は拡散部 1 0 5 と接続される。

【 0 0 3 2 】

導電性フローティングゲートを備えたセルと同様に図 3 のセルを読み出すことができる。2 つの一般的な方法がある。制御ゲート電圧 V_{CG} を固定して保ち、セルの格納状態の表示としてセンス増幅器回路 1 2 9 によりセル (I_{CELL}) の中通る電流を測定するようにしてもよい。印加される実際のプログラミング電圧はアレイ構造の細部に依存するが、基板 1 0 0 : 0 ボルト、ソース 1 0 4 : 0 ボルト、ドレイン 1 0 5 : 1 ボルト、および制御

10

20

30

40

50

ゲート 1 1 0 : 3 ~ 5 ボルトの電圧が典型的な例である。代わりに、制御ゲート電圧 V_{CG} を変えて、センス増幅器 1 2 9 によりセル電流の値がある一定のしきい値を横切ったことを検出したとき、制御ゲート電圧 V_{CG} の値を知らせるようにしてもよい。この電圧値によってセルの格納状態の表示が行われる。この例は、「順方向」読み出しを利用するものである。というのは、プログラミング中のドレインは読み出し中のドレインでもあるからである。これ以外にも、「逆方向」モードで読み出しを行うことができる。その場合、プログラミング中のドレインとソースとは読み出し中逆方向にされる。

【 0 0 3 3 】

図 5 の結線図には、プログラミング中センス増幅器 1 2 9 を通常接続しないという点を除いて、セルのプログラミングに用いる構成要素も含まれる。電圧源 1 2 1 , 1 2 5 , 1 2 7 はプログラミング中図 5 に示すように接続されるが、供給電圧の値は異なるものとなる。適正な電圧を印加して、誘電体電荷トラッピング領域から基板へ電子を移動させることにより、少なくとも 1 つのワードラインに沿う複数のセルを一括消去することが可能である。一組の消去電圧の例として、基板 1 0 0 : 0 ボルト、ソース 1 0 4 : フローティング、ドレイン 1 0 5 : 5 ボルト、制御ゲート 1 1 0 : - 8 ボルトのような例がある。

【 0 0 3 4 】

図 6 は、本願明細書に記載されているメモリセルの例のすべてで利用できる電荷格納誘電体層 1 0 7 用の 2 つの例示の構造を示す。第 1 の構造 (図 6 A) には、一般に単に「酸化物」と呼ばれる基板面 1 0 1 上で成長したシリコン酸化物 (SiO_2) 層 1 3 5 が含まれ、その後、層 1 3 5 上にわたって成膜される、一般に単に「窒化物」と呼ばれる窒化シリコン (Si_3N_4) 層 1 3 7 が続く。次いで、酸化物層 1 3 9 の成長が窒化物層 1 3 7 上で行われたり、窒化物層 1 3 7 上に酸化物層 1 3 9 の成膜が行われり、あるいはこれら 2 つの組み合わせが行われたりする。この酸化膜 / 窒化膜 / 酸化膜の構成は、「ONO」として知られている。電子はトラップされ、窒化物層 1 3 7 内に格納される。例示のこれら層の厚さは、層 1 3 5 : 40 ~ 80 オングストローム、層 1 3 7 : 50 ~ 80 オングストローム、層 1 3 9 : 50 ~ 100 オングストロームのようになる。次いで、制御ゲートが形成される源となる導電材層が ONO 層上に成膜される。

【 0 0 3 5 】

図 6 B に示す第 2 の構造は、電子をトラップし、格納するために、シリコン・リッチ・シリコン二酸化物からなる特製の層 1 4 1 を利用するものである。このような材料については、その全体が参照により本願明細書において援用されている、DiMaria らによる論文「シリッチ SiO_2 注入器およびフローティング多結晶シリコン格納層を用いる電気的に変更可能なリードオンリメモリ」 (日本応用物理学会誌 52 (7) , 1981 年 7 月 , 4825 ~ 4842 ページ) (非特許文献 7) と、Hori らの論文「不揮発性メモリアプリケーションのための Si 注入ゲート - SiO_2 絶縁体を設けた MOSFET 」 (IEDM 92 , 1992 年 4 月 , 469 ~ 472 ページ) (非特許文献 8) とに記載されている。一例として、層 1 4 1 の厚さを約 500 オングストロームとすることができる。

【 0 0 3 6 】

第 2 のメモリセルの例

1 組ではなく 2 組の直交して配置される導電性ゲートの使用により第 1 の例とは異なる、別の例示のメモリアレイが図 7 ~ 図 9 に示されている。図 7 はアレイの数個のセルを平面図で示し、図 8 A と図 8 B は 2 つの直交方向の断面図である。基板 1 6 3 の表面 1 6 4 内に形成された並列のソース拡散部とドレイン拡散部 1 5 1 , 1 5 2 , 1 5 3 は、アレイの両端にわたって y 方向に細長く形成され、x 方向に隔置される。ステアリングゲートと呼ばれる場合もある導電性制御ゲート 1 5 5 , 1 5 6 , 1 5 7 も y 方向に細長く形成され、x 方向に隔置される。これらゲートはそれぞれの拡散部 1 5 1 , 1 5 2 , 1 5 3 に沿って配置される。これら拡散部は、メモリセルチャネルの両端にわたってこれら制御ゲートを配置できるように、第 1 の例の拡散部よりもさらに大きく離間して配置される。アレイのワードラインを形成する第 2 の組の導電性制御ゲート 1 5 9 , 1 6 0 , 1 6 1 は x 方向に細長く形成され、y 方向に隔置される。導電性ゲートは、一般にドーブされたポリシリ

10

20

30

40

50

コンから形成されるが、他の低い抵抗材から形成されたものであってもよい。

【 0 0 3 7 】

図 8 A と図 8 B の断面図を参照すると、電荷格納用誘電体層 1 6 5 がアレイの基板面 1 6 4 上に形成される。この誘電体は、図 6 A ~ B と関連して前述した 2 つの特定の誘電体のうち的一方であってもよい。別の誘電体層 1 6 7 が、互いを横切る 2 組の導電性ゲート間に形成される。2 組のゲート間の電位差を維持することを目的として、この層は 2 5 0 オングストローム厚の酸化物などの比較的厚い層となるようにつくられる。

【 0 0 3 8 】

図 8 A および図 9 の 1 つのメモリセルの拡大断面図から、個々のメモリセルチャンネルの長さが、2 組の制御ゲートの異なる部分および電磁界結合した 2 つの部分に分画されることに留意されたい。ワードライン 1 6 0 はチャンネル長の左側およそ 1 / 2 の上にあり、制御ゲート 1 5 7 が他方のチャンネル長上にある。電荷格納用誘電体 1 6 5 は基板面 1 6 4 とこれらゲートとの間に挟持される。第 1 の例の処理とは異なるこのアレイの処理時における主要な相違点として、層 1 6 5 内の 2 つの隣接領域 1 7 1 , 1 7 3 に電荷を格納することが可能であるという点、さらに、これら領域のそれぞれを個々にプログラムし、他方の領域から独立して読み出すことが可能であるという点が挙げられる。ソース側注入によるプログラミングが好ましく、このプログラミングによって、領域 1 7 1 がゲート 1 6 0 の内部端面に隣接して配置され、領域 1 7 3 がゲート 1 5 7 の内部端面に隣接して配置される。これに対して、チャンネルホットエレクトロン注入によりプログラムされた場合、電子は領域 1 7 1 , 1 7 3 の代わりに層 1 6 5 内の領域 1 7 2 , 1 7 4 に格納される。領域 1 7 2 , 1 7 4 は、セルのソース/ドレイン領域 1 5 2 , 1 5 3 のそれぞれの領域に隣接する。

【 0 0 3 9 】

この例のセルは、隣接するソース/ドレイン領域 1 5 2 と 1 5 3 との間に、セルのチャンネル上に 2 つの電荷格納エレメントを有効に含むものであり、導電性ゲート 1 6 0 の下に一方のエレメントがあり、導電性ゲート 1 5 7 の下に他方のエレメントがある。誘電体層 1 6 5 をこれら領域に限定してもよく、あるいは、アレイのより多くの部分にわたって誘電体層 1 6 5 が延在するほうが通常さらに好都合である。図 7 ~ 図 9 は、アレイ全体に延在する電荷格納層 1 6 5 を示している。

【 0 0 4 0 】

図 9 の曲線 1 7 5 は、ソース側注入により領域 1 7 1 , 1 7 3 内でプログラムされた場合の、セルのチャンネルの両端にわたって変動するしきい値電圧特性 (V_T) を示す。領域 1 7 1 に格納された電荷量は、その下にあるしきい値の V_T 値 1 7 7 を与え、領域 1 7 3 に格納された電荷量は、その下にあるしきい値の V_T 値 1 7 9 を与える。しきい値 1 7 7 , 1 7 9 のそれぞれを 2 つの格納状態のうち的一方の状態に保持してもよい。その場合、1 つのブレイクポイントしきい値がこれら状態間で設定される。これが終了した場合、2 ビットのデータが個々のセルに格納される。代わりに、第 1 の例のアレイ用として図 3 に示されているように、しきい値 1 7 7 , 1 7 9 のそれぞれを 3 以上のレベルで処理してもよい。図 3 に示すように、しきい値 1 7 7 , 1 7 9 のそれぞれを 4 状態で処理する場合、4 ビットのデータの合計が個々のメモリセルに格納される。言うまでもなく、チャンネルの一部または両方の部分を 5 以上のレベルで処理する場合、5 以上のビットのデータが個々のセルに格納される。電荷格納領域 1 7 1 , 1 7 3 の分離を保証するために、それら領域間の誘電体層 1 6 5 の一部を除去して、熱酸化膜または別の比較的非トラッピングな誘電体によってこの一部を置き換えることができる。また、ソース側注入の代わりにチャンネルホットエレクトロン注入によってセルをプログラムする場合、曲線のレベル 1 7 8 , 1 8 0 は電荷格納領域 1 7 2 , 1 7 4 のしきい値電圧効果を示す。代わりに、個々のメモリセルに格納されたデータ量をさらに増加させるために、ソース側注入およびホットエレクトロン注入の両方を用いてプログラミングを行うことによりすべての 4 つの電荷格納領域 1 7 1 ~ 1 7 4 を利用するようにしてもよい。

【 0 0 4 1 】

しきい値 177, 179 のそれぞれを、好適にプログラムし、互いに独立して読み出す。セルの一方のセグメントを強くオンにすることによってそのプログラムされたしきい値レベルのいずれの効果も取り除かれるのに対して、他方のセグメントはプログラムされたり、読み出されたりする。アレイに印加される特定の電圧はそのアレイの特定の構造に依存するものであるが、以下の値は、ソース側注入による図9のセルのプログラミングに利用できると考えられるおおよその電圧である。

左側セグメントをプログラムする場合、領域 171 : 基板 163 : 0 ボルト、ソース 153 : $V_S = 0$ ボルト、ドレイン 152 : $V_D = 5$ ボルト、ワードライン 160 : $V_{WL} = 8$ ボルト、および制御ゲート 157 : $V_{SG} =$ 右側素子のしきい値 V_T 179 + 約 1 ボルトである。

10

右側セグメントをプログラムする場合、領域 173 : 基板 163 : 0 ボルト、ソース 152 : $V_S = 0$ ボルト、ドレイン 153 : $V_D = 5$ ボルト、制御ゲート 157 : $V_{SG} = 8.8$ ボルト、およびワードライン 160 : $V_{WL} =$ 左側素子のしきい値 V_T 177 + 約 1 ボルトである。

チャンネルホットエレクトロン注入によるプログラミング用電圧のおおよその値は、例えば、以下のようなものとして行うことができる。

左側セグメントをプログラムする場合、領域 172 : 基板 163 : 0 ボルト、ソース 153 : $V_S = 0$ ボルト、ドレイン 152 : $V_D = 5$ ボルト、制御ゲート 157 : $V_{SG} = 8$ ボルト、およびワードライン 160 : $V_{WL} = 8$ ボルトである。

右側セグメントをプログラムする場合、領域 174 : 基板 163 : 0 ボルト、ソース 152 : $V_S = 0$ ボルト、ドレイン 153 : $V_D = 5$ ボルト、制御ゲート 157 : $V_{SG} = 8$ ボルト、およびワードライン 160 : $V_{WL} = 8$ ボルトである。

20

プログラミングは、これら電圧を同時に用いて複数のセルのパルス出力を交互に行い、それらプログラムされた状態を読み出すことによりこれら状態を検証することによってこの例で好適に達成される。このプログラミングは、フローティングゲート・フラッシュメモリゲートアレイの場合のように所望のレベルに達した後セル毎に終了する。

【0042】

前述したようなやり方で領域 171, 173 だけをプログラムする場合、図9のセルに対する例示の読み出し用電圧は以下になる。

左側領域 171 を読み出す場合、しきい値 177、0 ボルトが基板 163 とソース 152 に印加され、ドレイン 153 は低い電圧 (1 ボルトなど) に保たれ、選択ゲート 157 は、領域 173 がその最高のしきい値状態までプログラムされた場合に導通することを保証できるほど十分に高い電圧に保たれる。次いで、ワードライン 160 の電圧が変更され、領域 171 のしきい値を検出するためにビットライン電流がモニタされる。

30

同様に、右側領域 173 を読み出す場合、しきい値 179、0 ボルトが基板 163 とソース 153 に印加され、ドレイン 152 は低い電圧に保たれ、ワードライン 160 は高い電圧に保たれる。次いで、選択ゲートの電圧が変更され、領域 173 のしきい値を検出するためにビットライン電流がモニタされる。

前述したようなやり方で電荷格納領域 172, 174 だけをプログラムする場合、図9のセルに対する例示の読み出し用電圧は以下になる。

40

左側領域 172 を読み出す場合、しきい値 178、0 ボルトが基板 163 とソース 152 に印加され、8 ボルトが選択ゲート 157 に印加され、低い電圧 (1 ボルトなど) がドレイン 153 に印加される。次いで、ワードライン 160 の電圧が変更され、領域 172 のしきい値を検出するためにビットライン電流がモニタされる。

右側領域 174 を読み出す場合、しきい値 180、0 ボルトが基板 163 とソース 153 に印加され、8 ボルトがワードライン 160 に印加され、およそ 1 ボルトがドレイン 152 に印加される。次いで、選択ゲート 157 の電圧が変更され、領域 174 のしきい値を検出するためにビットライン電流がモニタされる。

4 つの領域 171 ~ 174 のすべてが電荷を用いてプログラムされたとき、これら領域を以下のように同時に読み出すことができる。

50

電荷格納領域 172, 174 を読み出す場合、読み出しは前述したように進行する。

領域 171 を読み出す場合、0 ボルトが基板 163 とソース 153 に印加され、選択ゲート 157 は、領域 173, 174 がその最高のしきい値状態までプログラムされたとき導通することを保証できるほど十分に高い電圧に保たれ、領域 172 を通じて空乏ができるほど十分な電圧（およそ 3 ボルト）がドレイン 152 に印加される。次いで、ワードライン 160 の電圧が変更され、領域 171 のしきい値を検出するためにビットライン電流がモニタされる。

領域 173 を読み出す場合、0 ボルトが基板 163 とソース 152 に印加され、ワードライン 160 は、領域 171, 172 がその最高のしきい値状態までプログラムされたとき導通することを保証できるほど十分に高い電圧に保たれ、領域 174 を通じて空乏ができるほど十分な電圧（およそ 3 ボルト）がドレイン 153 に印加される。次いで、選択ゲート 157 の電圧が変更され、領域 173 のしきい値を検出するためにビットライン電流がモニタされる。

【0043】

さらに、4 つの領域すべてのこのような読み出しを可能にするために、互いに所定の関係を持つように、各対の領域（左側の対 171 と 172 および右側の対 173 と 174）にプログラムされた状態の電荷レベルを制約することが望ましい。このような 1 つの関係として、各対の外側の電荷格納領域、すなわち左側の対用の領域 172 および右側の対用の領域 174 に電荷レベルが与えられ、対（例えば、ほぼ 1 状態レベル分高い）のそれぞれの内部領域 171 または 173 よりも十分に高いしきい値電圧（ V_T ）が結果として得られるということが挙げられる。これにより、いくつかのしきい値の組み合わせについての所定の制約を利用しないで、前述したようなやり方で 1 つのゲートの下にある 2 つの領域のそれぞれのしきい値を読み出すことが可能となる。これは、内部領域のしきい値が、外側領域のしきい値に等しいか、あるいはこれを上回る値に対してプログラムされないことに起因する。

【0044】

このことを説明するのに一例を挙げることが有用である。低いほうから 0, 1, 2, 3 の順に最高を 4 として 5 つのプログラムされたしきい値レベルの範囲を指定することができる。これら範囲のうちの 4 つの範囲が電荷格納領域 171 ~ 174 のそれぞれで使用され、上位の組のしきい値レベル 1 ~ 4 が外側領域 172, 174 の各領域用であり、また、低位の組のしきい値レベル 0 ~ 3 は内部領域 171, 173 用である。この場合、個々の電荷格納領域のしきい値電圧の許される組み合わせから得られる電荷格納用の各対として、以下のように 10 の格納状態を指定することができる。

状態	外側領域 V_T	内部領域 V_T
0	1	0
1	2	0
2	3	0
3	4	0
4	2	1
5	3	1
6	4	1
7	3	2
8	4	2
9	4	3

したがって、各領域内の 5 つの異なる電荷（しきい値）レベルの検出を行うことにより

、合計 10 の異なる状態が図 9 に示すメモリセルのそれぞれの側で検出可能となり、この結果、メモリセルについて 100 の異なる格納状態の組み合わせが得られることになる。言うまでもなく、より少数のしきい値レベルを用いることにより、より少数の検出可能な状態が結果として得られることになる。また、しきい値レベルの数の増加は追加の格納状態を提供することになる。

【 0 0 4 5 】

4 つの領域のそれぞれでしきい値レベルをプログラムする望ましい順序も存在する。すなわち、外部領域 1 7 2 , 1 7 4 のプログラミングよりも先に内部領域 1 7 1 , 1 7 3 の両方のプログラミングを行うことである。共通のワードラインを共有するこのようなセル行の各セルにソース側注入を行うことにより領域 1 7 3 が最初にプログラムされる。次いで、ソース側注入を可能にするために、領域 1 7 1 の下の領域 1 7 3 にプログラムされた電荷レベルに依存する電圧 V_{SG} を領域 1 7 1 のそれぞれの制御ゲート 1 5 7 に印加した状態で、領域 1 7 1 を同様に行に沿ってプログラムする。次いで、ホットエレクトロン注入によりいずれかの順序で領域 1 7 2 , 1 7 4 をプログラムする。

【 0 0 4 6 】

この例および他の 2 つの例では、それら電荷トラッピング層内へのホール注入により、および / または電荷トラッピング層から電子を取り出すことによりメモリセルの消去が達成される。これらホールによって、プログラミング処理中に電荷トラッピング層内へ注入された電子の負電荷は無効になる。プログラミング中に電子を受け取り、消去中にホールを受け取るのはこの第 2 の例 (図 7 ~ 図 9) の層 1 6 5 である。2 つの固有の消去技法が存在する。「チャンネル消去」と呼ばれている 1 つの消去技法では、ホールは、基板面と接触するこの層の酸化物部分の中を貫通することによりシリコン基板から層 1 6 5 の電荷格納部分内へ注入される。同じアプローチで、層 1 6 5 の電荷格納部分に格納された電子のいくつかは、シリコン表面まで層 1 6 5 の酸化物部分を貫通するトンネリング機構により取り出すことが可能である。これをもたらしために図 9 のセルの場合、基板に関して、ワードライン並びに選択ゲートに負電位が印加される。この場合、ドレインおよびソースは接地されるか、フローティング状態に放置される。別の技法では、ホールはドレインまたはソースの近くの基板の領域から層 1 6 5 内へ注入され、および / または、層 1 6 5 とソース / ドレイン領域との間でトンネリングを行うことにより電子が取り出される。この第 2 のアプローチでは、図 8 と図 9 を参照すると、ワードライン 1 5 9 ~ 1 6 1 とステアリングゲート 1 5 5 ~ 1 5 7 の双方にかかる負電圧と、ドレインおよびソース 1 5 1 ~ 1 5 3 にかかる正電圧との組み合わせが印加される。(前述した第 1 の例の図 3 に示すセルでは、正電圧はドレイン 1 0 5 に印加され、ソース 1 0 4 はフローティング状態に放置され、負電圧はワードライン 1 1 0 に印加される。) 図 9 のセルの内部格納領域 1 7 1 と 1 7 3 とが使用中の場合、この第 2 の消去アプローチは利用されない。

【 0 0 4 7 】

セルがソース側注入によりプログラムされたとき、チャンネル消去技法が用いられる。ホットエレクトロン注入法によりプログラムされた格納領域だけを使用する場合、これら 2 つの消去技法のうちのいずれかを使用することができる。しかし、セルがホットエレクトロン注入によりプログラムされた場合、このチャンネル消去には、チャンネル全体の両端にわたってホールおよび / または電子のトンネリングが行われるという問題点があり、従来のプログラミングによりトラップされた電子を含まない電荷トラッピング層の一部の過消去が生じる結果となる。これが、セルチャンネルの両端にわたる曲線 1 7 5 (図 9) の平らな 0 部分を負のしきい値まで下げる原因になっていると考えられる。

【 0 0 4 8 】

この第 2 の例では、セルブロック内で複数のセルの同時消去を行うために、基板 1 6 3 : 0 ボルト、ソース 1 5 2 : $V_S = 5$ ボルト、ドレイン 1 5 3 : $V_D = 5$ ボルト、制御ゲート 1 5 7 : $V_{SG} = -8$ ボルト、およびワードライン 1 6 0 : $V_{WL} = -8$ ボルトの電圧が同時に個々のセルに印加される。これら電圧によって前述した第 2 の消去アプローチが実行される。

10

20

30

40

50

【 0 0 4 9 】

標準的な処理技法、特に、フローティングゲートを利用するタイプのフラッシュEEPROMアレイの製造用として開発された標準的な処理技法により、図7～図9のメモリセルアレイを形成してもよい。1つの処理例では、層165はメモリセルアレイの基板領域全体にわたって最初に形成される。次いで、第1のポリシリコン層がこの領域上にわたって成膜され、ポリシリコンのエッチングが適切なマスクを通して行われ、制御ゲート155～157が後に残される。1つの例では、制御ゲート155～157間の層165はこのエッチング処理の一部として除去される。次いで、制御ゲートと別の一時的なマスク材料（図示せず）とにより形成されるマスクを通してソース/ドレイン領域151，152，153が注入され、これによって、制御ゲート155～157の1つの端面との自己整合が行われる。層165が、制御ゲート155～157間にある基板面164上に形成されると同時に制御ゲート155～157の頂部と側部とにわたっても形成される。この層は、ONO（図6A）またはシリコンリッチ酸化物（図6B）からなる連続層である。図8および図9に示す層167は、同じ層165の一部または層165と別の誘電材との組み合わせであってもよい。このような別の誘電材は、制御ゲート155～157の頂面上の制御ゲート155～157および/または厚い酸化物層（図示せず）からなる垂直壁に沿って形成される酸化物スペーサ（図示せず）の形のものであってもよい。この頂面の酸化物を、制御ゲート155～157に分離する前に、第1のポリシリコン層の頂部に酸化物を成膜することにより形成するのが好ましい。次いで、第2のポリシリコン層がこの連続層上にわたって形成され、エッチングされて、ワードライン159，160，161に変えられる。

10

20

【 0 0 5 0 】

この第2の例のメモリセルは、追加された制御（ステアリング）ゲート155～157に起因して、1解像要素分だけx方向に図1～図3の第1の例よりも大きな寸法を有することに留意されたい。第2のポリシリコン層はこの第2の例でも必要となる。しかし、この追加された構造とサイズとによって、個々のセルに格納できるデータ量を2倍にすることが可能となる。

【 0 0 5 1 】

いくつかの目的のために図7～図9のセルを有効に変更することによって、制御ゲート155～157の下の子格納層は、通常基板面164上に成長した酸化物である薄い（200オングストローム厚などの）ゲート誘電体と置き換えられる。これによって第2の電子格納領域173が除去されるが、独立した選択トランジスタ機能を個々のセルに追加する。次いで、個々のセル行に消去を制限することができる。

30

【 0 0 5 2 】

第3のメモリセルの例

図10～図13に示すこの例では、発明の背景の欄で前述したデュアル格納エレメントセルアレイに、図6A～図6Bと関連して前述した誘電体電荷トラッピング材層の一部により置き換えられたアレイの導電性フローティングゲートが設けられる。このアレイの製造と処理は、前述した発明の背景の欄と発明の開示の欄の中で援用されている特許および特許出願に記載のデュアル格納エレメントセルのアレイの場合と同様である。

40

【 0 0 5 3 】

図10～図12はアレイを示す。ソース拡散部とドレイン拡散部185，186，187は、半導体基板183の表面181内に形成され、y方向に延在し、x方向に隔置された拡散部の長さを有する。図10の平面図から明らかなように、導電性ステアリングゲート189，190，191，192，193，194が拡散部と同じ方向に配向され、拡散部のいずれかの側部にx方向に配置される。導電性ワードライン197～199は、x方向に延在する長さを設けて配向され、y方向に隔置される。一般的に、これら導電性のラインはドーパされたポリシリコン材からつくられる。

【 0 0 5 4 】

ワードライン197～199は、余分な処理工程を避けるために、異なる処理段階で一

50

方が他方の上に形成される２つのピースとしてではなく、１つの成膜された導電材層から形成されるのが好ましい。しかし、このような２つのピース構造は、ドーブされたポリシリコンラインがワードライン用として所望したものよりも小さい導電率を有する場合、利点となり得るものである。その場合、ドーブされたポリシリコンラインの頂面と接触するさらに高い導電率を持つ材料の第２のピースを追加することができる。このような材料の２つの例として、シリサイドや金属を挙げることができる。

【 ０ ０ ５ ５ 】

図 １ １ Ａ と図 １ １ Ｂ の断面図に例示するように、ステアリングゲート １ ８ ９ ～ １ ９ ４ が図 ６ Ａ ～ 図 ６ Ｂ のうちの一方の図に対応して電荷格納材の層 ２ ０ １ 上にわたって配置される。ステアリングゲート １ ８ ９ ～ １ ９ ４ が電荷格納層 ２ ０ １ 上に形成された後、y 方向に延在するこの層のストリップは x 方向に １ つおきのステアリングゲート間で除去される。ソース/ドレイン領域 １ ８ ５ ～ １ ８ ７ が、x 方向に １ つおきのステアリングゲート間の残りの領域間で注入される。酸化物層 ２ ０ ３ が、ワードライン １ ９ ７ ～ １ ９ ９ からこのステアリングゲートを絶縁するために、ステアリングゲート １ ８ ９ ～ １ ９ ４ の頂部と側部上に形成されると同時に、露光された基板面 １ ８ １ 上に形成されて、ワードライン １ ９ ７ ～ １ ９ ９ の下にゲート酸化膜が得られる。誘電体層 ２ ０ ３ の厚さの一例は、ドーブされたポリシリコンステアリングゲート １ ８ ９ ～ １ ９ ４ 上にわたって ２ ０ ０ オングストロームであり、基板面 １ ８ １ 上で １ ５ ０ オングストロームである。例えば、基板面 １ ８ １ 上の酸化物層 ２ ０ ３ の一部分に直接形成される、図 １ １ Ａ に示すワードライン １ ９ ８ の部分 １ ９ ８ ' はメモリセル行で選択トランジスタゲートとして機能する。

【 ０ ０ ５ ６ 】

復号器の複雑さを少なくするために、拡散部 １ ８ ５ ～ １ ８ ７ の側部のいずれかの側部上の隣接する複数対のステアリングゲートをステアリングゲート用の復号器で一体に電氣的に接続することが望ましい。このような一対のステアリングゲートにはステアリングゲート １ ９ １ と １ ９ ２ とが含まれる。前に参照したデュアル格納エレメントセルの特許および特許出願のいくつかに記載されているように、このような隣接する複数対のステアリングゲートの中間拡散部上にわたってこれらゲートを接合することにより、前述したものとは別に、これらゲートを物理的に一体にマージしてもよい。

【 ０ ０ ５ ７ 】

個々の格納エレメントを規定して、ステアリングゲート １ ８ ９ ～ １ ９ ４ のうちの１つのステアリングゲートの下の誘電体トラッピング層 ２ ０ １ の領域内にこれら格納エレメントが存在するようにすることができる。ステアリングゲートで、図 １ ０ の平面図において斜交平行線模様で示すように、ワードライン １ ９ ７ ～ １ ９ ９ のうちの１つのワードラインが交差する。１つのメモリセル当たり２つのこのような格納エレメントが設けられる。格納エレメント当たり１ビットを格納するために、個々の格納エレメントで１つの電荷格納領域を２状態（２進）で処理することができる。前述したものとは別に、デュアル格納エレメントセルに関する米国特許第 ６ , １ ５ １ , ２ ４ ８ 号（特許文献 １ ７ ）に記載されている態様と類似の態様で、１領域当たり４状態のような３以上の状態を個々に格納するために電荷格納領域を処理することができる。このような誘電体格納メモリアレイの処理は、前述した特許に記載されている処理の場合と同様であるが、１つの相違点として、フローティングゲートが設けられていないので、ステアリングゲートでの低い電圧の使用が挙げられる。

【 ０ ０ ５ ８ 】

図 １ ２ を参照すると、図 １ １ Ａ のメモリセルのうちの１つのメモリセルの拡大図が示されている。このセルを処理して、ソース側注入法を用いてプログラミングを行うことにより、ワードライン １ ９ ８ の一部である選択トランジスタゲート １ ９ ８ ' のそれぞれの側部に隣接する誘電体層 ２ ０ １ 内の２つの領域 ２ １ １ , ２ １ ３ で電荷をトラップすることができる。その一方で、チャネルホットエレクトロン注入法によりプログラムされた場合、電荷格納領域 ２ １ ２ , ２ １ ４ は、代わりにそれぞれのソース/ドレイン領域 １ ８ ６ , １ ８ ７ に隣接して配置される。前述したものとは別に、ソース側注入法とホットエレクトロン注

入法とを用いて、電荷格納領域 2 1 1 ~ 2 1 4 のうちのすべての領域を順次プログラムすることにより、これら 4 つの領域をすべて利用してもよい。個々の領域は、図 9 の例を参照する前述したしきい値関係に対するのと同じ配慮をすることにより限定されるような 2 状態または 3 以上の状態のいずれかの状態となるが、書き込みの順序についての制約条件はない。選択トランジスタゲート 1 9 8 ' の側部のいずれかにおける、およびワードライン 1 9 8 の下にあるメモリセル内での誘電体層 2 0 1 の部分は、前に参照したデュアル格納エレメントセルアレイおよびシステムの 2 つの導電性フローティングゲートを置き換えるセルの 2 つの格納エレメントを規定するものである。しかし、誘電体層 2 0 1 はこれら格納エレメントを越えて延在することができる。1 つの形態では、誘電体層 2 0 1 が、隣接する列内のメモリセルの選択トランジスタ間で x 方向に延在する個々の幅と、多数のメモリセル行の両端にわたって y 方向に延在する長さとを有するストリップの形で形成される。これらストリップ、およびこれらストリップ間の選択トランジスタゲート誘電体は、図 1 2 に示すステアリングゲート 1 9 2 , 1 9 3 の端面などのステアリングゲートの端面と自己整合することができる。

10

【 0 0 5 9 】

ソース側注入によりプログラムされた場合の誘電体層 2 0 1 の領域 2 1 1 , 2 1 3 に格納された電荷の効果が、前述した他の 2 つの例と類似した図 1 2 のしきい値電圧曲線 2 1 5 の部分 2 1 7 と 2 1 9 とにより示されている。ソース側プログラミングは、しきい値 + 1 v というバイアス条件を与える端子を移動させることによりこのセルでは図 9 のソース側プログラミングとは異なるものである。図 1 2 では、この端子は、格納領域 2 1 1 , 2 1 3 の双方用の選択トランジスタゲート 1 9 8 ' と接続されたワードライン 1 9 8 である。さらに、プログラムされていない格納領域の上方にあるステアリングゲートは、十分に高いオーバドライブ電圧レベル（例えば、8 ボルト）に合わせて駆動される。例えば、格納領域 2 1 1 をプログラムする場合、ステアリングゲート 1 9 3 はオーバドライブ電圧まで駆動され、ワードライン 1 9 8 は選択トランジスタ 1 9 8 ' のしきい値電圧以上の約 1 ボルトまで駆動される。

20

【 0 0 6 0 】

図 1 2 の曲線 2 1 7 は、電荷領域 2 1 1 の下にあるメモリセルチャネルの一部のしきい値電圧 V_T の変動例を示す。同様に、チャネルに対する電荷領域 2 1 3 の効果は曲線 2 1 5 の部分 2 1 9 により示されている。他の例と関連して前述したように、これら領域の個々の領域は、（セル当たり 1 ビットを格納する）2 状態で処理してもよいし、（セル当たり 2 以上のビットを格納する）3 以上の状態で処理してもよい。チャネルホットエレクトロン注入によりプログラムされた場合、電荷は領域 2 1 2 と 2 1 4 とに格納される。しきい値電圧に対する効果が、図 1 2 の曲線 2 1 5 のそれぞれの部分 2 1 6 と 2 1 8 とにより示されている。領域 2 1 2 , 2 1 4 のそれぞれを 2 状態または 3 以上の規定された状態のいずれかの状態で処理することができる。このようなプログラミング中、すべての 3 つのゲート 1 9 2 , 1 9 3 , 1 9 8 ' は、高いオーバドライブ電圧（例えば、すべての 3 つの電圧が 8 ボルトであると想定する）まで駆動される。データ依存電荷が 4 つの領域 2 1 1 ~ 2 1 4 のそれぞれに格納される場合、セルの格納能力は、図 9 のセルの格納能力について記載したのと同じものである。図 1 2 の格納領域の消去ステップは前述したように図 9 の格納領域の消去ステップの後に続いて行われる。

30

40

【 0 0 6 1 】

図 1 3 は、図 1 1 A と図 1 2 の断面で示されるメモリセルのオプションによる変更を示す。その相違点として、ワードライン 1 9 8 ' の選択ゲート部分が、基板 1 8 3 内の溝部すなわち凹部 2 2 1 内へ延在し、選択トランジスタゲート誘電体 2 0 5 が溝 2 2 1 の底部と壁部とに沿って底部と壁部との間に形成されることが挙げられる。この構造によって、基板面 1 8 1 の両端にわたって追加の領域をまったく設けることなく、選択トランジスタのチャネルの長さを長くできる。

【 0 0 6 2 】

前述した構造内のゲートはドーブされたポリシリコン材からつくられることが望ましい

50

が、説明したポリシリコン層の1つの層または2つの層の代わりに、別の好適な導電材を使用してもよい。例えば、ワードライン197~199を形成する材料である第2の層は、その導電率を上げるために頂面にタングステンなどの導電性屈折金属シリサイドを設けたポリシリコンであるポリサイド材であってもよい。ステアリングゲート189~194を形成する材料であるポリサイド材は第1の導電層用として通常好ましいものではない。というのは、ポリ間誘電体としてポリサイドから成長される酸化物がポリシリコンから成長するものよりも品質が低いからである。同じ配慮が前述した第2のメモリセルの例にも当てはまる。第1のメモリセルの例の場合、唯一の導電性ゲート層しか形成されないため、このゲートはポリサイド材であってもよい。

【0063】

図10の断面V-Vの両端にわたる図11Aに示す構造の変更例が図14に示され、図14でも同じ参照番号が用いられている。主要な相違点として、電荷トラッピング導電層204をワードライン197~199の一部である選択ゲートの下に配置して、別の電荷格納領域を形成することにより、その大きさを増やすことなく1つのメモリセルのデータ格納容量をさらに増加するという点が挙げられる。すなわち、図15の拡大図に最もよく示されているように、基板面181と選択ゲート198'との間の比較的非トラッピングな選択ゲート誘電体203(図12)および205'(図13)が電荷格納誘電体層204によって置き換えられている。これによって、誘電体層204内に別の電荷格納領域401が形成される。図15のしきい値電圧曲線に示すように、曲線403は電荷格納領域401のメモリセルチャネルに対する効果を示す。領域401は、基板183からの電子のファウラー-ノルドハイムトンネリングにより好適にプログラムされるので、選択ゲート198'と実質的に同一の広がりをもつものである。領域401は、(1つの追加ビットデータを格納する)2状態または(2以上の追加ビットを格納する)3以上の状態で処理してもよい。別々の電荷格納領域211と213とを組み合わせる場合、図15に示す単一メモリセルは多くのビットデータを格納することができる。

【0064】

2つの追加の電荷格納領域212, 214を有する図14と図15のそれぞれのメモリセルを処理することによって、それぞれのメモリセル内に5つの電荷格納領域を設けることも可能である。このことが可能であるのは、これら異なる領域に電荷を格納するために利用できる3つの異なるプログラミングメカニズム、すなわち、領域211, 213に対するソース側注入、領域212, 214に対するホットエレクトロン注入、および領域401に対するファウラー-ノルドハイムトンネリングが存在するからである。これら5つの領域のそれぞれは2状態で処理(この場合、1つのセルが5ビットデータを格納する)してもよい。あるいは、3以上の状態で処理(1つのセルが6以上のビットデータを格納する)してもよい。または、5つの領域のうちの1または2以上の領域を2状態(2進)で処理し、残りの領域を図9の対応するセルの電荷格納領域に関して説明したように、領域211, 212, 213, 214に対する状態制限を設けて、3以上の状態(マルチ状態)で処理するようにしてもよい。

【0065】

図15を参照すると、消去されたメモリセルの3つの電荷格納領域211, 213, 401が順番にプログラムされている。消去されるとき、しきい値曲線215は、0ボルト(図示せず)ですべての格納領域にわたって平らである。消去されたセルの領域211, 212, 213, 214が、図12と関連して前述したように最初にプログラムされる。ソース側注入によりプログラムされる格納領域211, 213の場合、ワードライン198にかかる電圧は格納領域401の消去されたしきい値よりわずかに上の値に保たれ、ソース側注入の促進が図られる。次いで、例えば、基板183を約0ボルトに保つことにより、ソース/ドレイン領域186または187のいずれかを約0ボルトに置くことにより、さらに、約10~12ボルトのプログラミング用電位まで選択ゲート198'を上げることにより、ファウラー-ノルドハイムトンネリングによって中央領域401がプログラムされる。この0ボルトのバイアスレベルを渡すために、0ボルトの駆動ソース領域また

10

20

30

40

50

はドレイン領域に対応するステアリングゲート 192 または 193 は、最大の可能な格納しきい値レベル（例えば、約 6 ボルト）より上の十分なオーバドライブ電圧までバイアスをかけられることになる。同時に、192、193 の対からなる別のステアリングゲートにバイアスがかけられ、その関係するソースまたはドレインあるいはこの中央領域 401（例えば、約 0 ボルト）の間のカットオフの保持が図られる。領域 401 が 3 以上の状態にプログラムされている場合、それに応じて選択ゲート 198' の電圧が変動することがある。セル行内の 1 つのセルでプログラミングが終了したとき、0 ボルトのプログラミング用レベルから約 5 ボルトの禁止レベルへそのソース領域またはドレイン領域を上げることにより、このセルのさらなるプログラミングは禁止される。このようにして、このセルでのプログラミングは終了するが、これに対して同じ行に沿った別のセルのプログラミングは継続して行われる。

10

【0066】

ワードライン 198 に約 8 ボルトの電圧をかけた状態で、図 12 の例の対応する領域の場合と同様に、電荷格納領域 211、213 の電荷レベル状態を読み出す。次いで、基板 183 を約 0 ボルトに保ち、0 ボルトのソース/ドレイン領域 186、187 のうちの一方の領域にある電圧をかけ、約 1 ボルトの他方の領域にある電圧をかけ、約 8 ボルトのステアリングゲート 192、193 にある電圧をかけることにより、中央の格納領域 401 の電荷レベルを読み出す。ワードライン 198 にかかる電圧は変動し、ビットライン電流がモニタされて電荷格納領域 401 のしきい値 403 が検出される。図 15 のサブステアリングゲート格納領域 211、212、213、214 の消去ステップは、前に示したように、図 12 の格納領域の消去ステップの後に続いて行われる。図 15 の格納領域 401 の消去は、例えば、ワードライン 198 に十分に大きな負電圧を印加することにより、チャンネル消去によって行われる。

20

【0067】

図 15 のメモリセルの中央領域 401 のプログラミング中に 2 つのステアリングゲートに課せられる異なるステアリングゲート電圧レベルが前述したように用いられることに起因して、図 10 のアレイのエレメント 189 ~ 194 により例示されているように、制御（ステアリング）ゲートのそれぞれにかかる電圧を独立して制御可能とすることを要求される。大きなアレイからなる複数のステアリングゲートの処理に必要な大きな復号器をアレイとして同じ回路チップ上に設けることは通常実行不可能であるため、1 行のうちの数個のメモリセルについて図 16 に概略的に示すように、これらステアリングゲートを一体に接続することが望ましい。このような接続について、前に参照した 2001 年 5 月 31 日に出願された米国特許出願第 09/871,333 号（特許文献 22）の図 6 を参照してさらに記載されている。この例では、行に沿った 4 番目のステアリングゲート毎にステアリングゲートが共通のステアリングゲートラインと接続され、これによって、行に沿う 1 つおきのセルの 1 つの電荷格納領域の同時プログラミングと読み出しとが可能となる。ステアリングゲートライン 411 はステアリングゲート 191 および他のステアリングゲートと接続され、ライン 412 はゲート 192 および他のゲートと接続され、ライン 413 はゲート 189、193 および他のゲートと接続され、ライン 414 はステアリングゲート 190、194 および他のステアリングゲートと接続されている。ワードライン 198 は、選択ゲート 198' および 198'' を備える行内のセルのそれぞれの選択ゲートと接続される。アレイ内の他の行は別個のワードラインを同様に有する。

30

40

【0068】

図 16 を参照すると、ライン 414 と接続されたステアリングゲート 190、194 およびその他のステアリングゲートの下にある電荷格納領域をプログラムしている処理の間に、ライン 414 に対して高いプログラミング電圧をかけ、ライン 411 と接続されたステアリングゲート 191 およびその他のステアリングゲートの下にあるチャンネル内に導電性の領域を設けることができるほど十分なバイパス電圧をライン 411 に対してかける。そうでなければ選択されていない中間セルの中を流れるであろう電流を抑えるために、プログラムされていない中間セル内のステアリングゲートと接続されたライン 412、41

50

3 に対して十分に低い電圧（例えば、数ボルトの負電圧）をかける。図 1 5 と関連して前述したように、ワードライン 1 9 8 は適正な電圧に設定される。このようにして、対応する 5 までの格納領域に対して、5 までの別々のプログラミング処理を行うステップからなる 1 回の最初のパスで、ワードラインに沿ったすべての偶数番号のセルをプログラムしたり、読み出したりすることが可能となる。同様に、1 回の第 2 のパスで、同じワードラインに沿ったすべての奇数番号のセルをプログラムしたり、読み出したりすることが可能となる。

【 0 0 6 9 】

図 1 0 ~ 図 1 3 を参照して前述したメモリセルアレイを形成するための処理工程であるが、x 方向に格納密度を高めた処理工程の例を図 1 7 ~ 図 2 0 に示す。これら図は、アレイの x 方向の断面に沿って切り取った図であり、一連の処理工程が示されている。

10

【 0 0 7 0 】

図 1 7 に示されている第 1 の一連の処理工程には、アレイが形成される基板領域の基板 4 2 3 の表面 4 2 1 に、ONO や別の電荷トラップ誘電体からなる層 4 1 9 を形成するステップが含まれる。次いで、ドーパされたポリシリコン層 4 2 5 がこの領域内の層 4 1 9 に成膜される。ポリシリコン上の窒化シリコン層 4 2 7 の成膜がこのステップに後続する。次いで、y 方向に延在し、x 方向に隔置された長さを有するフォトレジストストリップ 4 2 9 を有するエッチマスクが窒化物層ストリップ 4 2 7 上にわたって形成される。x 方向のこれらストリップのピッチは通常フォトレジストの露光に用いるリソグラフィの解像能力と同じように小さくされる。

20

【 0 0 7 1 】

図 1 8 を参照しながら次の一連の処理工程について説明することができる。マスクエレメント 4 2 9（図 1 7）間で窒化物層 4 2 7 の等方性エッチング処理が行われて、マスクエレメントの下に窒化物の一部、すなわち y 方向に延在するストリップ 4 2 7 が残される。図 1 8 にアレイの x 方向にわたるこれらストリップを示す。この結果生じるストリップ 4 2 7 の幅は、窒化物のエッチング中のアンダーカッティング工程により、フォトレジストマスクストリップ 4 2 9 の幅よりも狭くなる。次いで、シリコン二酸化物の厚膜層がこの構造上にわたって成膜され、窒化物ストリップ 4 2 9 間および窒化物ストリップ 4 2 9 上にわたって充填される。次いで、この酸化物の異方性エッチング処理が行われ、窒化物ストリップ 4 2 7 の横壁に沿って、x 方向に窒化物ストリップ 4 2 7 間に空間が設けられ、処理の最小リソグラフィ寸法よりも小さい寸法を有するスペーサ 4 3 1 が残される。窒化物層 4 2 7 の高さおよび成膜されたシリコン二酸化物の厚さの制御を利用して、スペーサ 4 3 1 の幅並びにスペーサ 4 3 1 間の空間が制御される。

30

【 0 0 7 2 】

次いで、酸化物スペーサ 4 3 1 間の空間を介してポリシリコン層 4 2 5 のエッチングが行われる。一般にこのエッチングには、y 方向のストリップ間に存在して、y 方向に延在する連続トレンチを結果として生じるであろういずれのフィールド絶縁部のエッチング処理も含まれる。この処理によって y 方向に連続して延在するポリシリコンストリップ 4 2 5 ' が残される。セグメント 4 2 5 ' 間の電荷トラップ導電層 4 1 9 をこのマスクを通して除去することも可能ではあるが、この除去を行う必要はなく、図 1 9 ではこの電荷トラップ導電層 4 1 9 はそのまま残っている。次いで、いずれの場合にせよ、構造に対してイオンを直接照射することによりこれらトレンチを通してソース/ドレイン領域 4 3 3 が基板 4 2 3 内へ注入される。ソース/ドレイン領域はアレイの両端にわたって y 方向に連続して延在する。次いで、選択エッチング工程により酸化物スペーサ 4 3 1 が除去される。その後、シリコン二酸化物の厚膜層が残りの窒化物ストリップ 4 2 7 上にわたってトレンチ内へ成膜される。次いで、この酸化物は、化学的機械的研磨 (CMP) 停止物質として窒化物を使用して窒化物ストリップ 4 2 7 の下から上への CMP 工程により除去される。ポリシリコンセグメント 4 2 5 ' と窒化物ストリップ 4 2 7 との間の酸化物充填部 4 3 5 が結果として得られる。

40

【 0 0 7 3 】

50

図 20 に例示されている次の一連のステップでは、酸化物充填部 435 を実質的に適切な位置に残す選択エッチング工程によって窒化物 427 が除去される。次いで、酸化物充填部 435 間に結果として生じた開口部を通してポリシリコンのさらなるエッチングが行われる。このエッチング処理によって、y 方向に延在する長さを有するドーパされたポリシリコン制御（ステアリング）ゲート 425 が残される。これらゲート間で露光された電荷トラッピング誘電体 419 の領域も除去される。次いで、酸化物の層 437 の成長や成膜（あるいはこの両方）が行われて、選択ゲートの下にある形成対象領域内で選択ゲート誘電体として、また、ステアリングゲートおよびワードライン間の形成対象絶縁部としてこの層 437 は機能する。アレイの領域上にわたって第 2 のドーパされたポリシリコン層を成膜し、次いで、x 方向に延在し、y 方向に隔置された長さを有するワードラインストリップを残すマスクを通して第 2 のドーパされたポリシリコン層を除去することにより、ライン 439 などのワードラインが形成される。

10

【0074】

図 11A の利点と比較した図 20 の構造の主要な利点として、x 方向に沿ったコンパクト性がある。この結果、1 列の所定の長さの電荷格納領域の数が 2 倍にまで飛躍的に増える。

【0075】

メモリスシステムの一般的な運用

本発明の種々の態様を実現できるメモリスシステムの一例を図 21 のブロック図に一般的に示す。このシステムは、具体的には、y 方向に細長く形成された制御（ステアリング）ゲートを設けた前述した第 2 および第 3 の例のアレイの利用を目的とするものであるが、このシステムには、ステアリングゲートと接続する回路を不要とすることによって第 1 の例に対する応用も含まれることになる。

20

【0076】

セルの別の物理的な配置構成も確かに可能ではあるが、個々にアドレス可能な多数のメモリセル 11 が、行と列からなるピッチの等しいアレイ内に配設される。セルアレイ 11 の列に沿って延在するように本願明細書で指定されるビットラインは、ライン 15 を介してビットライン復号器およびドライバ回路 13 と電気的に接続される。本願でセルアレイ 11 の行に沿って延在するように指定されるワードラインは、ライン 17 を介してワードライン復号器およびドライバ回路 19 と電気的に接続される。アレイ 11 内のメモリセルまで列に沿って延在するステアリングゲートは、ライン 23 を介してステアリングゲート復号器およびドライバ回路 21 と電気的に接続される。ステアリングゲートおよび / またはビットラインは、その全体が参照により本願明細書において援用されている、Harari の「不揮発性メモリにおけるステアリングゲートとビットラインとのセグメンテーション」という同時継続出願中の 2001 年 5 月 31 日出願された米国特許出願第 09/871,333 号（特許文献 22）に記載されている技法により、それぞれの復号器と接続してもよい。復号器 13, 19, 21 のそれぞれはメモリコントローラ 27 からバス 25 を介してメモリセルアドレスを受け取る。復号器 / ドライバ回路は、それぞれの制御信号ラインおよび状態信号ライン 29, 31, 33 を介してコントローラ 27 とも接続される。ステアリングゲートおよびビットラインに印加された電圧は、ステアリングゲート復号器およびビットライン復号器、並びに、ドライバ回路 13 と 21 とを相互に接続するバス 22 を介して調整される。

30

40

【0077】

コントローラ 27 は、ライン 35 を介してホスト装置（図示せず）と接続可能である。このホストは、パーソナルコンピュータ、ノート形コンピュータ、デジタルカメラ、オーディオプレーヤ、種々のその他の手持形電子装置等であってもよい。図 21 のメモリスシステムは、PCMCIA、コンパクトフラッシュ（登録商標）協会、MMC（登録商標）協会、あるいは他から得られるカードといったいくつかの既存の物理的および電気的規格のうちの 1 つに準拠するカード内で一般に実現される。カードフォーマットの形の場合、ライン 35 は、ホスト装置の相補形コネクタとインタフェースを行うカードとつながるコネ

50

クタで終端する。多くのカードの電氣的インタフェースはA T A規格に準拠し、メモリシステムはあたかも磁気ディスク駆動装置であるかのようにホストには見える。他のメモリカードインタフェース規格も存在する。前述したものとは別に、図21に示すタイプのカードフォーマット形メモリシステムは、ホスト装置内に永久に組み込まれている。

【0078】

復号器回路/ドライバ回路13, 19, 21は、バス25を介してアドレス指定されたときに、プログラミング機能、読み出し機能および消去機能を実行するために、それぞれの制御ラインおよび状態ライン29, 31, 33内の制御信号に従って、アレイ11のそれら回路のそれぞれのラインで適正な電圧を発生させる。同じ制御ラインおよび状態ライン29, 31, 33を介してアレイ11により電圧レベルおよび別のアレイパラメータを含む任意の状態信号がコントローラ27へ出力される。回路13内の複数のセンス増幅器は、アレイ11内のアドレス指定されたメモリセルの状態を示す電流または電圧レベルを受け取り、読み出し動作中のライン41上にわたってこの状態に関する情報をコントローラ27に提供する。多数のメモリセルの状態を同時に読み出すことができるように多数のこのようなセンス増幅器が通常使用される。読み出し処理およびプログラミング処理中、アドレス指定された行で、回路13, 21が選択した複数のセルにアクセスするために回路19を介して1行のセルが一度に通常アドレス指定される。1つの実施形態では、消去処理中、多くの行の各々のうちのすべてのセルは同時消去のために1ブロックとして一括してアドレス指定される。

【0079】

図21のシステムのメモリセルアレイをセグメントに分画することが望ましい。前述した第2および第3の例からわかるように、セグメント化されない限り、ソース、ドレインおよびステアリングゲートはy方向にアレイ全体にわたって制限なく延在することができる。最大アレイにわたる距離の一部にだけy方向に各々延在するセグメントにこれら誘電体アレイを分画することができる。セグメントの端部のソースおよびドレインは、スイッチングトランジスタを介して、一般に金属からつくられたグローバルビットラインと接続される。スイッチングトランジスタを介してステアリングゲートをグローバルステアリングラインと同様に接続することができる。前述したものとは別に、図16と関連して前述した態様で、ステアリングゲートをセグメントと対応するステアリングゲートラインバスと接続することができる。プログラミング処理、読み出し処理または消去処理中に、利用されるセグメンテーションの実施形態に応じて、1つの選択されたセグメントが、1組のグローバルビットラインと通常同時に接続されるとともに、1組のグローバルステアリングラインまたは対応するステアリングゲートラインバスのいずれかと通常同時に接続される。このようなセグメンテーションについて、前述した米国特許第5,712,180号8(特許文献8)の図10Cと関連して記載され、また2001年5月31日出願された米国特許第09/871,333号(特許文献22)に記載されている。

【0080】

図21に示されているようなメモリシステムの処理について、前に特定した特許および係属出願中の特許出願、並びに、本願の譲受人であるサンディスクコーポレーションに譲渡された別の特許および係属出願中の特許出願に記載されている。格納エレメントとしてフローティングゲートを利用するメモリシステムの構造、工程または処理について記載した援用されている参考文献の特許および特許出願は、フローティングゲートの代わりに誘電体格納エレメントを利用するシステムの実現に関連するものとして認識されるべきである。さらに、その全体が参照により本願明細書において援用されている、2001年2月26日出願された米国特許出願第09/793,370号には、フローティングゲートシステムまたは誘電体格納エレメントシステムのいずれかのシステムに適用されるデータプログラミング法について記載されている。

【0081】

第4のメモリセルの例

図22～図24に示す第4の例は、NANDアレイに対して誘電体格納技法を適用する

ものである。この技法のフローティングゲートのバージョンについては、前に発明の背景の欄で一般的に説明した。図 2 3 A の横断面図から最もよくわかるように、x 方向に細長く形成され、y 方向に隔置された導電性ワードライン 2 4 1 ~ 2 4 4 が、電荷格納誘電体のストリップ 2 4 5 ~ 2 4 9、並びに、半導体基板 2 5 7 のトレンチ内の誘電体から形成される中間絶縁領域 2 5 1 ~ 2 5 4 の両端にわたって延在する。誘電体ストリップ 2 4 5 ~ 2 4 9 は y 方向に細長く形成され、x 方向に隔置され、誘電体絶縁領域 2 5 1 ~ 2 5 4 のうちの 1 つの領域がその間に配置される。典型的なシャロートレンチアイソレーション (S T I) により誘電体領域 2 5 1 ~ 2 5 4 を形成するのが好ましい。メモリセルの隣接する列間の電気絶縁を行う別の技法を代わりに使用してもよい。

【 0 0 8 2 】

誘電体ストリップ 2 4 5 ~ 2 4 9 が基板 2 5 7 の表面に直接形成される。誘電材および他の特性として、図 6 A および図 6 B と関連して前述した 2 つうちのいずれかが好ましい。ワードライン 2 4 1 ~ 2 4 4 が、電荷格納領域となる領域内のこれら誘電体ストリップの頂部に直接順番に配置される。電荷格納領域 2 6 5 ~ 2 6 7 がワードライン 2 4 2 に沿って図 2 3 A に示されている。また、領域 2 6 9 , 2 6 5 , 2 7 1 , 2 7 2 が誘電体ストリップ 2 4 6 に沿って図 2 3 B に示されている。ドープされたソース/ドレイン領域が、ワードラインと絶縁誘電体との間の基板 2 5 7 の表面領域内に形成される。例えば、ソース/ドレイン領域 2 6 1 ~ 2 6 3 が、誘電体絶縁領域 2 5 1 と 2 5 2 との間に形成される列のワードライン間に配置されている。図 2 3 B の断面図に示すように、また、図 2 4 の電氣的等価回路図により表されているように、この列は直列接続されたメモリセルの 1 つのストリングを形成する。図 2 3 B に示すように、このストリングの個々の端部に、ゲート 2 7 5 を有する一方の端部と、ゲート 2 7 7 を有する他方の端部とにスイッチング選択トランジスタがある。端子 2 7 9 , 2 8 1 は、格納トランジスタおよび選択トランジスタからなるストリングの電氣的終端部を形成する。これら端子のうちの一方の端子は通常それぞれのビットラインと接続され、他方の端子は共通電位と接続される。非常に多数のこのようなトランジスタ列のストリングが、典型的なメモリセルアレイで y 方向に延在する列内に設けられている。

【 0 0 8 3 】

図 2 2 ~ 図 2 3 B は、1 つの特定の N A N D メモリセルアレイ構造内の誘電体電荷格納材の使用を示す。誘電体電荷格納材が、別の特定の N A N D アレイ構造内の電荷格納エレメントとして機能するものであってもよいことを認識されたい。

【 0 0 8 4 】

一般に、導電性フローティングゲート格納エレメントを設けた既存の N A N D メモリセルアレイでは、選択された共通の行内にあるいくつかのこのような列ストリングのそれぞれの中に 1 つのセルがある 1 グループのメモリセルが、同時読み出し用またはプログラミング用として選択される。行は、ワードラインに適正な電圧をかけることにより選択される。読み出し動作中、関係するストリングのそれぞれに沿った行内のメモリセルトランジスタを非常に導電性のあるものにするために、読み出しを所望する 1 行のセルを除いて、関連する N A N D ストリング内の行のワードラインが比較的高い電圧まで昇圧される。プログラミング処理中、関連する N A N D ストリング内の選択された行のワードラインの電圧は、関連する N A N D ストリングの選択されていない行のワードラインと比較してより高い電圧まで昇圧される。同様に、選択されたセル列からなるストリングの端部の選択トランジスタに適切にバイアスがかけられ、所望の読み出し機能またはプログラミング機能を実行するために、それら端部の端子に適正な電圧が印加される。図 2 2 ~ 図 2 4 の誘電体格納媒体のような誘電体格納媒体を有する N A N D メモリセルアレイに対して同じ処理手順を適用することができる。

【 0 0 8 5 】

前述した他の例の場合と同様に、メモリセルの誘電体に格納された電荷はこのセルのしきい値電圧に影響を与える。例えば、誘電体ストリップ 2 4 6 の領域 2 6 5 に格納された電荷レベルは、この領域により形成されるメモリセルトランジスタのしきい値電圧レベル

10

20

30

40

50

と、隣接するソース/ドレイン領域 2 6 1 , 2 6 2 と、セルのチャネルを形成するソースとドレインとチャネル上に配置されたワードライン 2 4 2 の一部との間の基板の一部とを確立する。他の例に関連して前述したように、メモリセルの電荷格納領域のそれぞれを 2 状態または 3 以上の状態で処理することができる。

【 0 0 8 6 】

図 2 2 ~ 図 2 3 B に示す N A N D 構造を形成する 1 つの工程には、アレイが占める基板領域全体にわたって O N O などの電荷格納誘電体の層をまず形成するステップが含まれる。隣接する N A N D スtring の絶縁に用いられる基板内に並列の細長いトレンチを定めるために窒化シリコン材のマスクが O N O 層の頂部に形成される。次いで、エッチング工程により誘電体層が除去され、マスクの開口部を通して基板内にトレンチが形成される。次いで、構造上にわたってシリコン酸化物が成膜され、トレンチとマスクの開口部とが充填される。余剰の酸化物が除去され、その後、窒化シリコンマスク材料の除去が行われる。この結果、図 2 3 A と図 2 3 B に示すワードライン (W L) のない構造が得られる。次いで、ドーブされたポリシリコン材層を少なくともアレイ領域上にわたって成膜し、別のマスクを通して材料の一部のエッチングを行って除去することにより、図 2 3 A と図 2 3 B に示すようにワードラインを残すようにワードラインが形成される。次いで、電荷格納誘電体層を通して、厚い絶縁誘電体とワードラインとの間で露光された状態のまま残る基板領域内ヘイオン注入を行い、それによってソース/ドレイン領域を形成することができる。

【 0 0 8 7 】

わずかに異なる N A N D 誘電体格納アレイを形成する別の工程が、図 2 5 A 、図 2 5 B および図 2 5 C に例示されている。これら図には、図 2 2 の平面図の断面 V I I - V I I に沿う構造の展開が示されている。図 2 2 ~ 図 2 3 B のエレメントに対応する図 2 5 A ~ 図 2 5 C のエレメントの参照番号には 2 重プライム記号 (") が付加されているが同じものである。

【 0 0 8 8 】

図 2 5 A に示す第 1 の一連の処理工程では、通常、基板面 2 5 7 " 上のシリコン二酸化物の薄膜層 2 9 6 を成長させた後、窒化シリコン層が基板 2 5 7 " の表面に成膜される。次いで、y 方向に細長く形成された開口部 (図 2 2) を設けたマスクが窒化物層上に形成され、マスクを通して窒化物層のエッチングによる除去が行われ、y 方向に細長く形成され、x 方向に隔置された窒化物ストリップ 2 9 1 ~ 2 9 5 が後に残される。次いで、マスクとして使用する窒化物ストリップ間の空間内で基板のエッチングが行われ、それによって基板内に絶縁トレンチが形成される。次いで、構造上にわたって厚い酸化物層を成膜することによりそれらトレンチ (図 2 5 B) がシリコン酸化物で充填され、このシリコン酸化物を除去して、基板トレンチを充填し、わずかに基板面の上方に延在する部分 2 5 1 " , 2 5 2 " , 2 5 3 " および 2 5 4 " が後に残される。

【 0 0 8 9 】

次の一連のステップが図 2 5 C に例示されている。窒化物ストリップ間のトレンチ酸化物と、ほとんど影響を受けない窒化物ストリップの下の基板面とを後に残す選択エッチングにより、窒化物ストリップ 2 9 1 ~ 2 9 5 は除去される。次いで、露光された基板表面領域と、基板面の上方に延在する絶縁誘電体の一部とを被覆するメモリセルアレイ領域全体にわたって O N O などの電荷格納誘電体層 2 9 7 が形成される。次いで、ドーブされたポリシリコン材層を成膜し、x 方向に細長く形成され、y 方向に隔置された開口部を設けたマスクをポリシリコン層の頂部に形成し、このマスク開口部を通してポリシリコンを除去することにより、領域全体にわたってワードラインが形成される。この工程によって、構造の両端にわたって延在し、図 2 5 C のワードライン 2 4 2 " を含むワードラインが後に残される。次いで、基板のソース/ドレイン領域 (図 2 5 A ~ 図 2 5 C には図示せず) が、ワードラインと注入マスクとして使用する絶縁酸化膜との間の電荷格納誘電体層 2 9 7 を通して注入される。

【 0 0 9 0 】

前述した結果生じる図 2 5 C の構造が、アレイ領域全体上にわたって延在するその電荷格納誘電体層 2 9 7 を含むのに対して、図 2 3 A および図 2 3 B の構造が厚い絶縁誘電体層間内のストリップにこの誘電体層を制限することは明らかである。いずれの場合にせよ、電荷を格納する必要がある N A N D 格納トランジスタのチャネル上に電荷格納誘電体層が設けられる。

【 0 0 9 1 】

多少異なる N A N D アレイを形成するさらに別の処理が、図 2 6 A ~ 図 2 6 D に例示されている。図 2 6 A ~ 図 2 6 C は図 2 2 の平面図の断面 V I I - V I I に沿った構造の展開を示す一方で、図 2 6 D は直断面 V I I I - V I I I に沿った図 2 6 C の中間構造を示す。図 2 6 A ~ 図 2 6 D の処理の主要な相違点として、窒化物の代わりに、ポリシリコンからなるストリップを設けた基板エッチマスクの形成が挙げられる。メモリセルの領域内のストリップ部分がワードラインの一部として保持される。また、結果として得られる電荷格納誘電体層はメモリセルアレイ全体にわたって連続したものではない。図 2 2 ~ 図 2 5 C のエレメントに対応する図 2 6 A ~ 図 2 6 D のエレメントの参照番号には 3 重プライム記号 (' ' ') が付加されているが同じものである。

【 0 0 9 2 】

第 1 の一連の処理工程が図 2 6 A に例示されている。O N O などの電荷トラッピング誘電体層 4 6 9 がシリコン基板 2 5 7 ' ' ' の表面に形成される。次いで、ドーブされたポリシリコン層がメモリセルアレイの領域にわたる誘電体層 4 6 9 上に成膜される。次いで、窒化シリコン層がポリシリコン上に成膜される。次いで、窒化物層と y 方向に細長く形成されたポリシリコン層 (図 2 2) 内の開口部のエッチングを行うためにマスクが形成される。次いで、このエッチングが実行される。図 2 6 A に示すように、これによって、y 方向に細長く形成され、x 方向に隔置された窒化物 4 7 7 を含む頂部を備えたポリシリコンストリップ 4 7 1 ~ 4 7 5 が後に残される。

【 0 0 9 3 】

図 2 6 B に示すように、次のステップは、誘電体層 4 6 9 と、マスクとして使用するポリシリコン / 窒化物ストリップ間の空間内の基板 2 5 7 ' ' ' とのエッチングを行うことであり、それによって基板内に絶縁トレンチを形成する。次いで、これらトレンチは、ポリシリコン / 窒化物ストリップ間の空間を介して、および、ポリシリコン / 窒化物ストリップ上にわたってトレンチ内へ延在する厚い酸化物層を成膜することにより、シリコン酸化物で充填される。次いで、この酸化物は、C M P によって窒化物層 4 7 7 まで下方へ除去され、それによって基板トレンチを充填する酸化物部分 2 5 1 ' ' ' , 2 5 2 ' ' ' , 2 5 3 ' ' ' および 2 5 4 ' ' ' が残りの窒化物 4 7 7 の頂部まで残される。

【 0 0 9 4 】

次の一連のステップが図 2 6 C に例示されている。窒化物 4 7 7 が選択エッチングにより最初に除去され、この選択エッチングによって、ポリシリコンストリップ 4 7 1 ~ 4 7 5 の頂部が露光されたまま残される。次いで、第 2 のドーブされたポリシリコン層がアレイ構造上にわたって成膜され、ポリシリコンストリップ 4 7 1 ~ 4 7 5 の露光された頂面およびポリシリコンストリップの上方へ上がる酸化物ストリップ 2 5 1 ' ' ' ~ 2 5 4 ' ' ' の一部と直接接触する。この結果、図 2 6 D に最もよく示されているように、x 方向に細長く形成され、y 方向に隔置されたストリップ 4 8 1 ~ 4 8 4 内へこの第 2 のポリシリコン層のエッチングを行うことによりワードライン 2 4 1 ' ' ' ~ 2 4 4 ' ' ' が形成される。このエッチング工程によって、ストリップ 4 8 1 ~ 4 8 4 間の空間内にあるポリシリコンストリップ 4 7 1 ~ 4 7 5 の一部も除去され、それによって被覆ストリップ 4 8 1 ~ 4 8 4 により接続されたこれらストリップの分離された部分 4 7 1 ' ~ 4 7 4 ' が第 2 のポリシリコン層から残される。次いで、領域 2 6 1 ' ' ' ~ 2 6 3 ' ' ' (図 2 6 D) などのソース / ドレイン領域が、ワードライン 2 4 1 ' ' ' ~ 2 4 4 ' ' ' 間の空間内の電荷格納誘電体を介して基板 2 5 7 ' ' ' 内へ注入される。

【 0 0 9 5 】

第 5 のメモリセルの例

別のNANDアレイが図27と図28に例示されている。この第5の例の構造は、ワードライン間のNANDメモリセル列に沿ってソース拡散部とドレイン拡散部とを除去し、またそれら位置で別の組のワードラインを追加することにより、第4の例とは本質的に異なるものである。この結果、同じ分解可能な最小のエLEMENTサイズを有する工程を用いて、アレイの両端にわたってy方向に同じ長さのNANDストリングに沿うほとんど2倍の数の独立してアドレス指定可能な誘電体電荷格納領域が得られることになる。ワードラインの数、したがって、個々のNANDストリング内の独立してプログラム可能な誘電体電荷格納領域の数は3以上であり、8, 16, 32あるいはそれ以上にすることも可能であり、しかも、同数の電荷格納領域を含む従来のNANDストリングの長さの約1/2にすることも可能である。

10

【0096】

図27は第5の例のアレイの狭い一部を示す平面図であり、図28はこのアレイのメモリセルストリングのうちの1つのストリングと、このストリングの個々の端部における選択トランジスタとを貫通する断面を示す。アレイは表面303を有する半導体基板301上に形成される。複数の電荷格納用誘電体ストリップ305~309が、アレイの両端にわたってy方向に細長く形成され、やはりy方向に細長く形成されている深い酸化物絶縁領域311~314の間でx方向に隔置されている。絶縁領域311~314は領域251~254(図23A)あるいは第4の例の251''~254''(図25C)とほぼ同じものとして行うことができる。電荷格納用誘電体ストリップ305~309は、第4の例の図23Aに示すものの場合と同様に、酸化物絶縁領域間でx方向に物理的に分離してもよい。あるいは、図25Cに示すような酸化物絶縁領域上にわたって延在する連続した誘電体層の一部であってもよい。図27の両端にわたる断面IX-IXは、明確には示されていないとはいえ、2つの図のうちの一方とほぼ同じとすることができる。第4および第5の例のこれら特徴は同じものであってもよい。

20

【0097】

しかし、前述した2つの例の間で本質的に異なるものとして、前の場合のようにx方向に細長く形成されているが、適切な誘電体を間に設けて互いに直接隣接してy方向にパックされているワードライン317~323の構成がある。ワードラインは、第4の例の場合と異なり、メモリセルのソース/ドレイン領域により分離されていない。特に、ワードラインがy方向に互いに横に並んで配置されて設けられているため、ソース/ドレイン領域は不要となる。これら領域は、第4の例の外部電圧とは直接接続されず、代わりに、電荷格納エレメント間の個々のNANDストリングの間隔に沿って導電性経路が設けられている。ワードラインおよびこのワードラインの下にある電荷格納領域は、ワードラインの下にある基板チャネルの導通を一緒に制御する。ソース/ドレイン領域の代わりに追加のワードラインを代用するこの第5の例では、ワードラインおよびこのワードラインの下にある電荷格納領域は、ソース/ドレイン領域が前述した第4の例では存在する基板チャネルの導電率を制御するという結果をもたらすものとなる。さらに、図27と図28の1つのNANDストリング内の電荷格納領域327~333により示されているように、誘電体ストリップに沿った電荷格納領域の記録密度は2倍となる。

30

【0098】

図28を参照すると、メモリセルストリングの外部接続端子には、それぞれの端子345と347において、グローバルビットライン(図示せず)および接地などの共通電位とそれぞれ接続されるストリングの対向する端部にあるソース拡散部とドレイン拡散部341, 343とが含まれる。この接続部は、ストリングの対向する端部でそれぞれの制御ゲート349, 351に印加される電圧GC0とGC1によって作動可能となる。制御ゲート349, 351は、ストリングの両端部にあるワードライン353, 355と直接隣接して配置されることが望ましい。

40

【0099】

図27と図28に一般的に例示される構造を形成する1つの処理技法について、図29Aおよび図29Bの横断面図を参照しながら説明する。開始点は、図23Aまたは図25

50

Cに示す第4の例の代替構造とすることができ、ソースとドレインの注入は省かれている。その段階で、ワードライン317, 319, 321, 323は連続する電荷格納誘電体ストリップ305~309上にわたって適切な位置にあるが、第1の追加ステップによりワードライン間の基板面303から誘電体が除去され、それによって、新たな誘電体層361(好ましくはONO)をすべての構造上に形成することができるようになる。層361は、形成される追加のワードラインの下で電荷格納誘電体として機能し、この層361によって、追加のワードラインと既存のワードライン317, 319, 321, 323の間に誘電体層が設けられる。

【0100】

次のステップは、誘電体層361の頂部に、アレイ領域全体にわたって誘電体層361と適合した形で、ドーブされたポリシリコン層365または別の好ましい導電材を成膜するステップである。ポリシリコン層365のエッチング用マスクがこの層の頂部に形成される。このマスクをつくる際に、ワードライン317, 319, 321, 323の間のポリシリコン層365の部分を被覆するために、x方向に延在し、y方向に隔置された長さを設けて、酸化物または窒化物誘電体の並列ストリップ367を最初に形成してもよい。ポリシリコン層365の全体にわたって誘電体層を成膜することにより、次いで、酸化物層の頂部にフォトレジストマスクを用いてこの層のエッチングを行って、ストリップ367に変えることにより、誘電体ストリップ367を形成するのが好ましい。酸化物のスペーサ369が、それらの間の空間を狭めるために、ストリップ367の端面に沿って形成される。スペーサ369を形成する標準的な方法として、誘電体ストリップ367上に別の誘電体層を成膜し、次いで、この別の層の異方性エッチングを行ってこの層を除去して、スペーサ369を後に残すようにする方法がある。

【0101】

次のステップは、図29Bに示すように、マスク367, 369を通してポリシリコン層365のエッチングを行って、ワードライン317, 319, 321, 323間にy方向に配置されたワードライン318, 320, 322を後に残すステップである。図に示すように、誘電マスク367, 369を除去することもできるが、これは必ずしも行う必要はない。マスク用誘電体ストリップ367の形成に用いるフォトレジストマスクは、ワードライン317, 319, 321, 323とy方向に自己整合されるものではないため、誘電体ストリップ367間の空間はスペーサ369の使用により処理する最小のリソグラフィ上の分解可能な寸法よりも狭くつくられる。しかし、時折生じることがあるフォトレジストマスクのわずかな位置ずれでも、結果として生じるワードライン318, 320, 322は、誘電体層361により被覆が行われるとき、ワードライン317, 319, 321, 323の隣接するワードライン間の空間を完全に充填することになる。これは、完全な整合の保証が可能な場合に、ワードライン318, 320, 322によってワードライン317, 319, 321, 323間の空間の充填を行うのに必要な幅以上のy方向の幅が個々に広くとられることに起因するものである。

【0102】

追加のワードラインを形成する別の技法が、図30Aおよび図30Bに例示されている。ドーブされたポリシリコンの第2の層371を成膜する前にいくつかのステップが行われる。ポリシリコンワードライン317, 319, 321, 323は酸化物層ストリップ373によりそれぞれに被覆され、酸化物層ストリップ373は窒化物ストリップ375により被覆される。ストリップ373, 375は、エッチングを行って、それぞれのワードライン317, 319, 321, 323に変える前に、これら2つの層で第1のポリシリコン層全体を被覆することにより形成されるのが好ましい。すべての3つの層(ポリシリコン、酸化物および窒化物)のエッチングがまとめて行われ、結果として、図30Aに示すマルチ・ワードラインストリップが得られる。アレイ領域にわたる露光表面に一致するようにONOのような誘電体層373が形成される。ドーブされたポリシリコンの第2の層371が成膜されるのはまさにこの誘電体層373上である。

【0103】

10

20

30

40

50

第2のポリシリコン層371は、ワードライン317, 319, 321, 323間の空間を完全に充填できるほど十分に厚くつくられる。次いで、余剰のポリシリコンが、停止物質として窒化物ストリップ375を使用する化学的機械的研磨(CMP)工程により除去される。この結果、図30Bに示すように追加のワードライン318, 321, 322が得られることになる。CMP工程に加えて、エッチング工程をその後に実行して、ポリシリコンストリップ318, 321, 322が相互に電氣的に完全に絶縁されていることを確認するようにしてもよい。この結果、これらストリップの厚さが若干薄くなる。

【0104】

第4または第5の例のメモリセルアレイを利用するメモリシステム

本発明の種々の態様の実現が可能な別のメモリシステムの例が、図31のブロック図に例示されている。マトリックスの形で構成される複数のメモリセルを含むメモリセルアレイ1が、列制御回路2、行制御回路3、cソース制御回路4およびc-pウェル制御回路5によって制御される。このシステムは、前述した第4と第5の例のNAND形のメモリセルアレイ1を使用するのに特に適している。

【0105】

制御回路2は、メモリセルに格納されたデータの読み出し用として、プログラミング処理中のメモリセルの状態確立用として、またビットライン(BL)の電位レベルの制御用としてメモリセルアレイ1のビットライン(BL)と接続されて、プログラミングの促進またはプログラミングの禁止が行われる。例えば、前述したNANDメモリセルのそれぞれのストリングの一方の端子をビットラインのうちの1つと接続し、ストリングの他方の端子を接地などの共通電位と接続することができる。行制御回路3は、ワードライン(WL)と接続され、ワードラインに読み出し電圧やプログラミング電圧を印加する。これら電圧は、列制御回路2によって制御されるビットライン電位レベルと組み合わせられて、ワードラインのうちの1つに沿った選択メモリセルに読み出しやプログラミングを同時に行わせる。メモリセルが形成されるp形領域に対して消去電圧も回路2により印加される。cソース制御回路4は、メモリセルと接続された共通ソースライン(図31に「cソース」とラベル付けされている)の制御を行う。c-pウェル制御回路5は、c-pウェル電圧の制御を行う。

【0106】

メモリセルに格納されたデータは列制御回路2により読み出され、内部I/Oライン53およびデータ入出力バッファ6を介して、外部I/Oライン51へ出力される。メモリセルに格納される対象プログラムデータは、外部I/Oライン51を介してデータ入出力バッファ6へ入力され、列制御回路2へ転送される。外部I/Oライン51はコントローラ43と接続される。コントローラには、種々のタイプのレジスタ、並びに、揮発性ランダムアクセスメモリ(RAM)45を含むその他のメモリが含まれる。

【0107】

フラッシュメモリ素子を制御するコマンドデータは、コントローラ43と接続された外部制御ライン57を介する内部制御ライン55を介してコマンド回路7へ入力される。コマンドデータはどのような処理が要求されているかについての情報をフラッシュメモリに与える。入力コマンドは、列制御回路2、行制御回路3、cソース制御回路4、c-pウェル制御回路およびデータ入出力用バッファ6を制御する状態マシン8へ転送される。状態マシン8はREADY/BUSYやPASS/FAILなどのフラッシュメモリの状態データを出力することができる。

【0108】

コントローラ43は、パーソナルコンピュータ、デジタルカメラ、または個人用携帯情報端末(PDA)などのホストシステムと接続されるか、あるいはそれら機器と接続可能である。メモリアレイ1へデータを格納したり、あるいはメモリアレイ1からデータを読み出したりするようなコマンドを開始し、このようなデータの出力や受信をそれぞれ行うのはホストである。コントローラは、コマンド回路7が解釈し、実行できるコマンド信号にこのようなコマンドを変換する。また、コントローラには、メモリアレイへのユーザデ

10

20

30

40

50

ータの書き込みや、メモリアレイからのユーザデータの読み出し用のバッファメモリが一般に含まれる。代表的なメモリシステムには、コントローラ 43 を含む 1 つの集積回路チップ 47 と、メモリアレイ、関係する制御回路、入出力回路および状態マシン回路を個々に備える 1 または 2 以上の集積回路チップ 49 とが含まれる。言うまでもなく、システムのメモリアレイと制御回路とを 1 または 2 以上の集積回路チップ上に一体化して集積化するトレンドがある。

【0109】

図 21 または図 31 のメモリシステムのいずれかをホストシステムの一部として組み込んだり、ホストシステムの接続ソケットの中へ取り外し可能に挿入できるメモリカードの中にメモリシステムを含むようにしたりしてもよい。このようなカードの中にメモリシステム全体を含むようにしてもよい。前述したものと別に、（関連する周辺回路を備えた）コントローラとメモリアレイを別々のカード内に設けてもよい。いくつかのカードの実施構成が、例えば、その全体が参照により本願明細書において援用されている、米国特許第 5,887,145 号（特許文献 23）に記載されている。

【0110】

他のメモリセルの構成

導電性フローティングゲートを利用するメモリセルアレイの他の構成を同じように変更して、フローティングゲートを電荷トラッピング誘電材と置き換え、2 進（2 状態）または多状態（3 以上の状態）のいずれかの状態でアレイのそれぞれの電荷格納領域を処理するようにしてもよい。例えば、前に参照した特許および特許出願には、格納エレメントまたはソース/ドレイン拡散部のいずれかを断面が矩形または V 字形をなすトレンチ内に配置するある構成が記載されている。これらの実施形態では、導電性格納エレメントを電荷トラッピング誘電材と置き換えることも可能である。

【0111】

結論

本発明の種々の態様についてその具体例と関連して説明してきたが、本発明は添付の特許請求の範囲の最大の範囲においてその権利が保護されるべきである。

【図面の簡単な説明】

【0112】

【図 1】メモリセルアレイの第 1 の例の平面図を示す。

【図 2 A】断面 I - I で切り取られた図 1 のアレイの断面図である。

【図 2 B】断面 II - II で切り取られた図 1 のアレイの断面図である。

【図 3】1 つのメモリセルおよびこのセルの両端にわたる例示のしきい値電圧特性を示す図 2 A の断面図の拡大図である。

【図 4】4 状態で処理される図 3 のメモリセル用の 1 組の例示の電流 / 電圧特性曲線である。

【図 5】図 3 に示すメモリセルの等価電気回路およびいくつかの処理用エレメントの概略表示である。

【図 6 A】電荷のトラップ用メモリセル内で用いることができる異なる特定の誘電材の構成を示す。

【図 6 B】電荷のトラップ用メモリセル内で用いることができる異なる特定の誘電材の構成を示す。

【図 7】メモリセルアレイの第 2 の例の平面図を示す。

【図 8 A】断面 III - III で切り取られた図 7 のアレイの断面図である。

【図 8 B】断面 IV - IV で切り取られた図 7 のアレイの断面図である。

【図 9】1 つのメモリセルおよびこのセルの両端にわたる例示のしきい値電圧特性を示す図 8 A の断面の拡大図である。

【図 10】メモリセルアレイの第 3 の例の平面図を示す。

【図 11 A】断面 V - V で切り取られた図 10 のアレイの断面図である。

【図 11 B】断面 VI - VI で切り取られた図 10 のアレイの断面図である。

【図 1 2】1つのメモリセルおよびこのセルの両端にわたる例示のしきい値電圧特性を示す図 1 1 A の断面の拡大図である。

【図 1 3】図 1 1 A に示すメモリセルの変更を示す断面である。

【図 1 4】図 1 1 A に示されているものから修正を行った、断面 V - V で切り取られた図 1 0 のアレイの断面図である。

【図 1 5】1つのメモリセルおよびこのセルの両端にわたる例示のしきい値電圧特性を示す図 1 4 の断面の拡大図である。

【図 1 6】図 1 0 ~ 図 1 5 に示すアレイの 1 つのゲートの接続実施形態を示す概略図である。

【図 1 7】図 1 0 ~ 図 1 5 に示すメモリセルアレイを形成する 1 つの処理工程を示す断面図である。 10

【図 1 8】図 1 0 ~ 図 1 5 に示すメモリセルアレイを形成する 1 つの処理工程を示す断面図である。

【図 1 9】図 1 0 ~ 図 1 5 に示すメモリセルアレイを形成する 1 つの処理工程を示す断面図である。

【図 2 0】図 1 0 ~ 図 1 5 に示すメモリセルアレイを形成する 1 つの処理工程を示す断面図である。

【図 2 1】第 1、第 2 および第 3 の例に従うメモリセルアレイを実現することが可能なフラッシュ E E P R O M システムをブロック図の形で示す。

【図 2 2】メモリセルアレイの第 4 の例の平面図である。 20

【図 2 3 A】断面 V I I - V I I で切り取られた図 1 5 のアレイの断面図である。

【図 2 3 B】断面 V I I I - V I I I で切り取られた図 1 5 のアレイの断面図である。

【図 2 4】第 4 の例のメモリセルのストリングの電氣的等価回路である。

【図 2 5 A】図 1 5 ~ 図 1 7 に示すタイプのメモリアレイを形成する 1 つの処理工程を示す。

【図 2 5 B】図 1 5 ~ 図 1 7 に示すタイプのメモリアレイを形成する 1 つの処理工程を示す。

【図 2 5 C】図 1 5 ~ 図 1 7 に示すタイプのメモリアレイを形成する 1 つの処理工程を示す。

【図 2 6 A】図 2 2 ~ 図 2 4 に示すタイプのメモリアレイを形成する別の処理工程を示す 30

。【図 2 6 B】図 2 2 ~ 図 2 4 に示すタイプのメモリアレイを形成する別の処理工程を示す。

【図 2 6 C】図 2 2 ~ 図 2 4 に示すタイプのメモリアレイを形成する別の処理工程を示す。

【図 2 6 D】図 2 2 ~ 図 2 4 に示すタイプのメモリアレイを形成する別の処理工程を示す。

【図 2 7】メモリセルアレイの第 5 の例の平面図である。

【図 2 8】断面 X - X で切り取られた図 2 7 のアレイの断面図である。

【図 2 9 A】第 1 の処理実施形態のステップを示す断面 X - X の両端にわたる図 2 7 のアレイの図である。 40

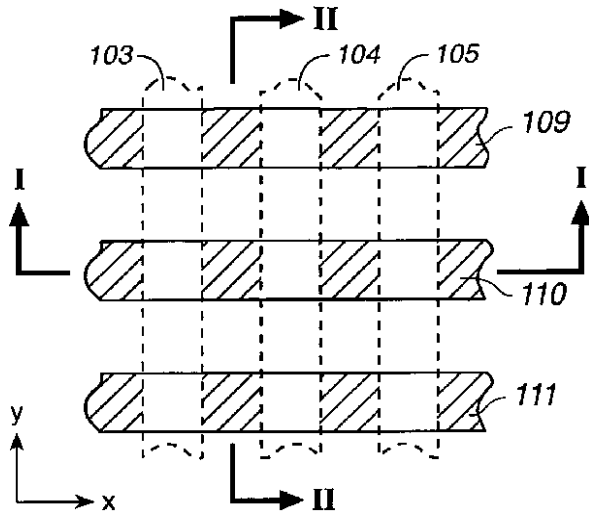
【図 2 9 B】第 1 の処理実施形態のステップを示す断面 X - X の両端にわたる図 2 7 のアレイの図である。

【図 3 0 A】第 2 の処理実施形態のステップを示す断面 X - X の両端にわたる図 2 7 のアレイの図である。

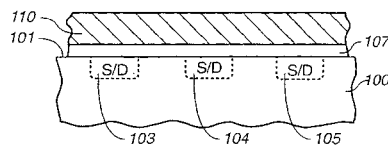
【図 3 0 B】第 2 の処理実施形態のステップを示す断面 X - X の両端にわたる図 2 7 のアレイの図である。

【図 3 1】第 4 と第 5 の例に従うメモリセルアレイを実現することが可能なフラッシュ E E P R O M システムをブロック図の形で示す。

【図 1】

**FIG. 1**

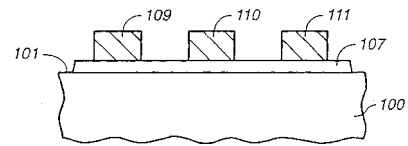
【図 2 A】



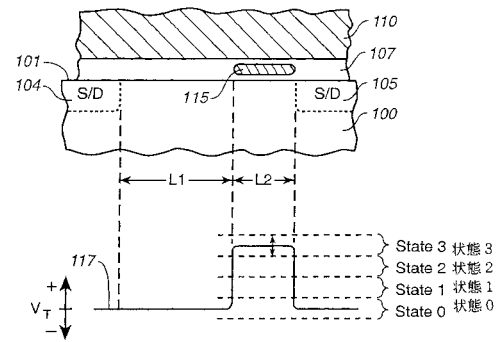
(SECTION I-I) (断面 I-I)

FIG. 2A

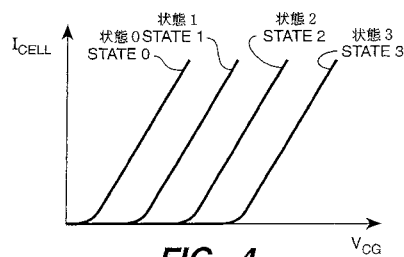
【図 2 B】

(断面 II-II)
(SECTION II-II)**FIG. 2B**

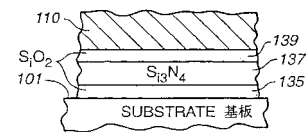
【図 3】

**FIG. 3**

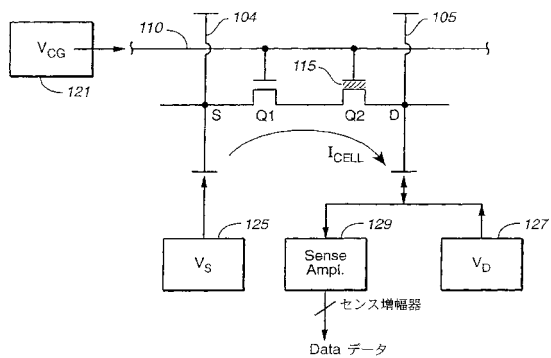
【図 4】

**FIG. 4**

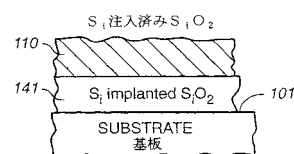
【図 6 A】

**FIG. 6A**

【図 5】

**FIG. 5**

【図 6 B】

**FIG. 6B**

【圖 7】

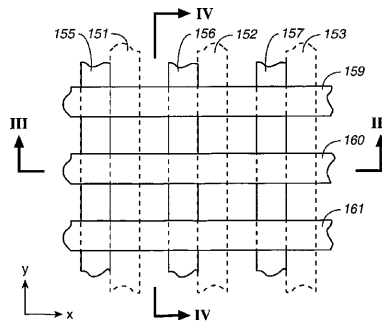


FIG._7

【 図 8 A 】

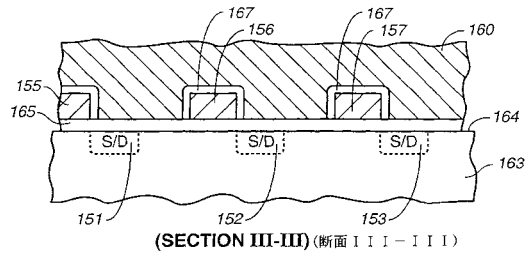
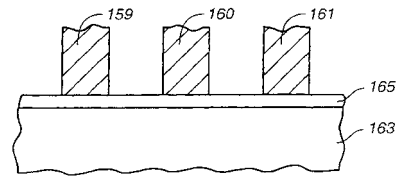


FIG. 8A

【 図 8 B 】



(SECTION IV-IV) (断面 I V—I V)

FIG._8B

【 図 9 】

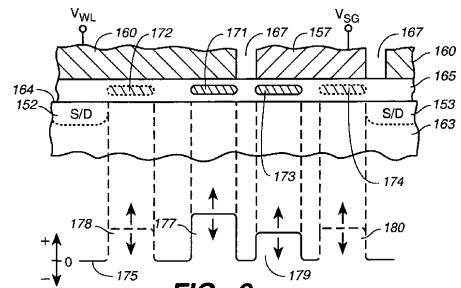


FIG._9

【 図 1 0 】

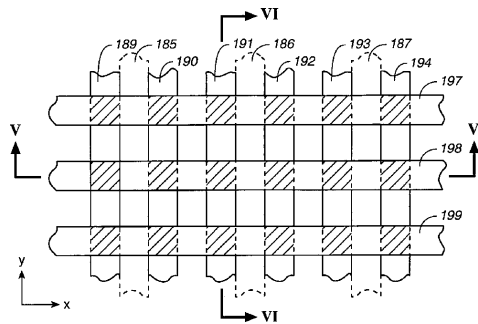
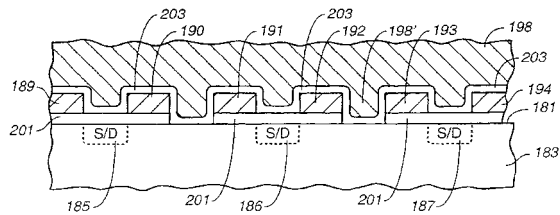


FIG._10

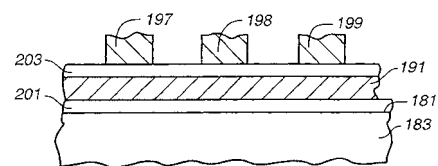
【 図 1 1 A 】



(SECTION V-V) (断面V-V)

FIG. 11A

【 図 1 1 B 】



(SECTION VI-VI) (断面VI-VI)

FIG. 11B

【 図 1 2 】

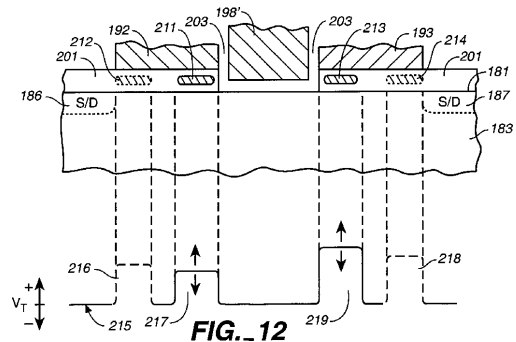


FIG. 12

【 図 1 3 】

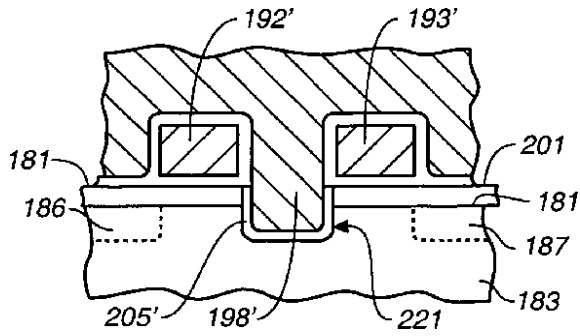


FIG. 13

【 図 1 4 】

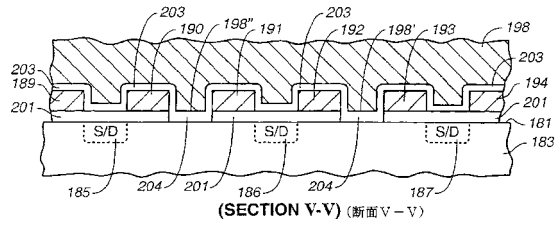


FIG. 14

【 図 1 5 】

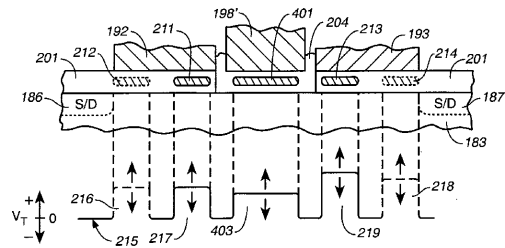


FIG._15

【 図 1 6 】

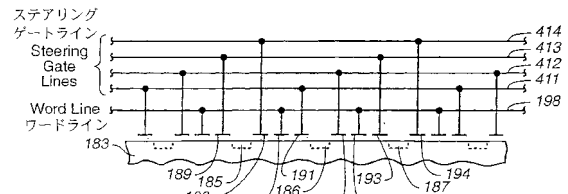


FIG. 16

【 図 1 7 】

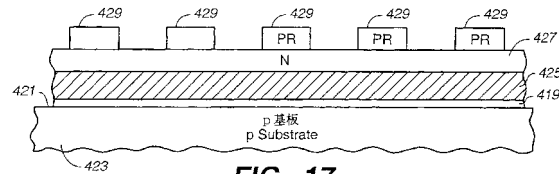


FIG. 17

【 図 1 8 】

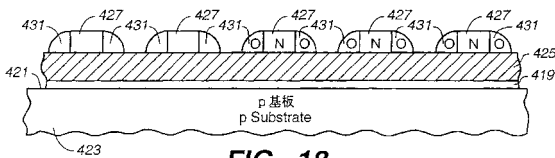


FIG. 18

【 ㊦ 1 9 】

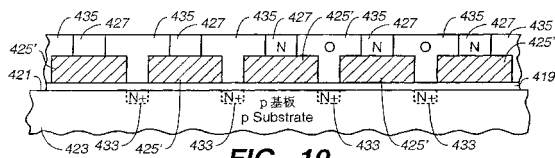


FIG. 19

【 図 2 0 】

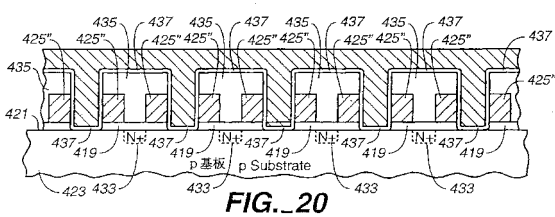


FIG. 20

【 図 2 1 】

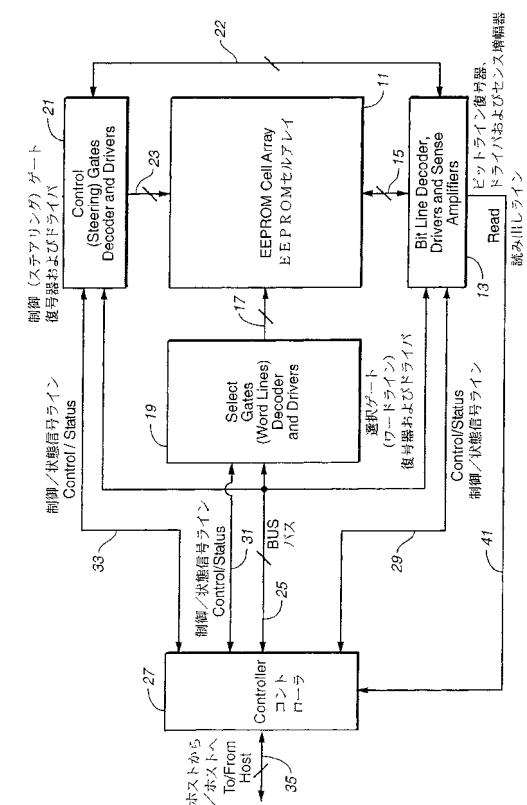


FIG. 21

【 図 2 2 】

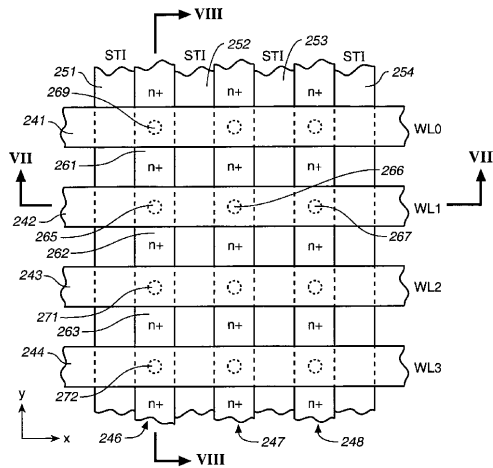
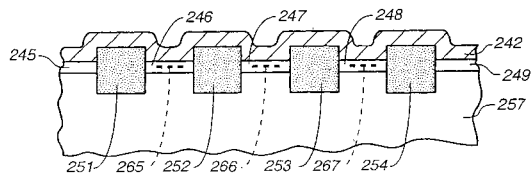


FIG._22

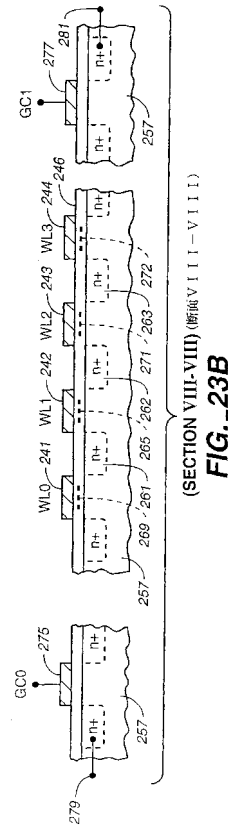
【 図 2 3 A 】



(SECTION VII-VII) (断面VII-VII)

FIG. 23A

【 図 2 3 B 】



(SECTION VIII-VII)
FIG._23B

FIG. 23B

【圖 24】

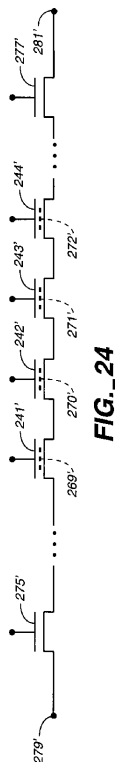
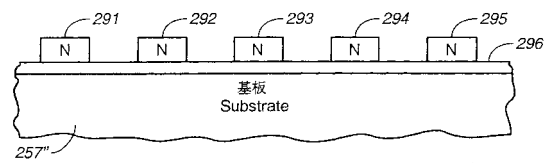


FIG. 24

【 ㊦ 2 5 A 】



(SECTION VII-VII) (断面VII-VII)

FIG. 25A

【 ㊦ 2 5 B 】

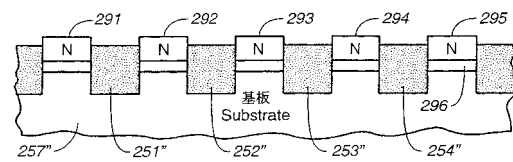


FIG. 25B

【 図 2 5 C 】

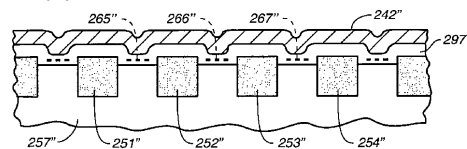
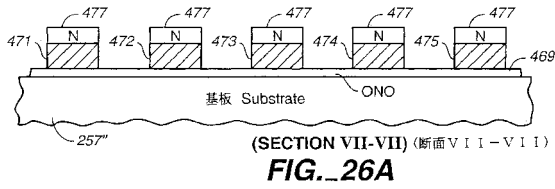
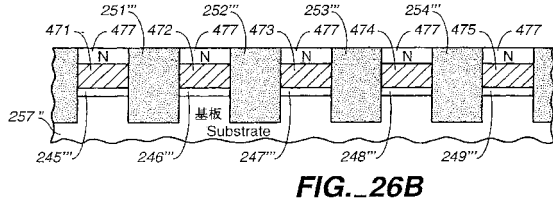


FIG. 25C

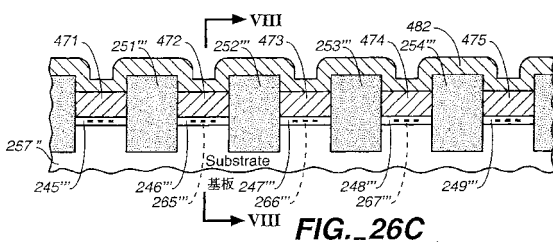
【図 26 A】



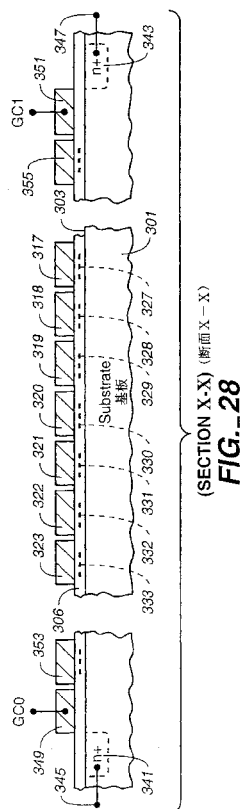
【図 26 B】



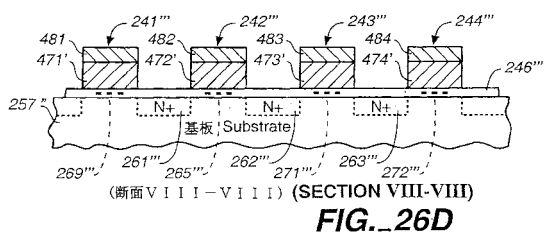
【図 26 C】



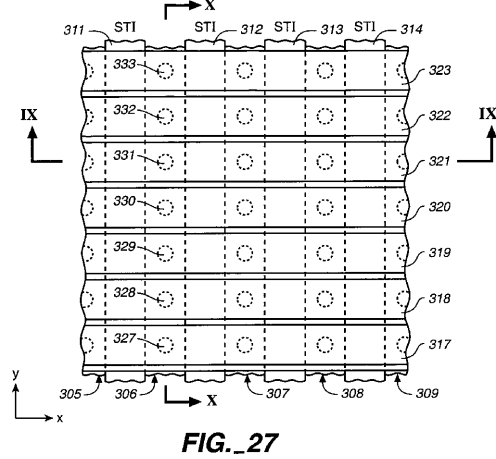
【図 28】



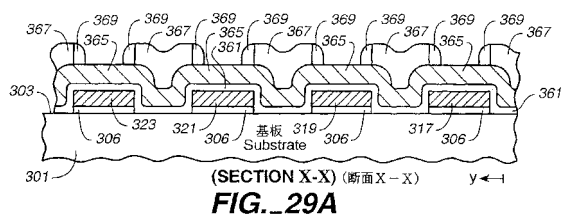
【図 26 D】



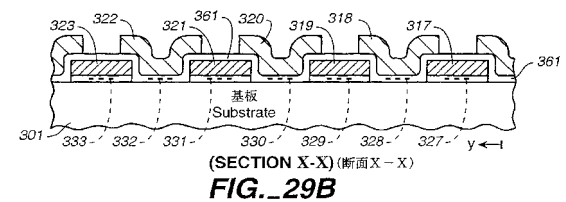
【図 27】



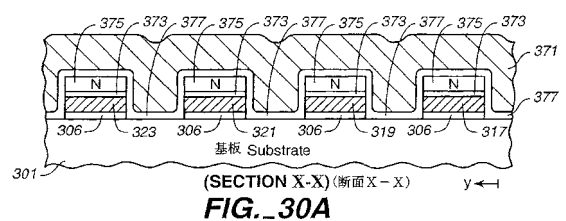
【図 29 A】



【図 29 B】



【図 30 A】



フロントページの続き

(31)優先権主張番号 10/280,352

(32)優先日 平成14年10月25日(2002.10.25)

(33)優先権主張国 米国(US)

(72)発明者 サマチサ, ジョージ

アメリカ合衆国、9 5 1 2 0、カリフォルニア州、サン ホセ、キャストラロック ドライブ 6
8 5 8

(72)発明者 ユアン, ジャック エイチ.

アメリカ合衆国、9 5 0 3 0、カリフォルニア州、ロス ガトス、トゥーラ レーン 1 0 3 2 5

(72)発明者 グッターマン, ダニエル シー.

アメリカ合衆国、9 4 5 3 9、カリフォルニア州、フリーモント、ジャカランダ ドライブ 3 0
5

審査官 小森 重樹

(56)参考文献 特開2 0 0 1 - 1 4 8 4 3 4 (J P , A)

特開2 0 0 1 - 1 0 2 4 6 6 (J P , A)

特開2 0 0 1 - 2 3 7 3 3 0 (J P , A)

特開2 0 0 1 - 1 1 0 9 1 8 (J P , A)

特開平 0 5 - 1 2 9 6 2 4 (J P , A)

特開平 0 5 - 0 9 4 6 9 9 (J P , A)

特開平 0 5 - 1 2 9 5 6 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792