

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3651925号
(P3651925)

(45) 発行日 平成17年5月25日(2005.5.25)

(24) 登録日 平成17年3月4日(2005.3.4)

(51) Int. Cl.⁷

F I

HO 1 G 4/12
HO 1 G 4/232
HO 1 G 4/30

HO 1 G 4/12 3 6 4
HO 1 G 4/30 3 1 1 D
HO 1 G 4/30 3 1 1 E
HO 1 G 1/147 Z

請求項の数 1 (全 14 頁)

(21) 出願番号	特願平6-90174	(73) 特許権者	000006633
(22) 出願日	平成6年4月27日(1994.4.27)		京セラ株式会社
(65) 公開番号	特開平7-297077		京都府京都市伏見区竹田鳥羽殿町6番地
(43) 公開日	平成7年11月10日(1995.11.10)	(72) 発明者	井本 晃
審査請求日	平成13年4月26日(2001.4.26)		鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内
審判番号	不服2002-13562(P2002-13562/J1)	(72) 発明者	久高 将文
審判請求日	平成14年7月18日(2002.7.18)		鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内
		(72) 発明者	松本 謙
			鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内
		(72) 発明者	坂ノ上 聡浩
			鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

最終頁に続く

(54) 【発明の名称】 積層コンデンサ基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の絶縁体セラミック層と第2の絶縁体セラミック層の間に複数の誘電体セラミック層を有し、該誘電体セラミック層を挟んだ第1の電極層と第2の電極層を交互に多数積層するとともに、該第1の電極層どうし及び第2の電極層どうしを前記複数の誘電体セラミック層に形成した第1及び第2のビアホール導体を介して接続してなる容量部と、該容量部と接続し、且つ前記複数の誘電体セラミック層を挟んだ複数の内部配線と、該複数の内部配線を接続する前記複数の誘電体セラミック層及び第2の絶縁体セラミック層に形成した第3のビアホール導体と、前記第2の絶縁体セラミック層上に形成した表面配線と、該表面配線に接続した電子部品とからなる回路部とを有する積層コンデンサ基板の製造方法であって、

前記積層コンデンサ基板の形成方法が

支持基板上に、光硬化可能なモノマーを含有するセラミックスリップ材を塗布して前記第1の絶縁体セラミック層となる絶縁膜を形成する工程と、

該第1の絶縁体セラミック層となる絶縁膜の表面に導電性ペーストを印刷して前記第1又は第2の電極層となる導電膜を形成するとともに、前記内部配線となる導電膜を形成する工程とを順次行った後、

(1) 光硬化可能なモノマーを含有するセラミックスリップ材を塗布して前記誘電体セラミック層となる絶縁膜を形成する工程と

(2) 前記誘電体セラミック層となる絶縁膜を選択的に露光・現像処理して、第3のビア

ホール導体となる位置に、第3の貫通孔を形成するとともに、第1及び第2のビアホール導体となる位置に、第1及び第2の貫通孔を形成する工程、

(3) 前記誘電体セラミック層となる絶縁膜の各貫通孔に導電性ペーストを充填して前記第1乃至第3のビアホール導体となる導体とを形成する工程と、

(4) 前記誘電体セラミック層となる絶縁膜の表面に導電性ペーストを、一部が前記第1または第2の貫通孔に充填した導体と接続するように印刷して前記第1又は第2の電極層となる導体膜を形成するとともに、前記第3の貫通孔に充填した導体と接続するように印刷して前記内部配線となる導体膜を形成する工程、

の上述の(1)乃至(4)の各工程を順次繰り返した後、

光硬化可能なモノマーを含有するセラミックスリッパ材を塗布して前記第2の絶縁体セラミック層となる絶縁膜を形成する工程と、

該第2の絶縁体セラミック層となる絶縁膜を選択的に露光・現像処理して、第3のビアホール導体となる位置に第3の貫通孔を形成する工程と、

該第3の貫通孔に導電性ペーストを充填して第3のビアホール導体となる導体を形成する工程とを順次行った後、

前記支持基板を分離して、絶縁膜、導体及び導体膜が一体化された積層体を形成する工程と、

該積層体を焼成処理して、前記第1及び第2の絶縁体セラミック層、前記誘電体セラミック層、前記第1乃至第3のビアホール導体、前記第1及び第2の電極層及び内部配線を形成する工程と、

前記第2の絶縁体セラミック層の表面に、一部が第3のビアホール導体と接続するように前記表面配線を形成する工程と、

前記表面配線に前記電子部品を接続する工程と
を有することを特徴とする積層コンデンサ基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、第1の電極層と第2の電極層とで誘電体セラミック層を挟んで成る積層コンデンサ基板の製造方法に関するものである。

【0002】

【従来の技術】

従来、積層チップコンデンサは、チップ形状となる領域に、内部電極層となる導体膜を形成したセラミックとなる誘電体セラミックグリーンシートを複数積層して、チップ領域に対応して切断した後、焼成処理を行い、積層体の対向する両端面に端子電極を形成していた。尚、内部電極層は、積層体の一方端面にその端辺が露出するように一方端面側よりに形成した第1の内部電極層と積層体の他方端面にその端辺が露出するように他方端面側よりに形成した第2の内部電極層とからなり、夫々がセラミック層を介して交互に積層配置されている。

【0003】

通常、積層チップコンデンサは、内部電極層と端子電極との接続が内部電極層の厚み(例えば2~3 μm)によって行われているため、この接続部分での接続抵抗が大きくなってしまふ。特にこのような積層チップコンデンサを高速で動作するスイッチング回路などに用いると、内部電極と端子電極との接続部分で、インダクタンス成分が大きくなってしまふ(例えば、0.8nH)、高速動作に追従しないものであった。

【0004】

そこで、インダクタンス成分を小さくするための構造として、図4の一部透視した平面図のように、セラミック層40と第1の内部電極層42a又は第2の内部電極層42bとが交互に積層するとともに、前記セラミック層40に、第1の内部電極層42aどうしを接続する第1のビアホール導体43a及び第2の内部電極層42bどうしを接続する第2のビアホール導体43bを形成して成る積層チップコンデンサが提案されている。そして、

10

20

30

40

50

この積層チップコンデンサの主面に、第1及び第2のビアホール導体43a、43bと接続する島状の端子電極44a、44bを形成し、この端子電極44a、44bで外部の回路と接続していた。尚、この構造において、ビアホール43a、43bの径を例えば250 μm 程度にすると、インダクタンス成分が0.1nH程度まで低下させることができ、高速で動作するスイッチング回路などに用いることが可能となる。

【0005】

【発明が解決しようとする課題】

しかしながら、図4に示す積層チップコンデンサを製造するにあたり、セラミック層40となる誘電体グリーンシートには、例えば直径250 μm のビアホール導体43a、43bとなるスルーホールを形成しなくてはならず、しかもこのスルーホール内に導電性ペーストを安定的に充填・保持させなくてはならない。

10

【0006】

しかし、セラミック層40となる誘電体グリーンシートの厚みは、積層数の増加に伴い部品の高さが増加しないように極力薄く(20~30 μm)している。また、このように薄いグリーンシートに形成した例えば直径250 μm のスルーホール内に導電性ペーストを充填・保持することは非常に困難なものになってしまう。一般に、生産性を考慮した場合、直径120 μm 程度である。

【0007】

また、インダクタンス値が低い積層チップコンデンサは、例えばスイッチング回路を成す回路と直接接続する必要があり、積層チップコンデンサの単体をプリント配線基板上に搭載することは、インダクタンス値の低いコンデンサとしての作用が十分に奏することが困難である。

20

【0008】

本発明は、上述の問題点に鑑みて案出されたものであり、その目的は、ビアホール導体の直径に係わらず、簡単にインダクタンス値が低い積層コンデンサ基板を製造する方法を提供することである。

【0009】

また、別の目的は、低インダクタンスの積層コンデンサ基板の作用を十分に奏するために他の回路と直接接続することが可能な積層コンデンサ基板を製造する方法を提供することである。

30

【0010】

【課題を解決するための手段】

本発明によれば、第1の絶縁体セラミック層と第2の絶縁体セラミック層の間に複数の誘電体セラミック層を有し、該誘電体セラミック層を挟んだ第1の電極層と第2の電極層を交互に多数積層するとともに、該第1の電極層どうし及び第2の電極層どうしを前記複数の誘電体セラミック層に形成した第1及び第2のビアホール導体を介して接続してなる容量部と、該容量部と接続し、且つ前記複数の誘電体セラミック層を挟んだ複数の内部配線と、該複数の内部配線を接続する前記複数の誘電体セラミック層及び第2の絶縁体セラミック層に形成した第3のビアホール導体と、前記第2の絶縁体セラミック層上に形成した表面配線と、該表面配線に接続した電子部品とからなる回路部とを有する積層コンデンサ基板の製造方法であって、

40

前記積層コンデンサ基板の形成方法が

支持基板上に、光硬化可能なモノマーを含有するセラミックスリップ材を塗布して前記第1の絶縁体セラミック層となる絶縁膜を形成する工程と、

該第1の絶縁体セラミック層となる絶縁膜の表面に導電性ペーストを印刷して前記第1又は第2の電極層となる導電膜を形成するとともに、前記内部配線となる導電膜を形成する工程とを順次行った後、

(1) 光硬化可能なモノマーを含有するセラミックスリップ材を塗布して前記誘電体セラミック層となる絶縁膜を形成する工程と

(2) 前記誘電体セラミック層となる絶縁膜を選択的に露光・現像処理して、第3のビア

50

ホール導体となる位置に、第3の貫通孔を形成するとともに、第1及び第2のビアホール導体となる位置に、第1及び第2の貫通孔を形成する工程、

(3) 前記誘電体セラミック層となる絶縁膜の各貫通孔に導電性ペーストを充填して前記第1乃至第3のビアホール導体となる導体とを形成する工程と、

(4) 前記誘電体セラミック層となる絶縁膜の表面に導電性ペーストを、一部が前記第1または第2の貫通孔に充填した導体と接続するように印刷して前記第1又は第2の電極層となる導体膜を形成するとともに、前記第3の貫通孔に充填した導体と接続するように印刷して前記内部配線となる導体膜を形成する工程、

の上述の(1)乃至(4)の各工程を順次繰り返した後、

光硬化可能なモノマーを含有するセラミックスリップ材を塗布して前記第2の絶縁体セラミック層となる絶縁膜を形成する工程と、 10

該第2の絶縁体セラミック層となる絶縁膜を選択的に露光・現像処理して、第3のビアホール導体となる位置に第3の貫通孔を形成する工程と、

該第3の貫通孔に導電性ペーストを充填して第3のビアホール導体となる導体を形成する工程とを順次行った後、

前記支持基板を分離して、絶縁膜、導体及び導体膜が一体化された積層体を形成する工程と、

該積層体を焼成処理して、前記第1及び第2の絶縁体セラミック層、前記誘電体セラミック層、前記第1乃至第3のビアホール導体、前記第1及び第2の電極層及び内部配線を形成する工程と、 20

前記第2の絶縁体セラミック層の表面に、一部が第3のビアホール導体と接続するように前記表面配線を形成する工程と、

前記表面配線に前記電子部品を接続する工程と
を有することを特徴とする積層コンデンサ基板の製造方法である。

【0011】

尚、貫通孔は、その絶縁膜を貫通するものであるが、その貫通孔の下開口部は、絶縁膜を形成する前に、既に形成された導体膜や導体によって閉塞され、全体としては「凹部」形状となるので、特に従来のグリーンシートを用いる製造方法のスルーホールと区別するため、本発明の製造方法では「貫通凹部」と表現する。

【0012】

【作用】

本発明では、誘電体セラミック層となる絶縁膜が光硬化可能なモノマーを含有するセラミックスリップ材を塗布し、乾燥して形成されるため、セラミック層の膜厚の制御が極めて容易となる。

【0013】

また、セラミック層となる絶縁膜に形成される第1及び第2のビアホール導体となる貫通凹部が、絶縁膜の選択的な露光・現像処理により形成されるため、任意の形状・寸法、例えば250 μ mで、精度の高い貫通凹部を簡単に作成できる。

【0014】

また、第1及び第2のビアホール導体となる導体が、上述の貫通凹部に充填して形成するため、安定的に導体を形成することができ、従来のようなグリーンシートに形成した貫通孔に充填した導電性ペーストが充填抜けすることが一切ない。 40

【0015】

また、第1又は第2の電極層を形成するにあたり、形成面となる絶縁膜がスリップ材の塗布・乾燥によって形成されるため、常に形成面を平坦な面となることができるため、第1又は第2の電極層を安定的に形成することができる。

【0016】

従って、上述の(1)~(4)の工程を順次繰り返して行うが、ビアホール導体の位置決めが、実際には、精度の高い露光・現像処理で規定されるため、従来のグリーンシートを積層した際の位置ずれによるビアホール導体間の導通不良が発生せず、まず、第1又は第 50

2の電極層が比較的大きなビアホール導体によって接続され、外部に導出できるため、低インダクタンスの積層コンデンサ基板となる。

【0017】

また、上述の積層コンデンサ基板を形成するにあたり、このコンデンサと接続する外部回路を積層コンデンサ基板に簡単に形成することができる。即ち、第1又は第2の電極層を形成する際にこの容量成分と接続する外部の回路を構成する所定配線パターンを、同時に第1及び第2のビアホールを形成する際にこの配線パターン間を接続するビアホール導体も同時に形成することができる。

【0018】

従って、低インダクタンスの積層コンデンサの作用を十分に奏することができる回路一体型の積層コンデンサ基板とすることが可能となる。 10

【0019】

【実施例】

以下、本発明を図面に基づいて説明する。

【0020】

図1は、本発明に係る積層コンデンサ基板10の断面図である。尚、図において、容量成分を発生するコンデンサ部と該コンデンサ部と接続する回路部とを並設した例で説明する。

【0021】

図1において、1は積層セラミック基板であり、2は電子部品である。 20

【0022】

積層セラミック基板1には、コンデンサ部Xと多層回路部Yとが並設されておいる。また、積層セラミック基板1は、絶縁体セラミック層1a、誘電体セラミック層1b~1f、絶縁体セラミック層1g（総称してセラミック層という）と、セラミック層1a~1gの各層間には、前記容量部Xを構成する第1又は第2の電極層3a、3bが配置され、また、回路部Yを構成する内部配線4が配置されている。また、セラミック層1a~1gには、前記容量部Xを構成する第1及び第2のビアホール導体5a、5bが形成され、また、また、回路部Yを構成するビアホール導体6が形成されている。

【0023】

また、積層セラミック基板1の主面には、コンデンサ部Xの端子電極7を含む回路部Yの表面配線（端子電極を含む）8が形成されている。図には示していないが、さらに、必要に応じて、厚膜抵抗体膜が形成されており、さらに、絶縁保護膜が電子部品2、端子電極7などを露出するように形成されている。 30

【0024】

ここで、積層セラミック基板1の表裏両主面となるセラミック層1a、1gをアルミナなどの絶縁体セラミック層で形成している。本来であれば、セラミック層1a~1gを誘電体セラミック層とすべきであるが、例えば、積層セラミック基板1の主面に厚膜抵抗体膜を形成した場合、誘電体材料の一部（例えばチタニア成分、鉛成分など）が厚膜抵抗体膜に拡散して抵抗特性が不安定になりやすい。このため、厚膜抵抗体膜の抵抗特性を安定化するために絶縁体セラミック層を積層セラミック基板1の表裏両主面となるセラミック層 40
1a、1gに用いている。また、基板の強度を考慮した場合にも有利となる。

【0025】

絶縁体セラミック層1a、1gは、比較的低い温度で焼成可能にするガラス-セラミック材料からなる。具体的なセラミック材料としては、クリストバライト、石英、コランダム（アルミナ）、ムライト、コージライトなどが例示できる。また、ガラス材料として複数の金属酸化物を含むガラスフリットであり、焼成処理することによってコージェライト、ムライト、アノーサイト、セルジアン、スピネル、ガーナイト、ウイレマイト、ドロマイト、ペタライトやその置換誘導体の結晶を少なくとも1種類を析出するものであればよい。

【0026】

また、誘電体セラミック層 1 b ~ 1 f は、セラミック材料としては、誘電率が高い BaTiO₃ や Pb₄Fe₂Nb₂O₁₂ などの誘電体セラミック材料が例示できる。これらセラミック層 1 a ~ 1 g の厚みは例えば 10 ~ 100 μm 程度である。

【0027】

第 1 及び第 2 の電極層 3 a、3 b、内部配線 4、第 1 及び第 2 のビアホール導体 5 a、5 b、ビアホール導体 6 は、Ag 系 (Ag 単体、Ag - Pd などの Ag 合金)、Cu 系 (Cu 単体、Cu 合金) など導体からなり、第 1 及び第 2 の電極層 3 a、3 b、内部配線 4 の厚みは 8 ~ 15 μm 程度である。尚、第 1 及び第 2 のビアホール導体 5 a、5 b、ビアホール導体 6 の直径は任意な値とすることができるが、例えば第 1 及び第 2 のビアホール導体 5 a、5 b の直径は 250 μm、ビアホール導体 6 の直径は、80 μm である。

10

【0028】

端子電極 7 や表面配線 8 は、Ag 系 (Ag 単体、Ag - Pd などの Ag 合金)、Cu 系 (Cu 単体、Cu 合金) など導体からなる。

【0029】

銅系の端子電極 7、表面配線 8 は、マイグレーションなどが発生しないため高密度化にとっては重要な導体材料である。尚、銅系導体の場合には、焼きつけの条件が還元性雰囲気または中性雰囲気で行う必要があるが、積層セラミック基板 1 の焼成時に同時に焼きつけ処理するために、銀系導体を用いても構わない。

【0030】

電子部品 2 は、IC ベアチップ、チップ抵抗器、チップコンデンサなどのチップ部品の他に、既に容器に収納された IC、トランジスタ、発振部品などが挙げられる。尚、基板全体の高さを低くするために、基板表面に、電子部品 2 を収納するキャビティを形成して、キャビティ内に電子部品 2 を収納・配置してもよい。

20

【0031】

以上の構成では、例えば誘電体セラミック層 1 d を挟んで互いに対向する第 1 の電極層 3 a と第 2 の電極層 3 b との間で所定容量成分が発生し、また誘電体セラミック層 1 e を挟んで互いに対向する第 1 の電極層 3 a と第 2 の電極層 3 b との間で容量成分が発生する。そして、複数の第 1 の電極層 3 a は第 1 のビアホール導体 5 a によって共通的に接続され、複数の第 2 の電極層 3 b を第 2 のビアホール導体 5 b によって共通的に接続され、この容量部 X で発生した容量を端子電極 7 と第 2 ビアホール導体 5 b の一端と多層回路部 Y との接続部分との間で所定容量成分が導出することができる。

30

【0032】

この時、各電極 3 a、3 b は直径が 250 μm と非常に大きい第 1 のビアホール導体 5 a、第 2 のビアホール導体 5 b に接続され、この第 1 のビアホール導体 5 a、第 2 のビアホール導体 5 b を介して所定容量が得られることになるため、各第 1 の電極層 3 a と第 1 のビアホール導体 5 a と接続の抵抗が、また、第 2 の電極層 3 b と第 2 のビアホール導体 5 b との接続の抵抗が非常に小さくなり、また、端子電極 7 や多層回路部 Y との接続部分での接触抵抗が低下して、インダクタ値が非常に小さくなる。

【0033】

次に、積層セラミック基板 1 の製造方法を図 2 の工程の流れ図、図 3 (a) ~ 図 3 (f) の主要工程における断面図に基づいて説明する。

40

【0034】

まず、図 2 に示すように、予め、支持基板 15 を用意し、また、セラミック層 1 a ~ 1 g となるセラミックスリップ材を用意し、さらに電極層 3 a、3 b、内部導体 4、ビアホール導体 5 a、5 b、6 となる導電性ペーストを用意しておく。

【0035】

支持基板 15 は、例えば耐熱性樹脂、ガラス、セラミックなどなどが例示できる。

【0036】

セラミックスリップ材は、図 1 においては 2 種類のスリップ材が必要であり、例えば、焼成した後絶縁体セラミック層 1 a、1 g となる絶縁膜 10 a、10 g を形成するためのス

50

リップ材は、セラミック粉末、ガラス材料、光硬化可能なモノマー、バインダー、溶剤を均質混練して形成する。

【0037】

セラミック粉末は、クリストバライト、石英、コランダム（アルミナ）、ムライト、コーゼライトなどの絶縁セラミック材料が例示できる。その平均粒径 $1.0 \sim 6.0 \mu\text{m}$ 、好ましくは $1.5 \sim 4.0 \mu\text{m}$ に粉碎したものをを用いる。尚、セラミック材料は2種以上混合して用いられてもよい。特に、コランダムを用いた場合、コスト的に有利となる。

【0038】

ガラス材料として複数の金属酸化物を含むガラスフリットであり、焼成処理することによってコーゼライト、ムライト、アノーサイト、セルジアン、スピネル、ガーナイト、ウイレマイト、ドロマイト、ペタライトやその置換誘導体の結晶を少なくとも1種類を析出するものであればよく、例えば、 B_2O_3 、 SiO_2 、 Al_2O_3 、 ZnO 、アルカリ土類酸化物を含むガラスフリットが挙げられる。この様なガラスフリットは、ガラス化範囲が広くまた屈伏点が $600 \sim 800$ 付近にあるため、 $850 \sim 1050$ 程度の低温焼成に適し、内部導体3となる導体膜との焼結挙動が近似しているためである。尚、このガラスフリットの平均粒径は、 $1.0 \sim 5.0 \mu\text{m}$ 、好ましくは $1.5 \sim 3.5 \mu\text{m}$ である。

10

【0039】

上述のセラミック材料とガラス材料との構成比率は、 $850 \sim 1050$ の比較的低温で焼成する場合には、セラミック材料が $10 \sim 60 \text{wt}\%$ 、好ましくは $30 \sim 50 \text{wt}\%$ であり、ガラス材料が $90 \sim 40 \text{wt}\%$ 、好ましくは $70 \sim 50 \text{wt}\%$ である。

20

【0040】

光硬化可能なモノマーは、比較的低温で且つ短時間の焼成工程で消失できるように熱分解性に優れたものであり、また、スリップ材の塗布・乾燥後の露光によって、光重合される必要があり、遊離ラジカルの形成、連鎖生長付加重合が可能で、2級もしくは3級炭素を有したモノマーが好ましく、例えば少なくとも1つの重合可能なエチレン系基を有するブチルアクリレート等のアルキルアクリレートおよびそれらに対応するアルキルメタクリレートが有効である。また、テトラエチレングリコールジアクリレート等のポリエチレングリコールジアクリレートおよびそれらに対応するメタクリレートなどが挙げられる。尚、光硬化可能なモノマーは、露光処理後の現像処理によって露光部分以外の部分が容易に除去できるように所定量添加される。例えば、固形成分（セラミック材料及びガラス材料）に対して $5 \sim 15 \text{wt}\%$ 以下である。

30

【0041】

バインダーは、光硬化可能なモノマー同様に熱分解性の良好なものでなくてはならない。同時にスリップの粘性を決めるものである為、固形分との濡れ性も重視せねばならず、アクリル酸もしくはメタクリル酸系重合体のようなカルボキシル基、アルコール性水酸基を備えたエチレン性不飽和化合物が好ましい。添加量としては固形分に対して $25 \text{wt}\%$ 以下が好ましい。

【0042】

溶剤として、有機系溶剤、水系溶剤を用いることができる。尚、水系溶剤の場合、光硬化可能なモノマー及びバインダーは、水溶性である必要があり、モノマー及びバインダには、親水性の官能基、例えばカルボキシル基が付加されている。その付加量は酸価で表せば $2 \sim 300$ あり、好ましくは $5 \sim 100$ である。

40

【0043】

付加量が少ない場合は水への溶解性、固定成分の粉末の分散性が悪くなり、多い場合は熱分解性が悪くなるため、付加量は、水への溶解性、分散性、熱分解性を考慮して、上述の範囲で適宜付加される。

【0044】

何れの系のスリップ材においても光硬化可能なモノマー及びバインダは上述したように熱分解性の良好なものでなくてはならないが、具体的には 600 以下で熱分解が可能でな

50

くてはならない。更に好ましくは500以下である。

【0045】

また、スリップ材には、増感剤、光開始系材料等を必要に応じて添加しても構わない。例えば、光開始系材料としては、ベンゾフェノン類、アシロインエステル類化合物などが挙げられる。

【0046】

また、焼成した後誘電体セラミック層1b~1fとなる絶縁膜10b~10fを形成するためのスリップ材は、誘電体セラミック粉末、光硬化可能なモノマー、バインダー、溶剤を均質混練して形成する。

【0047】

上述のセラミックスリップ材との相違点は、固形成分として、誘電体セラミック材料、例えば、 $BaTiO_3$ 、 $Pb_4Fe_2Nb_2O_{12}$ 、 TiO_2 などの誘電体セラミック材料を用いた点である。

【0048】

焼成した後、電極層3a、3b、内部導体4、ビアホール導体5a、5b、6となる導体膜、導体を形成する導電性ペーストは、Ag系(Ag単体、Ag-PdなどのAg合金)、Cu系(Cu単体、Cu合金)など導体材料粉末、例えば銀系粉末と、低融点ガラス成分と、有機バインダーと有機溶剤とを均質混練したものが用いられる。尚、上述の導電性ペースト中に、セラミックスリップ材に用いた光硬化モノマーを添加し、各導体膜を印刷し、乾燥した後、露光処理によって光硬化させても構わない。これは、後述するように、導体膜上にセラミック層となる絶縁膜上の全面に塗布して、この絶縁膜に貫通凹部を形成するべく、露光、現像処理した時に、絶縁膜の貫通凹部の下部開口から露出する既に形成した導体膜もが除去されないようにするためである。尚、絶縁膜の現像処理に用いる現像液が、露光処理されていない絶縁膜のみを除去し、既に形成した導体や導体膜などを除去しないようにその成分や濃度を制御すれば、導電性ペーストに光硬化モノマーを用いる必要がなく、且つ導体、導体膜に対する露光処理を省略できる。

【0049】

上述のように、支持基板15、セラミック層1a~1gとなるセラミックスリップ材、内部導体3となる導電性ペーストの準備を施した後、積層セラミック基板1となる積層体を形成する工程となる。

【0050】

まず、図3(a)に示すように、(1)の工程として、支持基板15上に絶縁体セラミック層1aとなる絶縁膜10aを形成する。具体的には、セラミックスリップ材を40~120 μm 程度になるように塗布、乾燥して形成する。

【0051】

スリップ材の塗布方法として、例えば、ドクターブレード法(ナイフコート法)、ロールコート法、印刷法などが挙げられる。特に塗布後の絶縁膜の表面が平坦化することが容易なドクターブレード法などが好適である。尚、塗布方法に応じて溶剤の添加量が調整され、所定粘度に調整される。

【0052】

乾燥方法としては、バッチ式乾燥炉、インライン式乾燥炉を用いて行われ、乾燥条件は、120以下が望ましい。また、急激な乾燥は、表面にクラックを発生される可能性があるため、急加熱を避けることが重要となる。

【0053】

次に、図3(b)に示すように、(2)の工程の前工程であるスリップ材を塗布・乾燥した絶縁膜10aを選択的な露光処理して、絶縁膜10aの所定位置、即ち、第1及び第2のビアホール導体5a、5bとなる位置に、貫通凹部50(実際には、支持基体15の存在のため凹部形状となる)となる溶化部50'を形成する。尚、この基板内に回路部を構成する図1の場合、この工程で同時に、ビアホール6となる位置に、貫通凹部60となる溶化部60'を形成する。

10

20

30

40

50

【 0 0 5 4 】

具体的には、絶縁膜 1 0 a 中に含まれる光硬化モノマーが、光重合されるネガ型であるため、貫通凹部 5 0、6 0 となる溶化部 5 0'、6 0' のみが露光光が照射されないような所定パターンを有するフォトターゲットを、絶縁膜 1 0 a 上に載置、又は近接配置して、低圧、高圧、超高圧の水銀灯系の露光光を照射する。尚、露光条件は、1 5 ~ 2 0 J / c m² の露光光を約 1 5 ~ 3 0 秒程度照射して行う。これにより、絶縁膜 1 0 a の第 1 及び第 2 のビアホール導体 5 a、5 b、ビアホール導体 6 となる部分以外は、光硬化可能なモノマーの光重合反応を起し、光硬化されることになる。尚、露光装置は所謂写真製版技術に用いられる一般的なものでよい。

【 0 0 5 5 】

そして、図 3 (c) に示すように、(2) の工程の後工程として、露光処理した絶縁膜 1 0 a を現像処理し、溶化部 5 0'、6 0' を除去して、貫通凹部 5 0、6 0 を形成する。これにより、貫通凹部 5 0、6 0 の下部開口には、支持基板 1 5 の一部が露出することになる。

【 0 0 5 6 】

具体的には、現像処理として、クロロセン、1, 1, 1 - トリクロロエタン、アルカリ現像溶剤を例えばスプレー現像法やパドル現像法によって、溶化部 4 0' に噴射したり、接触したりして、現像処理を行う。その後、必要に応じて洗浄及び乾燥を行なう。

【 0 0 5 7 】

次に、図 3 (d) に示すように、(3) の工程として、現像処理して絶縁膜 1 0 a の貫通凹部 5 0、6 0 内に、第 1、第 2 のビアホール導体 5 a、5 b となる導体 5 1 a、5 1 b、ビアホール導体 6 となる導体 6 1 を導電性ペーストの充填によって形成する。

【 0 0 5 8 】

続いて、(4) の工程として、絶縁膜 1 0 a 上に、セラミック層 1 a とセラミック層 1 b との間に配置される第 1 の電極層 3 a となる導体膜 3 1 a を形成する。尚、この基板内に回路部を構成する図 1 の場合、この工程で同時に、内部配線 4 となる導体膜 4 1 を導電性ペーストの印刷によって形成する。

【 0 0 5 9 】

上述の(3) のビアホール導体となる導体を形成する工程と(4) の電極層となる導体膜、内部配線となる導体膜を形成する工程を同一のスクリーン印刷で同時に行うこともできる。

【 0 0 6 0 】

以上で、一連の(1) ~ (4) の各工程が終了する。

【 0 0 6 1 】

次に、セラミックスリップ材を誘電体セラミック層となるセラミックスリップ材に代えて、上述の(1) の工程を繰り返して、誘電体セラミック層 1 b となる絶縁膜 1 0 b を形成し、続いて、(2) の工程を行って、絶縁膜 1 0 b に第 1、第 2 のビアホール導体 5 a と貫通凹部 5 0、ビアホール導体 6 と貫通凹部 6 0 を形成し、続いて、(3) (4) の工程を行って、貫通凹部 5 0 及び貫通凹部 6 0 に導電性ペーストを充填して導体 5 1 a、5 1 b、6 1 を形成するとともに、絶縁膜 1 0 b 上に誘電体セラミック層 1 b と誘電体セラミック層 1 c との間に配置される電極層 3 b となる導体膜 3 1 b、内部配線 4 となる導体膜 4 1 を形成する。

【 0 0 6 2 】

同様に、誘電体セラミック層 1 c ~ 誘電体セラミック層 1 f となる絶縁膜 1 0 c ~ 1 0 f、絶縁膜 1 0 c ~ 1 0 f に形成される導体 5 1 a、5 1 b、6 1、絶縁膜 1 0 c ~ 1 0 f 上に形成される導体膜 3 1 a、3 1 b、4 1 を形成する。

【 0 0 6 3 】

最後に、また、スリップ材を代えて、(1) の工程を行って、最上層の絶縁体セラミック層 1 g となる絶縁膜 1 0 g を形成し、続いて(2) の工程を行って、絶縁膜 1 0 g 中にビアホール導体 6 となる貫通凹部 6 0 を形成し、(3) 工程のみを行って、貫通凹部 6 0 内

10

20

30

40

50

にビアホール導体 6 となる導体 6 1 を形成する。絶縁膜 1 0 g のビアホール導体 6 は基板の表面に露出するものであるため、その後現像処理されることがない場合は、光硬化を行う露光処理は省略される。

【 0 0 6 4 】

次に、図 3 (e) に示すように、支持基板 1 5 を分離して、積層コンデンサ基板 1 0 の寸法で分割できるようにプレス成型によって分割溝を形成し、一体的な焼結を行う。

【 0 0 6 5 】

焼結は、脱バインダ過程と焼成過程からなる。脱バインダ過程は、絶縁膜 1 0 a ~ 1 0 g 、第 1 の電極層 3 a となる導体膜 3 1 a 、第 2 の電極層 3 b となる導体膜 3 1 b 、内部配線 4 となる導体膜 4 1 、第 1 のビアホール導体 5 a となる導体 5 1 a 、第 2 のビアホール導体 5 b となる導体 5 1 b 、ビアホール導体 6 となる導体 6 1 に含まれる有機成分を焼失するためのものであり、焼結過程の例えば 6 0 0 以下の温度領域で行われる。

10

【 0 0 6 6 】

また、焼成過程は、絶縁膜 1 0 a ~ 1 0 g のガラス成分を十分に軟化させて、セラミック粉末の粒界に均一に分散させ、積層セラミック基板 1 に一定強度を与え、同時に、導体膜 3 1 a 、 3 1 b 、 4 1 、各ビアホール導体となる導体 5 1 a 、 5 1 b 、 6 1 の銀系粉末を粒成長させて、低抵抗化させるとともに、絶縁層 1 a ~ 1 g と一体化させるものであり、酸化性雰囲気又は中性雰囲気中でピーク温度 8 5 0 ~ 1 0 5 0 で行われる。

【 0 0 6 7 】

これにより、絶縁膜 1 0 a ~ 1 0 g はセラミック層 1 a ~ 1 g となり、導体膜導体膜 3 1 a 、 3 1 b 、 4 1 は夫々、第 1 の電極層 3 a 、第 2 の電極層 3 b 、内部配線 4 となり、導体 5 1 a 、 5 1 b 、 6 1 は第 1 のビアホール導体導体 5 a 、第 2 のビアホール導体 5 b 、ビアホール導体 6 となる。

20

【 0 0 6 8 】

尚、支持基板 1 5 として、セラミック基体を用いる場合は、そのまま積層セラミック基板 1 の一部として用いることができる。この時、支持基板 1 5 上に内部配線を形成していてもよい。

【 0 0 6 9 】

次に、図 3 (f) に示すように、基板の両主面に、銅系導電性ペーストで端子端子電極 7 、表面配線 8 となる各導体膜を印刷形成し、その後、乾燥・焼成を行う。

30

【 0 0 7 0 】

ここで、銅系の端子電極 7 、表面配線 8 と銀系導体のビアホール導体 6 とが接合することになる。このため、銀と銅との共晶温度を考慮して、銅系の表面配線 7 として、低温 (例えば 7 8 0 以下) 焼成可能な銅系導電性ペーストをスクリーン印刷して、銅の酸化を防止するため、還元性雰囲気や中性雰囲気中で行うことが重要である。

【 0 0 7 1 】

その後、必要に応じて、厚膜抵抗膜や保護膜などを焼きつけを行い、分割溝にそって個々の基板の大きさに分割を行い、積層セラミック基板 1 が達成される。

【 0 0 7 2 】

さらに、電子部品 2 を、積層セラミック基板 1 の表面に半田接合する。

40

【 0 0 7 3 】

以上のように、上述の製造方法によれば、複数の第 1 の電極層 3 a を共通的に接続する第 1 のビアホール導体 5 a 、複数の第 2 の電極層 3 b を共通的に接続する第 2 のビアホール導体 5 b は、セラミック層 1 a ~ 1 g となる絶縁膜 1 0 a ~ 1 0 g に露光・現像処理によって形成された貫通凹部 5 0 に導電性ペーストを充填して形成される。このため、従来、非常に困難とされていたグリーンシートのスルーホールへの導電性ペーストの充填保持が不要となりため、特に、2 5 0 μ m 程度の径であっても安定したビアホール導体 5 a 、 5 b を形成することができる。

【 0 0 7 4 】

しかも、第 1 のビアホール導体 5 a 、第 2 のビアホール導体 5 b を直径、形状・また異なる

50

るセラミック層に形成されたビアホール導体 5 a、5 b との接続位置も、上述の精度の高い露光処理によってのみ決まるため、直径、形状を任意とすることができ、ビアホール導体 5 a、5 b の接続位置ずれなどが一切発生せず、ビアホール導体での接続抵抗が低く、且つ信頼性の高い、即ち、インダクタンス値の非常に低いコンデンサを簡単に形成することが可能となる。

【 0 0 7 5 】

また、各絶縁膜 1 0 a ~ 1 0 g の形成が、スリップ材の塗布によって行われるため、その膜厚の制御が容易であり、セラミック層 1 a ~ 1 g の誘電率に応じたもっとも最適な膜厚とすることができる。

【 0 0 7 6 】

また、この絶縁膜 1 0 a ~ 1 0 g を形成した時の表面は、下部に配置された電極層 3 a、3 b や内部配線 4 のパターン形状、積層数の関わらず、常に均一な平坦面となる。このため、この絶縁膜 1 0 a ~ 1 0 e の表面に電極層 3 a、3 b となる導体膜 3 1 a、3 1 b や内部配線 4 となる導体膜 4 1、表面配線 8 などを形成するにあたり、確実に行えることになる。

【 0 0 7 7 】

また、インダクタンス値の低い容量部 X と同一の基板内に、この容量部 X の形成工程と同時に、容量部 X と接続する回路部 Y を形成することができるため、特に高速動作の回路と一体化することにより、インダクタンス値の低い容量部 X の特性を十分に奏することができる。

【 0 0 7 8 】

尚、回路部 X においても、ビアホール導体 6 の直径、形状は任意に設定できるため、回路の電源ライン、アースラインなど大電流の流れるビアホール導体 6 の低抵抗化が容易に行えることになる。

【 0 0 7 9 】

尚、上述の実施例において、第 1 の電極層 3 a と第 2 の電極層 3 b、内部配線 4、第 1、第 2 のビアホール導体 5 a、5 b、ビアホール導体 6 の導体材料と、基板表面の表面配線 8、端子電極 7 の導体材料とが異種の導体材料で形成されているが、少なくとも同一条件で焼成できる導体材料を用いることにより、端子電極 7、表面配線 8 の焼きつけ工程を、積層セラミック基板 1 の焼成工程前に行い、絶縁膜 1 0 a ~ 1 0 g と全ての導体とを同時に焼成することもできる。

【 0 0 8 0 】

また、図 1 に示す積層コンデンサ基板 1 0 においては、基板の裏面側主面には端子電極 7 や表面配線 8 を形成しているため、(1) の工程である最下部のセラミック層 1 a となる絶縁膜 1 0 a の形成工程を行った後に、(2) の工程であるビアホール導体となる貫通凹部 5 0、6 0 を形成するための露光・現像処理工程をおこなっているが、基板の裏面側主面には端子電極 7 や表面配線 8 を形成しない場合は、絶縁膜 1 0 a を形成した後、(2) の工程を省略して、(3) の工程である導体膜の形成工程を行っても構わない。

【 0 0 8 1 】

さらに、セラミック層の積層数は 7 層構造であるが、容量値に応じて、積層数を任意に設定することができ、また、容量部 X が 1 つだけではなしに、複数発生するようにしても構わない。

【 0 0 8 2 】

実施例では、積層コンデンサ基板 1 0 内に容量部 X と回路部 Y とを並設しているが、1 つ又は複数の容量部 X のみで積層コンデンサ基板 1 0 を構成、即ち、積層コンデンサとしても構成しても構わない。この時、セラミック層として全て誘電体セラミック層のみで構成し、その積層セラミック基板 1 の主面には、第 1 及び第 2 のビアホール導体 5 a、5 b と接続する島状の端子電極を形成する。

【 0 0 8 3 】**【 発明の効果 】**

10

20

30

40

50

以上のように本発明によれば、セラミック層となる絶縁膜を光硬化モノマーを含有するスリップ材を用いて、順次塗布によって形成し、ビアホール導体となる貫通孔を絶縁膜の選択的な露光・現像処理によって形成し、ビアホール導体となる導体、電極層となる導体膜を導電性ペーストの印刷などで形成している。従って、特にビアホール導体の直径を任意に設定することができるため、インダクタンス値が低く、且つ接続信頼性が高い積層コンデンサ基板が非常に簡単に形成できる。

【0084】

また、積層コンデンサ基板内にこのコンデンサと接続する回路を、コンデンサの形成工程と同時に形成することができるため、積層コンデンサ基板内に回路部を並設することにより、インダクタンス値が低い、即ち高速動作する回路に対応することができるというコンデンサの特性を十分に引き出すことができる。

10

【図面の簡単な説明】

【図1】本発明に係る積層コンデンサ基板の断面図である。

【図2】本発明の積層コンデンサ基板の製造を説明するための工程図である。

【図3】(a)～(f)は本発明の積層コンデンサ基板の製造の主要工程における断面図である。

【図4】従来の低インダクタンス型積層コンデンサの概略平面図である。

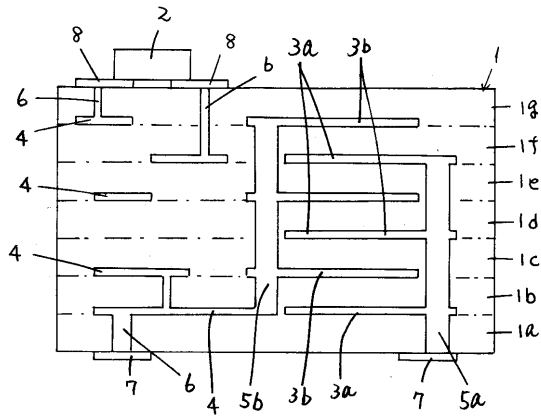
【符号の説明】

- 10・・・積層コンデンサ基板
- 1・・・積層セラミック基板
- 1a～1g・・・セラミック層
- 10a～10g・・・絶縁膜
- 2・・・電子部品
- 3a・・・第1の電極層
- 3b・・・第2の電極層
- 4・・・内部配線
- 5a・・・第1のビアホール導体
- 5b・・・第2のビアホール導体
- 6・・・ビアホール導体
- 7・・・端子電極
- 8・・・表面配線
- 31a・・・第1の電極層となる導体膜
- 31b・・・第2の電極層となる導体膜
- 41・・・内部配線となる導体膜
- 51a・・・第1のビアホール導体となる導体
- 51b・・・第2のビアホール導体となる導体
- 61・・・ビアホール導体となる導体

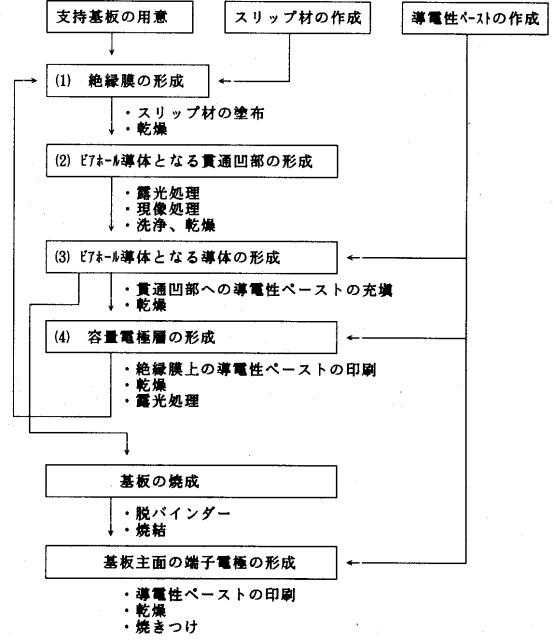
20

30

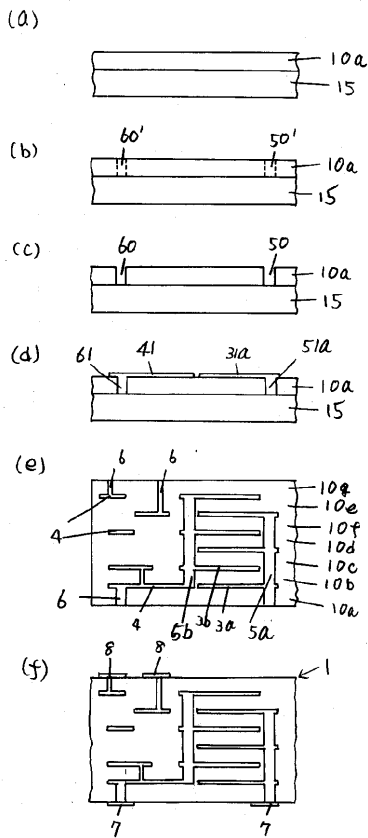
【図1】



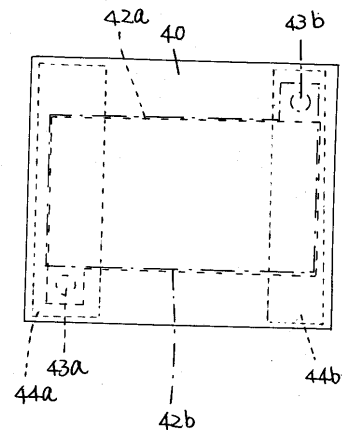
【図2】



【図3】



【図4】



フロントページの続き

- (72)発明者 未永 弘
鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内
- (72)発明者 古橋 和雅
鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

合議体

- 審判長 松本 邦夫
審判官 河本 充雄
審判官 河合 章

- (56)参考文献 特開平5 - 114531 (JP, A)
特開平5 - 347227 (JP, A)