

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11) 特許出願公開番号

特開2005-295795

(P2005-295795A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int.Cl.⁷

H02M 3/155

F I

H02M 3/155

P

テーマコード (参考)

5H730

審査請求 未請求 請求項の数 16 O L 外国語出願 (全 20 頁)

(21) 出願番号	特願2005-103158 (P2005-103158)	(71) 出願人	000005821
(22) 出願日	平成17年3月31日 (2005. 3. 31)		松下電器産業株式会社
(31) 優先権主張番号	60/557, 695		大阪府門真市大字門真1006番地
(32) 優先日	平成16年3月31日 (2004. 3. 31)	(74) 代理人	100077931
(33) 優先権主張国	米国 (US)		弁理士 前田 弘
		(74) 代理人	100094134
			弁理士 小山 廣毅
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

[最終頁に続く](#)

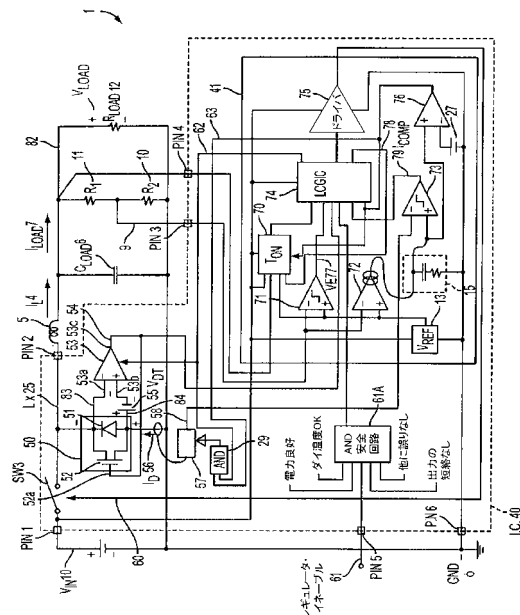
(54) 【発明の名称】 所定の導通期間を有する電流モードスイッチングレギュレータ

(57)【要約】 (修正有)

【課題】 広範囲の供給電圧や負荷電流で効率よく動作する電流モードスイッチングレギュレータを提供する。

【解決手段】 電圧源VIN10と第1の配線で接続されるスイッチSW3と、スイッチSW3の第2の配線にカソード端子83が接続されアノード端子84が接地されているダイオード50と、スイッチSW3の第2配線に第1配線が接続され第2配線がキャパシタ6と負荷2に接続されるインダクタンス5と、コントローラ41を有し、ダイオード50はNMOSTランジスタ52とボディダイオード51を備え、ダイオード50のアノード端子84とカソード端子83間に電圧アンプ53が接続されている。コントローラ41はスイッチSW3の導通期間の長さが、電圧源VIN10の電圧と負荷12の端子の電圧との間の差に反比例するように、スイッチSW3の導通状態及び非導通状態である期間の長さを制御する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

共通端子と、
直流電流入力を供給するための入力端子と、
出力端子と、
前記共通端子に接続された第 1 の端子を有する環流ダイオードと、
前記環流ダイオードの第 2 の端子に接続された第 1 の端子と、前記出力端子に接続された第 2 の端子とを有するインダクタと、
前記出力端子に接続された第 1 の端子と、前記共通端子に接続された第 2 の端子とを有するキャパシタと、
前記入力端子と前記インダクタの第 1 の端子との間に接続されており、前記直流電流入力が前記インダクタに与えられる導通状態と、前記直流電流入力が前記インダクタから遮断される非導通状態との間でスイッチング動作可能なスイッチと、
前記スイッチに接続されており、前記スイッチが前記導通状態である期間の長さが、前記入力端子の電圧と前記出力端子の電圧との間の差に反比例するように、前記スイッチが前記導通状態及び前記非導通状態である期間の長さを制御することが可能なコントローラとを備える
電源用スイッチングレギュレータ。

10

【請求項 2】

請求項 1 に記載の電源用スイッチングレギュレータにおいて、
当該スイッチングレギュレータは、
前記スイッチを、最大 100 % までのデューティ比で前記導通状態にするものである
電源用スイッチングレギュレータ。

20

【請求項 3】

請求項 1 に記載の電源用スイッチングレギュレータにおいて、
前記環流ダイオードは、
トランジスタと、
ボディダイオードとを有するものであり、
前記トランジスタは、
前記ボディダイオードのカソード端子に接続されたドレイン端子と、
前記ボディダイオードのアノード端子に接続されたソース端子とを有するものである
電源用スイッチングレギュレータ。

30

【請求項 4】

請求項 3 に記載の電源用スイッチングレギュレータにおいて、
前記ボディダイオードのカソード端子に接続された反転入力と、オフセット電圧源の第 1 の端子に接続された非反転入力と、前記トランジスタのゲート及び前記コントローラに接続された出力とを有する増幅器を更に備え、
前記ボディダイオードのアノード端子は、前記オフセット電圧源の第 2 の端子に接続されている
電源用スイッチングレギュレータ。

40

【請求項 5】

請求項 1 に記載の電源用スイッチングレギュレータにおいて、
前記コントローラは、
前記スイッチが前記導通状態である時間を制御する動作が可能なタイマ回路を有している
電源用スイッチングレギュレータ。

【請求項 6】

請求項 1 に記載の電源用スイッチングレギュレータにおいて、
当該電源用スイッチングレギュレータは、
非連続電流モード及び連続電流モードの双方において動作可能であり、

50

前記タイマ回路は、

入力電圧、出力電圧及び負荷の値が同じ場合に、前記非連続電流モードにおける動作時に前記スイッチが前記導通状態である時間に比べて、前記連続電流モードにおける動作時に前記スイッチが前記導通状態である時間を短縮するように動作可能である電源用スイッチングレギュレータ。

【請求項 7】

請求項 6 に記載の電源用スイッチングレギュレータにおいて、

前記タイマ回路は、

前記連続電流モードにおける動作時には、同条件での前記非連続電流モードにおける動作時に対して、前記導通状態である時間を約 90 % に短縮する電源用スイッチングレギュレータ。

10

【請求項 8】

請求項 6 に記載の電源用スイッチングレギュレータにおいて、

前記非連続電流モードから前記連続電流モードへの動作の遷移と、前記連続電流モードから前記非連続電流モードへの動作の遷移とは、自動的に行われる電源用スイッチングレギュレータ。

【請求項 9】

請求項 1 に記載の電源用スイッチングレギュレータにおいて、

前記コントローラは、

出力電圧を生成するためのループフィルタを有しており、前記ループフィルタの出力電圧レベルに応じて、モード間を遷移するように動作するものである電源用スイッチングレギュレータ。

20

【請求項 10】

請求項 9 に記載の電源用スイッチングレギュレータにおいて、

前記コントローラは、

当該電源用スイッチングレギュレータの出力電圧レベルを示す信号を受け取る第 1 の入力と、参照電圧信号を受け取る第 2 の入力とを有するエラーアンプを更に備え、

前記エラーアンプは、

前記ループフィルタの入力に与えられる出力信号を生成する

電源用スイッチングレギュレータ。

30

【請求項 11】

請求項 10 に記載の電源用スイッチングレギュレータにおいて、

前記エラーアンプは、

当該電源用スイッチングレギュレータが非連続電流モードで動作しているときと、当該電源用スイッチングレギュレータが連続電流モードで動作しているときに、動作可能である

電源用スイッチングレギュレータ。

【請求項 12】

請求項 10 に記載の電源用スイッチングレギュレータにおいて、

前記コントローラは、

当該電源用スイッチングレギュレータの出力電圧レベルを示す信号を受け取る第 1 の入力と、参照電圧信号を受け取る第 2 の入力とを有するコンパレータを更に有し、

前記コンパレータは、

当該電源用スイッチングレギュレータの出力電圧レベルを示す信号が前記参照電圧よりも低くなるときに、前記スイッチを前記導通状態に遷移させる信号を生成する

電源用スイッチングレギュレータ。

40

【請求項 13】

請求項 12 に記載の電源用スイッチングレギュレータにおいて、

前記エラーアンプと前記コンパレータとは、2 出力エラーアンプを用いて構成されている

50

電源用スイッチングレギュレータ。

【請求項 14】

請求項 10 に記載の電源用スイッチングレギュレータにおいて、

当該電源用スイッチングレギュレータの出力電圧レベルを示す信号は、前記インダクタへの入力電圧を平均することによって生成される

電源用スイッチングレギュレータ。

【請求項 15】

請求項 1 に記載の電源用スイッチングレギュレータにおいて、

前記コントローラは、

当該電源用スイッチングレギュレータの通常動作期間においては、当該電源用スイッチングレギュレータの動作していない構成要素への電源供給を断つように動作する

電源用スイッチングレギュレータ。

【請求項 16】

請求項 12 に記載の電源用スイッチングレギュレータにおいて、

エラーアンプのフィルタのスルーレート及び当該レギュレータの過渡応答時のクロック周期の影響を減じるように、前記コンパレータの出力信号に対する連続的な直接リアルタイム監視が行われる

電源用スイッチングレギュレータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチングレギュレータに関し、特に、過渡応答が優れ、定常状態において精度が高い簡易化したデュアルモードコントローラを使用することで、広範囲の供給電圧や負荷電流で効率よく動作することが可能なスイッチングレギュレータに関する。

【背景技術】

【0002】

従来より公知の通り、負荷電流や入力供給電圧の変化が大きい場合に、その変化に迅速に反応するためには、ステップダウンスイッチングレギュレータ、すなわちバックスイッチングレギュレータとして一定周波数でのピーク電流制御を行うものが最もよく使われている。このような従来のスイッチングレギュレータの例を図 1 A に示す。図 1 B は、図 1 A に示す従来のスイッチングレギュレータの非連続電流モードと連続電流モードでの動作を示すタイミング図である。

【0003】

図 1 A に示すように、従来のスイッチングレギュレータは、スイッチ SW 103 の第 1 の配線に接続された第 1 の配線を有する入力電圧源 101 と、電流測定部 102 と、スイッチ 103 の第 2 の配線に接続されたカソードを有するダイオード 137 と、スイッチ 103 の第 2 の配線に接続された第 1 の配線を有するインダクタ 105 と、インダクタ 105 の第 2 の配線に接続された第 1 の配線を有するキャパシタ 106 と、互いに直列に接続され、かつキャパシタ 106 に並列に接続された一対の抵抗 111、110 と、キャパシタ 106 と並列に接続された負荷 112 と、スイッチングレギュレータの全体の動作を制御するように機能するコントロール部 200 とを備える。図 1 A に示すように、電圧源 101、ダイオード 137 (アノード)、キャパシタ 106、直列抵抗 110、111、負荷 112 のそれぞれの第 2 の配線は接地されている。

【0004】

コントロール部 200 は、非反転入力で基準電圧を受け取るエラーアンプ 114 と、エラーアンプ 114 の出力を受け取るループフィルタ 115 と、ループフィルタ 115 からの出力と電流測定部 102 の出力とをそれぞれ第 1 の入力と第 2 の入力として受け取る加算部 118 と、加算部 118 の出力を入力として受け取るコンパレータ 119 と、クロックジェネレータ 121 と、クロック 121 の出力とコンパレータ 119 の出力の両方を入力信号として受け取るラッチ 123 (SR フリップフロップ等) とを備える。また、図 1

10

20

30

40

50

Aに示すように、ラッチ123の出力はスイッチ103の開閉制御を行うための制御信号として機能し、負荷112にかかる電圧の一部は、コントロール回路200のエラーアンプ114の反転入力にフィードバックされる。ここで、図1Aのスイッチングレギュレータの動作を示す。

【0005】

図1Aと図1Bを再び参照する。動作時に、調整された出力電圧として負荷112にかかる電圧の一部分が抵抗110、111によって決定され、この電圧は配線109を介してエラーアンプ114の負端子又は反転入力に与えられる。所望の負荷電圧に基づいて決定される設定値又は基準電圧113は、エラーアンプ114の正端子又は非反転入力に与えられる。エラーアンプの出力は、出力電圧108の所望値と測定値との差を示す。エラーアンプの出力はループフィルタ115と接続されており、ループフィルタ115は、コントロールループが適切な過渡応答と定常状態での精度を確実に得られるように、周波数補償を行う機能を有する。

10

【0006】

クロック121は、繰返し周期 T_{CLOCK} でパルスを生成する。このパルスは、セット入力Sを経由して、SRラッチ123をセットするために使用されるもので、これにより、SRラッチ123のQ出力が配線124を通じてスイッチ103をONにする。スイッチSW103がON状態の間、インダクタ105を流れる電流は少しずつ増加する。インダクタ電流 I_L 104の増加値は、スイッチ電流測定部102によって、その値に比例する電圧に変換され、変換された電圧は配線117を介して加算部118の入力131に印加される。加算部118の出力132は、ループフィルタ115の出力116と実測された増加中のインダクタ電流 I_L 104との電圧差を示しており、コンパレータ119によって論理レベルに変換される。そして、コンパレータ119の出力がSRラッチ123のリセット入力に印加される。SRラッチ123が、入力135において、コンパレータ119の出力によってリセットされると、スイッチSW103がOFFになる。なお、これはインダクタ電流 I_L 104がループフィルタ115の出力によって設定される正の値に到達したときに起こる。

20

【0007】

スイッチSW103がOFFになると、インダクタ電流 I_L 104は、0に到達するまでダイオード137を流れるが、負荷電流 I_{Load} が小さい場合は、次のクロックパルスがクロック121によって生成されるまで0の値のままである。図1Bに示すように、スイッチON時間 T_{ON} が切れた直後($T_{\text{ON}} = 0$ のとき)は、インダクタ電流 I_L 104は、スイッチSW103が再びONになるまで0へと減少する。負荷電流 I_{Load} 107が小さい場合、インダクタ電流 I_L 104は、次のクロックパルス又は次の周期まで0のままである。また、図1Bに示すように、負荷電流 I_{Load} 107が大きい場合(負荷電流が0に達しない場合)は、インダクタ電流 I_L 104の値は次のクロックパルスで I_{VALLEY} に到達する。キャパシタ106は、インダクタ電流 I_L 104を平滑化及び平均化して、負荷電流 I_{Load} 107を生成する。

30

【0008】

インダクタ電流 I_L 104が周期内のある期間において0である場合は、動作モードを非連続電流モード(DCM)と称し、一方、インダクタ電流 I_L 104が周期時間の全期間にわたって0より大きい場合は、動作モードを連続電流モード(CCM)と称す。

40

【0009】

上記の回路はスイッチングレギュレータとして動作可能である一方で、例えば、携帯用電池を電源とする装置(携帯電話等)等の多くの用途に使用することは適切ではない。公知のように、充電して実行時間を最大にするためには、それらの装置用のレギュレータは、負荷や入力電圧が大きく変化するという条件の下で、高い効率を得なければならない。上記の図1Aに示す従来の技術は、ダイオード137における順方向電圧降下によって多大なる損失を受けるため、適切でない。

【0010】

50

この問題を解決するための従来の方法では、ON電圧の降下をより小さくするためにダイオードを低電圧側MOSトランジスタスイッチに置き換えることに焦点がおかれている。そのうえ、この方法においてMOSトランジスタ用の適切なゲートドライブ信号を生成するには、コントローラにかなりの変更を行わなければならない。

【0011】

連続電流モードでは、低電圧側スイッチのゲートドライブ信号は、通常、メインスイッチの駆動信号の反転信号である。これに対して、非連続電流モードでは、反転電流と多大なる電力の損失を防ぐためにインダクタ電流を0まで低下させるとき、低電圧側スイッチはOFFでなければならない。さらに、低電圧側スイッチとメインスイッチの動作がオーバーラップしない、もしくは、同時に導通しないようにしなければならない。たとえ短い時間であっても、低電圧側スイッチとメインスイッチの両方が同時にONになると、大きい貫通電流が入力電圧VINから接地GNDに流れてしまう。これによって回路効率が著しく損なわれ、また過熱によってスイッチがダメージを受ける可能性すらある。逆に、低電圧側スイッチとメインスイッチの両方が同時にOFFの場合は、「デッドタイム」又は非導通期間ができる。これが、インダクタ電流がスイッチのボディダイオードに流れる原因となり、その結果、ダイオードの順方向電圧降下が大きいために電力損失が起こる。

【0012】

上記の問題を解決する方法の一つに、適応デッドタイム・ゲートドライブコントローラを備える方法がある。この解決方法は、例えば、米国特許6,396,250号、「ボディダイオード導通及び逆回復損失を低下させる方法 (CONTROL METHOD TO REDUCE BODY DIODE CONDUCTION AND REVERSE RECOVERY LOSSES)」で詳しく説明されている。簡単に説明すれば、上記の特許に開示されている装置によると、高電圧側スイッチと低電圧側スイッチ間の端子の電圧を感知し、高電圧側スイッチ又は低電圧側スイッチを動作させるためのパルス遅延期間を検出する。時間の遅延を最小値に設定するために学習回路を用いて貫通電流を回避する。このように、同期整流回路のボディダイオードが導通状態となる非オーバーラップ時間を最小化することで、電力損失を軽減できる。しかしながら、上記の従来技術では、上記の学習回路に伴う構成要素を追加する必要があり、そのため、コストが増大し、設計も複雑になってしまうため、実用的な解決方法として多くの用途での使用ができなくなってしまう。

【0013】

上記の従来の方法には、図1Aのレギュレータに示すように、MOSスイッチ用のゲートドライブにおけるスイッチング損失によって効率がさらに低下することから、他にも不利な点がある。このスイッチング損失は、低負荷電流時に特に著しくなる。これは、例えば、スイッチング頻度をかなり少なくすることによって、出力電圧108に認識できるほどの変化をさせることなく、キャパシタ106に蓄積される電荷から小さい負荷電流を容易に、比較的長時間にわたって供給できたとしても、スイッチング損失はクロックが変化するたびに起こるためである。

【0014】

この問題を解決するために、スイッチングレギュレータを制御するコントローラを、全ての電源スイッチとコントローラの全ての部分をOFFにする「休止時間」の期間で区切ってバースト的に動作させることが提案されている。この方法によると、小さい負荷電流でのスイッチング損失が最小になる。この従来技術は、米国特許6,304,066号、「スイッチングレギュレータ回路において広範囲の電流範囲で高い効率を維持するための制御回路と方法 (CONTROL CIRCUIT AND METHOD FOR MAINTAINING HIGH EFFICIENCY OVER BROAD CURRENT RANGES IN A SWITCHING REGULAR CIRCUIT)」及び米国特許6,307,356号、「電圧モードフィードバック用バーストモード回路 (VOLTAGE MODE FEEDBACK BURST MODE CIRCUIT)」に詳しく説明されている。言うまでもなく、これらの方法では、スイッチングレギュレータのコントローラに多くの増設部分を加える必要があり、回路がさらに複雑化されることが一つの欠点である。また、このようなスイッチングレギュレータは、バースト時に複数のスイッチング周期を持つため、効率の点から考えても、最大の

10

20

30

40

50

効果をもたらすとは言えない。

【0015】

図1Aに示す固定周波数電流モードのスイッチングレギュレータには、 T_{ON} から T_{CLOCK} への切換えのためのデューティ比が50%を超えたとき(スイッチがいずれのスイッチング周期においても、その周期の50%よりも長い時間ONである場合)、固有の安定性の問題に起因する欠点がある。スイッチSW103のデューティ比を制御することで負荷電圧108を調整するため、 T_{ON} から T_{CLOCK} への切換えのためのデューティ比が50%を超えると、スイッチSW103は負荷電圧の原因となり、スイッチングレギュレータ100は不安定な状態となる。この現象は、より高いデューティ比で達成されるスイッチングレギュレータの十分な電流供給能力の妨げとなるため、懸念されている。電流モードスイッチングレギュレータの安定性を維持するには、傾斜補償信号を供給して、スイッチングレギュレータを制御するコントローラ用の電流から生成された信号を調整すればよい。しかしながら、デューティ比が大きい場合は、傾斜補償が今度はスイッチングレギュレータの負荷電流及び電力効率を下げる原因となる。

【0016】

米国特許6,498,466号、「電流限界に対する傾斜補償の影響の解消(CANCELLATION OF SLOPE COMPENSATION EFFECT ON CURRENT LIMIT)」では、電流モードスイッチング電圧レギュレータ用の制御回路を設けることで、上記の問題点の解決策としている。この電流モードスイッチング電圧レギュレータ用の制御回路は、レギュレータ自体の最大電流限界をより大きなデューティ比でほぼ一定に保つように、傾斜補償信号の大きさに対してスイッチング閾値を調整する。そのような制御回路の実現には、かなりの数の電気部分をスイッチングレギュレータに加えることになり、その結果、コントローラに対するサイズやコストが大きくなり、また設計の複雑さも増大することになり、この点がこの方法の欠点である。

【発明の開示】

【発明が解決しようとする課題】

【0017】

上記を鑑み、本発明は、上記にあげた従来の方法と設計に伴う問題点を解消する簡易化したスイッチングレギュレータを提供することを第1の目的とする。

【課題を解決するための手段】

【0018】

本発明の一実施形態によると、電源用スイッチングレギュレータの一例は、共通端子と、直流電流入力を供給するための入力端子と、出力端子と、前記共通端子に接続された第1の端子を有する環流ダイオードと、前記環流ダイオードの第2の端子に接続された第1の端子と、前記出力端子に接続された第2の端子とを有するインダクタと、前記出力端子に接続された第1の端子と、前記共通端子に接続された第2の端子とを有するキャパシタと、前記入力端子と前記インダクタの第1の端子との間に接続されており、前記直流電流入力が前記インダクタに与えられる導通状態と、前記直流電流入力が前記インダクタから遮断される非導通状態との間でスイッチング動作可能なスイッチと、前記スイッチに接続されており、前記スイッチが前記導通状態である期間の長さが、前記入力端子の電圧と前記出力端子の電圧との間の差に反比例するように、前記スイッチが前記導通状態及び前記非導通状態である期間の長さを制御することが可能なコントローラとを備える。

【0019】

本発明によると、ON状態のデューティ比が100%となるまで動作可能であって、ON時間 T_{ON} の所定の値を利用することによって、傾斜補償を使用せずに実現可能な電流モードスイッチングレギュレータを提供できるという利点がある。

【0020】

また、他にも、本発明によると、比例誤差制御のみを行うコントローラによる調整精度以上となるように出力電圧の調整精度を改善するために、所望の出力電圧値と実測して得られた出力電圧値間の誤差を積分するコントローラを提供できるという利点がある。

【 0 0 2 1 】

また、本発明の利点として、本発明によるコントローラは、負荷電流の値が小さいときは、非連続インダクタ電流モード“DCM”で動作し、優れた軽負荷効率を得ることができ、また、負荷電流の値が大きいときは、インダクタ及び出力キャパシタのリプル電流値を（したがって、電圧出力のリプル電圧も）低下させることと、負荷が大きい場合に優れた効率を得ることを目的として、連続インダクタ電流モード“CCM”で動作することがあげられる。

【 0 0 2 2 】

また、本発明によると、DCMとCCMの間で自動遷移を実現することと電流モード制御を使用することで、出力電圧における負荷電流と入力電圧の変化を妨げ、また、負荷電流動作点の関数である過渡応答時間の変化を最小限にできる。 10

【 0 0 2 3 】

さらに、本発明の利点としてあげられる点は、本発明による回路が、サンプリングクロックを使わずに、ループフィルタ前で誤差信号に直接連続時間監視を行うことであり、これにより、フィルタスループレートとクロック周期による遅延をなくすることができる。

【 0 0 2 4 】

加えて、本発明の目的、利点、新規の特徴は、当業者が以下に続く詳細の説明の検討する際に明らかとなる。また、本発明の目的、利点、特徴は、本発明を実行することによって理解されてもよい。本発明の新規の特徴が以下に示すが、本発明の他の目的や特徴に加えて、本発明は、その構成と内容の両方において、図面を伴う以下の詳細な説明からよりよく理解され評価される。 20

【 発明を実施するための最良の形態 】

【 0 0 2 5 】

本明細書に援用され、本明細書の一部を構成する添付図面には、本発明の様相と実施の形態のそれぞれをいくつか示す。そして、添付図面は、上記の概要説明と下記の詳細な説明とともに、本発明の原理を説明するためのものである。別紙添付の図面を参照して、これらの説明を行う。これらの図面は、本発明の好適な実施の形態を説明する目的で使用されるのであって、本発明を制限するものではない。上記全ての図面において、共通の構成要素には同一の符号を付している。

【 0 0 2 6 】

以下、本発明を、図面を参照しながら詳しく説明する。ここでは、発明の最良の形態を示す。しかし、本発明は多くの異なる形態で具現化されてもよく、本明細書中に示す実施の形態に限定されるものではない。むしろ、これらの実施の形態は、この開示が完全なものとなり、発明の範囲を詳しく当業者に伝えることができるように記載されており、同様の構成要素は同様の番号によって示す。 30

【 0 0 2 7 】

図2に、本発明に係る電流モードスイッチングレギュレータの一例を示す。図2を参照すると、本実施形態において、スイッチングレギュレータ1は、スイッチSW3の第1の配線に接続された第1の配線を有する電圧源 V_{IN} 10を備えている。 V_{IN} は、電池等の従来の電源から供給されることが好ましく、スイッチSW3は、pチャネル形MOSトランジスタ（PMOSトランジスタ）であることが好ましい。 40

【 0 0 2 8 】

図2に示すように、スイッチングレギュレータは、ダイオード50と、電圧アンプ53とをさらに備えており、ダイオード50のカソード端子83はスイッチSW3の第2の配線と電圧アンプ53の反転端子53aに接続され、ダイオード50のアノード端子84は接地され、かつ基準電圧 V_{DT} 55を介して電圧アンプ53の非反転端子53bに接続されている。本実施形態において、ダイオード50は、NMOSトランジスタ52とそのボディダイオード51とを備えている。図2に示すように、NMOSトランジスタ52のドレイン端子はボディダイオード51のカソードに接続され、ダイオード50のカソード端子を構成している。NMOSトランジスタ52のソース端子はボディダイオード51のアノ 50

ードに接続され、ダイオード 50 のアノード端子を構成している。なお、できるだけ小さく、かつ電圧アンプ 53 の入力オフセット電圧の最大値よりも常に大きい値を基準電圧 V_{DT55} の値に選択する。電圧アンプ 53 の出力は制御回路 41 に与えられ、また NMOS トランジスタ 52 のゲートにフィードバックされる。

【0029】

続いて、スイッチングレギュレータ 1 は、スイッチ SW 3 の第 2 の配線に接続される第 1 の配線を有するインダクタ 5、インダクタ 5 の第 2 の配線に接続される第 1 の配線を有するキャパシタ 6、互いに直列に接続され、かつキャパシタ 6 と並列に接続された一対の抵抗 11、10 と、キャパシタ 6 と並列に接続された負荷 12 とをさらに備えている。図 2 に示すように、電圧源 10、ダイオード 50 (例えば、アノード)、キャパシタ 6、直列抵抗 10、負荷 12 の第 2 の配線は、それぞれ接地されている。

10

【0030】

また、スイッチングレギュレータは、前記回路の動作を制御するコントローラ 41 を備えている。より具体的には、本実施形態において、コントローラ 41 は、タイマ回路 T_{ON70} と、コンパレータ 71、73、76 と、トランスコンダクタンス・アンプ 72 と、ドライバ 75 と、ループフィルタ 15 と、論理回路 74 と、基準電圧 13 とを備えている。上記の構成要素は、それぞれ、多数設けられてもよい。なお、スイッチングレギュレータの構成と用途によっては、構成要素の一部が必要ない場合もある。さらに、本実施形態において、コントローラ 41 に含まれる構成要素の電力は V_{IN10} によって供給される。

【0031】

図 2 を参照すると、タイマ回路 T_{ON70} は信号 V_{IN} 、信号 V_{LOAD} 、信号 V_{REF} 、論理回路 74 からの出力信号を、入力として受け取る。コンパレータ 71 とアンプ 72 はいずれも、信号 V_{REF} と、抵抗 11 と抵抗 10 によって決定される出力電圧 V_{LOAD} の所定の部分を入力として受け取る。論理回路 74 は、タイミング回路 T_{ON70} 、コンパレータ 71、電圧アンプ 53、イネーブル回路 61A、コンパレータ 73、コンパレータ 76 それぞれの出力を入力として受け取る。論理回路 74 は、アクティブダイオードをイネーブルにする信号 62、ドライバ 75 へのスイッチ ON 信号、RUN T_{ON} 信号 78 を出力信号として出力する。これらの予め認識された入力を利用して認識される出力を生成する論理回路 74 の機能は、図 3 の論理状態図によって定義されている。図 3 は、レギュレータ 1 の全体的な動作も示している。

20

30

【0032】

また、本発明のスイッチングレギュレータは、ダイオード 50 を流れる電流を測定する電流測定回路 57 を備える。電流測定回路 57 は、AND ゲート 29 を介して、コントローラ 41 によってイネーブルになる。AND ゲート 29 は論理回路 74 とコンパレータ 76 からの信号を入力として受け取る。

【0033】

図 2 を再び参照すると、トランスコンダクタンス・アンプ 72 の出力は、ループフィルタ 15 の入力に接続されている。ループフィルタ 15 の出力は、コンパレータ 73 とコンパレータ 76 両方の非反転入力に接続されている。コンパレータ 73 の反転入力、電流測定回路 58 の出力を入力信号として受け取り、コンパレータ 76 の反転入力、オフセット電圧 27 に接続されている。

40

【0034】

また、本発明のスイッチングレギュレータは、レギュレータ・イネーブル信号 61 を介して制御される安全回路 61A を備えていてもよい。安全回路 61A は、例えば、温度や、電力、出力の短絡、点線で囲んだ中の構成要素に起こりうる異常を点検する。これらの構成要素は、単一集積回路、例えば、特定用途の集積回路である ASIC に設けられることが好ましい。図 2 に示す実施形態では、ASIC は、PIN 1、PIN 2、PIN 3、PIN 4、PIN 5、PIN 6 で示す I/O ピンを有する。

【0035】

ここで、図 2 に示すスイッチングレギュレータの動作を説明する。上記のように、イン

50

ダクタ 5 はスイッチ S W 3 と負荷 1 2 の間に接続されている。ダイオード 5 0 のカソード端子 8 3 はスイッチ S W 3 とインダクタ 5 との接続部に接続されている。一方、ダイオード 5 0 のアノード端子 8 4 は、共通接地 G N D 0 に接地され、通常のバックスイッチングレギュレータ、つまり、ステップダウンスイッチングレギュレータ 1 を構成する。電圧アンプ 5 3 は、ダイオード 5 0 の電力損失を大幅に減らすため、ダイオード 5 0 のカソード端子 8 3 に接続される反転入力端子 5 3 a と基準電圧 V_{DT} 5 5 の負端子 5 5 a に接続される非反転入力端子 5 3 b を有している。基準電圧 V_{DT} 5 5 の正端子 5 5 b はダイオード 5 0 のアノード端子 8 4 に接続されており、電圧アンプ 5 3 の出力 5 3 c は、N M O S トランジスタ 5 2 のゲート端子 5 2 a とダイオード 5 0 に含まれているボディダイオード 5 1 とに接続されている。前述のように、基準電圧 V_{DT} 5 5 の値を、できるだけ小さく、かつ電圧アンプ 5 3 の入力オフセット電圧の値よりも大きい値（通常約 10 m V）にする。これにより、正方向、すなわち順方向のダイオード電流 I_D 5 6 がダイオード 5 0 に流れ込むと、電圧アンプ 5 3 が、常にダイオード順方向電圧 V_D を、大きさが小さく、極性が正となるように、N M O S トランジスタ 5 2 のゲート電圧を調整する。一般的には、ダイオード順方向電圧 V_D を常に 0 から $2 \times V_{DT}$ の間となるようにする。ダイオード電流 I_D 5 6 が反転し、負の電流になると、ダイオード順方向電圧 V_D も負となり、電圧アンプ 5 3 の出力 5 3 c を、例えば、接地のような、最も負に近い値に近づくようにして、ダイオード 5 0 の N M O S トランジスタ 5 2 とボディダイオード 5 1 とを非導通状態にする。その結果、ダイオード 5 0 は、順方向電圧降下が少なく、逆方向電流が小さい状態で動作し、ダイオード 5 0 には、アノード端子 8 4 とカソード端子 8 3 間のダイオード 5 0 自体の有効電圧以外に制御入力がないという、ダイオードとして、ほぼ理想的な働きをする。

【 0 0 3 6 】

したがって、本発明のダイオード 5 0 は、前述した通常の意味の同期整流回路又は同期スイッチではなく、むしろ「アクティブダイオード」である。さらに省電力化をすすめるためには、使用されていないときは、コントローラ 4 1 からの信号線 6 2 によって電圧アンプ 5 3 の電源を O F F にすればよい。さらに、ショットキーダイオード（図示せず）を（図 2 の点線 4 0 で囲んだ）集積回路の外側にボディダイオード 5 1 と平行に設けてスイッチングレギュレータの効率をさらに改善することもできる。

【 0 0 3 7 】

スイッチ S W 3 の動作は、コントローラ 4 1 のドライバ 7 5 によって生成される出力信号 6 0 によって制御される。ドライバ 7 5 の出力信号が、所定の時間スイッチが O N になるように制御スイッチ S W 3 に与えられ、これにより負荷電圧 V_{LOAD} を所望の値になるよう調整する。コントローラ 4 1 の出力信号 6 0 を利用するスイッチングレギュレータの所望の動作を行うために、ダイオード電流 I_D 5 6 やリサークキュレート信号 5 4 等の、点線 4 0 で囲んだ集積回路の内側の入力信号に加え、入力電圧 V_{IN} や接地 G N D 0、負荷電圧 V_{LOAD} 、数式（ 1 ）に定義される抵抗 R_1 1 1 及び抵抗 R_2 1 0 によって分圧された配線 9 上の電圧、レギュラータイネーブル信号 6 1 等の、点線 4 0 で囲んだ集積回路の外側からの入力がコントローラ 4 1 に与えられる。

【 0 0 3 8 】

【 数 1 】

$$V_9 = \frac{R_2}{R_1 + R_2} \times V_{LOAD} \quad (1)$$

【 0 0 3 9 】

図 3 は、図 2 の論理回路 7 4 を有する本発明の一実施形態に係るスイッチングレギュレータの動作を示す状態図である。図 2 と共に図 3 を参照すると、スイッチングレギュレータは以下の動作を行う。

【 0 0 4 0 】

コントローラ 4 1 は、O N と O F F の二つの状態のうち一方になるようにスイッチ S W 3 を制御し、レギュレータの動作を行う。負荷電流 I_{LOAD} 7 が小さい場合は、スイッチ

グレギュレータは、スイッチ $SW3$ とダイオード 50 の両方が OFF 、すなわち非導通状態になって、インダクタ電流 I_L4 がいくばくかの間実質 0 となることを特徴とする非連続インダクタ電流モード (DCM) で動作する。この状態は、「アイドル」コントローラ状態と称される。以下に説明する目的のために、スイッチ $SW3$ とダイオード 50 が OFF であるアイドル状態で、 DCM におけるレギュレータの動作の一周期が始まるとする。この状態において、負荷 12 は、配線 9 の電圧が基準電圧 $V_{REF}13$ を下回るまで、キャパシタ 6 の電圧を減少させ、コンパレータ 71 の出力 V_E77 をロジック H にし、これにより、コントローラ 41 をアイドル状態から H_{ON} コントローラ状態に遷移させ、ロジック回路 74 からの出力 78 をアサートし、タイマ $T_{ON}70$ を始動し、スイッチ $SW3$ を ON にする。

10

【0041】

図3を参照すると、この「アイドル」状態から「 H_{ON} 」までの遷移は、コントローラ 41 がイネーブルであり、かつ、(その一部が信号線 9 上に表されている) 負荷電圧が $V_{REF}13$ の電圧レベルよりも低くなるか ($V_E77 = H$)、ループフィルタ電圧がコンパレータ 76 (信号 63 、 $/DCM = H$) の閾値よりも高くなる場合に生じる。いったんこの現象が起こると、コントローラは、 T_{ON} の出力が所定の期間有効となる「 H_{ON} 」状態となり、スイッチ $SW3$ が閉じる。

【0042】

「 H_{ON} 」コントローラ状態の間は、タイマ T_{ON} が切れるまで、インダクタ電流 I_L4 が増加し続ける。 T_{ON} が切れる (ロジック L になる) と、スイッチ $SW3$ は信号 60 を通じて OFF になる。ここで、「 E_{NLO} 」コントローラ状態への遷移が、ダイオード 50 を通じてインダクタ電流の還流が始まり、信号 54 をロジック H にするまで起こらないことが重要である。スイッチ $SW3$ が OFF となり、トランジスタ 52 が OFF になるときの貫通電流を防ぐのは、スイッチングレギュレータのこの動作である。図3を参照すると、「 H_{ON} 」状態から「 E_{NLO} 」状態への遷移は、 $Run\ T_{ON}$ 信号がロジック H であり、タイマ期間の最後に T_{ON} が切れたときに起こる。なお、 $Run\ T_{ON} = H$ はランタイムをイネーブルにし、 $Run\ T_{ON} = L$ は、タイムアウト時と同様に、タイマをリセットする。 T_{ON} はタイマの出力信号であって、 $Run\ T_{ON}$ 信号がロジック H のときロジック H となり、 T_{ON} 時間を経過するか、 $Run\ T_{ON}$ 信号がロジック L になるまでロジック H のままである。

20

30

【0043】

コントローラ 41 が「 E_{NLO} 」コントローラ状態である間、インダクタ電流 I_L4 は、アクティブダイオード 50 を還流し、その大きさは 0 に向かって徐々に低下する。インダクタ電流 I_L4 が 0 に到達すると、アンプ 53 の出力がロジック L であるので、アクティブダイオード 50 が OFF となる。 $NMOS$ トランジスタ 52 のゲート電圧がロジック L になって、 $NMOS$ トランジスタ 52 が OFF になると、信号 54 によるスイッチングレギュレータの「 L_{OFF} 」コントローラ状態への遷移が起こる。なお、図3に示すように、ループフィルタ電圧がコンパレータ 76 の閾値電圧よりも大きいとき ($/DCM = H$)、スイッチングレギュレータは E_{NLO} モードから L_{OFF} モードへ遷移でき、 $I_{COM}79$ はロジック H となる。また、インダクタ電流はループフィルタによって命令されたレベルよりも低い、正の電流である。さらに、信号 58 の正の値は、 I_D56 の正方向と対応している。

40

【0044】

L_{OFF} コントローラ状態においては、アンプ 53 の出力の電圧 (還流信号 54 と称す) が既にロジック L (つまり、 OFF) であるため、コントローラ 41 は即座にスイッチングレギュレータを DCM デューティ比全体の仮想スタート点である「アイドル」コントローラ状態に戻す。

【0045】

負荷が増加すると、「アイドル」コントローラ状態において、 V_{LOAD} は急速に低下し、 DCM 動作の 0 インダクタ電流 I_L4 期間はより一層短くなって、存在しなくなる。ある

50

周期でスイッチ $SW3$ が ON となる時間は、タイマ回路 $T_{ON}70$ によって T_{ON} に固定され、バレー電流 I_{VALLEY} 、すなわちネガティブピーク・インダクタ電流の最大値はシーケンサと DCM のアクティブダイオード 50 によって 0 に保たれ、 V_{LOAD} がさらに低下すると、エラー・トランスコンダクタンス・アンプ 72 に対する平均入力電圧が負となる。ループフィルタ 15 の出力は正となって、増加する。これにより、コンパレータ 76 の出力が、 $/DCM = H$ で表されるロジック H となり、コントローラ動作モードが連続電流モード (CCM) に切り替わる。

【0046】

CCM (つまり、 $/DCM = H$ のとき) では、タイマ回路 $T_{ON}70$ のスイッチ ON 時間 T_{S_ON} (つまり、 $SW3$ が ON である時間) は、その DCM における値に対して 90% まで低下する。スイッチングレギュレータが、開始時点であるアイドルコントローラ状態であるとする。このとき、還流開始時に $/DCM = H$ であれば、 $Run\ T_{ON}$ 信号を変化させ、タイマ回路 $T_{ON}70$ がすぐに信号 T_{ON} をアクティブにし、スイッチングレギュレータが H_{ON} コントローラ状態となり、スイッチ $SW3$ が ON になる。 DCM における T_{ON} 時間に対して 90% の T_{ON} 時間でタイマ回路 $T_{ON}70$ の信号出力が切れると、スイッチ $SW3$ が OFF になり、アクティブダイオード 50 がイネーブルとなり、アンプ 53 から出力された還流論理信号である信号 54 が H となり、インダクタ電流 I_L4 がダイオード 50 において還流された状態で、スイッチングレギュレータが「 E_{NLO} 」コントローラ状態となる。 CCM では、ダイオード電流 I_D56 用の電流測定回路 57 がアクティブとなり、現在のバレー電流 I_{VALLEY} を表す I_D の値が、配線 58 上でコンパレータ 73 の反転端子に出力される。ダイオード電流 I_D56 はピークに近い値をとり、またその値は、ループフィルタ 15 の出力によって設定されるバレー電流 I_{VALLEY} の目標値よりも高い値であるため、コンパレータ 73 の出力電流 $I_{COMP}79$ はロジック L となる。しかし、ダイオード電流 I_D56 が低下するにつれて、 I_D56 は徐々にバレー電流 I_{VALLEY} の目標値に近づく。これにより、コンパレータ 73 の出力 $I_{COMP}79$ がロジック L からロジック H に変化し、スイッチングレギュレータを「 L_{OFF} 」コントローラ状態に遷移させ、電圧アンプ 53 と電流測定電流 57 は信号 62 によってディスエーブルになる。還流信号 54 の電圧レベルがロジック L の閾値に到達すると (つまり、 $NMOS52$ が OFF になると)、スイッチングレギュレータは、「アイドル」コントローラ状態となり、そしてすぐに、 CCM における全周期の開始点とみなされる「 H_{ON} 」コントローラ状態になる ($/DCM = H$ であるため)。その後、スイッチングレギュレータはこの周期を繰り返す。

【0047】

CCM において、コントローラ 41 に制御されるスイッチングレギュレータ 1 は、負荷電圧 V_{LOAD} の所望値からのずれをエラーアンプ 72 とループフィルタ 15 によって積分することによって、バレー電流 I_{VALLEY} を調整して負荷電圧 V_{LOAD} の定常状態の値を所望値に正確に一致させる、典型的な電流モードで動作する。 CCM での動作時に負荷が低下する場合、負荷電圧 V_{LOAD} は上昇傾向にあり、ロジック L にコンパレータ 76 が切り替わり、 $/DCM = L$ かつ $DCM = H$ になるまで、ループフィルタ 15 の出力とバレー電力 I_{VALLEY} は低下を続ける。その結果、コントロール 41 が DCM 動作に切り替わる。これにより、スイッチングレギュレータは、所望値 (又は、それよりも低い値) に V_{LOAD} が低下するまで、スイッチ $SW3$ が OFF の状態で、「アイドル」コントローラ状態のままとなる。その時点で、コンパレータ 71 の出力 V_E77 がロジック H となり、 DCM コントロール周期が再び始まり、上記の動作を繰り返す。

【0048】

前述の本発明の実施形態におけるスイッチングレギュレータの動作によると、 DCM におけるスイッチ ON 時間 T_{S_ON} は、インダクタ電流 I_L4 のピーク電流 I_{Lpeak} に対するバレー電流 $I_{Lvalley}$ の値が値 I_T となるように、所定時間の値 T_T と等しくなる。この値 I_T は、供給電圧 V_{IN} 、負荷電圧 V_{LOAD} 、動作温度、集積回路内部の構成要素の許容値等からはできるだけ独立した値であることが好ましい。そのようにすると、スイッチ $SW3$ のスイッチ ON 時間のインダクタ電流 I_L4 の値 I_T の変化は ($I_{Lpeak} - I_{Lvalley}$) となり、

これは数式 (1) によって表される。

【 0 0 4 9 】

【 数 2 】

$$I_T = (I_{Lpeak} - I_{Lvalley}) = \frac{(V_{IN} - V_{LOAD}) * T_T}{L} \quad (2)$$

【 0 0 5 0 】

したがって、DCM動作における所望のスイッチON時間 T_{S_ON} である所定時間の値 T_T は、下記の数式 (3) のように書き換えられる。

【 0 0 5 1 】

【 数 3 】

$$T_T = \frac{I_T * L}{(V_{IN} - V_{LOAD})} \quad (3)$$

【 0 0 5 2 】

数式 (3) によって、DCM動作における所定時間の値 T_T 、すなわち、スイッチON時間 T_{S_ON} の所望値が得られる。

【 0 0 5 3 】

図6は、本発明に従ってタイマ回路 $T_{ON} 70$ を実現する回路の一例を示している。図6を参照すると、タイマ回路 $T_{ON} 70$ は、信号 $V_{IN} 1$ 、 $V_{LOAD} 8$ 、 $V_{REF} 13$ 、ランタイム 78 、/DCM 63 を入力として受け取る。なお、これらの信号は、図2の同一の信号と対応している。タイマ回路 $T_{ON} 70$ は、トランジスタ $89a$ とトランジスタ $89b$ で構成されるカレントミラーと、 V_{IN} をカレントミラーに接続する抵抗 90 と、カレントミラーのトランジスタ $89a$ に接続された電流源 91 とを備えている。タイマ回路 $T_{ON} 70$ は、トランジスタ $89b$ のドレインに接続されたドレイン端子と、接地に接続されたソース端子と、インバータを介して入力信号であるランタイム信号 78 が与えられるゲート端子とを有するトランジスタ $89c$ と、スイッチ $89c$ と並列に接続された第1のキャパシタ $86a$ と、スイッチ $89e$ と直列に接続され第2のキャパシタ $86b$ と（ここで、第2のキャパシタ $86b$ とスイッチ $89e$ は第1のキャパシタと並列に接続されている）、直列に配置された第2のキャパシタ $86b$ とスイッチ $89e$ に並列に接続されたスイッチ $89f$ と、トランジスタ $89b$ のドレインに接続された反転入力とスイッチ $89f$ のゲートに接続されて $V_{REF} 13$ が与えられる非反転入力とを有するコンパレータ 87 と、コンパレータ 87 の出力とランタイム信号 78 とを入力として受け取るANDゲートとをさらに備えている。図6に示すように、信号 63 (/DCM) はインバータ 99 を介してトランジスタ $89e$ のゲート入力に与えられる。図6では、第1のキャパシタ $86a$ の容量値は $9 / 10 * C_T$ で、第2のキャパシタ $86b$ の容量値は $C_T / 10$ である。タイマ回路 $T_{ON} 70$ の本実施形態における利点の一つは、動作環境に対する感度が低いことである。

【 0 0 5 4 】

動作時に、DCMがロジックHであるとき、タイマ回路 $T_{ON} 70$ のスイッチON時間 T_{S_ON} は数式 (4) によって表される。

【 0 0 5 5 】

【 数 4 】

$$T_{S_ON} = \frac{C_T * V_{REF} * R_T}{(V_{IN} - V_{LOAD})} \quad (4)$$

【 0 0 5 6 】

しかし、前述の通り、CCMにおいて（つまり、DCM = L のとき）、キャパシタ $86b$ は非接続状態で、スイッチON時間 T_{S_ON} は、そのDCMにおける値の90%に減少す

10

20

30

40

50

る。それゆえ、スイッチ ON 時間 T_{S_ON} は数式 (5) で表される。

【 0 0 5 7 】

【 数 5 】

$$T_{S_ON} = \frac{0.9 * C_T * V_{REF} * R_T}{(V_{IN} - V_{LOAD})} \quad (5)$$

【 0 0 5 8 】

数式 (3)、(4)、(5) で値 I_T を解くことによって、数式 (6) が得られる。

10

【 0 0 5 9 】

【 数 6 】

$$I_T = \frac{(V_{IN} - V_{LOAD})}{L} * T_T = \frac{(V_{IN} - V_{LOAD})}{L} * \frac{C_T * V_{REF} * R_T}{(V_{IN} - V_{LOAD})} = \frac{C_T * V_{REF} * R_T}{L} \quad (6)$$

【 0 0 6 0 】

ゆえに、数式 (5) は、ピーク電流 I_{L_peak} に対するバレー電流 I_{L_valley} の値を示す値 I_T が V_{IN} 1 や V_{LOAD} 8 から独立していることを示す。数式 (7) を設定することで、ユーザや作業者が数式 (8) によって (集積回路の) 外部のインダクタ L 4 の値を調整して、値 I_T (つまり、 I_T の所望値である $I_{T_DESIRED}$) の実際の値を設定することができる。ここで、 $L_{NOMINAL}$ は L の公称値であり、 $I_{T_NOMINAL}$ は I_T の公称値である。

20

【 0 0 6 1 】

【 数 7 】

$$C_T * V_{REF} * R_T = L_{NOMINAL} * I_{T_NOMINAL} = CONSTANT \quad (7)$$

【 0 0 6 2 】

【 数 8 】

$$L = \frac{(I_{T_NOMINAL} * L_{NOMINAL})}{I_{T_DESIRED}} = \frac{CONSTANT}{I_{T_DESIRED}} \quad (8)$$

30

【 0 0 6 3 】

上記に記載したように、図 2 のコントローラ 4 1 の適切な動作には、コンパレータ 7 1 から出力された信号 V_E 7 7 が、コンパレータ 7 1 とアンプ 7 2 への入力電圧が共通値であるときに、ロジック H とロジック L との間で変化することが必要である。アンプ 7 2 は、エラーアンプ 7 2 からループフィルタ 1 5 に流れる電流に、極性変化 (つまり、ソースからシンクへの変化) を生じさせる。コンパレータ 7 1 とエラーアンプ 7 2 が別々の機能ブロックとして実現される場合は、その二つの機能ブロックにおいて、入力オフセット電圧値が異なることは避けられない。コンパレータ 7 1 から出力された信号 V_E 7 7 は、DCM におけるスイッチ SW 3 の動作を制御するが、エラーアンプ 7 2 からループフィルタ 1 5 を通ってコンパレータ 7 6 に与えられる信号は、DCM 動作と CCM 動作の間の遷移を制御する。これにより、コンパレータ 7 1 とエラーアンプ 7 2 の入力オフセット電圧の差によって、DCM と CCM の間の遷移における V_{LOAD} の調整された値が変化してしまう。したがって、この入力オフセット値の差は、上記のような電圧変化を減少させるため、最小限に抑えなければならない。このことは、図 4 に示すように、エラーアンプ 7 2 用に、一方がループフィルタ 1 5 を駆動させ、他方がコンパレータ 7 1 と出力信号 V_E 7 7 を駆動する二つの電流出力を備えた単一の共通入力段を設けることで、本発明によって達成

40

50

される。

【0064】

図4は、本発明の第2の実施形態で使用するデュアルアンプを示す。図4を参照すると、 I_{OUT1} と I_{OUT2} の間の入力基準オフセット電圧の差は、カレントミラー93a、93b、93cからのカレントミラー出力 I_{L1} 、 I_{L2} 、 I_{H1} 、 I_{H2} によって決定され、入力基準オフセットの差は、入力段94のトランス・コンダクタンス利得によってさらに向上する。なお、入力段は、例えば、オフセットが最もよくなるバイポーラトランジスタの差動対でもよいが、また、MOSトランジスタの差動対でもよい。これにより、上記のようなエラーアンプを図2に示す実施形態において利用すると、DCMとCCMの間の遷移が起こるとき、出力電圧 V_{LOAD} の好ましくない変化が負荷電流 I_{LOAD7} の関数として生ずることを抑制することによって、集積回路における実装に必要な領域を簡易化し縮小化しつつ、スイッチングレギュレータの性能を向上させることができる。

10

【0065】

図5は、本発明の集積回路の実装において、ピンの数を最小化するための回路の回路図の一例を示す。図5を参照すると、図2で示す機能を集積回路で実現するために、集積回路と外部の構成要素間で必要となるI/Oピン接続は、例えば、外部にユーザによる選択が可能な抵抗 R_{210} 、 R_{111} を有する、調整可能なレギュレータの場合には、集積回路において V_{LOAD8} と V_{ADJ9} の両方を供給するために、少なくとも二つのピンを含む必要がある。しかし、インダクタ入力25における電圧の平均値と V_{LOAD} の差は、インダクタ5のDC抵抗掛ける負荷電流 I_{LOAD7} と等しくなる。この差は、高効率のレギュレータでは、元来小さな値である。このため、負荷電力 I_{LOAD7} が変化しても、スイッチON時間 T_{S_ON} の変化のわずかな増加を伴うのみで、インダクタ入力電圧の平均値で図6の T_{ON} タイマ回路における V_{LOAD} を置き換えることができる。既にI/Oのピン98を有するインダクタ入力電圧の平均値又はローパスフィルタで処理した値でI/Oピン94の V_{LOAD} 信号を置き換えて、 V_{LOAD} のI/Oピン94を、例えば、図5に示すように、抵抗95とキャパシタ97を備えたオンチップR-Cフィルタのみのコストで、除去することができる。

20

【0066】

上記のように、本発明には、従来の装置を超えるかなりの利点がある。本発明の利点の一つは、電流モードスイッチングレギュレータに、スイッチONのデューティ比が100%まで動作することができる機能を設けたことである。これは、傾斜補償を使用せずに、スイッチON時間 T_{ON} の所定値を利用して実現可能である。

30

【0067】

上記のように、本発明に従ってプログラムされたON時間を利用すると、(しばしば)短い高電位側スイッチON時間に電流を感知する必要がなくなり、一定の周波数クロックを必要とすることなく、スイッチング周波数の変化を最小にできる。

【0068】

その他の本発明の利点としては、出力電圧の調整精度を、比例誤差制御のみを行うコントローラの精度を超えるレベルに向上させるために、出力電圧の所望値と実際の値の間の誤差の積分を用いるコントローラを提供することである。

40

【0069】

他にも、本発明のコントローラは、負荷電流の値が小さいときは、非連続インダクタ電流モードDCMで動作し、それによって優れた軽負荷効率を得ることができ、また、負荷電流の値が大きいときは、インダクタと出力キャパシタにおけるリップル電流を(したがって、電圧出力におけるリップル電圧も)低下させ、かつ、重負荷でも優れた効率を得るために、連続インダクタ電流モードCCMでも動作することができるという利点を持つ。

【0070】

さらに、本発明の他の利点は、DCMとCCM間の自動的な遷移が実現し、電流モード制御を使用することで、負荷電流と入力電圧の両方の変化による出力電圧の変化を阻止し、負荷電流動作点の関数である過渡応答時間の変化を最小限にすることがあげられる。

50

【 0 0 7 1 】

他にも、本発明の回路では、サンプリングクロックを用いずにループフィルタより前で誤差信号の連続的な直接監視を行って、フィルタスルーレートとクロック周期による遅延をなくするという利点もある。

【 0 0 7 2 】

また、本発明によると、出力電圧を変化や負荷電流の感知を必要とすることなく、確実に一貫性のある連続電流モード（CCM）と非連続モード（DCM）の間の自動モード変化を行うことができる。

【 0 0 7 3 】

また、システム全体を、（通常は、出力電圧のリプルの増加や過渡応答の遅延の増大を伴う）「スリープモード」にすることなく、そのときに使用していない機能を選択的にOFFにすることで、（特にDCMモード時に）より高い効率を得ることができることも、本発明の利点の一つである。

【 0 0 7 4 】

また、他にも、DCM時には「スリープ・バースト」モードの動作を行う従来のレギュレータに比べて、DCMとCCMの間のスイッチング期間の変化がはるかに小さいことも本発明の利点の一つである。

【 0 0 7 5 】

さらに、本発明による設計上の利点として、CCMにおけるスイッチング周波数の変化は、直接クロックされる装置とは少しだけ異なっており、 $V_{IN} - V_{OUT}$ と I_{LOAD} からほぼ独立した公称値をとる。言い換えれば、本発明では、供給電圧と負荷の変化が存在しても、クロックの使用（傾斜補償を必要とする）をすることなく、定常状態のCCMスイッチング周波数をほぼ一定にしている。

【 0 0 7 6 】

本明細書では、本発明の特定の実施形態及び例を説明の目的で示しているが、当業者に理解されるように、本発明の範囲において同等の様々な変形が可能である。本発明の請求項で使用する用語は、本発明を本明細書及び請求項で開示する特定の実施形態に限定すると解釈されるものではない。むしろ、本発明の範囲は、専ら、請求項によってのみ決定されるべきものであり、請求項は確立した請求項の解釈の原則に従って解釈されるべきである。

【 図面の簡単な説明 】

【 0 0 7 7 】

【 図 1 A 】 従来のスイッチングレギュレータを示す概略図である。

【 図 1 B 】 図 1 A に示す従来のスイッチングレギュレータの動作を示すタイミング図である。

【 図 2 】 本発明の一実施形態に係る電流モードスイッチングレギュレータを示す概略図である。

【 図 3 】 図 2 に示す本発明の一実施形態に係る電流モードスイッチングレギュレータの動作状態と制御論理を示す図である。

【 図 4 】 本発明と共に使用するエラーアンプの一例を示す図である。

【 図 5 】 本発明の集積回路の回路図であって、実装時にピン数を最小にするための回路を示す。

【 図 6 】 本発明に係る T_{ON} 回路の一例を示す図である。

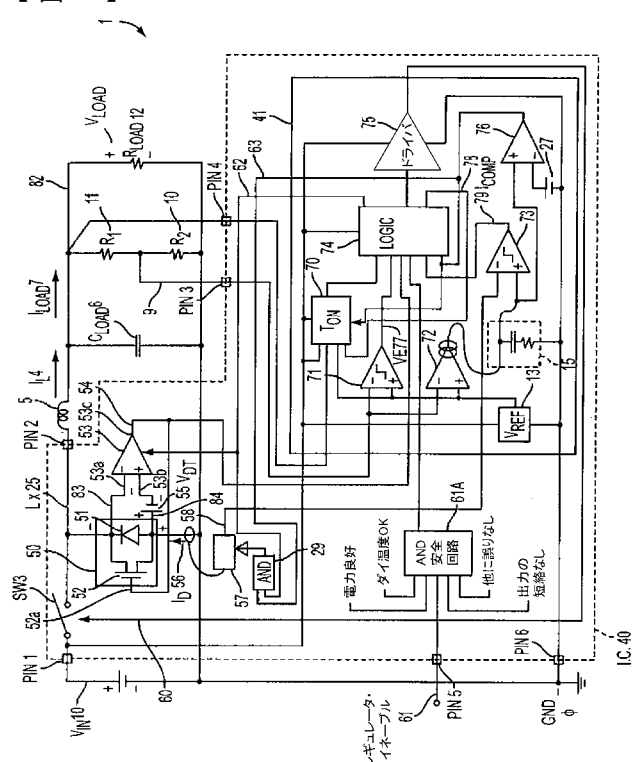
10

20

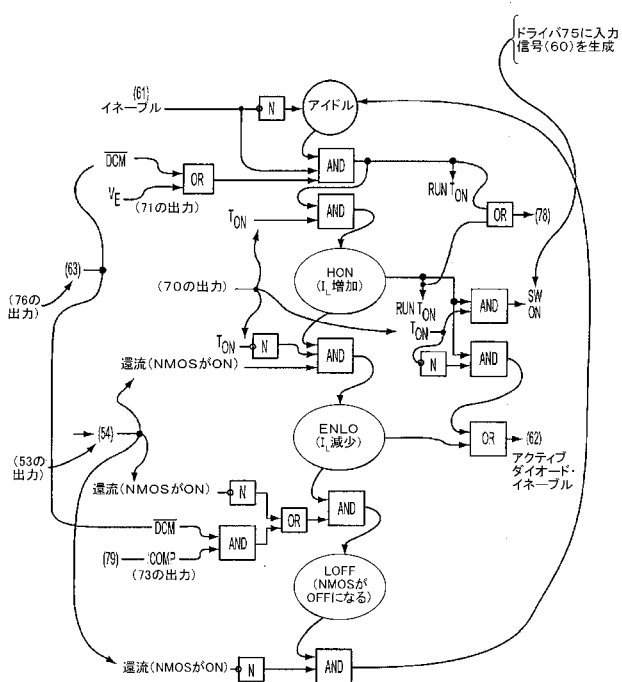
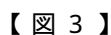
30

40

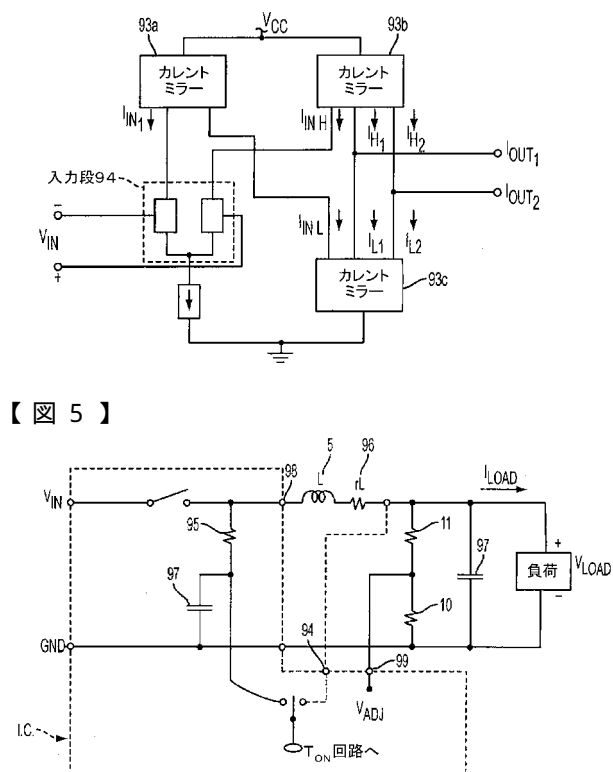
【圖 2】



【 図 4 】



【 図 5 】



$$T_{ON} = .9 \frac{C_T \cdot V_{REF} \cdot R_T}{(V_{IN} - V_{OUT})} \quad DCM=L$$

フロントページの続き

- (74)代理人 100115691
弁理士 藤田 篤史
- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (72)発明者 リチャード ケー . オズワルド
アメリカ合衆国カリフォルニア州 9 5 1 2 5 , サンノゼ , ジャンセンアヴェニュー 8 9 8
- (72)発明者 山本 完
アメリカ合衆国カリフォルニア州 9 5 0 1 4 , クパチーノ , ロックスプリングコート 1 1 5 1 9
- (72)発明者 斎藤 浩
東京都大田区東六郷 3 - 1 - 1 - 8 1 5
- (72)発明者 石井 卓也
大阪府大阪市淀川区新高 1 - 1 3 - 3 4
- (72)発明者 龍 隆
京都府京都市伏見区羽束師志水町 1 3 8 - 3 3
- (72)発明者 明石 裕樹
大阪府枚方市香里ヶ丘 2 - 4 - 1 - 2 - 3 0 3
- (72)発明者 田中 武
神奈川県相模原市相模大野 6 - 4 - 4 - 5 0 4
- F ターム(参考) 5H730 AA14 AS00 AS01 BB13 BB91 DD04 DD26 EE57 EE59 FD01
FD11 FF01 FG05 FG07 FG22

【外国語明細書】

2005295795000001.pdf