



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I573250 B

(45)公告日：中華民國 106 (2017) 年 03 月 01 日

(21)申請案號：100101801

(22)申請日：中華民國 100 (2011) 年 01 月 18 日

(51)Int. Cl. : H01L27/105 (2006.01)

H01L27/108 (2006.01)

H01L21/8242(2006.01)

H01L29/786 (2006.01)

(30)優先權：2010/01/20 日本

2010-010527

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；小山潤 KOYAMA, JUN (JP)；加藤清
KATO, KIYOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 2002-368226A

US 2002/0121659A1

US 2007/0108446A1

審查人員：古朝璟

申請專利範圍項數：10 項 圖式數：16 共 85 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

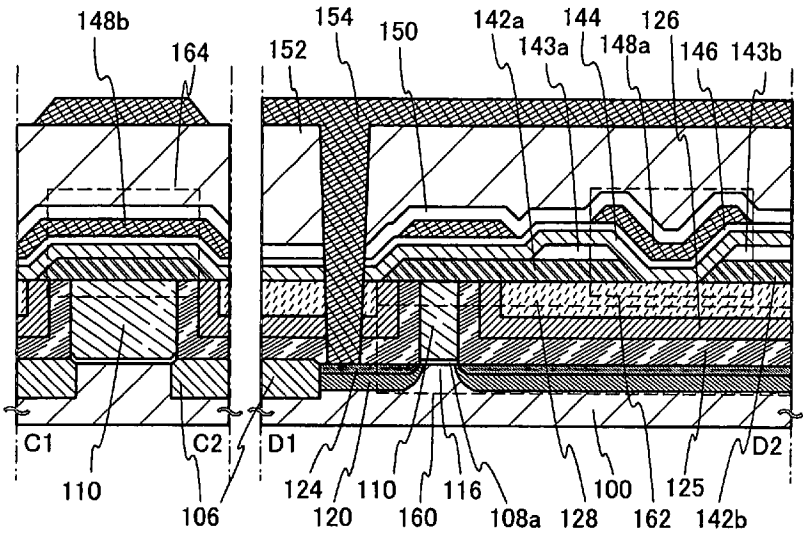
(57)摘要

提供一種儲存裝置，其中可獲得非揮發性儲存裝置及揮發性儲存裝置兩者之優點，半導體裝置包括設置在基板之中或上方的第一電晶體及設置在第一電晶體上方的第二電晶體，其中第一電晶體及第二電晶體的至少部分彼此重疊，且第一電晶體之閘極電極及第二電晶體的源極或汲極電極彼此電連接。較佳使用單晶矽來設置第一電晶體並使用具有極低關閉狀態電流之氧化物半導體來設置第二電晶體。

To provide a storage device in which advantages of both a nonvolatile storage device and a volatile storage device can be obtained, a semiconductor device includes a first transistor provided in or over a substrate and a second transistor provided above the first transistor, where at least part of the first transistor and the second transistor are overlapped with each other, and a gate electrode of the first transistor and a source or drain electrode of the second transistor are electrically connected to each other. It is preferable that the first transistor be provided using single crystal silicon and the second transistor be provided using an oxide semiconductor having extremely low off-state current.

指定代表圖：

第6A圖



符號簡單說明：

- 100 . . . 基板
- 106 . . . 元件隔離絕緣層
- 108a . . . 閘極絕緣層
- 110 . . . 閘極電極
- 116 . . . 通道形成區域
- 120 . . . 高濃度雜質區域
- 124 . . . 金屬化合物區域
- 125 . . . 層間絕緣層
- 126 . . . 層間絕緣層
- 128 . . . 層間絕緣層
- 142a . . . 源極或汲極電極
- 142b . . . 源極或汲極電極
- 143a . . . 絕緣層
- 143b . . . 絕緣層
- 144 . . . 氧化物半導體層
- 146 . . . 閘極絕緣層
- 148a . . . 閘極電極
- 148b . . . 電極
- 150 . . . 層間絕緣層
- 152 . . . 層間絕緣層
- 154 . . . 源極或汲極電極
- 160 . . . 電晶體
- 162 . . . 電晶體
- 164 . . . 電容器

公告本

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100101801

※申請日：100 年 01 月 18 日

※IPC 分類：H01L 27/105 (2006.01)

H01L 27/108 (2006.01)

一、發明名稱：(中文／英文)

H01L 21/8242 (2006.01)

半導體裝置

H01L 29/786 (2006.01)

Semiconductor device

二、中文發明摘要：

提供一種儲存裝置，其中可獲得非揮發性儲存裝置及揮發性儲存裝置兩者之優點，半導體裝置包括設置在基板之中或上方的第一電晶體及設置在第一電晶體上方的第二電晶體，其中第一電晶體及第二電晶體的至少部分彼此重疊，且第一電晶體之閘極電極及第二電晶體的源極或汲極電極彼此電連接。較佳使用單晶矽來設置第一電晶體並使用具有極低關閉狀態電流之氧化物半導體來設置第二電晶體。

三、英文發明摘要：

To provide a storage device in which advantages of both a nonvolatile storage device and a volatile storage device can be obtained, a semiconductor device includes a first transistor provided in or over a substrate and a second transistor provided above the first transistor, where at least part of the first transistor and the second transistor are overlapped with each other, and a gate electrode of the first transistor and a source or drain electrode of the second transistor are electrically connected to each other. It is preferable that the first transistor be provided using single crystal silicon and the second transistor be provided using an oxide semiconductor having extremely low off-state current.

四、指定代表圖：

(一) 本案指定代表圖為：第 (6A) 圖。

(二) 本代表圖之元件符號簡單說明：

100：基板
106：元件隔離絕緣層
108a：閘極絕緣層
110：閘極電極
116：通道形成區域
120：高濃度雜質區域
124：金屬化合物區域
125：層間絕緣層
126：層間絕緣層
128：層間絕緣層
142a：源極或汲極電極
142b：源極或汲極電極
143a：絕緣層
143b：絕緣層
144：氧化物半導體層
146：閘極絕緣層
148a：閘極電極
148b：電極
150：層間絕緣層
152：層間絕緣層
154：源極或汲極電極
160：電晶體
162：電晶體
164：電容器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明之一實施例有關於半導體裝置及其製造方法，詳言之，能夠儲存資料的半導體裝置。

半導體裝置意指設有諸如電晶體的至少一半導體元件之裝置。因此，該半導體裝置中包括儲存裝置。注意到該儲存裝置意指包括複數儲存元件的裝置。

【先前技術】

使用半導體元件的儲存裝置廣泛分成兩種：當電源停止時喪失儲存資料的揮發性儲存裝置，以及當未供應電力時保持已儲存資料的非揮發性儲存裝置。

揮發性儲存裝置的範例包括動態隨機存取記憶體（此後稱為 DRAM）及靜態隨機存取記憶體（此後稱為 SRAM）。

當使用傳統電晶體來形成 DRAM 時，資料保持時期很短，因為即使當電晶體關閉時會在源極與汲極產生漏電流。有鑑於此，在預定間隔需要另一寫入資料（更新操作），且這增加耗電量。此外，當電源停止時，無法執行上述更新操作；因此，會喪失資料。

另一方面，雖然 SRAM 使用諸如正反器的電路來保持已儲存的資料，且因此不需更新操作，儲存容量的每單位成本很昂貴。注意到，當電源停止時，會如同 DRAM 的情況般喪失資料。

非揮發性儲存裝置的典型範例包括快閃記憶體。快閃記憶體包括於電晶體中在閘極電極與通道形成區域之間的浮置閘極，並藉由在浮置閘極中注入並保持電荷來保持資料。因此，在快閃記憶體中，資料保持時間極長（半永久）且不需要更新操作（例如，專利文獻 1）。

然而，在通道形成區域與浮置閘極之間的絕緣層會因在寫入時所產生的穿隧電流而退化。因此，例如，採用一種方法，其中藉由提供複雜的周邊電路來等化寫入至每一儲存元件中之寫入操作的次數。然而，即使採用等化寫入操作次數的方法，仍不能解決壽命之根本問題；因此，快閃記憶體不適合頻繁重寫資料的使用。

此外，注入電荷到浮置閘極中並從浮置閘極移除電荷需要高電壓；因此，需要提供升壓電路或之類。此外，注入電荷到浮置閘極中並從浮置閘極移除電荷會花上頗長的時間；因此，難以用較高速度執行資料寫入操作及資料抹除操作。

[引用]

[專利文獻]

[專利文獻 1] 日本公開專利申請案號 S57-105889

【發明內容】

本發明之一實施例的一目的為提供一種儲存裝置或半導體裝置，其中以與非揮發性儲存裝置類似的方式，即使

不供應電力仍可保持資料，資料寫入次數並無限制，且進一步每單位面積的儲存容量很大。

本發明之一實施例為一種半導體裝置，其包括以結合具有高操作速度的電晶體及具有低關閉狀態電流之電晶體的方式在即使不供電下仍能夠在電容器中保持資料的儲存電路。作為具有高操作速度的電晶體，可應用如用於數種積體電路中的包括矽半導體之絕緣閘極場效電晶體。相反地，作為具有低關閉狀態電流之電晶體，可應用包括一種半導體之絕緣閘極場效電晶體，該半導體的帶隙比矽半導體更寬，其係以包括例如金屬氧化物的氧化物半導體所形成。在使用這兩種電晶體之結合來形成儲存電路的情況中，當並列這兩個電晶體時，儲存電路不適合增加每單位面積的儲存容量。因此，根據本發明之一實施例，以一種方式增加每單位面積的儲存容量，使得這兩個電晶體設置成其的至少一部分彼此重疊。此外，為了簡化這兩電晶體的連結結構並且亦以高密度配置這兩電晶體，本發明之一實施例的特徵之一為該等電晶體之其中一者的閘極電極直接接觸該等電晶體的另一者之汲極電極（或源極電極）並設置成彼此重疊。

注意到包括在儲存電路中之全部的電晶體不需設有氧化物半導體。較佳提供包括非氧化物半導體的半導體材料之電晶體至需要高速操作的地方。這種半導體材料的範例包括單晶矽。

本發明之一實施例為包含第一電晶體及第二電晶體的

半導體裝置。第一電晶體包括一包括第一半導體材料的第一通道形成區域，設有該第一通道形成區域夾置於其之間的雜質區域，設置在該第一通道形成區域上方之第一閘極絕緣層，重疊該第一通道形成區域並設置在該第一閘極絕緣層上方之第一閘極電極，以及電連接至該些雜質區域之一的第一源極或汲極電極。第二電晶體包括第二源極及汲極電極，包括第二半導體材料並電連接至該些第二源極及汲極電極之第二通道形成區域，設置在該第二通道形成區域上方之第二閘極絕緣層，以及重疊該第二通道形成區域並設置在該第二閘極絕緣層上方之第二閘極電極。在半導體裝置中，該第一電晶體及該第二電晶體設置成使得其之至少一部分彼此重疊，該些第二源極及汲極電極之一電連接至該第一閘極電極，並且該些第二源極及汲極電極之另一者自該第一閘極電極分離。

本發明之另一實施例為包含第一電晶體、第二電晶體、及電容器的半導體裝置。第一電晶體包括一包括第一半導體材料之第一通道形成區域，設有該第一通道形成區域夾置於其之間的雜質區域，設置在該第一通道形成區域上方之第一閘極絕緣層，重疊該第一通道形成區域並設置在該第一閘極絕緣層上方之第一閘極電極，以及電連接至該些雜質區域之一的第一源極或汲極電極。第二電晶體包括第二源極及汲極電極，包括第二半導體材料並電連接至該些第二源極及汲極電極之第二通道形成區域，設置在該第二通道形成區域上方之第二閘極絕緣層，以及至少重疊該

第二通道形成區域並設置在該第二閘極絕緣層上方之第二閘極電極。電容器包括該些第二源極及汲極電極之一，該第二閘極絕緣層，以及設置在該第二閘極絕緣層上方的該電容器之電極。在半導體裝置中，該第一電晶體及該第二電晶體設置成使得其之至少一部分彼此重疊，該些第二源極及汲極電極之一電連接至該第一閘極電極，並且該些第二源極及汲極電極之另一者自該第一閘極電極分離。

本發明之另一實施例為包含第一電晶體、第二電晶體、及電容器的半導體裝置。第一電晶體包括一包括第一半導體材料之第一通道形成區域，設有該第一通道形成區域夾置於其之間的雜質區域，設置在該第一通道形成區域上方之第一閘極絕緣層，重疊該第一通道形成區域並設置在該第一閘極絕緣層上方之第一閘極電極，以及電連接至該些雜質區域之一的第一源極或汲極電極。第二電晶體包括第二源極及汲極電極，包括第二半導體材料並電連接至該些第二源極及汲極電極之第二通道形成區域，設置在該第二通道形成區域上方之第二閘極絕緣層，以及至少重疊該第二通道形成區域並設置在該第二閘極絕緣層上方之第二閘極電極。電容器包括該些第二源極及汲極電極之一，部分包括第二通道形成區域的氧化物半導體層，該第二閘極絕緣層，以及設置在該第二閘極絕緣層上方的該電容器之電極。在半導體裝置中，該第一電晶體及該第二電晶體設置成使得其之至少一部分彼此重疊，該些第二源極及汲極電極之一電連接至該第一閘極電極，並且該些第二源極及

汲極電極之另一者自該第一閘極電極分離。

在上述結構的半導體裝置中，第一半導體材料與第二半導體材料較佳為不同。

在上述結構的半導體裝置中，第二半導體材料較佳為氧化物半導體。

在其中第二半導體材料為氧化物半導體的上述結構的半導體裝置中，較佳在該第一電晶體與該第二電晶體之間設置複數絕緣層，並以濺鍍方法形成該複數絕緣層之至少一絕緣層，其係接觸該第二電晶體。

在上述結構的半導體裝置中，該第二半導體材料的能隙較佳高於 3 eV。例如，可採用典型為碳化矽的寬帶隙材料（詳言之，例如，能隙 E_g 高於 3 eV 的半導體材料）。

在上述結構的半導體裝置中，該第一電晶體較佳能夠在比該第二電晶體更高的速度操作。

在上述結構的半導體裝置中，該第二電晶體的關閉狀態電流較佳低於該第一電晶體的關閉狀態電流。

在上述結構的半導體裝置中，當該第二電晶體的關閉狀態電流低於該第一電晶體的關閉狀態電流時，該第二電晶體的關閉狀態電流在室溫較佳低於或等於 10 zA。

注意到在此說明書中，諸如「上方」或「下方」的術語並非一定指一構件設在另一構件的「直接上方」或「直接下方」。例如，詞句「閘極電極在閘極絕緣層上方」不排除在閘極絕緣層與閘極電極之間有額外構件的情況。此

外，諸如「上方」或「下方」的術語僅爲了方便敘述而加以使用且可包括構件關係爲顛倒的情況，除非另有所指。

另外，在此說明書中，諸如「電極」或「佈線」的術語不限制構件的功能。例如，「電極」有時用爲「佈線」之部分，且反之亦然。此外，「電極」或「佈線」的術語可包括以積體方式形成複數「電極」或「佈線」的情況。

注意到在此說明書中，一「膜」意指以 CVD 方法（包括電漿 CVD 方法及之類）、濺鍍方法、或之類形成在一物體的整個表面上方的膜。另一方面，一「層」意指藉由處理形成在一物體的整個表面上方的膜而形成及無需受到處理的層。然而，在無特定區別下使用「膜」及「層」。

注意到當例如使用相反極性的電晶體時或當電流流動方向在電路操作中改變時，「源極」及「汲極」的功能可互換。因此，在此說明書中，可使用諸如「源極」及「汲極」的術語來分別標示汲極及源極。

注意到在此說明書中，術語「電連接」包括構件經由具有任何電功能的物體連接之情況。對於「具有任何電功能的物體」無特別限制，只要可在經由該物體所連接的構件之間傳送並接收電信號。「具有任何電功能的物體」之範例爲如電晶體之切換元件、電阻器、電感器、電容器，及具有各式各樣的功能之元件，還有電極及佈線。

可以與非揮發性儲存裝置類似的方式獲得，即使不供應電力仍可保持資料，資料寫入次數並無限制，且進一步

每單位面積的儲存容量很大之儲存裝置或半導體裝置。

【實施方式】

將於下參考附圖於下說明本發明之實施例的範例。注意到本發明不限於下列說明，且熟悉此技藝人士輕易了解到可以各種方式修改在此揭露的模式及細節而不背離本發明之精神與範疇。因此，本發明不應解釋成限於實施例之下列說明。

爲了簡單並使特徵突出，在某些情況中在下列說明中參照的在圖中所示之各個構件的位置、大小、範圍、及之類並非實際者。因此，本發明不一定限於圖中所揭露的位置、大小、範圍、及之類。

注意到在下列說明中，爲了方便而使用諸如「第一」、「第二」、及「第三」的順序數以避免混淆構件，且這些術語不數值性限制構件。

於下將說明根據本發明之一實施例的儲存裝置之一範例。

注意到在每一個電路圖中，在某些情況中，在電晶體旁可能會寫上「OS」（氧化物半導體的英文簡寫）以表示電晶體包括氧化物半導體。

第 1A 圖爲繪示根據本發明之一實施例的儲存元件之電路圖。在第 1A 圖中所示的儲存元件包括電晶體 160、電晶體 162、及電容器 164。在第 1A 圖中，電晶體 160 的源極及汲極電極之一電連接至第一佈線（亦稱爲第一線

），且電晶體 160 的源極及汲極電極之另一者電連接至第二佈線（亦稱為第二線）。電晶體 162 的源極及汲極電極之一電連接至第三佈線（亦稱為第三線），且電晶體 162 的閘極電極電連接至電極第四佈線（亦稱為第四線）。另外，電晶體 160 的閘極電極及電晶體 162 的源極及汲極電極之另一者電連接至電容器 164 的電極之一。電容器 164 的電極之另一者電連接至第五佈線（亦稱為第五線）。

使用包括氧化物半導體的電晶體作為電晶體 162。可藉由氧化物半導體的高純化及氫及水的移除來大幅減少包括氧化物半導體層之電晶體的關閉狀態電流量。因此，藉由關閉電晶體 162，可保持供應至電晶體 160 之閘極電極的電荷極長的時間。設置電容器 164 促進供應給電晶體 160 之閘極電極的電荷之保持還有已保持之資料的讀取。注意到電晶體 162 的通道長度較佳為 10 nm 至 1000 nm（包括這兩值）。通道長度設定至 10 nm 至 1000 nm（包括這兩值），因此可執行高速操作且減少耗電量。

將於下說明第 1A 圖中所示的儲存元件中的資料寫入操作、資料保持操作、及資料讀取操作。

首先，藉由第四佈線來啓通電晶體 162 而將從第三佈線供應之電位供應至電晶體 160 的閘極電極及電容器 164 的電極之一。換言之，供應電荷至第 1A 圖的部分 FG（寫入操作）。在此，供應給與兩不同電位位準之任何電荷（此後稱為「低位準電荷」及「高位準電荷」）。

之後，藉由第四佈線來關閉電晶體 162 而將電荷保持

在第 1A 圖的部分 FG 中（保持操作）。

電晶體 162 之關閉狀態電流極小；因此，可長時間在部分 FG 中保持電荷。

接下來，將說明資料讀取操作。當供應預定電位（恆定電位）至第一佈線的同時供應適當電位（讀取電位）至第五佈線時，第二佈線之電位隨保持在部分 FG 中之電荷量（電晶體 160 的閘極電極中的電位）變化。這是因為，一般而言，當電晶體 160 為 n 通道電晶體時，在供應高位準電荷至電晶體 160 的閘極電極之情況中的「表觀臨限電壓」 V_{th_H} 低於在供應低位準電荷至電晶體 160 的閘極電極之情況中的「表觀臨限電壓」 V_{th_L} 。在此，電晶體 160 的「表觀臨限電壓」意指第五佈線的電位，其為當第一佈線的電位設定至恆定電位時啓通電晶體 160 所需者。因此，將第五佈線的電位設定至介於 V_{th_H} 與 V_{th_L} 中間的電位 V_0 ，藉此可決定供應至電晶體 160 的閘極電極之電荷為高位準電荷或低位準電荷。例如，在保持高位準電荷的情況中，當第五佈線的電位設定至 $V_0 (> V_{th_H})$ 時，啓通電晶體 160。在保持低位準電荷的情況中，即使當第五佈線的電位設定至 $V_0 (< V_{th_L})$ 時，電晶體 160 維持在關閉中。因此，可藉由參照第二佈線的電位來決定並讀取已保持的資料。

注意到在其中儲存元件陣列式排列以供使用之情況中，僅需讀取所要的儲存元件之資料。在以此方式讀取資料的情況中，可供應無論閘極電極之狀態為何都會讓電晶體

160 關閉之電位（低於 V_{th_H} 的電位）至第五佈線。替代地，可供應無論閘極電極之狀態為何都會讓電晶體 160 啓通之電位（高於 V_{th_H} 的電位）至第五佈線。

接下來，將說明資料重寫操作。以和上述資料寫入操作和資料保持操作類似的方式來執行資料重寫操作。亦即，藉由第四佈線的電位來啓通電晶體 162。據此，將第三佈線之電位（關於新資料的電位）供應至部分 FG。之後，藉由第四佈線的電位來關閉電晶體 162 而供應關於新資料的電位之電荷至部分 FG。

在根據本發明的一實施例之儲存元件中，可藉由另一如上述般的寫入來直接重寫資料。因此，無需在從快閃記憶體或之類中的浮置閘極抽取電荷時所需的高電壓；因此，可抑制因注入電荷到浮置閘極並從浮置閘極移除電荷所導致之操作速度的降低。

注意到電晶體 162 之源極及汲極電極的另一者電連接至電晶體 160 的閘極電極，藉此第 1A 圖中之部分 FG 具有和快閃記憶體的浮置閘極類似的功能。在關閉電晶體 162 的情況中，部分 FG 可被視為嵌入絕緣體中；因此，在部分 FG 中保持電荷。針對根據本發明之一實施例的儲存元件而設置的電晶體 162 之關閉狀態電流量可低於或等於包括矽半或之類的傳統電晶體之關閉狀態電流量的十萬分之一。因此，根據本發明之一實施例的儲存元件可被視為一種儲存元件，其中經由電晶體 162 來自部分 FG 的漏電荷很少發生。亦即，藉由根據本發明之一實施例的儲存

元件，可實現即使在不供電下仍可儲存資料的非揮發性儲存裝置。

例如，在電晶體 162 的關閉狀態電流在室溫低於或等於 10 zA 且電容器 164 的電容值為近乎 10 fF 的情況中，可儲存資料至少 10^4 秒。注意到保持時間隨電晶體特性及電容器的電容值而變。

此外，如上述，在根據本發明之一實施例的儲存元件中，其與快閃記憶體不同，不使用惡化通道形成區域與浮置閘極之間的絕緣層之穿隧電流。因此，對於寫入操作的次數並無限制。此外，無需在傳統浮置閘極電晶體中的寫入或抹除時所需之高電壓。

第 1A 圖中所示之儲存元件中的諸如電晶體的構件可被視為以第 1B 圖中所示之電阻器及電容器所形成。如第 1B 圖中所示，在電晶體 160 及電容器 164 的各者中，一電阻器及一電容器可被視為彼此並聯連接。R1 及 C1 分別標示電容器 164 的電阻值及電容值。電阻值 R1 對應至取決於包括在電容器 164 中之絕緣層的電阻值。R2 及 C2 分別標示電晶體 160 的電阻值及電容值。電阻值 R2 對應至取決於在電晶體 160 為啓通時之閘極絕緣層的電阻值。電容值 C2 對應至所謂的閘極電容器（形成在閘極電極與源極或汲極電極間的電容器；以及形成在閘極電極與通道形成區域間的電容器）的電容值。

在電晶體 162 的閘極漏電夠小，且當電晶體 162 為關閉時在源極電極與汲極電極之間的電阻值（亦稱為有效電

阻) 為 R_{OS} ， R_1 大於 R_{OS} 且 R_2 小於 R_{OS} 的條件下，電荷保持時期（亦稱為資料保持時期）主要由電晶體 162 之關閉狀態電流所決定。

另一方面，在不滿足這些條件的情況中，即使電晶體 162 的電流夠小，仍難以充分保全保持時期。這是因為除了電晶體 162 之關閉狀態電流外的漏電流（例如，在源極及閘極電極之間所產生之漏電流）為大。據此，根據本發明之一實施例的儲存元件較佳滿足上述關係。

另一方面， C_1 較佳大於或等於 C_2 。若 C_1 為大，當部分 FG 的電位被第五佈線控制時（如在讀取時），可抑制第五佈線之電位中的變動。

注意到由電晶體 160 的閘極絕緣層及電晶體 162 的閘極絕緣層決定 R_1 及 R_2 。相同關係適用於 C_1 及 C_2 。因此，適當設定該些閘極絕緣層之材料、厚度、及之類，所以可實現滿足上述關係之儲存元件。

在根據本發明之一實施例的儲存元件中，部分 FG 具有與快閃記憶體或之類的浮置閘極電晶體的浮置閘極類似的功能，但部分 FG 具有與快閃記憶體或之類的浮置閘極本質上不同的特徵。在傳統快閃記憶體中，藉由施加至高電場至控制閘極產生穿隧電流；因此，需要在儲存元件之間保持適當距離以防止電場影響相鄰胞的浮置閘極。據此，抑制儲存裝置的整合。

此外，由於快閃記憶體的上述原理，絕緣層的惡化繼續進行且因此限制重寫次數。

藉由切換電晶體來操作根據本發明之一實施例的儲存元件，不像快閃記憶體，不會發生穿隧電流造成之電荷注入。亦即，不像快閃記憶體，不需用於電荷注入的高電場。據此，無需考慮來自控制閘極之高電場對相鄰胞的影響，其促進比傳統快閃記憶體的情況更高之整合。

此外，如稍後將說明，電晶體 160 及電晶體 162 彼此重疊，所以亦可有更高的整合。

此外，在傳統浮置閘極電晶體中，電荷在寫入操作期間在閘極絕緣膜（隧道絕緣膜）中行進，藉此可避免閘極絕緣膜（隧道絕緣膜）的惡化。相反地，在根據本發明之一實施例的儲存元件中，藉由寫入電晶體的切換操作來寫入資料；因此，可解決閘極絕緣膜的惡化，這長久以來被視為傳統浮置閘極電晶體的一個問題。這意指原則上對寫入操作次數無限制且寫入耐久性極高。例如，在根據本發明之一實施例的儲存元件中，亦可寫入資料 1×10^{19} 或更多次（一億或更多次）。

此外，由於不利用穿隧電流造成之電荷注入，不會有儲存元件惡化的導因。換言之，根據本發明之一實施例的儲存元件比快閃記憶體具有更高的耐久性及其可靠性。

另外，由於無需高電場，至少針對儲存元件不需要升壓電路。因此，無需大尺寸的周邊電路，且儲存裝置的框架可變窄。

在其中包括在 C1 中的絕緣層之介電常數 ϵ_{r1} 與包括在 C2 中的絕緣層之介電常數 ϵ_{r2} 不同的情況中，較佳 C1

的面積 S_1 為 C_2 的面積 S_2 的兩倍或更少（更佳地，面積 S_1 小於或等於面積 S_2 ）且 C_2 小於 C_1 。詳言之，例如，作為絕緣層之材料，針對 C_1 可使用以諸如氧化鋁之高 k 材料所形成的層極以諸如氧化物半導體所形成的層之堆疊，使 ϵ_{r1} 設定成 10 或更多（較佳 15 或更多），並針對 C_2 可使用氧化矽層，使 ϵ_{r2} 設定成 3 至 4。這種結構的結合允許根據本發明之一實施例的儲存元件的更高整合。

注意到雖然在上述說明中使用其中電子為主要載子的 n 通道電晶體，亦可使用其中電洞為主要載子之 p 通道電晶體來取代 n 通道電晶體。

如上述，根據所揭露的本發明之一實施例的儲存元件包括非揮發性儲存元件，包括一寫入電晶體（其中於關閉狀態中在源極與汲極之間的漏電流（關閉狀態電流）為低）、以和寫入電晶體不同之半導體材料所形成之一讀取電晶體、及一電容器。

寫入電晶體的關閉狀態電流在使用溫度（如 25°C ）為 100 zA 或更低；較佳 10 zA 或更低；更佳 1 zA 或更低。在包括矽之電晶體的情況中，難以實現上述的低關閉狀態電流。然而，藉由包括氧化物半導體之電晶體，可實現低關閉狀態電流。因此，較佳使用包括氧化物半導體之電晶體作為寫入電晶體。

另外，包括氧化物半導體之電晶體具有小次臨界擺幅（ S 值），使得即使遷移率相對低，仍可充分增加切換速率。因此，藉由使用該電晶體作為寫入電晶體，供應至部

分 FG 的寫入脈衝之上升可為非常尖銳。

注意到由於寫入電晶體的關閉狀態電流為小，可減少保持在部分 FG 中之電荷量。此外，可以高速執行資料寫入操作及資料抹除操作；因此，可以高速執行資料的重寫。

針對讀取電晶體，較佳使用以高速操作之電晶體以增加讀取速率。例如，較佳使用具有 1 奈米秒或更低之切換率的電晶體作為讀取電晶體。

以啓通寫入電晶體的方式寫入資料，以供應電壓部分 FG（在此處寫入電晶體之源極及汲極電極之一、電容器之電極之一、及讀取電晶體之閘極電極彼此電連接），並接著關閉寫入電晶體以將預定電荷量保持在部分 FG 中。在此，由於寫入電晶體的關閉狀態電流非常低，供應至部分 FG 的電荷可保持很久。當關閉狀態電流為例如實質上 0 時，無需更新操作，或甚至在執行更新操作的情況中，更新操作之頻率可非常低（例如，約一個月或一年一次）。據此，可充分減少儲存元件的耗電量。

注意到在根據本發明之一實施例的儲存元件中，可藉由重寫寫入資料到儲存元件之中來直接重寫資料。因此，無需快閃記憶體或之類所需的抹除操作，所以可防止因於抹除操作導致之操作速度的降低。

注意到供應至根據本發明之一實施例的儲存元件之最高電壓（同時施加至儲存元件的個別端子的最高電位與最低電位間之差）在寫入兩階段（一位元）之資料的情況中

在每一儲存元件中可為 5 V 或更低，較佳 3 V 或更低。

根據本發明之一實施例的儲存元件可包括至少一寫入電晶體、一讀取電晶體、及一電容器，且即使當電容器的面積為小時，儲存元件仍可操作。因此，相較於例如每一儲存元件中需要六個電晶體的 SRAM，可增加每單位面積之儲存容量。

此外，在用於根據本發明之一實施例的儲存元件之氧化物半導體中，即使在例如 150°C 的高溫，儲存元件之電流－電壓特性沒有惡化，因為氧化物半導體具有 3.0 至 3.5 eV 之寬能隙及極少的熱激載子。在用於根據本發明之一實施例的儲存元件之電晶體中，即使在 150°C 的高溫，沒有特性惡化，且關閉狀態電流非常低如 100 zA 或更低。

第 2 圖繪示儲存裝置的一組態，其中參照第 1A 及 1B 圖說明的儲存元件配置在矩陣中成為根據本發明之一實施例的儲存裝置。注意到雖然在第 2 圖中，為了簡化說明，儲存元件配置在垂直（列）中 2 儲存元件乘以水平（行）中 2 儲存元件的矩陣中，將於下說明一種儲存裝置，其中儲存元件係配置在垂直（列）中 m 儲存元件乘以水平（行）中 n 儲存元件的矩陣中（ m 及 n 皆為自然數）。

在第 2 圖中所示的儲存裝置中，複數儲存元件 1100 配置在垂直（列）中 m 儲存元件乘以水平（行）中 n 儲存元件的矩陣中（ m 及 n 皆為自然數）；第一驅動器電路 1111、第二驅動器電路 1112、第三驅動器電路 1113、及

第四驅動器電路 1114 配置在其之外側；且這些驅動器電路及儲存元件 1100 藉由 m 字線 WL、 m 第二信號線 S2、 n 位元線 BL、 n 源極線 SL、及 n 第一信號線 S1 連接在一起。在此，第 1A 圖中所示的儲存元件用為儲存元件 1100。

在儲存元件 1100 中，第一電晶體、第二電晶體、及電容器對應至分別繪示在第 1A 圖中之電晶體 160、電晶體 162、及電容器 164。另外，源極線 SL、位元線 BL、第一信號線 S1、第二信號線 S2、及字線 WL 分別對應至第 1A 圖中所示之第一佈線、第二佈線、第三佈線、第四、及第五佈線。

換言之，在儲存元件 1100 中，第一電晶體的源極及汲極電極之一電連接至源極線 SL，且第一電晶體的源極及汲極電極之另一者電連接至位元線 BL。第二電晶體的源極及汲極電極之一電連接至第一信號線 S1，且第二電晶體的閘極電極電連接至第二信號線 S2。另外，第一電晶體的閘極電極及第二電晶體的源極及汲極電極之另一者電連接至電容器的電極之一。電容器的電極之另一者電連接至字線 WL。

此外，儲存元件 1100 並聯連接在源極線 SL 與位元線 BL 之間。例如，第 i 列及第 j 行 (i, j) (i 為 1 至 m (包括這兩值) 的整數， j 為 1 至 n (包括這兩值) 的整數) 的儲存元件 1100 連接至源極線 SL(j)、位元線 BL(j)、第一信號線 S1(j)、字線 WL(i)、及第二信號線 S2(i)。

源極線 SL 及位元線 BL 連接至第一驅動器電路 1111

。第一信號線 S1 連接至第三驅動器電路 1113。第二信號線 S2 連接至第二驅動器電路 1112。字線 WL 連接至第四驅動器電路 1114。注意到在此分別設置第一驅動器電路 1111、第二驅動器電路 1112、第三驅動器電路 1113、及第四驅動器電路 1114；然而，不限於此。可替代地使用具有一或更多的驅動器電路之功能的解碼器。

接下來，將參照第 3 圖中所示之時序圖來說明第 2 圖中所示的儲存裝置之寫入操作及讀取操作。

雖為了簡單而說明兩列乘以兩行的儲存裝置之操作，本發明不限於此。

在第 3 圖中，S1(1)及 S1(2)為第一信號線 S1 的電位；S2(1)及 S2(2)為第二信號線 S2 的電位；BL(1)及 BL(2)為位元線 BL 的電位；WL(1)及 WL(2)為字線 WL 的電位；且 SL(1)及 SL(2)為源極線 SL 的電位。

首先，將說明寫入資料至在第一列中之儲存元件 1100 (1,1) 及儲存元件 1100 (1,2) 及從第一列中之儲存元件 1100 (1,1) 及儲存元件 1100 (1,2) 讀取資料的情況。注意到在下列說明中，假設將寫至儲存元件 1100 (1,1) 之資料為「1」且將寫至儲存元件 1100 (1,2) 之資料為「0」。

首先，將說明寫入操作。在第一列的寫入時期中，將電位 VH 供應至第一列中的第二信號線 S2(1)，以啓通第一列中的第二電晶體。此外，將 0 V 的電位供應至第二列中的第二信號線 S2(2)，以關閉第二列中的第二電晶體。

接下來，分別施加電位 V_2 及電位 0 V 至第一行中的第一信號線 $S_1(1)$ 及第二行中的第一信號線 $S_1(2)$ 。

結果，分別供應電位 V_2 及電位 0 V 至儲存元件 $1100(1,1)$ 的部分 FG 及儲存元件 $1100(1,2)$ 的部分 FG。在此，電位 V_2 設定成高於第一電晶體之臨限電壓。接著，將第一列之信號線 $S_2(1)$ 的電位設定至 0 V ，以關閉第一列的第二電晶體。因此，終止寫入。

注意到字線 $WL(1)$ 及 $WL(2)$ 的電位設定在 0 V 。此外，在改變第一列中之第一信號線的電位 $S_1(1)$ 之前，第一列中的第二信號線的電位 $S_2(1)$ 設定成 0 V 。假設在儲存元件中連接至字線 WL 的端子為控制閘極電極，第一電晶體的源極電極為源極電極，且第二電晶體的汲極電極為汲極電極，在已經寫入資料至其中的儲存元件的臨限電壓在資料「0」的情況中為 V_{w0} 且在資料「1」的情況中為 V_{w1} 。在此，儲存元件之臨限電壓意指連接至字線 WL 的端子之電壓，其改變第一電晶體之源極及汲極電極之間的電阻狀態。注意到滿足 $V_{w0} > 0 > V_{w1}$ 。

接著，將說明讀取操作。在讀取時其中，在第一列中，將電位 0 V 及電位 V_L 分別供應至第一列中的字線 $WL(1)$ 及第二列中的字線 $WL(2)$ 。電位 V_L 設定成低於 V_{w1} 之臨限電壓。當電位 $WL(1)$ 設定在 0 V 時，在第一列中，其中儲存資料「0」之儲存元件 $1100(1,2)$ 的第一電晶體為關閉，且其中儲存資料「1」之儲存元件 $1100(1,1)$ 的第一電晶體為啓通。當電位 $WL(2)$ 設定在 V_L 時，

在第二列中，即使其中儲存資料「0」或資料「1」之儲存元件的情況中，第二電晶體為關閉。

接下來，供應電位 0 V 至第一行中的源極線 $SL(1)$ 及第二行中的源極線 $SL(2)$ 。

結果，在位元線 $BL(1)$ 及源極線 $SL(1)$ 之間的儲存元件 1100 (1,1) 的第一電晶體為啓通，藉此具有低電阻狀態，且在位元線 $BL(2)$ 及源極線 $SL(2)$ 之間的儲存元件 1100 (1,2) 的第一電晶體為關閉，藉此具有高電阻狀態。連接至位元線 $BL(1)$ 及位元線 $BL(2)$ 之讀取電路可依據位元線間的電阻差來讀取資料。

此外，將電位 0 V 及電位 V_L 分別供應至第二信號線 $S2(1)$ 及第二信號線 $S2(2)$ ，以關閉所有的第二電晶體。第一列中之部分 FG 的電位為 0 V 或 V_2 ；故第二信號線 $S2(1)$ 的電位設定至 0V，藉此可關閉第一列中的所有第二電晶體。另一方面，第二列的部分 FG 之電位低於若供應電位 V_L 至字線 $WL(2)$ 在寫入剛過的時候之電位。據此，為了防止啓通第二電晶體，將第二信號線 $S2(2)$ 的電位設定至與字線 $WL(2)$ 之電位類似的低電位。故可關閉所有第二電晶體。

如上述，針對讀取操作使用讀取電路。

第 4A 圖繪示讀取電路的一範例。第 4A 圖中所示的讀取電路包括一電晶體及一感測放大器電路。施加電位 V_{dd} 至電晶體的源極及汲極電極之一，且感測放大器電路的 + 端子及位元線連接至電晶體的源極及汲極電極之另一

者。施加偏壓電位 V_{bias} 至電晶體的閘極電極。注意到在此，偏壓電位 V_{bias} 高於 0 並低於 V_{dd} 。

在其中儲存元件具有高電阻的情況中，輸入至感測放大器電路的+端子之電位高於參考電位 V_{ref} 且感測放大器電路輸出資料「1」。另一方面，在其中儲存元件具有低電阻的情況中，輸入至感測放大器電路的-端子之電位低於參考電位 V_{ref} 且感測放大器電路輸出資料「0」。

第 4B 圖繪示讀取電路的另一範例。第 4B 圖中所示的讀取電路包括一電晶體及一時控反向器。施加電位 V_{dd} 至電晶體的源極及汲極電極之一，且時控反向器的輸入及位元線連接至電晶體的源極及汲極電極之另一者。亦施加電位 V_{dd} 至電晶體的閘極電極。

將說明在其中使用第 4B 圖中之讀取電路的情況之輸出電位。當儲存元件 1100 (1,1) 的第一電晶體為啓通時，位元線 BL(1) 及源極線 SL(1) 之間的電阻為低。因此，時控反向器之輸入具有低電位，且輸出 D(1) 為信號高。另一方面，由於位元線 BL(2) 及源極線 SL(2) 之間的電阻為高，供應高電位至時控反向器並且輸出 D(2) 為信號低。

注意到讀取電路之組態不限於第 4A 及 4B 圖的組態。例如，讀取電路可包括預先充電電路，或者取代參考電位 V_{ref} 參考位元線可連接至感測放大器電路。

雖在此使用設有第 1A 及 1B 圖中所示的儲存元件之儲存裝置（第 2 圖），本發明不限於此。藉由使用第 1A 及 1B 圖中所示的儲存元件，亦可形成另一儲存裝置，其

之模式與第 2 圖的不同。

第 5 圖繪示另一儲存裝置，其之模式與第 2 圖的不同，其係使用第 1A 及 1B 圖中所示的儲存元件所形成。第 5 圖繪示所謂的 NAND 儲存裝置的電路圖，其中串聯連接儲存元件。

第 5 圖中所示的儲存裝置包括源極線 SL、位元線 BL、第一信號線 S1、複數第二信號線 S2、複數字線 WL、及複數儲存元件。注意到在第 5 圖中，於儲存裝置中設置一源極線 SL 及一位元線 BL；然而，可設置複數源極線 SL 及複數位元線 BL 而不限於此。

在第 5 圖中所示的每一儲存元件中，第二電晶體（其對應至第 1A 及 1B 圖中之電晶體 162）的源極及汲極電極之一電連接至第一信號線 S1，且第二電晶體的閘極電極電連接至第二信號線 S2。另外，第一電晶體（其對應至第 1A 及 1B 圖中之電晶體 160）的閘極電極及第二電晶體的源極及汲極電極之另一者電連接至電容器的電極之一。電容器的電極之另一者電連接至字線 WL。

在此，包括在 k 儲存元件（ k 為自然數）的每一個中之第一電晶體的源極及汲極電極之序列串聯連接在源極線 SL 及位元線 BL 之間，第一儲存元件的第一電晶體之源極電極電連接至位元線 BL，且在最後一級之第 k 儲存元件的第一電晶體之汲極電極電連接至源極線 SL。

在第 5 圖中所示的儲存裝置中，在每一列中執行寫入操作及讀取操作。如下般執行寫入操作。換言之，藉由將

在該處執行寫入之列的第二信號線 S2 來啓通將在該處執行寫入之該列中的第二電晶體。據此，供應第一信號線 S1 的電位至指定列之第一電晶體的閘極電極，以注入預定電荷到部分 FG 中。依照此方式，可將資料寫入指定列中之儲存元件中。

此外，如下般執行讀取操作。首先，供應無論第一電晶體之閘極電極的電荷為何會啓通第一電晶體的電位至非將在該處執行讀取的列之列中的字線 WL，以啓通在非將在該處執行讀取的列之列中的第一電晶體。接著，供應在其第一電晶體的啓通或關閉狀態隨第一電晶體的閘極電極而定之電位（讀取電位）至將在該處執行讀取的列中的字線 WL。之後，供應恆定電位至源極線 SL，使連接至位元線 BL 之讀取電路（未圖示）操作。在此，除了將在該處執行讀取的列中之電晶體外，在源極線 SL 及位元線 BL 之間的複數第一電晶體為啓通；因此，源極線 SL 及位元線 BL 之間的電導由將在該處執行讀取的列中之第一電晶體的狀態而定。亦即，被讀取電路讀取之位元線 BL 的電位取決於將在該處執行讀取的列中之第一電晶體的閘極電極中之電荷。依此方式，可從指定列中之儲存元件讀取資料。

接下來，將參照第 6A 及 6B 圖說明根據本發明之一實施例的第 1A 圖中所示之儲存元件的上視圖及剖面圖。在此，第 6B 圖為上視圖，且第 6A 圖對應沿著至第 6B 圖中之線 C1-C2 及 D1-D2 的剖面圖。

在第 6A 及 6B 圖中所示之儲存元件中，電晶體 160 設置在基板 100 上，電晶體 160 的至少一閘極電極 110 從層間絕緣層 125、層間絕緣層 126、及層間絕緣層 128 暴露出來，且電晶體 162 的源極或汲極電極 142a 設置成接觸暴露的閘極電極 110。源極或汲極電極 142a 不僅作用為電晶體 162 的源極或汲極電極但亦作為電容器 164 的電極。電容器 164 包括源極或汲極電極 142a、電極 148b、氧化物半導體層 144、及閘極絕緣層 146。在此，設置電晶體 160 及電晶體 162，使其之至少一部分彼此重疊。

注意到在第 6A 及 6B 圖中，電晶體 160 設置在基板 100 上。作為基板 100，可使用包括能夠以高速操作的半導體材料之基板；例如，可使用單晶矽基板。尤其當使用單晶矽基板作為基板 100 時，電晶體 160 可以高速操作。

注意到在第 6A 及 6B 圖中，電晶體 162 設置在電晶體 160 上方。電晶體 162 包括氧化物半導體層 144。

雖然電晶體 160 及電晶體 162 在此敘述為 n 通道電晶體，亦可使用 p 通道電晶體。

電晶體 160 包括設置在含有半導體材料之基板 100 中的通道形成區域 116、高濃度雜質區域 120、設置在通道形成區域 116 上方之閘極絕緣層 108a、設置在閘極絕緣層 108a 上方之閘極電極 110、及電連接至高濃度雜質區域 120 的源極或汲極電極 154。在高濃度雜質區域 120 與源極或汲極電極 154 之間設置金屬化合物區域 124。

另外，在基板 100 的表面附近設置元件隔離絕緣層

106 以圍繞電晶體 160，且設置層間絕緣層 125、層間絕緣層 126、及層間絕緣層 128 以覆蓋電晶體 160。在加以形成而覆蓋電晶體 160 之後，藉由 CMP 或之類蝕刻層間絕緣層 125、層間絕緣層 126、及層間絕緣層 128 直到暴露出閘極電極 110。

在第 6A 及 6B 圖中之電晶體 162 包括設置在層間絕緣層 128 上方之源極或汲極電極 142a 及源極或汲極電極 142b、氧化物半導體層 144、閘極絕緣層 146、及閘極電極 148a。氧化物半導體層 144 設置在源極或汲極電極 142a 及源極或汲極電極 142b 之間並與其接觸，且設置閘極電極 148a 以與氧化物半導體層 144 的通道形成區域重疊。

在此，氧化物半導體層 144 較佳為一氧化物半導體層，其中藉由充分移除如氫之雜質以具有高純度並進一步藉由充分供應氧來減少由氧缺乏所導致之缺陷程度。詳言之，氧化物半導體層 144 中之氫濃度為，例如， 5×10^{19} atoms/cm³ 或更少；較佳 5×10^{18} atoms/cm³ 或更少；或更佳 5×10^{17} atoms/cm³ 或更少。在此，氧化物半導體層 144 的氫濃度係依據藉由二次離子質譜（SIMS）的測量值。因此，在其中藉由充分移除如氫之雜質以具有高純度並進一步藉由充分供應氧來減少由氧缺乏所導致之能隙中的缺陷程度的氧化物半導體層中，獲得少於 1×10^{12} /cm³；較佳少於 1×10^{11} /cm³；或更佳少於測量極限值。藉由使用這種氧化物半導體層，在室溫的關閉狀態電流密度（藉由

將關閉狀態電流除以電晶體的通道寬度而獲得的值) 為，例如， $10 \text{ zA}/\mu\text{m}$ 至 $100 \text{ zA}/\mu\text{m}$ 。依照此方式，當使用以 i 型 (本質) 或實質 i 型的這種氧化物半導體時，可獲得具有極低的關閉狀態電流之電晶體。

注意到在第 6A 及 6B 圖中之電晶體 162 的氧化物半導體層 144 並未處理成島狀。因此，可防止因處理時之蝕刻所導致之氧化物半導體層 144 的污染；故可將氧化物半導體層 144 保持為高度純化。

注意到在第 6A 及 6B 圖中所示之電容器 164 中，當堆疊氧化物半導體層 144 及閘極絕緣層 146 時，可充分確保源極或汲極電極 142a 及電極 148b 之間的絕緣。

注意到源極或汲極電極 142a 及源極或汲極電極 142b 較佳形成為錐形。這是因為可增加以氧化物半導體層 144 的覆蓋並防止斷連。在此，錐角設定成，例如， 30° 至 60° (包括這兩值)，此為尤佳。注意到錐角意指當從與層之剖面 (與基板表面垂直之平面) 垂直之方向看去時由具有錐形形狀之層 (如源極或汲極電極 142a) 的側表面及底表面所形成之傾角 (內角)。

在電晶體 162 及電容器 164 上方設置層間絕緣層 150，並在層間絕緣層 150 上方設置層間絕緣層 152。

接著，設置從層間絕緣層 152 到達基板 100 的開口，並且在層間絕緣層 152 上方及開口中設置源極或汲極電極 154。設置源極或汲極電極 154 以到達金屬化合物區域 124。

注意到根據本發明之一實施例的儲存元件不限於第 6A 及 6B 圖中所示的儲存元件。

例如，可不設置層間絕緣層 126，其繪示於第 7 圖中。當不形成層間絕緣層 126 時，可減少步驟數量並因而改善產量。

替代地，如第 8 圖中所示，側壁絕緣層 118 可設置成接觸閘極絕緣層 108a 的側表面及閘極電極 110。在設置側壁絕緣層 118 的情況中，將於後說明，可形成低濃度雜質區域。可藉由低濃度雜質區域緩和在汲極邊緣附近中的電場；故可減少關閉狀態電流。

又替代地，可如第 9 圖中所示般結合第 7 圖及第 8 圖中之結構。

接下來，將說明包括在繪示在第 9 圖中之儲存元件中的電晶體 160 的製造方法。

首先，備置包括半導體材料之基板 100（第 10A 圖）。作為包括半導體材料之基板 100，可使用以矽、碳化矽、或之類製成之單晶半導體基板或多晶半導體基板、以鍍化矽或之類製成的化合物半導體基板、SOI 基板、或之類。在此，顯示使用單晶矽基板作為包括半導體材料之基板 100 的一範例。注意到，一般而言，術語「SOI 基板」意指矽半導體層設置在絕緣表面上之基板。在此說明書及之類中，術語「SOI 基板」亦在其類別中包括在絕緣表面上設置使用非矽的半導體材料所形成之半導體層的基板。換言之，包括在「SOI 基板」中之半導體層材料不限於矽。

此外，「SOI 基板」的範例可包括一基板，其在如玻璃基板的絕緣基板上方具有半導體層，且絕緣層設置在半導體層與絕緣基板之間。

接下來，在基板 100 上方形成充當用於形成元件隔離絕緣層 106 之遮罩的保護層 102（第 10A 圖）。作為保護層 102，可例如使用利用諸如氧化矽、氧氮化矽、氮氧化矽、氮化矽、或之類的材料所形成之絕緣層。注意到在此步驟之前或之後，可將提供 n 型傳導性之雜質元素或提供 p 型傳導性之雜質元素添加至基板 100 以控制電晶體之臨限電壓。在基板 100 為矽基板的情況中，可使用磷（P）、砷（As）、或之類的作為提供 n 型傳導性之雜質。可使用硼（B）、鋁（Al）、鎵（Ga）、或之類作為提供 p 型傳導性之雜質。

注意到「氧氮化矽」含有比氮更多的氧，且在較佳使用盧瑟福散射光譜（RBS）及氬前向散射（HFS）來執行測量的情況中，其包括範圍分別在從 50 原子% 至 70 原子%、0.5 原子% 至 15 原子%、25 原子% 至 35 原子%、及 0.1 原子% 至 10 原子% 之氧、氮、矽、及氬。

此外，「氮氧化矽」含有比氧更多的氮，且在較佳使用 RBS 及 HFS 來執行測量的情況中，其包括範圍分別在從 5 原子% 至 30 原子%、20 原子% 至 55 原子%、25 原子% 至 35 原子%、及 10 原子% 至 30 原子% 之氧、氮、矽、及氬。注意到氮、氧、矽、及氬的百分比落在於上提出的範圍內，其中氧氮化矽膜或氮氧化矽膜中所含的總原

子數係界定成 100 原子 %。

接下來，藉由使用保護層 102 作為遮罩之蝕刻來移除未被保護層 102 覆蓋之區域（亦即暴露區域）中之基板 100 的部分。因此，形成自另一半導體區域隔離的半導體區域 104（第 10B 圖）。作為蝕刻，較佳執行乾蝕刻，但可執行濕蝕刻。可根據被蝕刻基板的材料適當選擇蝕刻氣體及蝕刻劑。

接著，形成絕緣膜以覆蓋至少半導體區域 104，並選擇性移除與半導體區域 104 重疊之一區域中的絕緣膜（第 10B 圖）。較佳使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、或之類來形成絕緣膜。可以如 CMP 之研磨處理、蝕刻處理、或之類移除絕緣膜。注意到在形成半導體區域 104 之後（或在形成元件隔離絕緣層 106 之後）移除保護層 102。

接著，在半導體區域 104 上方形成絕緣膜，並且在絕緣膜上方形成包括導電膜。

在此步驟中形成之絕緣膜後續將充當閘極絕緣層 108a，其較佳使用含有任何氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁、氧化鉭、氧化釷、矽酸鉛、添加氮至其之矽酸鉛、添加氮至其之鋁鉛、及之類的膜以 CVD 方法、濺鍍方法、或之類形成為單層或堆疊層。替代地，可以藉由高密度電漿處理或熱氧化處理來氧化或氮化半導體區域 104 之表面的方式形成絕緣膜。可例如使用諸如氦（He）、氬（Ar）、氪（Kr）、或氙（Xe）之稀有氣體與諸

如氧、氮氧化物、氨、或氫的氣體之混合氣體來執行高密度電漿處理。絕緣膜之後度較佳為 1 nm 至 100 nm（包括這兩值），更佳 10 nm 至 50 nm（包括這兩值）。

可使用諸如鋁（Al）、銅（Cu）、鈦（Ti）、鉭（Ta）、或鎢（W）之金屬材料以蒸發方法、CVD 方法、濺鍍方法、旋塗方法、或之類來形成在此步驟中所形成之導電膜。替代地，可使用諸如多晶矽的半導體材料。注意到顯示其中使用金屬材料形成導電膜的情況之一範例。

之後，藉由選擇性蝕刻絕緣膜及導電膜形成閘極絕緣層 108a 及閘極電極 110。

接下來，形成覆蓋閘極電極 110 的絕緣膜。接著，藉由使用閘極電極 110 作為遮罩而添加磷、砷、或之類到半導體區域 104 來形成具有淺接面深度之雜質區域 114。注意到雖在此步驟中添加磷或砷以形成 n 通道電晶體，可在形成 p 通道電晶體的情況中添加諸如硼或鋁之另一雜質元素。藉由形成雜質區域 114，在閘極絕緣層 108a 下方的半導體區域 104 中形成通道形成區域 116（第 10C 圖）。雖在此步驟中，可適當設定所添加之雜質的濃度，在半導體元件尺寸縮小很多的情況中較佳將濃度設定成高。注意到雖採用其中於絕緣膜 112 形成之後形成雜質區域 114 的步驟，可在雜質區域 114 形成之後形成絕緣膜 112。

接下來，形成側壁絕緣層 118（第 10D 圖）。以形成絕緣層以覆蓋絕緣層 112 並接著在絕緣膜上執行高各向異性蝕刻的方式以自對準方式形成側壁絕緣層 118。注意到

此時，較佳藉由蝕刻絕緣膜 112 之部分暴露出閘極電極 110 的頂表面及雜質區域 114 的頂表面。注意到爲了高整合或之類的目的在某些情況中不形成側壁絕緣層 118（如第 6A 及 6B 圖）。

接下來，形成絕緣膜以覆蓋閘極電極 110、雜質區域 114、側壁絕緣層 118、及之類。接著，藉由添加諸如磷（P）、砷（As）、或之類至絕緣層接觸雜質區域 114 的區域形成高濃度雜質區域 120。此後，移除絕緣膜，並接著形成金屬膜 122 以覆蓋閘極電極 110、側壁絕緣層 118、高濃度雜質區域 120、及之類的（第 10E 圖）。可以諸如真空蒸發沉積方法、濺鍍方法、或旋塗方法之各種方法形成金屬膜 122。較佳使用藉由與包括在半導體區域 104 中之半導體材料起反應而變成低電阻金屬化合物的金屬材料來形成金屬膜 122。這類金屬材料之範例包括鈦（Ti）、鉭（Ta）、鎢（W）、鎳（Ni）、鈷（Co）、及鉑（Pt）。

接下來，執行熱處理，使金屬膜 122 與基板 100 的半導體材料起反應。據此，形成接觸高濃度雜質區域 120 之金屬化合物區域 124（第 10F 圖）。注意到在使用多晶矽或之類來形成閘極電極 110 的情況中，亦在接觸金屬膜 122 之閘極電極 110 的一區域中形成金屬化合物區域。

作爲熱處理，可例如採用以閃光燈之輻射。雖當然可使用另一熱處理方法，較佳使用可實現極短時間之熱處理的方法以改善金屬化合物之形成中的化學反應的可控性。

注意到藉由金屬材料與半導體材料之反應形成金屬化合物區域，且其具有夠高的傳導性。金屬化合物區域的形成可恰當地減少電阻並改善元件特性。注意到在形成金屬化合物區域 124 之後移除金屬膜 122。

接下來，形成層間絕緣層 125、層間絕緣層 126、及層間絕緣層 128 以覆蓋於上述步驟中所形成之構件（第 10G 圖）。可使用含有諸如氧化矽、氧氮化矽、氮氧化矽、或氮化矽的無機絕緣材料之材料來形成層間絕緣層 125、層間絕緣層 126、及層間絕緣層 128。替代地，可使用諸如聚醯亞胺或丙烯酸類之有機絕緣材料。注意到在此步驟中採用層間絕緣層 125、層間絕緣層 126、及層間絕緣層 128 的堆疊層結構，本發明不限於此。

較佳以 CVD 方法或之類形成層間絕緣層 125，並較佳以濺鍍方法形成層間絕緣層 126，其中在膜成形期間充分減少周圍環境中之氫或之類的濃度。以 CVD 方法或之類形成層間絕緣層 125，以改善產量；並以濺鍍方法形成層間絕緣層 126，以防止諸如水或氫之雜質混合到氧化物半導體層 144 之中。注意到由於使用矽半導體來形成電晶體 160，較佳執行氫化處理。較佳在形成層間絕緣層 125 之後或在形成層間絕緣層 125 之前的階段執行氫化處理。

注意到在形成第 6A 及 6B 圖中所示的儲存元件的情況中，在形成層間絕緣層 125、層間絕緣層 126、及層間絕緣層 128 之後，藉由 CMP 或蝕刻處理暴露出閘極電極 110 的表面。

如上述，形成電晶體 160（第 10H 圖）。電晶體 160 可以高速操作；因此，可使用該電晶體來形成邏輯電路（亦稱為算術電路）或之類。換言之，可針對儲存裝置之驅動電路或之類使用電晶體。

注意到可與無側壁絕緣層 118 之形成的上述者類似之方式製造第 6A 及 6B 圖中所示之儲存元件。

接下來，將說明第 6A 及 6B 圖中所示之電晶體 162 的製造方法。

以一種方式形成絕緣層 141a、絕緣層 141b、源極或汲極電極 142a、及源極或汲極電極 142b，以在閘極電極 110、層間絕緣層 125、層間絕緣層 126、及層間絕緣層 128 上方形成導電膜及絕緣膜，並選擇性蝕刻絕緣膜（第 11A 圖）。在此步驟中，源極或汲極電極 142a 直接接觸閘極電極 110。

可以和其他導電膜類似的方式形成用於形成源極或汲極電極 142a 及源極或汲極電極 142b 之導電膜。

接下來，藉由選擇性蝕刻絕緣層 141a 及絕緣層 141b 而在源極或汲極電極 142a 上方形成絕緣層 143a 並在源極或汲極電極 142b 上方形成絕緣層 143b（第 11B 圖）。

藉由提供絕緣層 143a 及絕緣層 143b，可減少在後續形成之閘極電極與源極或汲極電極 142a 之間或在閘極電極與源極或汲極電極 142b 之間所形成之寄生電容。

注意到形成絕緣層 143a 及絕緣層 143b 的程序不限於上述程序。例如，可以形成源極或汲極電極 142a 及源極

或汲極電極 142b，形成覆蓋它們之絕緣膜，並接著選擇性蝕刻絕緣膜的方式來形成絕緣層 143a 及絕緣層 143b。

接下來，在形成以覆蓋源極或汲極電極 142a 及源極或汲極電極 142b 的氧化物半導體層 144 上方形成閘極絕緣層 146（第 11C 圖）。

作為氧化物半導體層 144，可使用下列任何氧化物半導體：為四成分金屬氧化物之 In-Sn-Ga-Zn-O 為基的氧化物半導體；為三成分金屬氧化物之 In-Ga-Zn-O 為基的氧化物半導體、In-Sn-Zn-O 為基的氧化物半導體、In-Al-Zn-O 為基的氧化物半導體、Sn-Ga-Zn-O 為基的氧化物半導體、Al-Ga-Zn-O 為基的氧化物半導體、或 Sn-Al-Zn-O 為基的氧化物半導體；為兩成分金屬氧化物之 In-Zn-O 為基的氧化物半導體、Sn-Zn-O 為基的氧化物半導體、Al-Zn-O 為基的氧化物半導體、Zn-Mg-O 為基的氧化物半導體、Sn-Mg-O 為基的氧化物半導體、或 In-Mg-O 為基的氧化物半導體；或為一成分金屬氧化物之 In-O 為基的氧化物半導體、Sn-O 為基的氧化物半導體、或 Zn-O 為基的氧化物半導體。

尤其，當無電場時 In-Ga-Zn-O 為基的氧化物半導體材料具有夠高的電阻；因此，可獲得夠低的關閉狀態電流。另外，由於具有高場效遷移率，作為半導體材料，In-Ga-Zn-O 為基的氧化物半導體材料為較佳。

In-Ga-Zn-O 為基的氧化物半導體材料之典型範例包括由 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$) 所表示之氧化物半導體材料。

另外，有使用 M 來取代 Ga 並由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 所表示的氧化物半導體材料。注意到 M 表示選自鎵 (Ga)、鋁 (Al)、鐵 (Fe)、鎳 (Ni)、錳 (Mn)、鈷 (Co)、及之類的一或複數金屬元素。例如，M 可為 Ga、Ga 及 Al、Ga 及 Fe、Ga 及 Ni、Ga 及 Mn、Ga 及 Co、或之類。注意到上述組成衍生自氧化物半導體材料可具有的晶體結構並僅為範例。

作為以濺鍍方法製造氧化物半導體層 144 用之靶材，較佳使用由 $\text{In:Ga:Zn}=1:x:y$ (x 大於或等於 0，且 y 為 0.5 至 5 (包括這兩值)) 的組成比例表示之靶材。例如，可使用具有 $\text{In:Ga:Zn}=1:1:1$ [莫耳比率] ($x = 1$ ， $y = 1$ ，亦即， $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳比率]) 之組成比例的靶材。替代地，可使用具有 $\text{In:Ga:Zn}=1:1:0.5$ [莫耳比率] ($x = 1$ ， $y = 0.5$) 之組成比例的靶材、具有 $\text{In:Ga:Zn}=1:1:2$ [莫耳比率] ($x = 1$ ， $y = 2$) 之組成比例的靶材、或具有 $\text{In:Ga:Zn}=1:0:1$ [莫耳比率] ($x = 0$ ， $y = 1$) 之組成比例的靶材。

金屬氧化物靶材中的金屬氧化物的相對密度大於或等於 80%；較佳大於或等於 95%；且更佳大於或等於 99.9%。使用具有高相對密度之金屬氧化物靶材得以形成具有密實結構的氧化物半導體層 144。

其中形成氧化物半導體層 144 之周圍環境較佳為稀有氣體 (氬 (Ar) 為一較佳範例) 周圍環境、氧周圍環境、或含有稀有氣體 (氬 (Ar) 為一較佳範例) 及氧之混合周

圍環境。詳言之，較佳使用例如高純度氣體之周圍環境，從其移除諸如氫、水、羥基、或氫化物之雜質，至 1 ppm 或更少（較佳，10 ppb 或更少）之濃度。

在形成氧化物半導體層 144 時，例如，將待處理物體保持在維持於減壓下之處理室中且將待處理物體加熱至高於或等於 100℃ 並低於或等於 550℃ 的溫度，較佳 200℃ 至 400℃（包括這兩值）。替代地，在形成氧化物半導體層 144 時之待處理物體之溫度可在室溫。接著，在移除處理室中的濕氣之同時，將移除掉氫、水、或之類的濺鍍氣體引進處理室中，藉此使用上述的靶材來形成氧化物半導體層 144。藉由在加熱基板的同時形成氧化物半導體層 144，可減少氧化物半導體層 144 中所含之雜質。此外，可減少濺鍍造成的破壞。為了移除處理室中的濕氣，較佳使用捕集真空泵。例如，可使用低溫泵、離子泵、或鈦昇華泵。亦可使用具有冷阱的渦輪泵。藉由以低溫泵或之類抽空，可從處理室移除氫、水、或之類，所以可減少氧化物半導體層 144 中的雜質濃度。

例如，形成氧化物半導體層 144 之條件可設定成下列：物體與靶材間的距離為 170 nm；壓力為 0.4 Pa；直流（DC）電為 0.5 kW；且周圍環境為氧（氧：100%）、氬（Ar）（氬（Ar）：100%）、或含氧及氬（Ar）之混合周圍環境。注意到較佳使用脈衝式直流（DC）電源，因為可抑制塵埃（諸如在膜成形時所形成的粉末物質）並且厚度分佈均勻。氧化物半導體層 144 的厚度為 1 nm 至 50

nm（包括這兩值），較佳為 1 nm 至 30 nm（包括這兩值），或更佳為 1 nm 至 10 nm（包括這兩值）。藉由具有這種厚度之氧化物半導體層 144，可抑制伴因微小化而造成的短通道效應。注意到氧化物半導體層之適當的厚度隨所使用之氧化物半導體材料、半導體裝置之用途、或之類而變；因此，可根據材料、用途、或之類來決定厚度。

注意到在以濺鍍方法形成氧化物半導體層 144 之前，較佳藉由其中引進氬（Ar）氣體並產生電漿的反向濺鍍來移除附著至其上形成氧化物半導體層 144 的表面（如層間絕緣層 128 的表面）之物質。在此，相較於離子衝擊濺鍍靶材之正常濺鍍方法，反向濺鍍為使離子衝擊待處理之表面以修改表面的方法。使離子衝擊待處理之表面的方法包括其中在氬（Ar）周圍環境中於該表面上施加高頻電壓以在該物體附近產生電漿的方法。注意到取代氬（Ar）周圍環境，可使用氮周圍環境、氦周圍環境、或氧周圍環境。

之後，較佳於氧化物半導體層 144 上執行熱處理（第一熱處理）。藉由第一熱處理移除氧化物半導體層 144 中之過多的氫（包括水及羥基）；故可改善氧化物半導體層之結構，並可減少能隙中的缺陷程度。在高於或等於 300℃ 且低於 550℃ 之溫度，或在 400℃ 至 500℃ 的溫度（包括這兩值）執行第一熱處理。

注意到可例如以將物體引進到使用電阻式加熱元件或之類的電爐中，並且在 450℃ 於氮周圍環境中加熱一小時之方式來執行熱處理。在熱處理期間，氧化物半導體層

144 不暴露至空氣，所以可防止水或氫的進入。

熱處理設備不限於電爐且可為以諸如由加熱氣體的一媒介所提供之熱輻射或熱傳導來加熱物體之設備。例如，可使用諸如氣體迅速熱退火（GRTA）設備或燈迅速熱退火（LRTA）設備的迅速熱退火（RTA）設備作為熱處理設備。LRTA 設備為藉由從諸如鹵素燈、金屬魯化物、氬弧燈、碳弧燈、高壓鈉燈、或高壓汞燈的燈所發射之光的輻射（電磁波）加熱物體之設備。GRTA 設備為使用高溫氣體來執行熱處理的設備。使用不藉由熱處理與物體起反應之例如氮的惰性氣體或諸如氬（Ar）之稀有氣體。

例如，作為第一熱處理，可以下列方式執行 GRTA 程序。將物體放置在已加熱之惰性氣體周圍環境中，加熱數分鐘，並從惰性氣體周圍環境中取出。GRTA 程序允許短時的高溫加熱處理。此外，即使溫度超過物體的溫度上限時，仍可採用 GRTA 程序。注意到惰性氣體可在處理期間切換至包括氧之氣體。這是因為藉由在含氧的周圍環境中執行第一熱處理可減少氧缺乏所造成之能隙中的缺陷程度。

注意到惰性氣體周圍環境較佳為含有氮或稀有氣體（如氦（He）、氖（Ne）、或氬（Ar））作為其主要成分且不含水、氫、或之類的周圍環境。例如，引進熱處理設備中之氮或諸如氦（He）、氖（Ne）、或氬（Ar）之稀有氣體的純度設定成 6N（99.9999%）或更多，較佳 7N（99.99999%）或更多（亦即，雜質濃度為 1 ppm 或更少，

較佳 0.1 ppm 或更少) 。

在任何情況中，形成其中藉由第一熱處理減少雜質之 i 型 (本質) 或實質 i 型的氧化物半導體層 144，藉此可實現具有非常優異特性之電晶體。

上述熱處理 (第一熱處理) 具有移除氫、水、及之類的效果並因此亦可稱為脫水處理、脫氫處理、或之類。亦可在例如形成氧化物半導體層之後，形成閘極絕緣層之後、形成閘極電極之後執行脫水處理或脫氫處理。注意到可執行這類脫水處理或脫氫處理一次或數次。

較佳以 CVD 方法、濺鍍方法、或之類使用含有任何氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鋇、氧化鈣、氧化釷、矽酸鈣、添加氮至其之矽酸鈣、添加氮至其之鋁鈣、及之類的膜形成閘極絕緣層 146 為單層或堆疊層。在此步驟中，絕緣膜的厚度較佳為 1 nm 至 100 nm (包括這兩值)，更佳為 10 nm 至 50 nm (包括這兩值)。注意到在形成閘極絕緣層 146 之後，較佳惰性氣體周圍環境或氧周圍環境中執行熱處理 (第二熱處理)。

注意到較佳以濺鍍方法形成閘極絕緣層 146。以濺鍍方法形成閘極絕緣層 146，所以可防止諸如水或氫之雜質混合到氧化物半導體層 144 之中。

接下來，在閘極絕緣層 146 上方，在重疊電晶體 162 的一區域 (其充當通道區形成區域) 之區域中形成閘極電極 148a，並在重疊源極或汲極電極 142a 的區域中形成電極 148b (第 11D 圖)。

可以在閘極絕緣層 146 上方形成導電膜並接著選擇性加以蝕刻的方式形成閘極電極 148a 及電極 148b。可以典型為濺鍍方法的 PVD 方法或諸如電漿 CVD 方法的 CVD 方法形成將成為閘極電極 148a 及電極 148b 的導電膜。細節與源極或汲極電極 142a 或之類的那些類似。

接下來，在閘極絕緣層 146、閘極電極 148a、及電極 148b 上方形成層間絕緣層 150 及層間絕緣層 152（第 12A 圖）。

注意到較佳形成層間絕緣層 152 以具有平面化表面。這是因為執行而造成平面化表面的層間絕緣層 152 之形成，使得即使在例如儲存元件縮小之情況中，可在層間絕緣層 152 上方有利地形成電極、佈線、或之類。可以諸如化學機械研磨（CMP）處理之方法來平面化層間絕緣層 152。

接下來，選擇性蝕刻層間絕緣層 125、層間絕緣層 126、層間絕緣層 128、氧化物半導體層 144、閘極絕緣層 146、層間絕緣層 150、及層間絕緣層 152，以形成到達電晶體 160 之金屬化合物區域 124 的開口 151（第 12B 圖）。作為蝕刻，可使用乾蝕刻或濕蝕刻，但以微製造而言較佳採用乾蝕刻。

接著，形成導電膜以填充開口 151 並加以蝕刻，以形成源極或汲極電極 154 並因此完成第 6A 及 6B 圖中所示的儲存元件。在形成導電膜時，例如，在包括開口的一區域中以 PVD 方法形成具有小厚度的鈦膜，並接著以 CVD

方法形成具有小厚度的氮化鈦膜；並接著，形成鎢膜以嵌入開口中。以 PVD 方法形成之鈦膜具有減少其上形成鈦膜的氧化物膜（如原生氧化物膜）的表面之功能，以減少與下電極（如在此步驟中之金屬化合物區域 124）的接觸電阻。在鈦膜之後形成之氮化鈦膜具有防止導電膜之擴散的阻障功能。在使用鈦、氮化鈦、或之類來形成阻障膜之後，可藉由鍍覆形成銅膜。

注意到亦可以與第 6A 及 6B 圖及第 8 圖中所示之儲存元件的類似之方式透過上述程序形成第 7 圖及第 9 圖中所示之儲存元件。

如上述，可製造包括電晶體 160、電晶體 162、及電容器 164 的儲存裝置。

注意到還可在上述程序之後形成電極、佈線、絕緣層、或之類。當佈線具有包括層間絕緣層及導電層的堆疊結構之多層結構時，可提供高度整合的儲存裝置。

注意到電晶體 162 之製造方法不限於本發明之一實施例中之上述程序。替代地，可藉由例如適當地圖案化氧化物半導體層 144 來形成電晶體 162。

接下來，將參照第 13A 至 13H 圖說明其中單晶半導體層設置在底基板上方的 SOI 基板之製造方法；接著，將參照第 14A 至 14H 圖說明使用 SOI 基板來製造電晶體的方法。

首先，備置底基板 500（第 13A 圖）。作為底基板 500，可使用以絕緣體製成之基板。其之特定範例包括用

於電子產業中之各種玻璃基板，諸如鋁矽酸鹽玻璃，鋁硼矽玻璃，及硼矽鋁玻璃之基板；石英基板；陶瓷基板；及藍寶石基板。替代地，含有氮化矽及氧化鋁做為其主要成份且其之熱膨脹係數接近矽的陶瓷基板。

注意到諸如單晶矽玻璃或單晶鍺基板的半導體基板可用為底基板 500。在其中使用半導體基板作為底基板 500 的情況中，可輕易獲得具有高品質的 SOI 基板，因為相較於使用玻璃基板或之類的情況，可放鬆熱處理的溫度條件。作為半導體基板，可使用太陽能等級矽（SOG-Si）基板或之類。替代地，可使用多晶半導體基板。在其中使用 SOG-Si 基板、多晶半導體基板、或之類的情況中，相較於其中使用單晶矽基板或之類的情況，可減少製造成本。

在此，說明其中使用玻璃基板作為底基板 500 之情況。當使用可製造成大尺寸且不貴的底基板 500 時，可實現成本減少。

較佳預先清理底基板 500 的表面。詳言之，可以鹽酸/過氧化氫混合物（HPM）、硫酸/過氧化氫混合物（SPM）、過氧化氫銨（APM）、稀釋的氫氟酸（DHF）、FPM（氫氟酸、過氧化氫水、及純水的混合溶液）、或之類使底基板 500 受到超音波清理。經由這種清理處理，可改善底基板 500 之表面的平坦性，且可移除殘留在底基板 500 表面上之磨料顆粒。

接下來，在底基板 500 的表面上形成含氮層 502（如包括含氮之絕緣膜（如氮化矽膜）的層）（第 13B 圖）。

可以 CVD 方法、濺鍍方法、或之類形成含氮層 502。

在此步驟中形成之含氮層 502 充當在後續步驟中接合單晶半導體層之層（作為接合層）。含氮層 502 亦作用為防止底基板中所包括的雜質（如鈉（Na））擴散到單晶半導體層中的阻障層。

由於含氮層 502 用為接合層，較佳形成含氮層 502 以具有某程度的表面平坦性。詳言之，形成含氮層 502，使其具有 0.5 nm 或更少的平均表面粗糙度（ R_a ，其亦稱為算術平均偏差）及 0.60 nm 或更少的均方根表面粗糙度（ R_{ms} ），較佳 0.35 nm 或更少的平均表面粗糙度及 0.45 nm 或更少的均方根表面粗糙度。注意到針對上述平均表面粗糙度及均方根表面粗糙度，例如，可使用藉由在 $10\ \mu\text{m} \times 10\ \mu\text{m}$ 的區域上執行的測量所得的值。厚度的範圍在 10 nm 至 200 nm（包括這兩值）之中，較佳 50 nm 至 100 nm（包括這兩值）之中。當如上述般改善表面扁平性時，可防止單晶半導體層之接合缺陷。

接著，備置接合基板。在此步驟中，使用單晶半導體基板 510 作為接合基板（第 13C 圖）。注意到雖使用單晶半導體基板作為接合基板，接合基板不限於此。

例如，作為單晶半導體基板 510，可使用族 14 之元素所形成的單晶半導體基板，如單晶矽基板、單晶鍺基板、或單晶矽鍺基板。替代地，可使用砷化鎵、磷化銦、或之類的化合物半導體。注意到單晶半導體基板 510 不限於環形基板，且可為已經處理成例如矩形的基板。此外，可

以柴可斯基（CZ）方法或浮動區（FZ）方法來形成單晶半導體基板 510。

在單晶半導體基板 510 的表面上形成氧化物膜 512（第 13D 圖）。有鑑於污染物的移除，較佳在形成氧化物膜 512 之前，以鹽酸/過氧化氫混合物（HPM）、硫酸/過氧化氫混合物（SPM）、過氧化氫銨（APM）、稀釋的氫氟酸（DHF）、FPM（氫氟酸、過氧化氫水、及純水的混合溶液）、或之類清理單晶半導體基板 510 的表面。可交替排放稀釋的氫氟酸及臭氧水來清理。

可使用例如氧化矽膜、氧氮化矽膜、或之類來將氧化物膜 512 形成爲單層或堆疊層。氧化物膜 512 的形成方法之範例包括熱氧化方法、CVD 方法、或濺鍍方法。注意到在以 CVD 方法或之類形成氧化物膜 512 的情況中，較佳使用諸如正矽酸乙酯（簡稱：TEOS）（化學式： $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）的有機矽烷來形成氧化矽膜。

在此步驟中，藉由在單晶半導體基板 510 上執行熱氧化處理來形成氧化物膜 512（在此，氧化矽膜）。較佳在添加鹵素的氧化周圍環境中執行熱氧化處理。

例如，在添加氯的氧化周圍環境中使單晶半導體基板 510 受到熱氧化處理，藉此可形成被氧化的氧化物膜 512。在此情況中，氧化物膜 512 爲含氯原子的膜。藉由這種氯氧化，捕捉爲外在雜質的重金屬（如鐵（Fe）、鉻（Cr）、鎳（Ni）、或鉬（Mo））並形成金屬的氯化物並接著加以移除；因此可減少單晶半導體基板 510 的污染。此

外，在接合至底基板 500 之後，可固定來在底基板的雜質（諸如鈉（Na）），所以可防止單晶半導體基板 510 的污染。

此外，氧化物膜 512 中所含的鹵素原子不限於氯原子。氟原子可包含在氧化物膜 512 中。單晶半導體基板 510 之氟氧化的方法之範例包括一種方法，其中將單晶半導體基板 510 浸於 HF 溶液中並接著在氧化周圍環境中使其受到熱氧化處理，以及一種方法，其中在添加 NF_3 的氧化周圍環境中執行熱氧化處理。

接下來，藉由電場加速離子，以離子輻射單晶半導體基板 510，並將離子添加至其，藉此在單晶半導體基板 510 的預定深度形成晶體結構被破壞的脆化區域 514（第 13E 圖）。

可藉由動能、質量、電荷、或離子的入射角度、或之類來控制形成脆化區域 514 的深度。在與離子之平均滲透深度近似相同深度形成脆化區域 514。因此，可藉由添加離子之深度來控制將自單晶半導體基板 510 分離的單晶半導體層之厚度。例如，可調整離子的平均滲透深度，使單晶半導體層之後度為 10 nm 至 500 nm（包括這兩值），較佳 50 nm 至 200 nm（包括這兩值）。

可以離子摻雜設備或離子佈植設備來執行離子輻射處理。離子摻雜設備之範例包括非質量分離型設備，其中執行製程氣體的電漿激發並以產生的所有離子物種輻射待處理物體。在此設備中，以電漿的離子物種而無質量分離來

輻射待處理物體。相反地，離子佈植設備為質量分離型設備。在離子佈植設備中，執行電漿的離子物種之質量分離並以具有預定質量之離子物種輻射待處理物體。

接下來，說明一範例，其中使用離子摻雜設備來添加氫至單晶半導體基板 510。使用含氫的氣體作為來源氣體。作為用於輻射的離子， H_3^+ 的比例設定為高。詳言之，相對於 H^+ 、 H_2^+ 、及 H_3^+ 的總量，較佳將 H_3^+ 的比例設定成 50% 或更高（較佳地，80% 或更高）。藉由 H_3^+ 的高比例，可改善離子輻射的效率。

注意到添加的離子不限於氫離子。可添加氦（He）離子或之類。此外，添加的離子不限於一種離子，可添加數種離子。例如，在使用離子摻雜設備同時執行以氫及氦（He）離子輻射的情況中，相較於其中在不同步驟中執行氫及氦輻射的情況，可減少步驟數量，並可抑制後續形成之單晶半導體層的表面粗糙度。

注意到在使用離子摻雜設備來形成脆化區域 514 的同時有可能會添加重金屬到單晶半導體基板 510；然而，透過含鹵素原子之氧化物膜 512 執行離子輻射，所以可防止因重金屬所造成之單晶半導體基板 510 的污染。

接下來，將底基板 500 及單晶半導體基板 510 設置成互相面對並且含氮層 502 的表面及氧化物膜 512 的表面設置成互相緊密接觸。以如上述般將含氮層 502 的表面及氧化物膜 512 的表面設置成互相緊密接觸的方式將底基板 500 及單晶半導體基板 510 互相接合（第 13F 圖）。

當底基板 500 及單晶半導體基板 510 互相接合時，較佳施加 0.001 N/cm^2 至 100 N/cm^2 （包括這兩值）之壓力，更較地 1 N/cm^2 至 20 N/cm^2 （包括這兩值）之壓力至底基板 500 之一部分或單晶半導體基板 510 之一部分。當藉由以這種方式施加壓力而使接合表面互相接近並設置成互相緊密接觸時，在含氮層 502 及氧化物膜 512 之間在緊密接觸部分產生接合，且該接合自發性擴散至幾乎整個區域。在凡得瓦（Van der Waals）力的作用下執行此接合，或可在室溫執行氬接合。

注意到在互相接合單晶半導體基板 510 及底基板 500 之前，較佳使將會互相接合的表面受到表面處理。藉由表面處理，可改善在接合表面處的接合強度。

作為表面處理，可使用濕處理、乾處理、或濕處理及乾處理的結合。替代地，可結合複數不同的濕處理，或可結合複數不同的乾處理。

注意到在互相接合單晶半導體基板 510 及底基板 500 之後，較佳執行熱處理來進一步加強接合。在脆化區域 514 之分離不會發生的溫度（如高於或等於室溫且低於 400°C ）執行此熱處理。替代地，可在於此範圍內之溫度加熱的同時，互相接合含氮層 502 及氧化物膜 512。可使用加熱爐（如擴散爐或電阻式加熱爐）、迅速熱退火（RTA）設備、微波加熱設備、或之類來執行熱處理。注意到上述溫度條件為一範例且不限於此。

接下來，執行熱處理以在脆化區域分離單晶半導體基

板 510，藉此在底基板 500 上方形成單晶半導體層 516，且含氮層 502 及氧化物膜 512 設置在兩者之間（第 13G 圖）。

注意到在上述分離時之熱處理的溫度較佳盡可能的低。這是因為在分離時之熱處理的溫度越低，可抑制單晶半導體層 516 之更多表面粗糙度。詳言之，在上述分離時之熱處理的溫度可為 300°C 至 600°C （包括這兩值），且當溫度低於或等於 500°C （高於或等於 400°C ）時，熱處理較有效。

注意到在分離單晶半導體基板 510 之後，可在 500°C 或更高的溫度在單晶半導體層 516 上執行熱處理，以減少殘留在單晶半導體層 516 中之氫的濃度。

接下來，以雷射光輻射單晶半導體層 516 的表面，藉此形成表面平坦性之扁平度受到改善且具有較少缺陷的單晶半導體層 518。注意到取代雷射光輻射處理，可執行熱處理。

雖在係在單晶半導體層 516 之分離時的熱處理之後立刻執行此步驟中之雷射光輻射處理，本發明不限於此。可在單晶半導體層 516 之分離時的熱處理之後執行蝕刻處理以移除在單晶半導體層 516 的表面上有許多缺陷的區域，並接著可執行雷射光輻射處理。替代地，在改善單晶半導體層 516 的表面平坦性之後，可執行雷射光輻射處理。注意到蝕刻處理可為濕蝕刻或乾蝕刻。替代地，可在如上述的雷射光輻射之後執行減少單晶半導體層 516 之厚度的步

驟。爲了減少單晶半導體層 516 的厚度，可採用乾蝕刻及濕蝕刻之任一者或兩者。

透過上述步驟，可獲得包括具有合意特性的單晶半導體層 518 之 SOI 基板（第 13H 圖）。

接下來，將參照第 14A 至 14H 圖說明包括 SOI 基板的電晶體 570 之製造方法。

第 14A 圖爲繪示以第 13A 至 13H 圖中所示的方法製造之 SOI 基板的一部份之剖面圖。

首先，將單晶半導體層 518 處理成島狀，以形成半導體層 520（第 14B 圖）。注意到在此步驟之前或之後，可將提供 n 型傳導性之雜質元素或提供 p 型傳導性之雜質元素添加至半導體層以控制電晶體之臨限電壓。在半導體爲矽的情況中，可使用磷（P）、砷（As）、或之類的作爲提供 n 型傳導性之雜質元素。可使用硼（B）、鋁（Al）、鎵（Ga）、或之類作爲提供 p 型傳導性之雜質元素。

接下來，形成絕緣層 522 以覆蓋半導體層 520（第 14C 圖）。絕緣層 522 之後會成爲閘極絕緣層。在此步驟中，以電漿 CVD 方法形成單層的氧化矽膜。不特別限制絕緣層 522 的材料及形成方法。

接下來，在絕緣層 522 上方形成導電膜之後，選擇性蝕刻導電層以在半導體層 520 上方形成閘極電極 524 以互相重疊（第 14D 圖）。不特別限制閘極電極 524 的材料及形成方法。

接下來，使用閘極電極 524 作爲遮罩，藉由添加提供

一種傳導性的雜質元素至半導體層 520 而形成雜質區域 526 (第 14E 圖)。注意到在此步驟中添加磷或砷以形成 n 通道電晶體，在形成 p 通道電晶體的情況中，可添加諸如硼或鋁的另一雜質元素。

接下來，在閘極電極 524 的側表面上形成側壁絕緣層 528。可以形成絕緣層以覆蓋絕緣層 522 及閘極電極 524 並接著在絕緣層上執行高各向異性蝕刻的方式以自對準方式形成側壁絕緣層 528。注意到此時，較佳藉由部分蝕刻絕緣層 522 暴露出雜質區域 526 並同時形成閘極絕緣層 522a。

接下來，使用閘極電極 524 及側壁絕緣層 528 作為遮罩，添加提供一種傳導性的雜質元素至雜質區域 526。注意到添加至雜質區域 526 之雜質元素為提供與添加於先前步驟中之雜質元素（亦即，已經包含在雜質區域 526 中之雜質元素）相同傳導性的雜質元素。另外，添加至雜質區域 526 的雜質元素之濃度高於先前步驟中之雜質元素的濃度。藉由添加雜質元素，可在半導體層 520 中形成一對高濃度雜質區域 530、一對低濃度雜質區域 532、及通道形成區域 534 (第 14G 圖)。高濃度雜質區域 530 各作用為源極或汲極區域。

注意到在使用含矽材料來形成半導體層 520 的情況中，藉由在半導體層 520 之一部分中形成矽化物來形成矽化物區域，以進一步減少源極及汲極區域的電阻。以將金屬接觸半導體層，並藉由熱處理（如 GRTA 方法或 LRTA 方

法)使半導體層與金屬起反應的方式來執行矽化。針對矽化物區域，可形成鈷矽化物區域或鎳矽化物區域。在半導體層 520 為薄的情況中，矽化反應可進至半導體層 520 的底部。用於形成矽化物的金屬材料之範例包括鈦 (Ti)、鎳 (Ni)、鎢 (W)、鉬 (Mo)、鈷 (Co)、鋯 (Zr)、鈦 (Hf)、鉭 (Ta)、釩 (V)、釹 (Nd)、鉻 (Cr)、鉑 (Pt)、及鈀 (Pd)。注意到亦可藉由雷射光輻射作為熱處理來形成矽化物區域。

接下來，形成層間絕緣層 536 及層間絕緣層 538 以覆蓋於上述步驟中所形成之構件 (第 14H 圖)。可使用含有諸如氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鈦、氧化鋁、或氧化鉭的無機絕緣材料之材料來形成層間絕緣層 536 及層間絕緣層 538。替代地，可使用諸如聚醯亞胺或丙烯酸類之有機絕緣材料。注意到雖在此步驟中採用層間絕緣層 536 及層間絕緣層 538 的堆疊層結構，本發明不限於此。不一定得形成層間絕緣層 536 或層間絕緣層 538，或可進一步堆疊複數另外的層。注意到在形成層間絕緣層 538 之後，較佳藉由 CMP、蝕刻處理、或之類平面化層間絕緣層 538 的表面。藉由 CMP 或蝕刻處理，暴露出閘極電極 524 的表面。

替代地，以蝕刻層間絕緣層 536 及層間絕緣層 538 之一部分以暴露出閘極電極 524 並接著在開口中形成導電膜的方式形成電連接至閘極電極 524 之電極。

如上述，形成包括 SOI 基板的電晶體 570 (第 14H 圖

）。電晶體 570 可以高速操作；因此，可使用該電晶體來形成邏輯電路（亦稱為算術電路）或之類。換言之，可針對儲存裝置之驅動電路或之類使用電晶體。

注意到還可在上述程序之後形成電極、佈線、絕緣層、或之類。當佈線具有包括層間絕緣層及導電層的堆疊結構之多層結構時，可提供高度整合的儲存裝置。

藉由提供 SOI 基板給電晶體 570，可形成如第 15 圖中還有第 6A 及 6B 圖或之類中所示的儲存元件。

接下來，將說明根據本發明之一實施例的電子裝置。上述之至少一儲存裝置係安裝在根據本發明之一實施例的電子裝置上。根據本發明之一實施例的電子裝置之範例包括電腦、行動電話（亦稱為蜂窩式無線電話或行動電話機）、可攜式資訊終端機（包括可攜式遊戲機、音頻再生裝置、及之類）、相機（如數位相機或數位視訊攝影機）、電子紙、電視機（亦稱為電視或電視接收器）及之類。

第 16A 圖顯示膝上型個人電腦，包括殼體 901、殼體 902、顯示部 903、鍵盤 904、及之類。上述的儲存裝置係設置在殼體 901 及殼體 902 之中。上述的儲存裝置安裝在第 16A 圖中所示的膝上型個人電腦上，所以可減少由儲存裝置所消耗的電力及佔據的面積。

第 16B 圖為可攜式資訊終端機（個人數位助理（PDA））。主體 911 設有顯示部 913、外部界面 915、操作鈕 914、及之類。此外，亦設置操作可攜式資訊終端機或之類的手寫筆 912。上述的儲存裝置係設置在主體 911 中。

上述的儲存裝置安裝在第 16B 圖中所示的 PDA 上，所以可減少由儲存裝置所消耗的電力及佔據的面積。

第 16C 圖顯示安裝電子紙的電子書讀取器 920。電子書讀取器 920 具有殼體 921 及殼體 923 的兩殼體。殼體 921 及殼體 923 分別設有顯示部 925 及顯示部 927。殼體 921 及 923 藉由樞紐 937 連接並以樞紐 937 作軸而打開及關閉。此外，殼體 921 設有電源開關 931、操作鍵 933、揚聲器 935、及之類。殼體 921 及殼體 923 之至少一者設有上述的儲存裝置。上述的儲存裝置安裝在第 16C 圖中所示的電子書讀取器上，所以可減少由儲存裝置所消耗的電力及佔據的面積。

第 16D 圖顯示包括殼體 940 及殼體 941 之兩殼體的行動電話。此外，在於第 16D 圖中顯示成展開狀態中的殼體 940 及殼體 941 可藉由滑動而位移，使得其中之一重疊在另一者上方；因此，可減少行動電話的尺寸，使行動電話適合攜帶。殼體 941 設有顯示板 942、揚聲器 943、麥克風 944、操作鍵 945、指示裝置 946、相機透鏡 947、外部連結端子 948、及之類。殼體 940 設有用於充電行動電話的太陽能電池 949、外部記憶體槽 950、及之類。注意到，天線係納入殼體 941 中。殼體 940 及 941 之至少一者設有在上述的儲存裝置。上述的儲存裝置安裝在第 16D 圖中所示的行動電話上，所以可減少由儲存裝置所消耗的電力及佔據的面積。

第 16E 圖為包括主體 961、顯示部 967、目鏡 963、

操作開關 964、顯示部 965、電池 966、及之類的數位相機。上述的儲存裝置係設置在主體 961 中。上述的儲存裝置安裝在第 16E 圖中所示的數位相機上，所以可減少由儲存裝置所消耗的電力及佔據的面積。

第 16F 圖為包括殼體 971、顯示部 973、支架 975、及之類的電視機 970。可藉由殼體 971 之操作開關或分開的遙控器 980 操作電視機 970。殼體 971 及遙控器 980 的至少一者設有上述的儲存裝置。上述的儲存裝置安裝在第 16F 圖中所示的電視機上，所以可減少由儲存裝置所消耗的電力及佔據的面積。

此申請案依據在 2010 年 1 月 20 日向日本專利局申請之日本專利申請案序號 2010-010527，其全部內容以引用方式併於此。

【圖式簡單說明】

第 1A 及 1B 圖繪示根據本發明之一實施例的儲存元件。

第 2 圖繪示根據本發明之一實施例的儲存裝置。

第 3 圖繪示第 2 圖中之儲存裝置的操作。

第 4A 及 4B 圖各繪示根據本發明之一實施例的儲存裝置之讀取電路。

第 5 圖繪示根據本發明之一實施例的儲存裝置。

第 6A 及 6B 圖繪示根據本發明之一實施例的儲存元件。

第 7 圖繪示根據本發明之一實施例的儲存元件。

第 8 圖繪示根據本發明之一實施例的儲存元件。

第 9 圖繪示根據本發明之一實施例的儲存元件。

第 10A 至 10H 圖繪示根據本發明之一實施例的儲存元件之製造方法。

第 11A 至 11D 圖繪示根據本發明之一實施例的儲存元件之製造方法。

第 12A 及 12B 圖繪示根據本發明之一實施例的儲存元件之製造方法。

第 13A 至 13H 圖繪示根據本發明之一實施例的儲存元件之製造方法。

第 14A 至 14H 圖繪示根據本發明之一實施例的儲存元件之製造方法。

第 15 圖繪示根據本發明之一實施例的儲存元件之製造方法。

第 16A 至 16F 圖各繪示根據本發明之一實施例的電子裝置。

【主要元件符號說明】

100：基板

102：保護層

104：半導體區域

106：元件隔離絕緣層

108：閘極絕緣層

110：閘極電極
 112：絕緣層
 114：雜質區域
 116：通道形成區域
 118：側壁絕緣層
 120：高濃度雜質區域
 122：金屬層
 124：金屬化合物區域
 125：層間絕緣層
 126：層間絕緣層
 128：層間絕緣層
 141a：絕緣層
 141b：絕緣層
 142a：源極或汲極電極
 142b：源極或汲極電極
 143a：絕緣層
 143b：絕緣層
 144：氧化物半導體層
 146：閘極絕緣層
 148a：閘極電極
 148b：電極
 150：層間絕緣層
 151：開口
 152：層間絕緣層

- 154：源極或汲極電極
- 160：電晶體
- 162：電晶體
- 164：電容器
- 500：底基板
- 502：含氮層
- 510：單晶半導體基板
- 512：氧化物膜
- 514：脆化區域
- 516：單晶半導體層
- 518：單晶半導體層
- 520：半導體層
- 522：絕緣層
- 522a：閘極絕緣層
- 524：閘極電極
- 526：雜質區域
- 528：側壁絕緣層
- 530：高濃度雜質區域
- 532：低濃度雜質區域
- 534：通道形成區域
- 536：層間絕緣層
- 538：層間絕緣層
- 570：電晶體
- 901：殼體

902：殼體

903：顯示部

904：鍵盤

911：主體

912：手寫筆

913：顯示部

914：操作鈕

915：外部界面

920：電子書讀取器

921：殼體

923：殼體

925：顯示部

927：顯示部

931：電源開關

933：操作鍵

935：揚聲器

937：樞紐

940：殼體

941：殼體

942：顯示板

943：揚聲器

944：麥克風

945：操作鍵

946：指示裝置

- 947：相機透鏡
- 948：外部連結端子
- 949：太陽能電池
- 950：外部記憶體槽
- 961：主體
- 963：目鏡
- 964：操作開關
- 965：顯示部
- 966：電池
- 967：顯示部
- 970：電視機
- 971：殼體
- 973：顯示部
- 975：支架
- 980：遙控器
- 1100：儲存元件
- 1111：第一驅動器電路
- 1112：第二驅動器電路
- 1113：第三驅動器電路
- 1114：第四驅動器電路

第 100101801 號

民國 105 年 3 月 10 日修正

七、申請專利範圍：

1. 一種半導體裝置，包含：

第一電晶體，包含：

第一通道形成區域；

雜質區域，設有該第一通道形成區域夾置於其之間；

第一閘極絕緣層，設置在該第一通道形成區域上方；

第一閘極電極，重疊該第一通道形成區域並設置在該第一閘極絕緣層上方；以及

第一源極或汲極電極，電連接至該些雜質區域之一，以及

第二電晶體，包含：

第二源極電極；

第二汲極電極；

氧化物半導體層，包含第二通道形成區域，並電連接至該第二源極電極及該第二汲極電極；

第二閘極絕緣層，設置在該第二通道形成區域上方；以及

第二閘極電極，重疊該第二通道形成區域並設置在該第二閘極絕緣層上方，

其中該第一通道形成區域及該雜質區域係位於設置在絕緣表面上方的單晶矽層中，

其中該第二電晶體的關閉狀態電流在室溫低於或等於

第 100101801 號

民國 105 年 3 月 10 日修正

10 zA ,

其中該氧化物半導體層包含銦及鋅，

其中該氧化物半導體層的一部分在該第一閘極電極、
及該第二源極電極及該第二汲極電極之其中一者之上，

其中該第一電晶體及該第二電晶體設置成使得其之至少一部分彼此重疊，以及

其中該第二源極電極及該第二汲極電極之該其中一者直接接觸該第一閘極電極的頂表面。

2. 一種半導體裝置，包含：

第一電晶體，包含：

第一通道形成區域；

雜質區域，設有該第一通道形成區域夾置於其之間；

第一閘極絕緣層，設置在該第一通道形成區域上方；

第一閘極電極，重疊該第一通道形成區域並設置在該第一閘極絕緣層上方；以及

第一源極或汲極電極，電連接至該些雜質區域之一，

第二電晶體，包含：

第二源極電極；

第二汲極電極；

氧化物半導體層，包含第二通道形成區域，並電連接至該第二源極電極及該第二汲極電極；

第 100101801 號

民國 105 年 3 月 10 日修正

第二閘極絕緣層，設置在該第二通道形成區域上方；以及

第二閘極電極，重疊該第二通道形成區域並設置在該第二閘極絕緣層上方，以及

電容器，包含：

該第二源極電極及該第二汲極電極之一；

該第二閘極絕緣層；以及

該電容器之電極，設置在該第二閘極絕緣層上方，

其中該第一通道形成區域及該雜質區域係位於設置在絕緣表面上方的單晶矽層中，

其中該第二電晶體的關閉狀態電流在室溫低於或等於 10 nA，

其中該氧化物半導體層包含銦及鋅，

其中該氧化物半導體層的一部分在該第一閘極電極、及該第二源極電極及該第二汲極電極之其中一者之上，

其中該第一電晶體及該第二電晶體設置成使得其之至少一部分彼此重疊，以及

其中該第二源極電極及該第二汲極電極之該其中一者直接接觸該第一閘極電極的頂表面。

3. 一種半導體裝置，包含：

第一電晶體，包含：

第一通道形成區域；

第一閘極絕緣層；

第 100101801 號

民國 105 年 3 月 10 日修正

第一閘極電極；以及

第一源極電極及汲極電極，

第二電晶體，包含：

第二源極電極；

第二汲極電極；

氧化物半導體層，包含第二通道形成區域；

第二閘極絕緣層；以及

第二閘極電極，

絕緣層，設置在該第一電晶體上並與其接觸，以及

電容器，包含：

該第二源極電極及該第二汲極電極之一；

該第二閘極絕緣層；以及

該電容器之電極，設置在該第二閘極絕緣層上方，

其中該第一通道形成區域係位於設置在絕緣表面上方的單晶矽層中，

其中該第二電晶體的關閉狀態電流在室溫低於或等於 10 zA，

其中該氧化物半導體層包含銦及鋅，

其中該氧化物半導體層的一部分在該第一閘極電極、及該第二源極電極及該第二汲極電極之其中一者之上，

其中該第二電晶體設置在該絕緣層上方，

其中該第一閘極電極從該絕緣層的頂表面暴露出來，

以及

其中該第二源極電極及該第二汲極電極之該其中一者直接接觸該第一閘極電極的頂表面。

4. 如申請專利範圍第 1 項所述之半導體裝置，其中在該第一電晶體與該第二電晶體之間設置複數絕緣層，並以濺鍍方法形成該複數絕緣層之至少一絕緣層，其接觸該第二電晶體。

5. 如申請專利範圍第 3 項所述之半導體裝置，其中該絕緣層包含複數絕緣層。

6. 如申請專利範圍第 1、2 及 3 項之任一項所述之半導體裝置，其中該氧化物半導體層的能隙高於 3 eV。

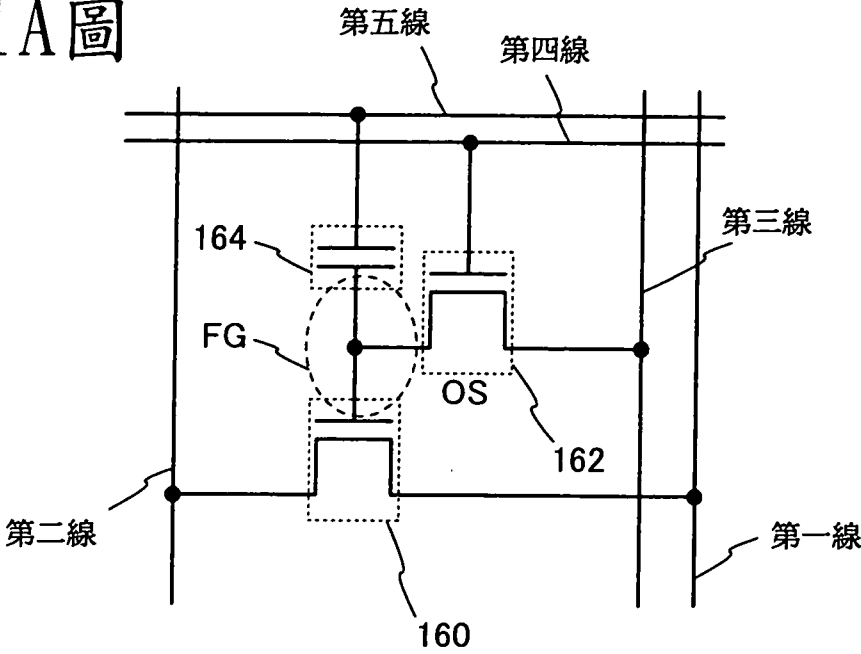
7. 如申請專利範圍第 1、2 及 3 項之任一項所述之半導體裝置，其中該第一電晶體能夠在比該第二電晶體更高的速度操作。

8. 如申請專利範圍第 1、2 及 3 項之任一項所述之半導體裝置，其中該第二電晶體的該關閉狀態電流低於該第一電晶體的關閉狀態電流。

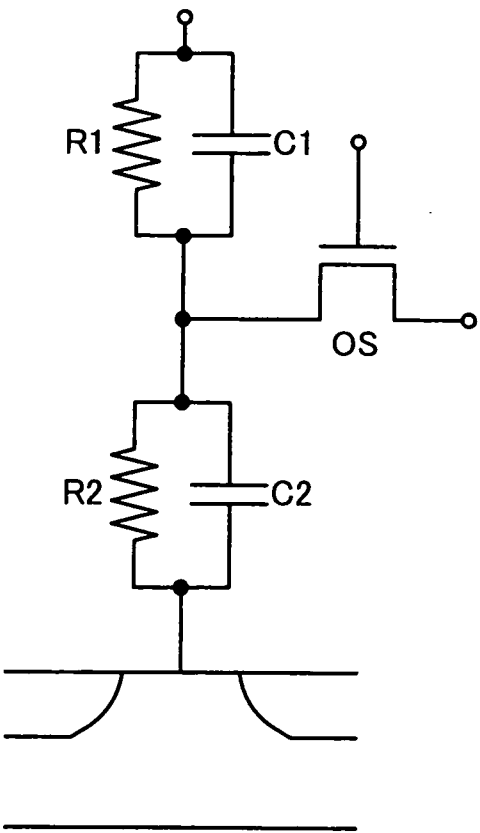
9. 如申請專利範圍第 2 或 3 項所述之半導體裝置，其中該電容器進一步包含該氧化物半導體層。

10. 如申請專利範圍第 1、2 及 3 項之任一項所述之半導體裝置，進一步包含設置成接觸該第一閘極電極的側表面之側壁絕緣層。

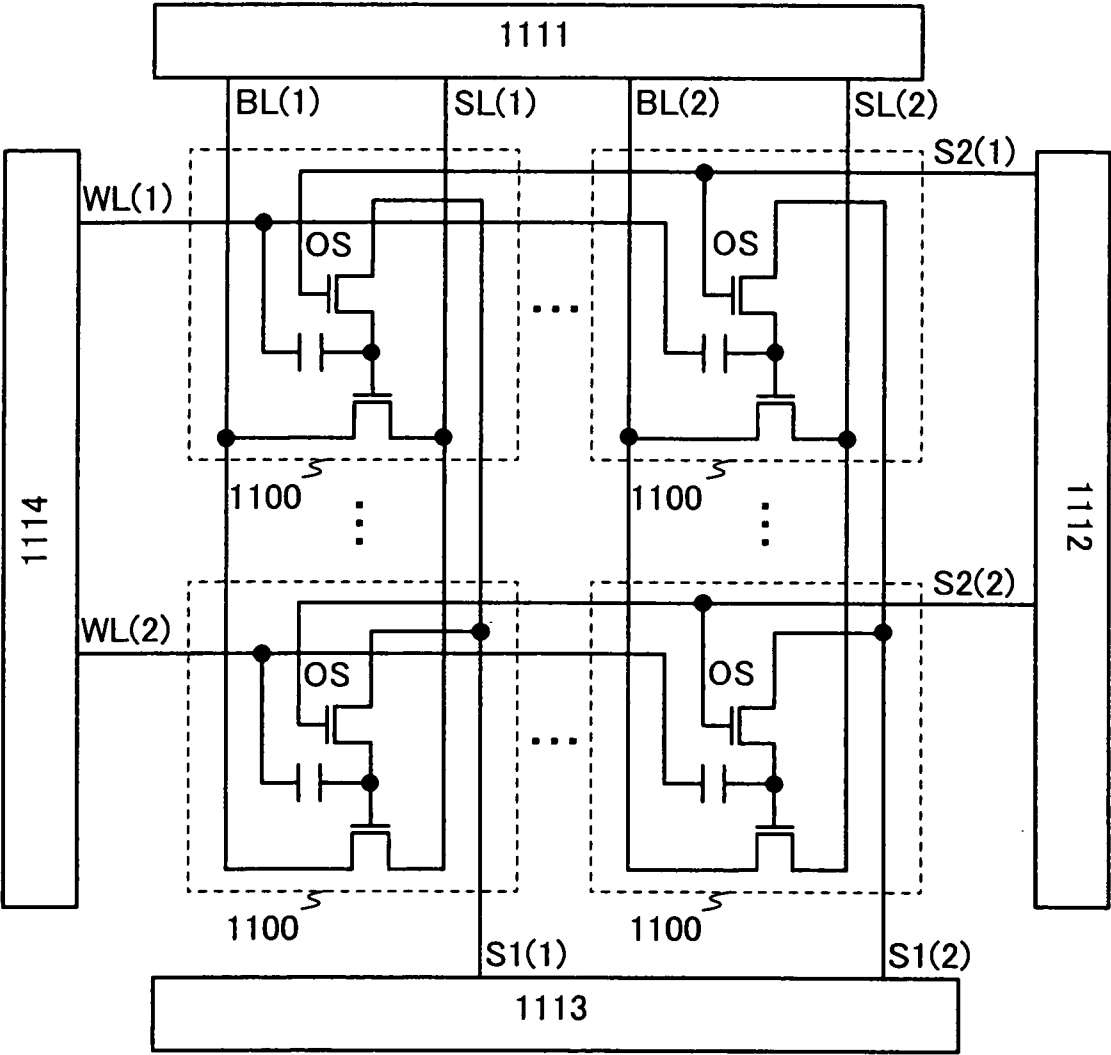
第1A圖



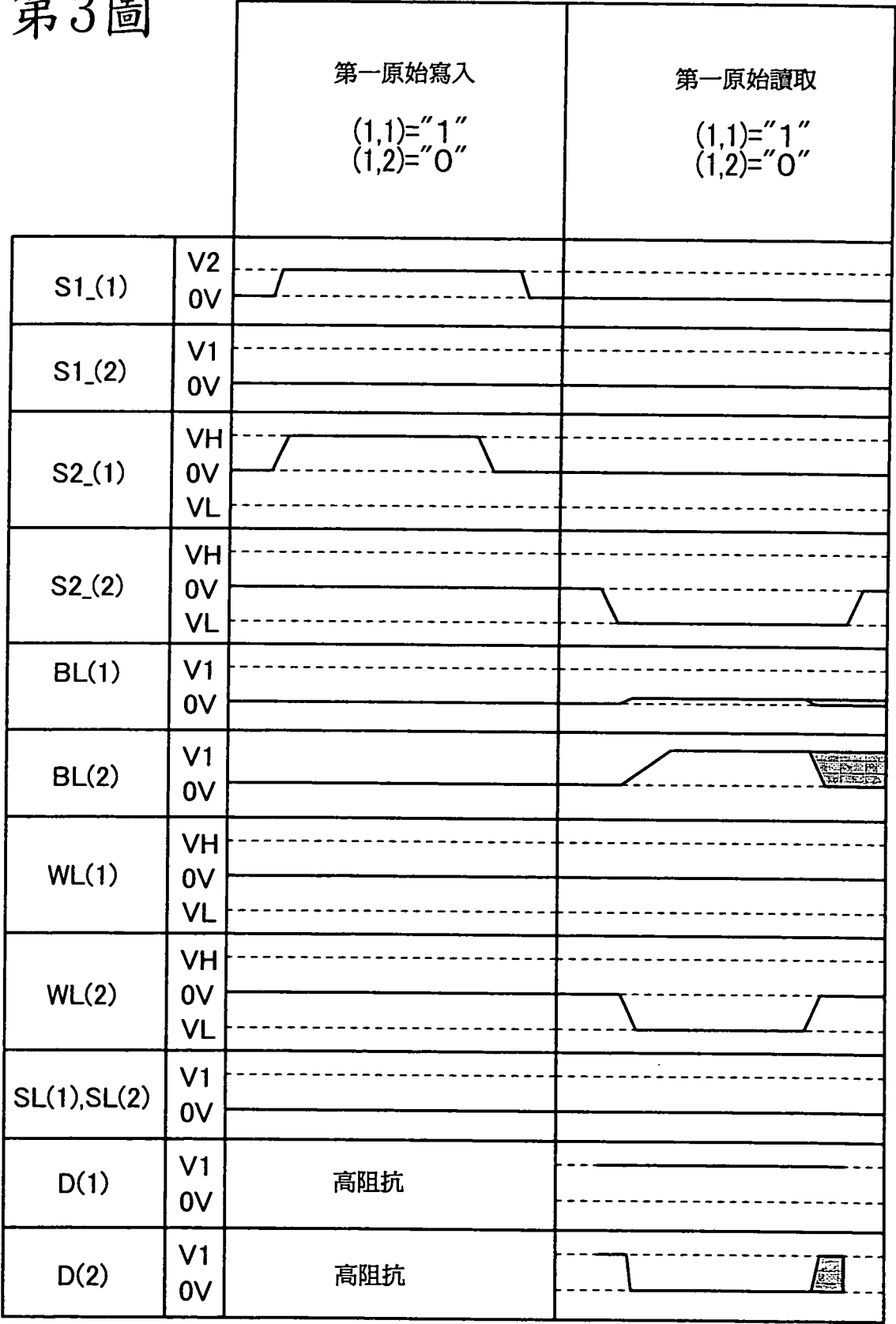
第1B圖



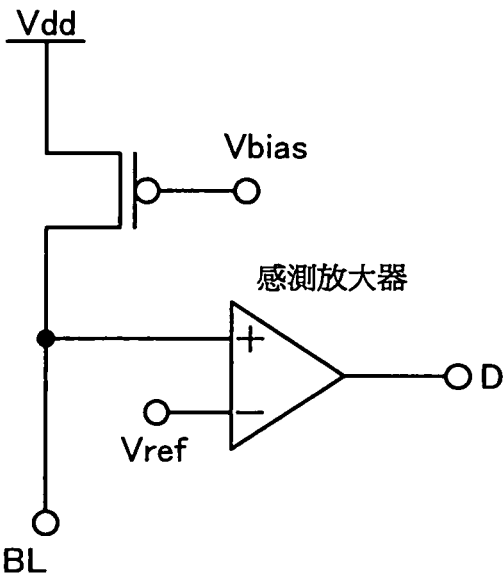
第2圖



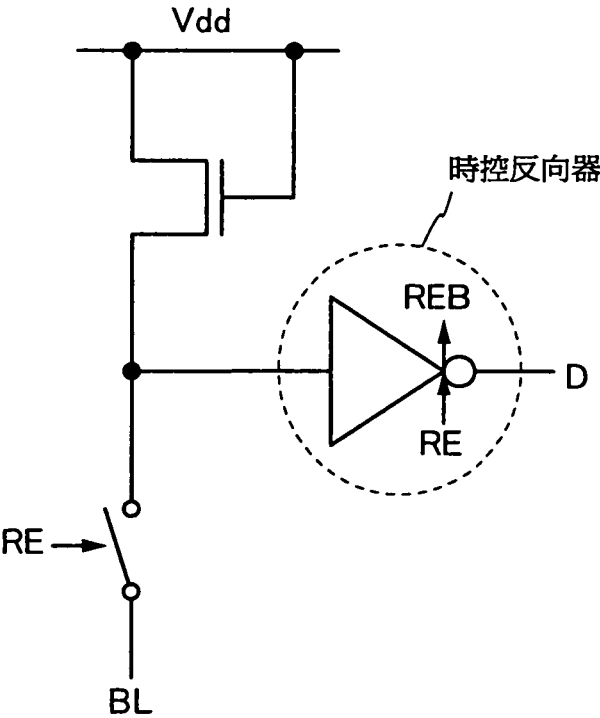
第3圖



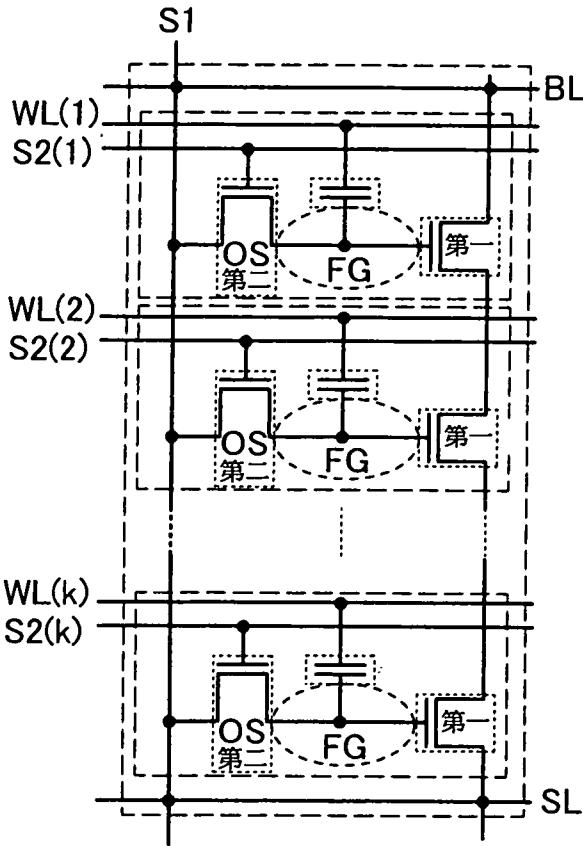
第4A圖



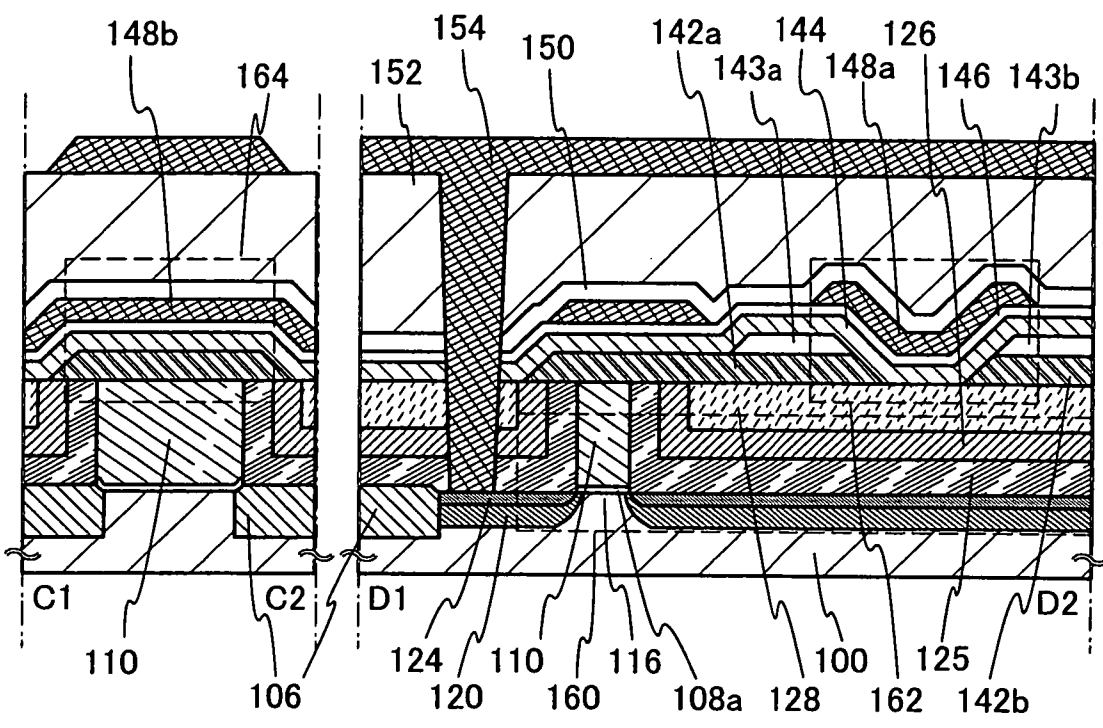
第4B圖



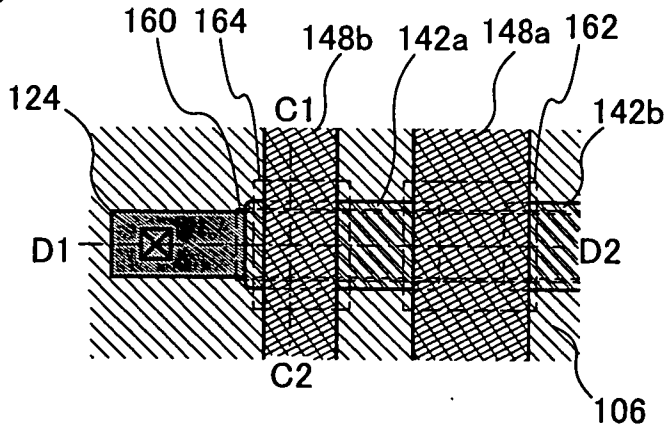
第5圖



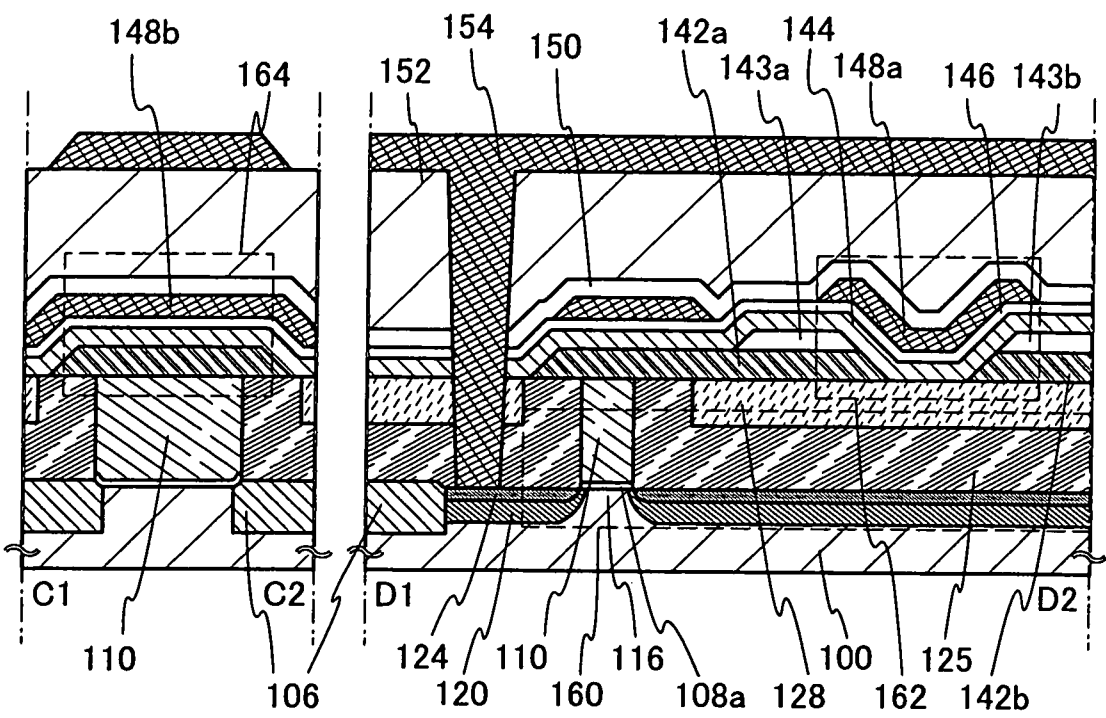
第6A圖



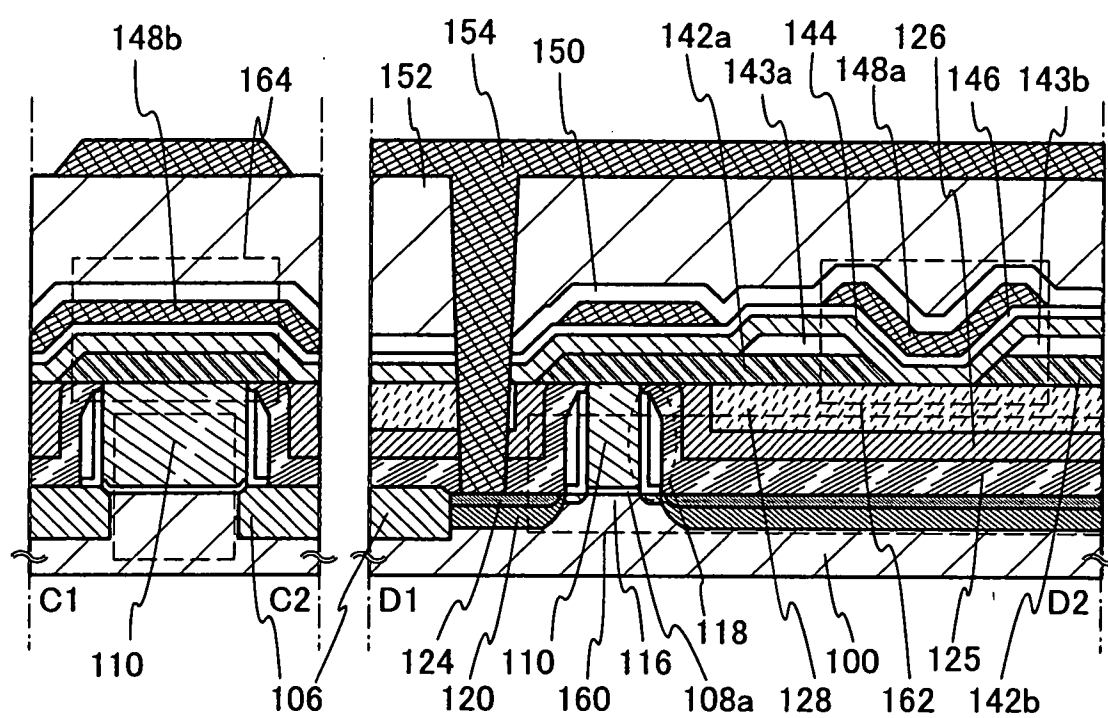
第6B圖



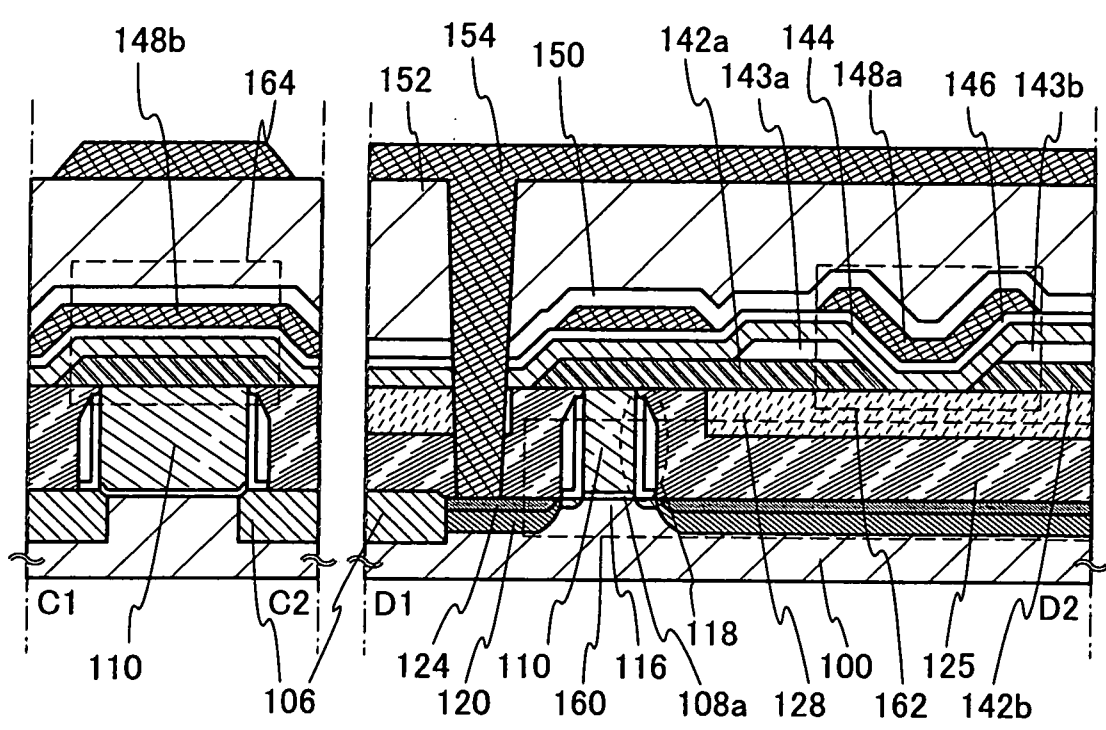
第7圖



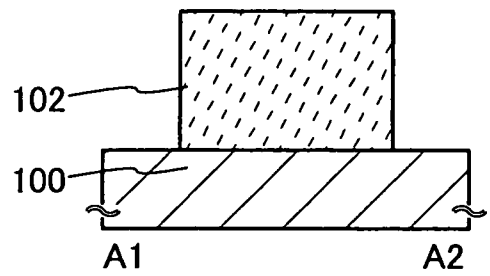
第8圖



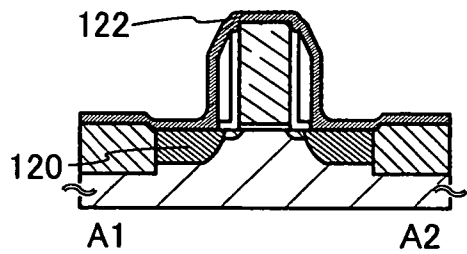
第9圖



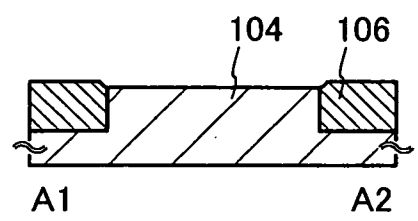
第10A圖



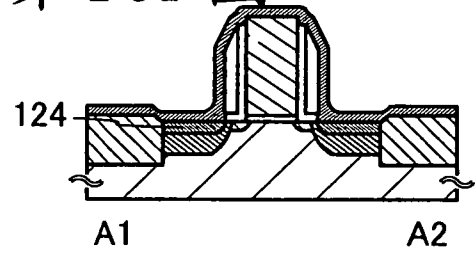
第10E圖



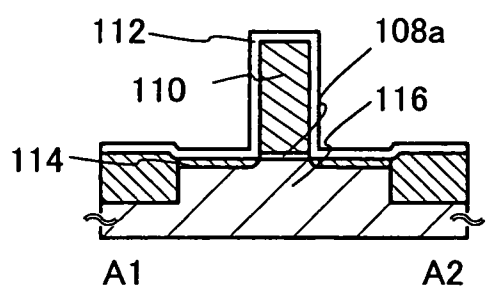
第10B圖



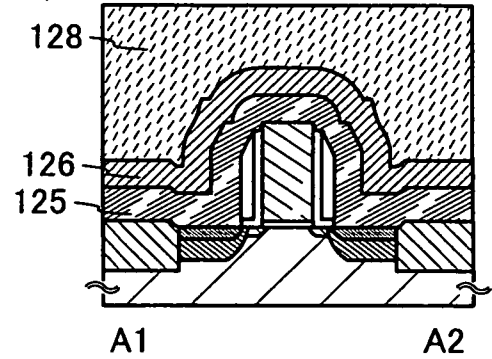
第10F圖



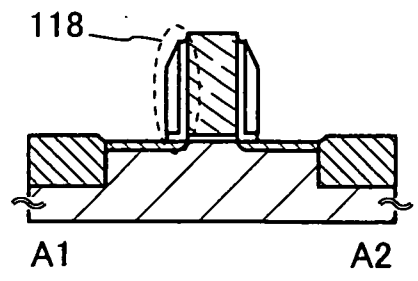
第10C圖



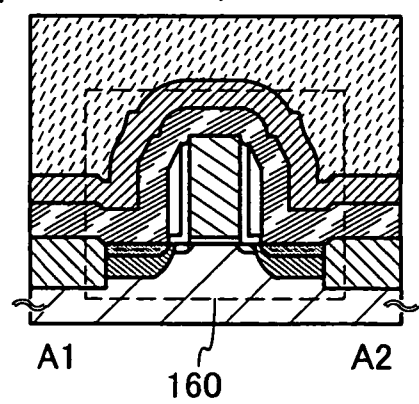
第10G圖



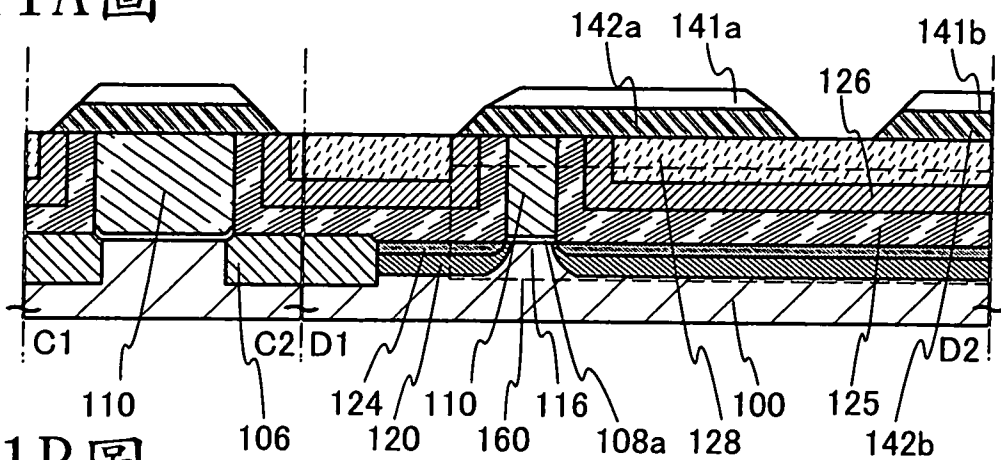
第10D圖



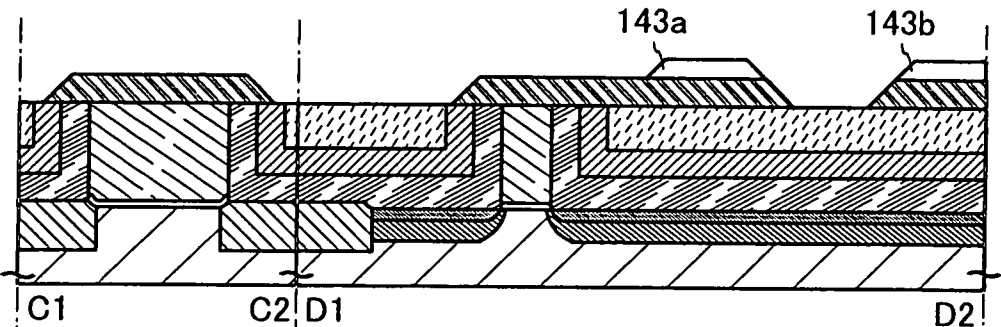
第10H圖



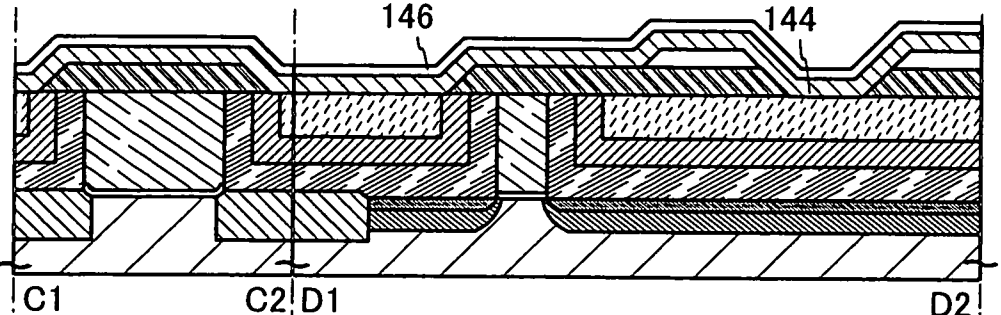
第11A圖



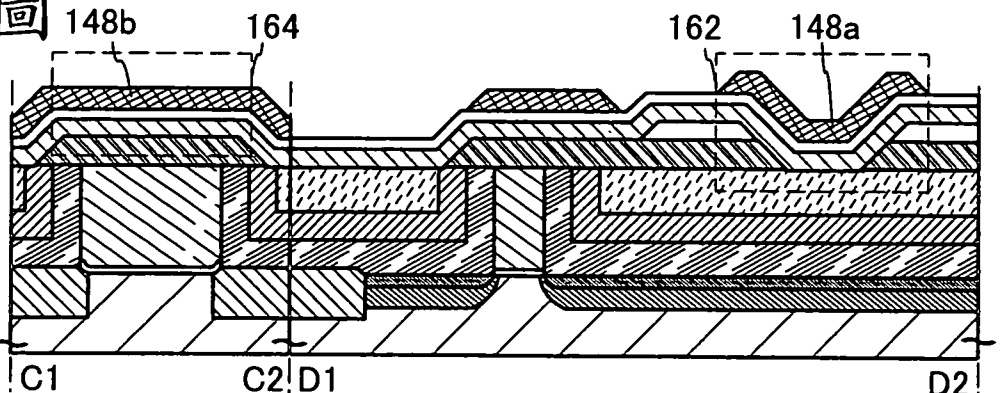
第11B圖



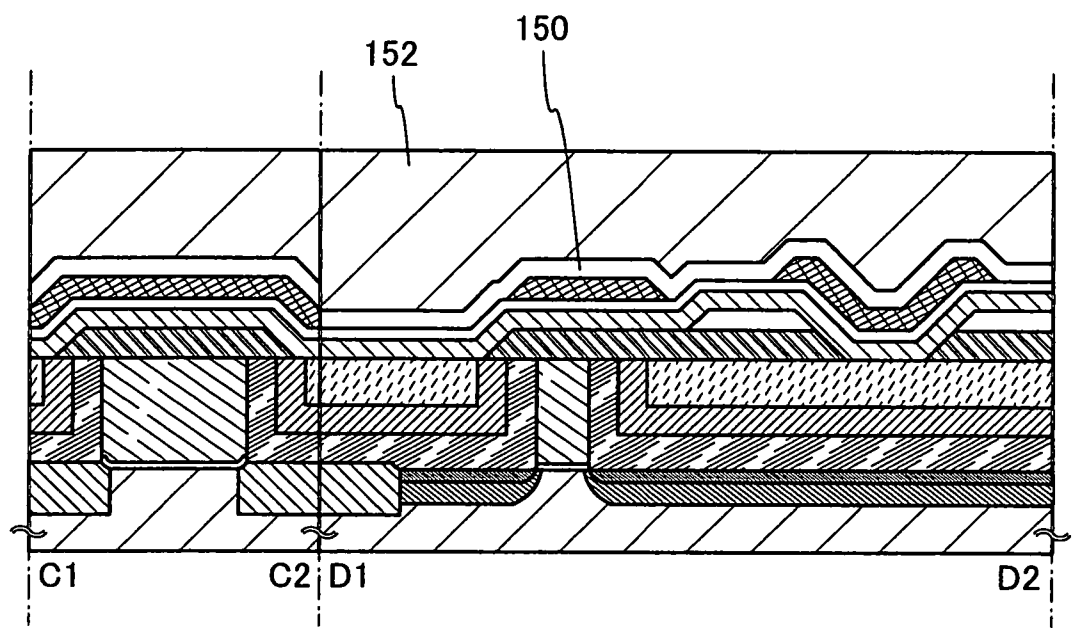
第11C圖



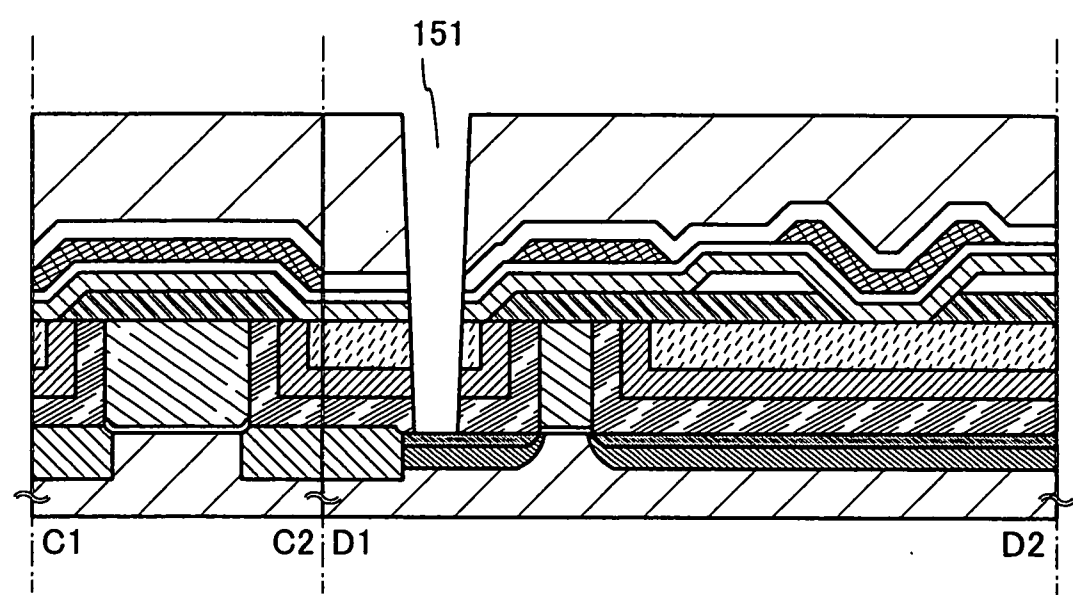
第11D圖



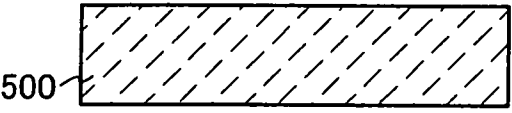
第12A圖



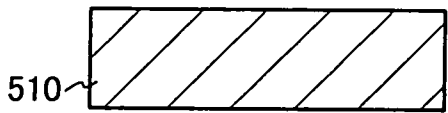
第12B圖



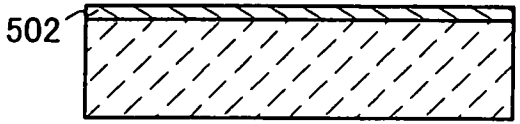
第13A圖



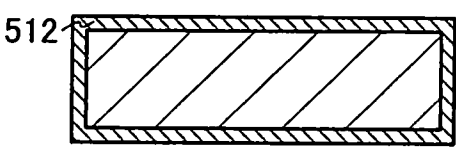
第13C圖



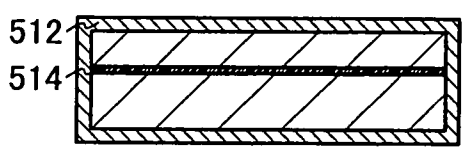
第13B圖



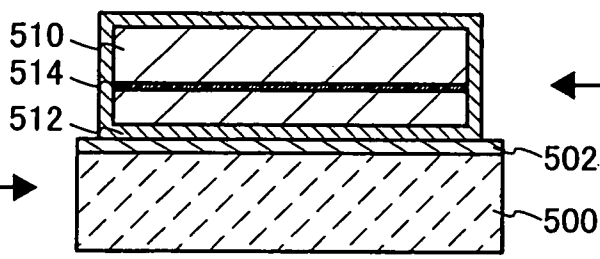
第13D圖



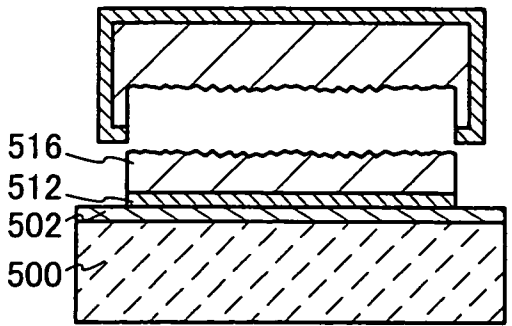
第13E圖



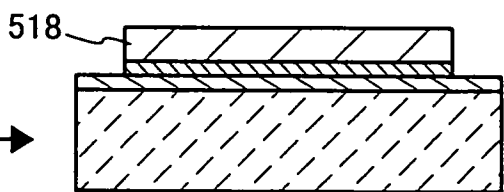
第13F圖



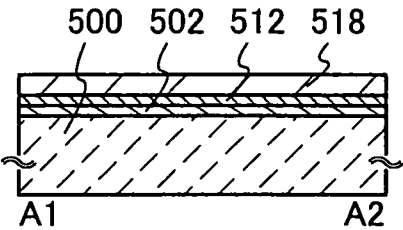
第13G圖



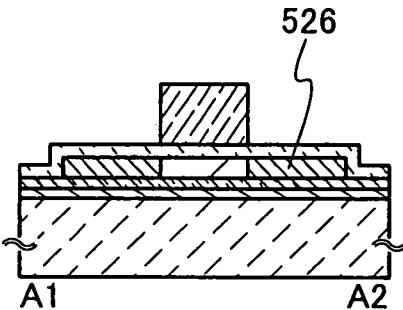
第13H圖



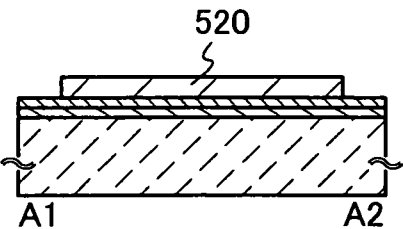
第14A圖



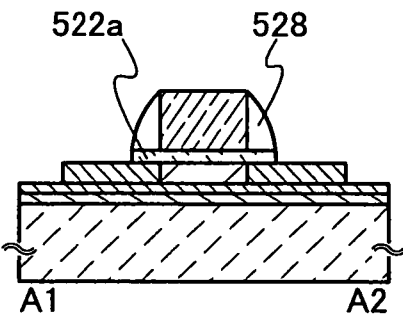
第14E圖



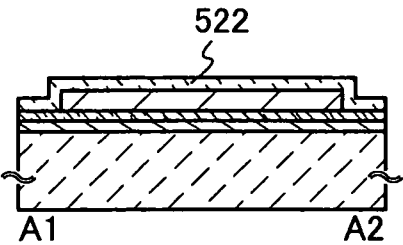
第14B圖



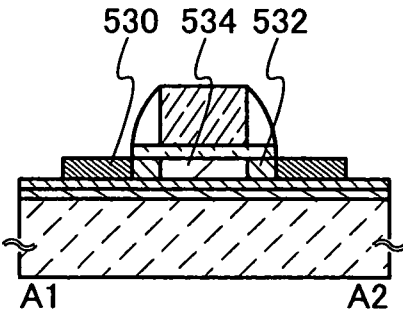
第14F圖



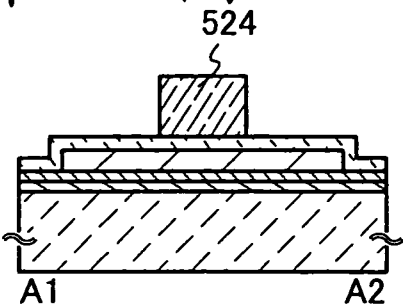
第14C圖



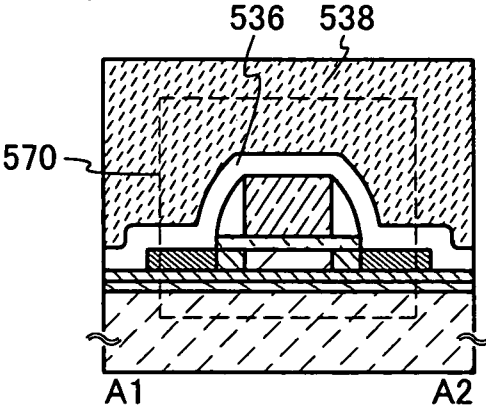
第14G圖



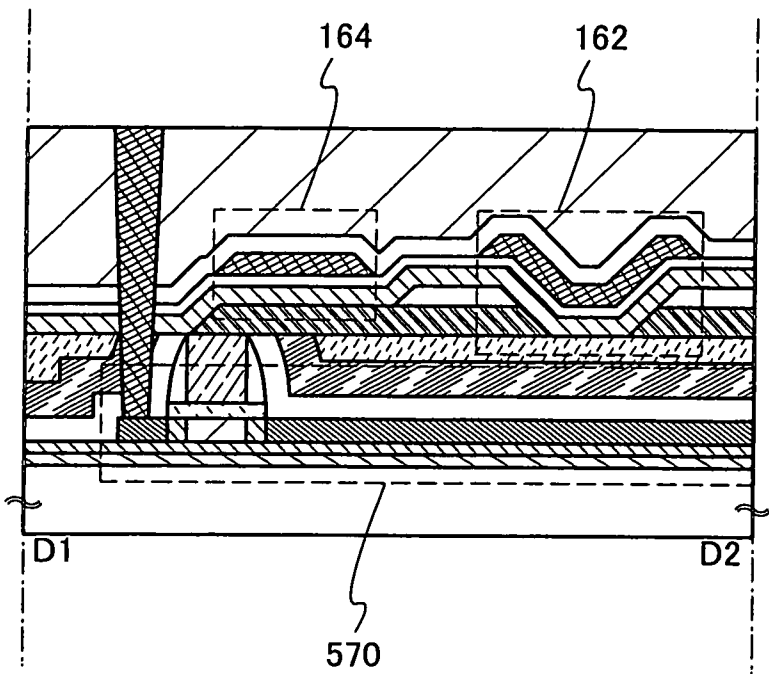
第14D圖



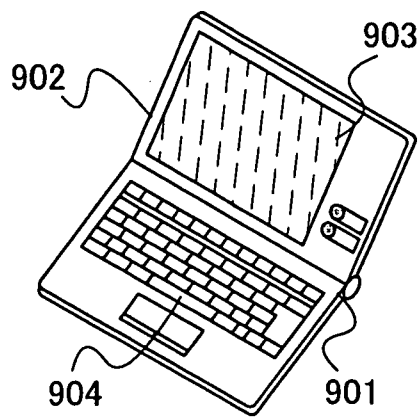
第14H圖



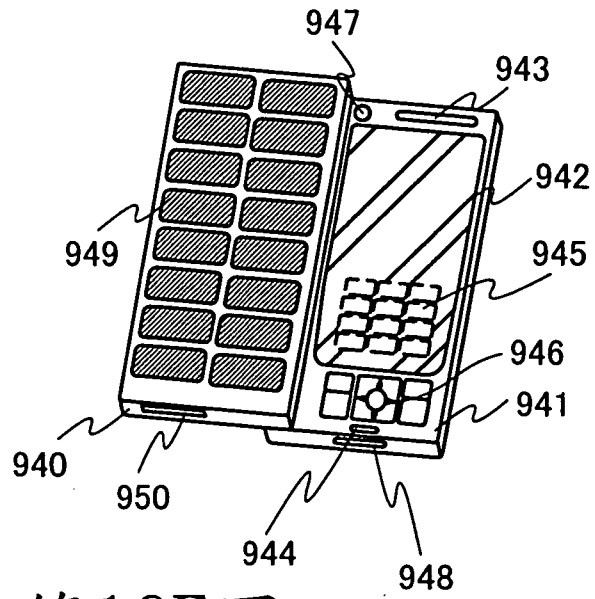
第15圖



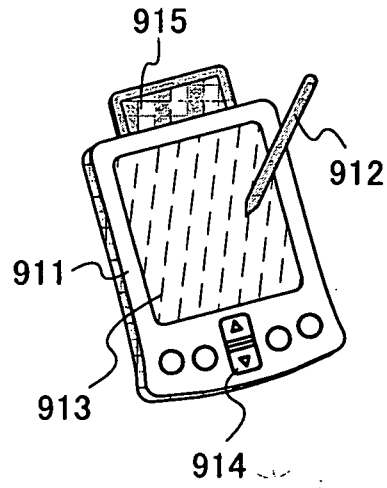
第16A圖



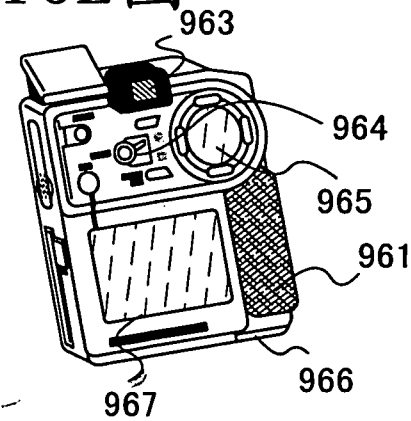
第16D圖



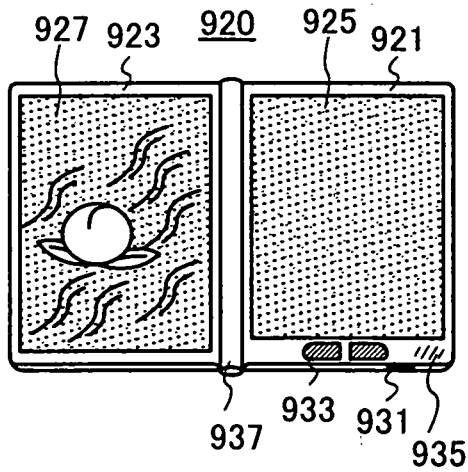
第16B圖



第16E圖



第16C圖



第16F圖

