

公 告 本**發明專利說明書**

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93126276

※申請日期：93.8.31,

※IPC 分類：

G05F 3/16 (2006.01)

一、發明名稱：(中文/英文)

功率系統抑制方法與裝置及其結構

POWER SYSTEM INHIBIT METHOD AND DEVICE AND
STRUCTURE THEREFOR

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商半導體組件工業公司

SEMICONDUCTOR COMPONENTS INDUSTRIES L.L.C.

代表人：(中文/英文)

威廉 L 喬治

GEORGE, WILLIAM L.

住居所或營業所地址：(中文/英文)

美國亞歷桑納州鳳凰城市東麥克道威爾路5005號

5005 E. MCDOWELL ROAD PHOENIX, ARIZONA 85008, U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 約瑟夫 哈拉米克

HALAMIK, JOSEF

2. 傑佛遜 W 后爾

HALL, JEFFERSON W.

國 籍：(中文/英文)

1. 捷克 CZECH REP.

2. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2003年10月14日；10/685,091

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明一般係關於電子元件，更特定言之，係關於形成半導體裝置及結構之方法。

【先前技術】

過去，電子行業利用各種方法及裝置來控制高數值或大輸入電壓，以便提供控制輸出電壓及電流。稱為離線自舉啟動電路的此類裝置之一個範例係揭示在美國專利第5,477,175號中，其係於1995年12月19日授予給Tisinger等人，並係以引用的方式併入本文中。自舉啟動電路接收較大輸入電壓並產生輸出電流，該電流對電容器進行充電而且產生輸出電壓。然而許多應用需要一序列的電流，其可控制成對電容器進行充電並形成輸出電壓。然而採用多自舉啟動電路增加了製造成本及所獲得的半導體產品之複雜性，以及採用該等產品的應用之複雜性。

【發明內容】

因此，需要具有一啟動電路，其可以接收具有高電壓數值的一輸入電壓並採用該輸入電壓產生一序列的電流。

本發明揭示一種功率控制系統，其使用二獨立的電流來控制該功率控制系統之一啟動操作。將該等二電流分流至接地以抑制該功率控制系統之操作，並且停用該等二電流之一以最小化功率消耗。該等二獨立控制電流係藉由回應二獨立的控制信號之一多輸出電流高電壓裝置產生。

【實施方式】

圖1示意性地解說高電壓多輸出電流裝置12之一部分的一具體實施例，該裝置可自單一高電壓輸入產生多獨立控制輸出電流。裝置12包括高電壓多輸出元件11，其較佳係形成以包括J-FET電晶體13、第一MOS電晶體14及第二MOS電晶體15。裝置12亦包括第一偏壓電阻器17及第二偏壓電阻器18，其係形成以分別提供偏壓電流給電晶體14及15之閘極。裝置12係形成以接收高電壓輸入22上的高電壓，並分別產生輸出19及21上的第一輸出電流及第二輸出電流，以回應分別施加於控制輸入23及24的控制信號。

為了提供此功能，將電晶體13之一汲極與輸入22連接，並將一源極與共同節點16連接。將電晶體14及15之一汲極與電晶體13之源極及節點16連接。將電晶體14之一閘極與輸入23及電阻器17之第一端子連接，並將一源極與輸出19連接。電晶體15具有與輸入24及電阻器18之第一端子連接的一閘極，及與輸出21連接的一源極。將電阻器17及18之一第二端子與電晶體13之源極及電晶體14及15之汲極連接。將在圖3之說明中更詳細地解釋電晶體13之閘極連接。在較佳具體實施例中，電晶體14及15皆為N通道MOS電晶體，而電晶體13為N通道J-FET電晶體。在其他具體實施例中，電晶體14及15可以為其他電晶體結構，例如J-FET及雙極電晶體。

當施加電壓於輸入22時，由施加於控制輸入23及24的電壓控制輸出19及21。可獨立地致動並停用電晶體14及15，因此各個別輸出19及21具有獨立控制輸出電流。若未將外

部電壓施加於輸入23或24之任一個，例如輸入23或24係在浮動，則個別電阻器17或18從電晶體13供應偏壓電流以致動裝置12及個別電晶體，從而在個別輸出19或21中產生輸出電流。在一操作電路中，通常將控制電壓施加於輸入23及24以控制輸出電流之數值。當施加於輸入23或24的電壓產生小於個別電晶體之臨界電壓的閘極至源極電壓時，通常停用電晶體。即使當停用電晶體14或15之任一個時，電流仍流經個別電阻器17或18，因此將電阻器17及18設計成確保偏壓電流很小，以便最小化裝置12之功率消耗。停用兩電晶體14及15會停用裝置12。當施加於輸入23之電壓產生大於電晶體14之臨界電壓的閘極至源極電壓時，致動電晶體14，並且電流流經電晶體13及14至輸出19。同樣地，當施加於輸入24之電壓大於電晶體15之臨界電壓時，致動電晶體13及15，並且電流流經電晶體13及15至輸出21。從以下將看出，裝置12及元件11之新穎結構便於採用一個裝置產生該等二不同及獨立控制輸出電流。藉由調整電晶體14及15之通道的寬度，可選擇由裝置12供應的輸出電流之最大值。

電晶體13、14及15之崩潰電壓取決於應用及各種其他因素。在一項用於全球線路電壓應用的具體實施例中，針對基板76的電晶體13之汲極中的崩潰電壓可能會超過四百伏特(400 V)，而在電晶體14及15之源極中的可承受電壓可能會超過五十伏特(50 V)。

圖2解說圖1之說明中所解釋的裝置12之一具體實施例的

一部分之放大平面圖。圖3解說圖2中沿斷面線3-3所解說的裝置12之放大斷面圖。此說明參考圖2及圖3。一般由圖2中的虛線識別電晶體14及15。電晶體13、14及15係形成為封閉幾何形狀於半導體基板76之表面上。封閉幾何形狀通常具有同心的各中心並具有某重疊周邊。在較佳具體實施例中，封閉幾何形狀係形成為具有各種同心半徑的圓或圓弧。為了清楚地解釋，解釋較佳具體實施例，然而熟習此項技術者應認識到其他封閉形狀，例如橢圓形、正方形、五邊形、六邊形等，亦可代替圓形而加以使用，並且電晶體13、14及15可以具有不同長度及寬度。

在較佳具體實施例中，電晶體13之封閉幾何形狀係形成為具有增加半徑的同心圓。電晶體14及15之幾何形狀的第一部分係形成為圓，而一第二部分係形成為圓弧，該等圓弧的半徑大於電晶體13、14及15之圓部分的半徑。電晶體13係形成以包括汲極接點72及覆蓋接點72的汲極電極71。電晶體14亦包括形狀如圓弧的形成一對源極區域84之一對摻雜區域，及形狀如圓弧的閘極多晶矽88。電晶體15包括形狀如圓弧的形成一對源極區域85之一對摻雜區域，及形狀如圓弧的閘極多晶矽86。

在較佳具體實施例中，電晶體13之汲極接點72係形成為摻雜區域於基板76之表面上。接點72的形狀如中空的第一圓，其具有第一半徑及中心70。圓形摻雜區域73係形成於基板76之表面上，該基板係與接點72及大於接點72之半徑的第二半徑同心。因為接點72之中空圓形的原因，所以區

區域73之第一圓形內部部分位於接點72下面(參見圖3)。區域73之第二圓形部分從接點72之外部周圍延伸至多晶矽88及86的內部邊緣，並形成電晶體13之通道。基板76與位於接點72下面的區域73之部分及區域73之第二部分的介面作為J-FET電晶體13之閘極。通常將基板76，及因而將電晶體13之閘極與使用裝置12之電路中的最低電位連接。位於多晶矽88及86之內部圓弧下面的區域73之圓弧，分別形成電晶體13之源極與各電晶體14及15之汲極。此第三圓形區域徑向延伸至區域73之外部邊緣77。因此電晶體13之汲極及源極係形成為封閉幾何形狀，源極具有大於汲極的半徑。而且將一個摻雜區域用以形成電晶體13之源極及汲極與電晶體14及15之汲極。

電晶體14之源極區域84係形成為二個摻雜區域，各區域的形狀如一圓弧，該圓弧的半徑大於電晶體14之汲極的半徑。源極區域84之一內部部分通常位於多晶矽88下面，源極接點83係形成於源極區域84內。由沿多晶矽88之外部周邊形成的開口114隔開源極區域84之二個摻雜區域。多晶矽88之一部分透過開口114延伸，並形成便於與多晶矽88接觸的焊片116。電阻器17係形成為摻雜區域於基板76之表面上。電阻器17之一端在由虛線所解說的焊片116下面延伸，以在節點16處與區域73進行電接觸。電阻器17之第二端係藉由金屬連接118與焊片116連接。同樣地，電晶體15之源極區域85係形成為二個摻雜區域，各區域的形狀如一圓弧，該圓弧的半徑大於電晶體15之汲極的半徑。源

極區域85之內部部分通常位於多晶矽86的下面。源極接點80係形成於源極區域85內。沿多晶矽86之外部周邊形成的開口115隔開源極區域85之二個摻雜區域。多晶矽86之一部分透過開口115延伸，並形成便於與多晶矽86接觸的焊片117。電阻器18係形成為摻雜區域於基板76之表面上。電阻器18之一端在由虛線所解說的焊片117下延伸，以在節點16處與區域73進行電接觸。電阻器18之一第二端係藉由金屬連接119與焊片117連接。使用二個用於電晶體14及15之各個的源極之摻雜區域，可便於與各電晶體之閘極電極連接並形成電阻器17及18。

從圖2及3之解釋中可看出，由區域73形成的電晶體14及15之圓形部分之一內部周邊併合至電晶體13之外部周邊中，以形成併合至電晶體14及15之汲極中的電晶體13之源極。區域73之外部周邊具有彎曲輪廓，而區域84及85之內部周邊的形狀與區域73之周邊的形狀相同。此外，閘極結構78及79的輪廓與區域73之外部周邊的形狀相同。採用相同輪廓可便於形成用於電晶體14及15之良好控制通道。

在較佳具體實施例中，汲極電極71係形成為封閉圓於絕緣體64(例如場效氧化物)及中間層介電質102上。因為汲極72具有中空圓形組態，所以覆蓋接點72的電極71之一部分透過絕緣體64及介電質102延伸至接點72。電極71亦係形成以作為焊墊來與裝置12接觸。接點72之中心部分中的敞開區域便於與電極71焊接，而不會損壞裝置12。在其他具體實施例中，接點72可形成為封閉圓於區域73內。

參考圖3，電晶體13、14及15係形成於基板76之表面上。基板76之表面的一部分被摻雜，以便形成圓形區域73。區域73之一部分摻雜得更重，以便形成同心中空圓形汲極接點72於區域73內。源極區域85及源極區域84係形成為摻雜區域於基板76之表面上，並與區域73之周圍隔開。源極接點83及80係形成於個別源極區域84及85中。

電晶體14之主體區域75係形成為摻雜區域於多晶矽88下面的基板76之表面上。區域75之一部分透過開口114(圖2)延伸，以便於形成與區域75的接點。同樣地，電晶體15之主體區域74係形成為摻雜區域於多晶矽86下面的基板76之表面上。為了圖式的清楚，並未顯示透過開口114及115的延伸。區域74之一部分透過開口115(圖2)延伸，以便於形成與區域74的接點。閘極結構78係形成於插入在源極區域84與區域73之間的基板76上，而閘極結構79係形成於插入在源極區域85與區域73之間的基板76上。閘極結構78包括形成於基板76上的閘極絕緣體81、形成於絕緣體81上的閘極多晶矽88及形成於多晶矽88上的介電質102。同樣地，閘極結構79包括形成於基板76上的閘極絕緣體82、形成於絕緣體82上的閘極多晶矽86、形成於多晶矽86上的介電質102及形成於介電質102上的閘極電極87。結構78之一邊緣通常覆蓋源極區域84之一部分，而另一邊緣覆蓋區域73之一部分。同樣地，結構79之一邊緣覆蓋源極區域85之一部分，而另一邊緣覆蓋區域73之一部分。較佳的係基板76為P型材料，而區域73、源極區域85及源極區域84為N型材

制器 51 或電晶體 52 可以為裝置 12 及電路 34 得以形成所處的半導體晶粒之另一部分或在其外部。在較佳具體實施例中，電晶體 14 具有比電晶體 15 窄的通道寬度，並且與電晶體 15 提供輸出電流於輸出 21 上相比，電晶體 14 提供較少的輸出電流於輸出 19 上。在此較佳具體實施例中，電晶體 15 係形成以具有約六百 (600) 微米的寬度，而電晶體 14 係形成以具有約一百 (100) 微米的寬度。熟習此項技術者應認識到電晶體 14 及 15 可形成以具有約相等的寬度或各種其他寬度，取決於所需電流密度及電晶體設計規則。

裝置 12 及電路 34 係用以提供最初電壓，其係用以使系統 25 內的電路通電，以便系統 25 可提供施加於與系統 25 連接之其他電路 (例如控制器 51) 的最初電壓序列之平穩控制啟動。電路 34 具有一第一輸出 46 及一第二輸出 47，其提供二控制電流，該等電流本質上等於自輸出 19 的第一輸出電流及自裝置 12 之輸出 21 的第二輸出電流。在較佳具體實施例中，輸出 46 及 47 係連接在一起以形成電路 34 之輸出 48 及相關控制輸出電流。在其他具體實施例中，輸出 46 及 47 可以分離並用以提供電流給不同的電路功能。為了控制裝置 12 之輸出電流，電路 34 具有第一電流控制迴路，其包括第一感應電阻器 26、第一感應電晶體 28 及第一電流反射鏡 31，該電流反射鏡包括第一參考電晶體 32 及第一反射鏡電晶體 33。電路 34 之第二電流控制迴路包括第二電阻器 27、第二感應電晶體 29 及第二電流反射鏡 36，該電流反射鏡包括第二參考電晶體 37 及第二反射鏡電晶體 38。由第一控制迴路

控制在輸出19中產生的第一輸出電流。輸出19中的電流流經電阻器26並產生橫跨電阻器26的對應電壓降落。電阻器26係連接在電晶體28的閘極與源極之間，並形成電晶體28之閘極至源極電壓，因此橫跨電阻器26的電壓建立流經電晶體28的第一感應電流。電流反射鏡31從電晶體28接收第一感應電流，並回應地控制施加於控制輸入23的電壓，從而控制電晶體14的閘極電壓及第一輸出電流的數值。隨著輸出19上的輸出電流增加，第一感應電流會相應地增加並回應地降低電晶體28的閘極電壓，而且相應地降低輸入23上的控制電壓以減小輸出電流數值。因此此負回授迴路行動以調節電晶體14中的電流。同樣地，第二控制迴路包括第二偏壓電阻器27，其係耦合成接收輸出21中的第二輸出電流，並回應地產生用於電晶體29的閘極至源極電壓，而且回應地產生流經電晶體29的第二感應電流。電晶體29係與第二電流反射鏡36耦合，該電流反射鏡從電晶體29接收第二感應電流，並回應地控制施加於第二控制輸入24的控制電壓，從而控制電晶體15的閘極電壓及第二輸出電流的數值。在某些具體實施例中可省略二個電流控制迴路。

電路34亦包括操作電壓偵測器39及最初電壓偵測器40，其係用以排序裝置12之操作。在啟動週期期間，偵測器39及40根據形成於輸出48中的電壓之數值而控制電晶體14及15的操作。在某些具體實施例中，輸出46及47可以分離並用以提供電流給不同的電路功能，因此偵測器39及40可與電路34或其他電路(例如參見圖6)之相同或不同輸出連接。

電壓參考56提供二個參考電壓於參考56之第一輸出及第二輸出上。二個參考電壓係由偵測器39及40使用以設定偵測位準，以偵測最初電壓數值及所需操作電壓數值。控制器51具有一致動輸出，其係由偵測器39之輸出控制，以確保控制器51直至達到所需操作電壓才驅動一次電感器54。熟習此項技術者應認識到電流控制迴路及偵測器39及40可以由各種設計實施，只要控制迴路可控制電壓，並且偵測器根據輸出46及47上的電壓而控制裝置12。

隨著輸入57及22中的電壓從零開始並隨時間而增加，輸出46及47中的輸出電壓便從零開始增加至超過最初電壓數值，而且達到所需的操作電壓數值。所需操作電壓數值係選擇為提供用於電路34外部之其他電路(例如控制器51及負載63)的正常操作之數值。最初電壓數值通常比所需操作數值小甚多，而且一般為可用以操作某些基本電路功能的電壓數值之下限。例如，最初電路數值可以為某些基本比較器或其他電路必需在輸出電壓達到其所需操作數值之前進行操作所採用的數值。最初電壓數值係通常用以操作參考56及偵測器39與40。為了提供此最初電壓，將輸出48與電容器49連接，並且自輸出46及47的電流對電容器49進行充電以形成電路34之輸出電壓於輸出48上。電路34接收此輸出並回應地控制裝置12之排序。將最初電壓數值選擇為盡可能低，以便可儘快對電容器49進行充電達最初數值，從而最小化啟動系統25所需要的時間量。

偵測器40係形成以接收輸出電壓並回應地停用電晶體15

而且致動裝置12，以供應自電晶體14的電流，只要輸出電壓小於最初電壓數值。當輸出電壓等於或大於最初電壓數值時，偵測器40亦致動電晶體15以便裝置12可產生第一輸出電流及第二輸出電流。偵測器39係形成以接收輸出48上的輸出電壓，並且當輸出電壓等於或大於所需操作電壓數值時回應地停止裝置12。在較佳具體實施例中，偵測器39具有磁滯以防止偵測器39隨輸出電壓在所需操作電壓數值上下輕微地變化而開啟及關閉。因為磁滯輸入的原因，當輸出電壓降低至約等於所需操作電壓數值減去偵測器39之磁滯偏移的第三數值時，偵測器39會再致動裝置12。為協助此功能，偵測器39具有與輸出48耦合的一個輸入，及分別與第一停用電晶體41及第二停用電晶體42耦合的二個輸出。形成偵測器39及40之各個及相關參考可以藉由熟習此項技術者所熟知的各種電路，包括單一MOS電晶體，其使用電晶體之臨界值來建立參考電壓數值。

圖5為具有分別解說電路34之輸出電壓及輸出電流的繪圖43及45之曲線圖。此說明參考圖4及圖5。在施加電源於輸入57之前，對電容器62及49進行放電，並且輸出48為零伏特。因此電路34並未在操作，而且不存在自裝置12的輸出電流。當在時間T0施加輸入電壓於輸入57時，電流開始流經電感器54，並流入裝置12之輸入22。隨著輸入22上的電壓增加，電晶體13開啟並透過電阻器17及18供應偏壓電流給電晶體14及15。偵測器39之輸出為低而偵測器40之輸出為高，停用電晶體41及42並且致動電晶體44以拉低輸入

24而且停用電晶體15。電阻器17將控制輸入23因而低電晶體14之閘極拉至輸入22中的輸入電壓，並致動電晶體14以供應第一輸出電流給電路34。電路34控制輸出電流以採用輸出電流數值68供應第一控制電流給輸出48(參見繪圖45)。輸出電流開始對電容器49充電。在時間T1時，電容器49已充電至最初電壓數值65，並且偵測器40切換至低數值，從而停用電晶體44並使電阻器18可致動電晶體15。電路34接收第二輸出電流並控制該數值以提供第二控制電流給輸出48。電路34亦提供第三輸出給控制器51。電晶體14保持致動，因此輸出48中的控制輸出電流增加至數值69，而現在由自裝置12的第一輸出電流及第二輸出電流對電容器49進行充電。當輸出48上的電壓之數值在時間T2增加至所需操作電壓數值66時，偵測器39之輸出切換為高數值，從而啟動電晶體41及42以拉低控制輸入23及24並停用裝置12。偵測器39之輸出上的高電壓亦致動控制器51，並且電晶體52開始驅動輸入22以回應控制器51。系統25開始供應功率給負載63。若輸出48上的輸出電壓降低至第三電壓數值67，則偵測器39之磁滯偏移在時間T3時偵測到低電壓並停用電晶體41及42，從而啟動裝置12以供應第一輸出電流及第二輸出電流給輸出48，並再次對電容器49進行充電達操作電壓數值66。第三電壓數值67可以為任一數值，包括很接近於數值65的數值。

在系統25之操作期間，可適當地停用或抑制系統25。例如負載63可能會偵測到需要停用系統25的狀況。在此情況

下，負載63或另一電路(圖中未顯示)可致動電晶體35或拉低輸出48，並抑制系統25的操作。拉低輸出48會對電容器49進行放電。當對電容器49進行放電達小於最初電壓數值的一數值時，偵測器40會致動電晶體44以停用裝置12之電晶體15。停用電晶體15會抑制系統25供應第二輸出電流，並保持裝置12致動以供應第一輸出電流。因為第一輸出電流比第二輸出電流小甚多，較佳至少小十倍，所以保持電晶體14致動會停用控制器51並防止系統25提供電壓給負載63，並使裝置12可供應第一輸出電流作為備用電流。因此，此方法提供一簡易方法來抑制系統25的操作，同時維持備用電流；並且當負載63停用電晶體35時，提供一方法來使電容器49可輕易地得以再充電。重要的係最小化所消耗的功率量，同時抑制系統25。因為第一輸出電流之低電流的原因，此抑制系統25之方法會最小化從施加於輸入57的電壓所消耗的功率量。通常將第一輸出電流之數值選擇成小於認證準則(例如ENERGY STAR®)中規定的備用電流。可以看出裝置12及電晶體35形成系統控制器50及系統25之抑制電路。

熟習此項技術者應瞭解在操作序列中可隨時致動電晶體35，而且抑制功能於此時存在的輸出電壓及電流數值情況下開始。此外，偵測器39及40亦可使用其他控制序列，例如啟動裝置12以僅在偵測到最初電壓數值之後才供應第二輸出電流，或可倒轉序列並在偵測到最初電壓數值之前供應第二輸出電流，而且在偵測到最初電壓數值之後供應第

一輸出電流等。

圖6示意性地解說靜電放電(ESD)保護電路90之一部分的具體實施例。電路90利用裝置12之輸出21作為啟動電流來源，以在輸出91中提供控制啟動電壓，並亦利用輸出19以致動用於與輸入57連接的電路之ESD保護。通常在電路之操作期間，電路可從外部來源接收ESD放電。此類ESD放電可輕易地損壞與ESD放電之來源緊密連接的半導體裝置。電路90利用裝置12之電晶體14以在ESD事件期間致動電晶體97，並使用電晶體15來提供電路90之輸出91上的輸出電壓之控制啟動。因此電晶體14及15獨立地操作以實施得自電晶體13之輸出的二個不同功能。偵測器39及電晶體41係用以控制電晶體15以提供輸出電壓之控制啟動，而ESD偵測器96係用以停用電晶體14，除非出現ESD事件。電路90亦包括參考93，其提供用以偵測輸出91上的所需操作電壓數值之第一參考電壓，並提供用以停用電晶體14之第二參考電壓。

操作電壓偵測器39控制電晶體15以對電容器49進行充電，直至輸出91上的電壓達到所需操作電壓數值為止。當最初將施加於輸入22的輸入電壓施加於電路90時，對電容器49進行放電。輸入電壓會充分增加以開啟電晶體13，並透過電阻器18供應偏壓電流給電晶體15。偵測器39之輸出從低電壓數值開始並保持低電壓，直至輸出91上的輸出電壓達到所需操作電壓數值為止。低電壓會停用電晶體41，其使電阻器18可致動電晶體15，以形成輸出電流來對電容

器 49 進行充電並形成輸出電壓。當對電容器 49 進行充電達所需操作電壓數值時，偵測器 39 之輸出會升高，從而啟動電晶體 41 並停用裝置 12 之電晶體 15。偵測器 39 之磁滯發揮作用以保持輸出電壓在所需操作電壓數值，如圖 4 之說明所解釋。偵測器 39 對電晶體 14 沒有影響。

當出現 ESD 事件時，ESD 對電晶體 14 之閘極進行充電，從而啟動電晶體 14。電晶體 14 係形成以提供驅動電流，其足以將電晶體 97 驅動至低阻抗狀態。電晶體 97 通常為低導通電阻功率電晶體，其可在電晶體 97 係處於低阻抗狀態時輕易地吸收 ESD 放電所導致的電流。只要電路 90 並非處於由大於至偵測器 96 的參考輸入電壓之輸出 91 所定義的正常操作狀況，則將由偵測器 96 之高輸出狀態致動電晶體 14。在電路 90 之正常操作狀態下，將停用電晶體 14，從而使驅動器控制組塊 98 可控制電晶體 97。

熟習此項技術者應注意偵測器 96 可以具有各種實施方案。一個示範性實施方案包括比較器 94，其接收一反相輸入上的輸出電壓及一非反相輸入上的 ESD 偵測電壓。比較器 94 之一輸出係與裝置 12 之輸入 23 連接。

根據以上所有說明，顯然本發明揭示一新穎裝置、形成該裝置的方法及使用該裝置的方法。包括藉由拉低啟動裝置之輸出電壓而抑制功率控制系統之操作，以及其他功能。輸出上的低電壓引起啟動裝置停用充電電流並抑制功率控制系統的操作，同時消耗盡可能低的電流。還包括使用摻雜區域來形成 J-FET 電晶體之源極與汲極，以及二個

MOS電晶體之汲極。單一摻雜區域係形成為封閉幾何形狀。將一個摻雜區域用於所有三個電晶體可最小化高電壓多輸出電流裝置的成本。封閉形狀亦便於形成二個鄰近於單一摻雜區域的MOS電晶體之源極，並進一步最小化用於高電壓多輸出電流裝置的空間。獨立控制MOS電晶體便於將高電壓多輸出電流裝置用於二個不同電流，以排序功率控制電路及其他需要多獨立控制輸出電流的電路之啟動。

應注意元件11及裝置12可包括二個以上的輸出及電晶體，例如電晶體14及15。例如元件11及裝置12可包括與電晶體14及15並聯的第三電晶體。第三電晶體亦可具有與節點16連接的汲極、形成裝置12之第三輸出的源極與形成裝置12之第三輸入的閘極。第三電晶體將具有一相關第三電阻器，其具有與節點16連接的第一端子，及與該第三電晶體之閘極連接的第二端子。第三電晶體可形成第三輸出電流，其不同於第一輸出電流及第二輸出電流。採用所有三個電晶體的應用之範例可包括電晶體14及15，其提供第一輸出電流及第二輸出電流，如圖4之說明所解釋，而第三電晶體可提供第三輸出電流以驅動電晶體97，如圖6之說明所解釋。此外，元件11及裝置12可以具有任一數量的此類電晶體及相關電阻器。

【圖式簡單說明】

圖1示意性地解說依據本發明之高電壓多輸出電流裝置之一部分的具體實施例；

圖2解說依據本發明之圖1的高電壓多輸出電流裝置之具

體實施例的一部分之放大平面圖；

圖3解說依據本發明之圖2的高電壓多輸出電流裝置之一部分的放大斷面圖；

圖4示意性地解說利用依據本發明之圖2的高電壓多輸出電流裝置之功率控制電路的一部分之具體實施例；

圖5以曲線方式解說依據本發明之圖4的功率控制電路之某些信號；及

圖6示意性地解說利用依據本發明之圖2的高電壓多輸出電流裝置之靜電放電(ESD)保護電路的一部分之具體實施例。

為解說之簡單及清楚，圖式中的各元件並未按比例繪製，而且不同圖式中的相同參考數字表示相同元件。此外，為說明之簡單而省略熟知步驟及元件之說明及細節。如本文所使用，電流承載電極意味著透過例如MOS電晶體之源極或汲極或雙極電晶體之射極或集極的裝置而承載電流之元件，而控制電極意味著透過例如MOS電晶體之閘極或雙極電晶體之基極的裝置而控制電流的裝置之元件。

【主要元件符號說明】

11	元件
12	裝置
13	J-FET電晶體
14	第一MOS電晶體
15	第二MOS電晶體
16	節點

17	第一偏壓電阻器
18	第二偏壓電阻器
19	輸出
21	輸出
22	輸入
23	控制信號/輸入
24	控制信號/輸入
25	功率控制系統
26	第一感應電阻器
27	第二電阻器
28	第一感應電晶體
29	第二感應電晶體
30	二極體
31	第一電流反射鏡
32	第一參考電晶體
33	反射鏡電晶體
34	電路
35	抑制電晶體
36	第二電流反射鏡
37	第二參考電晶體
38	第二反射鏡電晶體
39	操作電壓偵測器
40	最初電壓偵測器
41	第一停用電晶體

42	第二停用電晶體
43	繪圖
44	電晶體
45	繪圖
46	輸出
47	輸出
48	輸出
49	電容器
51	控制器
52	功率電晶體
53	變壓器
54	一次電感器
55	二次電感器
56	電壓參考
57	電壓輸入
58	電壓返回
60	輔助電感器
61	二極體
62	電容器
63	負載
64	絕緣體
65	最初電壓數值
66	操作電壓數值
67	第三電壓數值

68	輸出電流數值
69	數值
70	中心
71	汲極電極
72	汲極接點
73	摻雜區域
74	區域
75	區域
76	基板
77	邊緣
78	閘極結構
79	閘極結構
80	源極接點
81	絕緣體
82	絕緣體
83	源極接點
84	源極區域
85	源極區域
86	閘極多晶矽
87	閘極電極
88	閘極多晶矽
90	電路
91	輸出
93	參考

94	比較器
96	偵測器
97	電晶體
98	驅動器控制組塊
102	介電質
114	開口
115	開口
116	焊片
117	焊片
118	連接
119	連接

五、中文發明摘要：

本發明揭示一種功率控制系統(25)，其使用二獨立的電流來控制該功率控制系統(25)之一啟動操作。將該等二電流分流至接地以抑制該功率控制系統(25)之操作，並且停用該等二電流之一以最小化功率消耗。該等二獨立控制電流係藉由回應二獨立的控制信號(23、24)之一多輸出電流高電壓裝置(12)產生。

六、英文發明摘要：

十一、圖式：

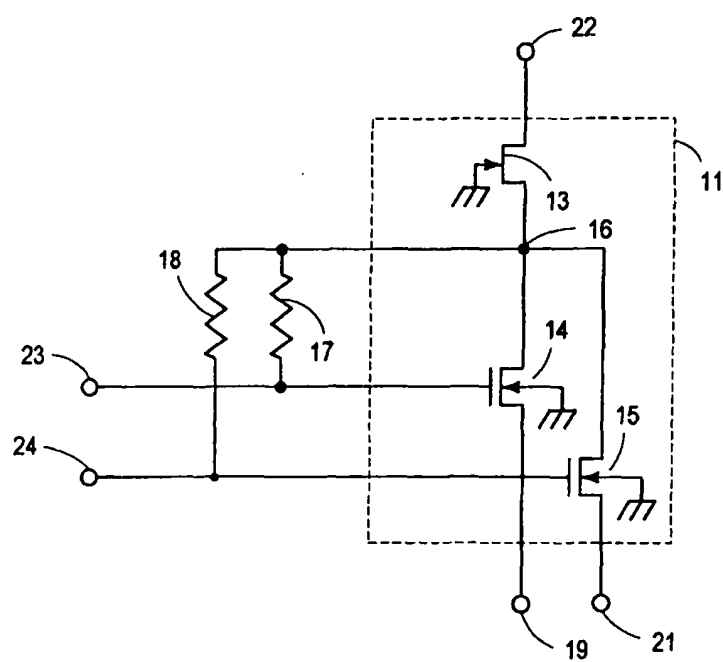


圖 1

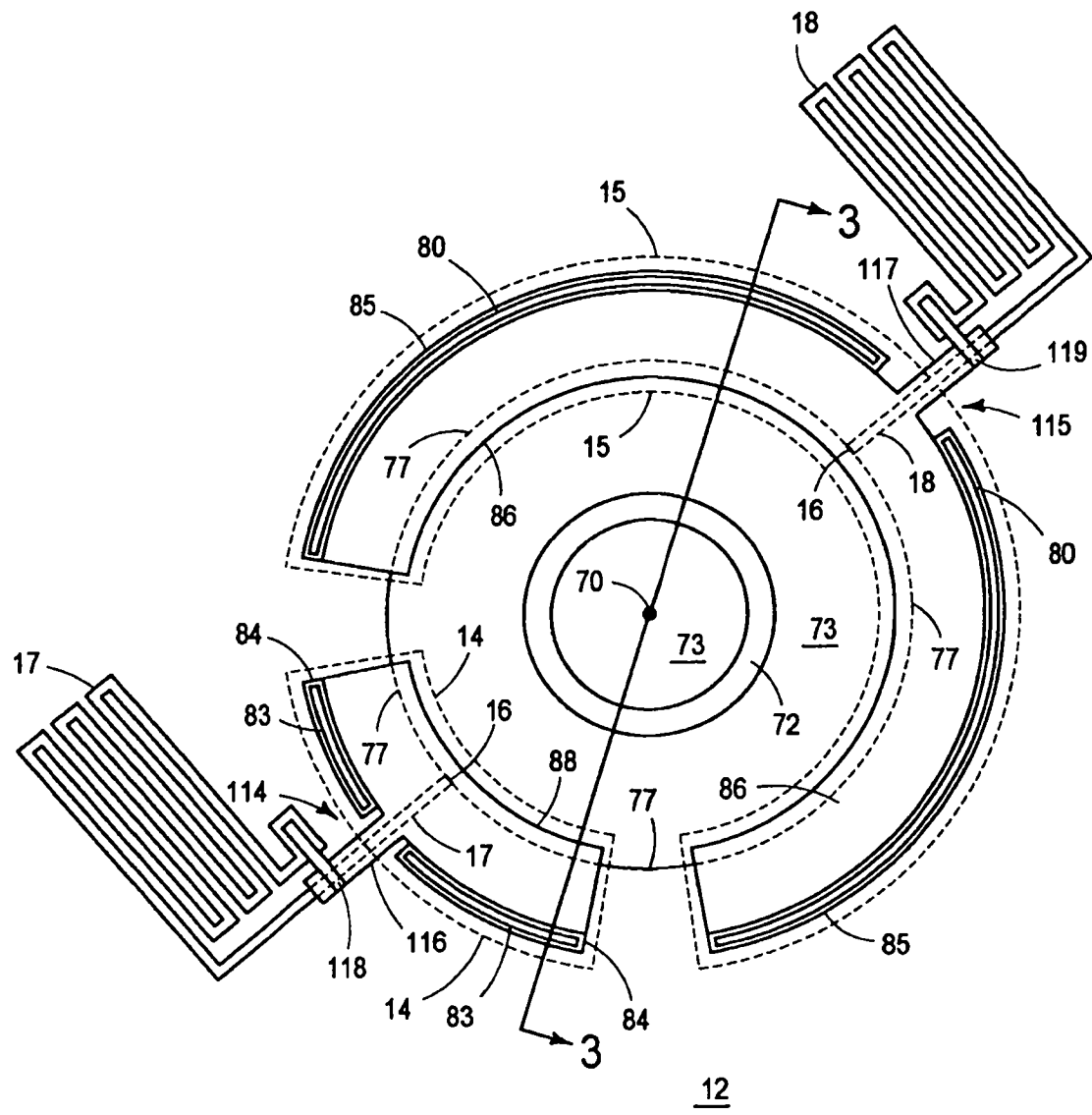


圖 2

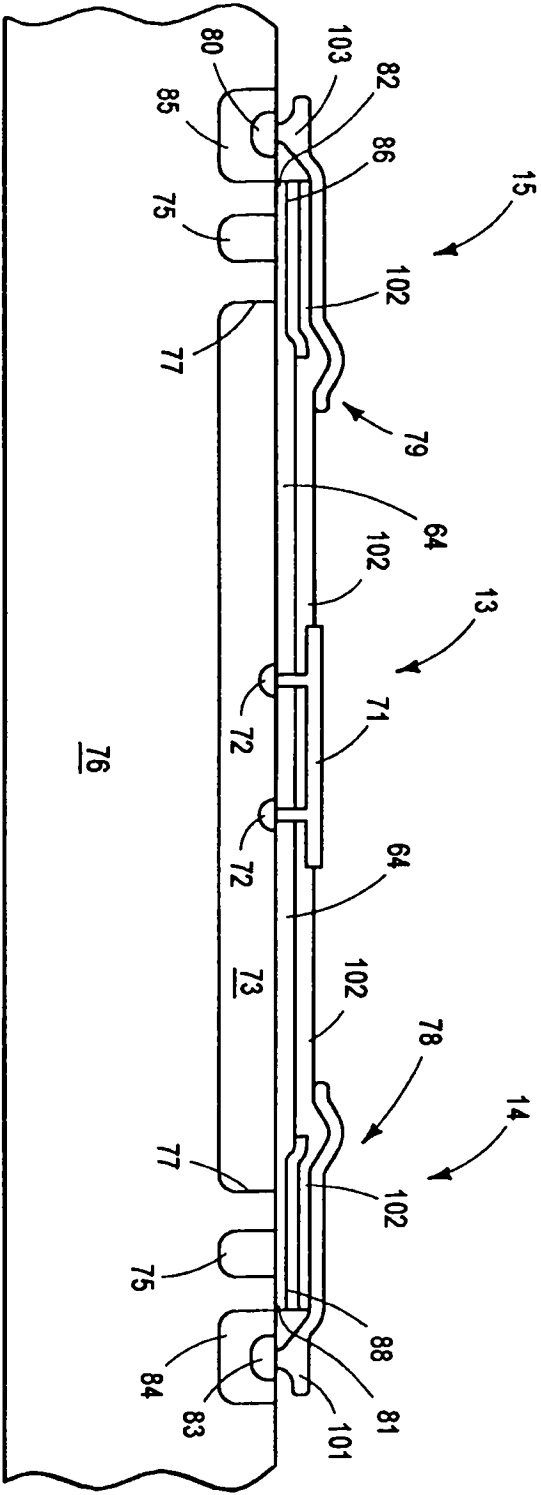


圖 3

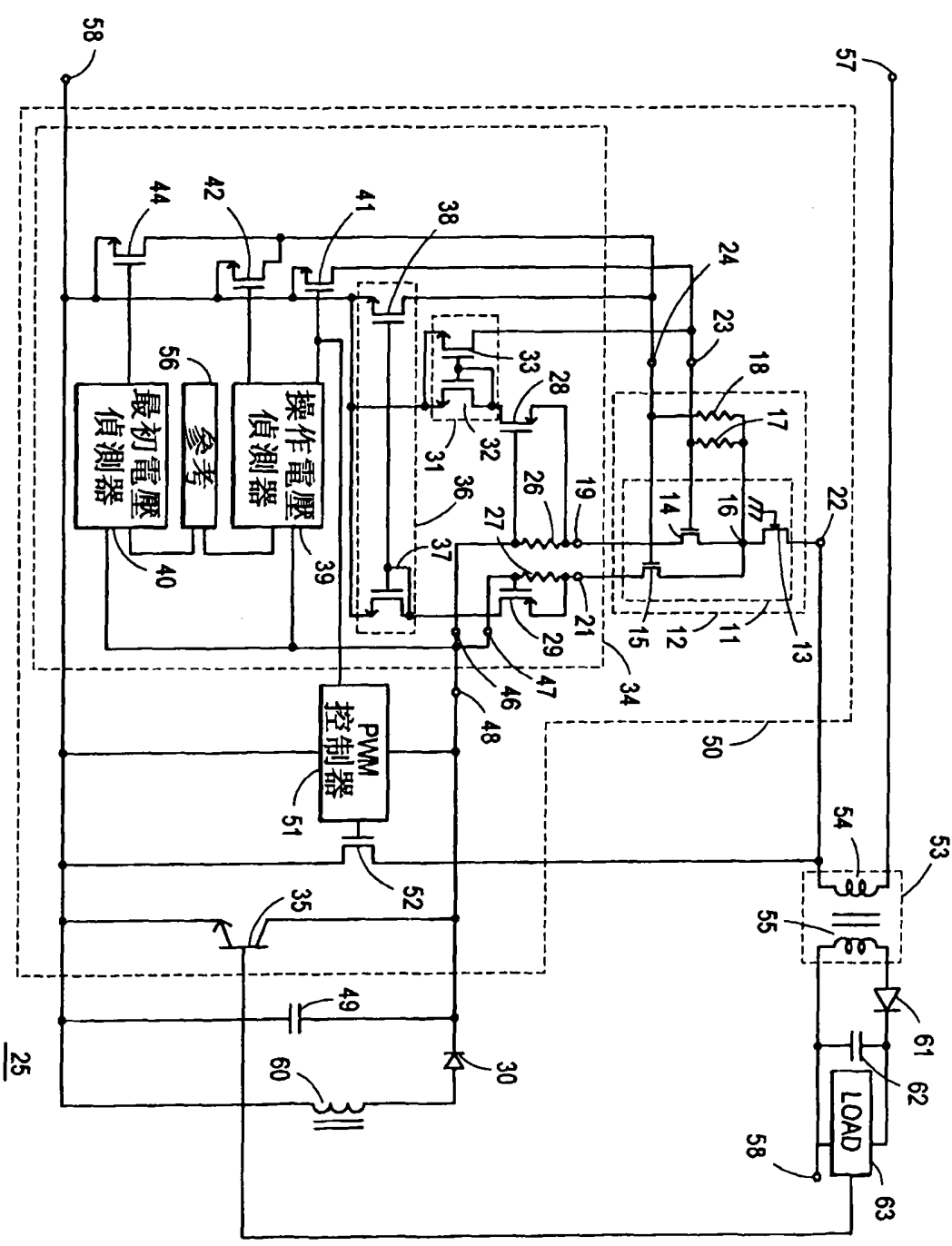


圖 4

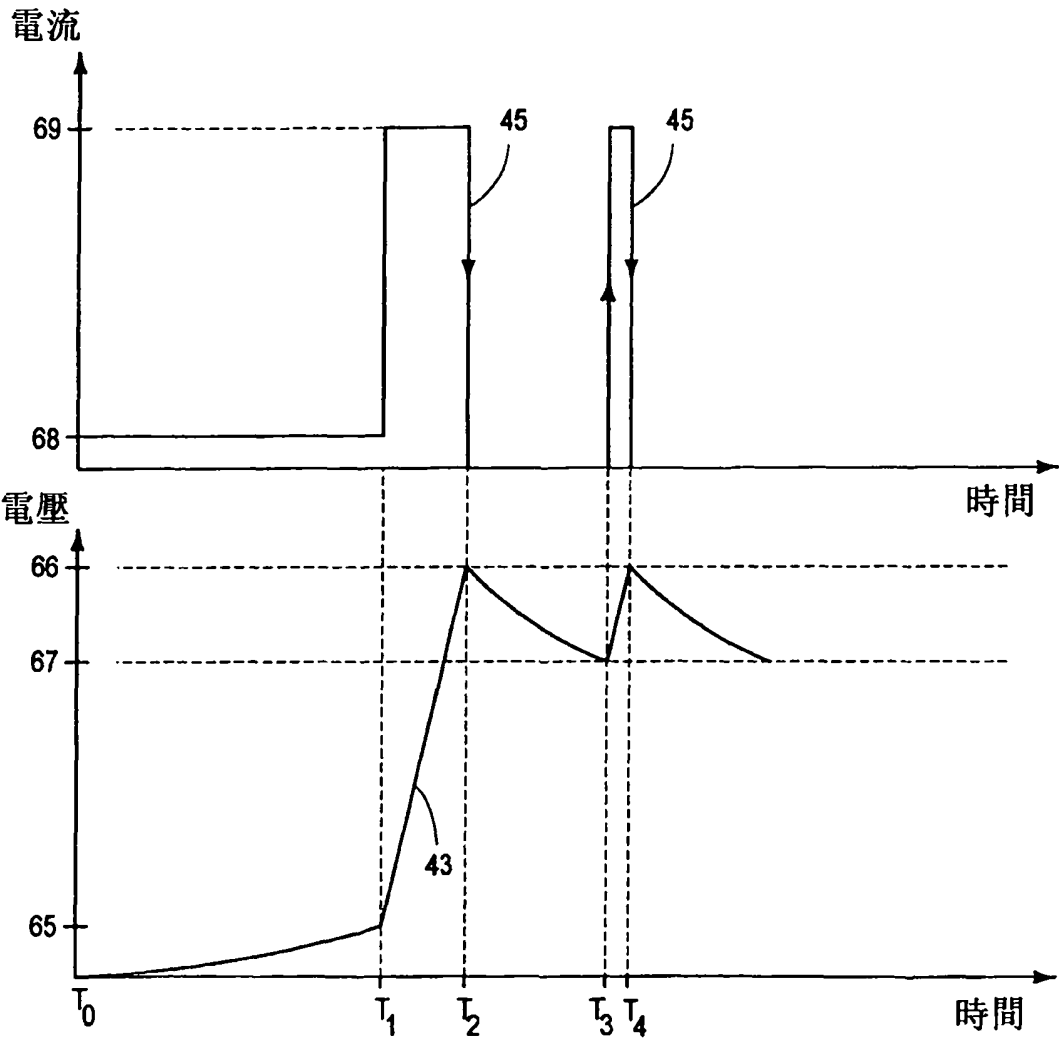


圖 5

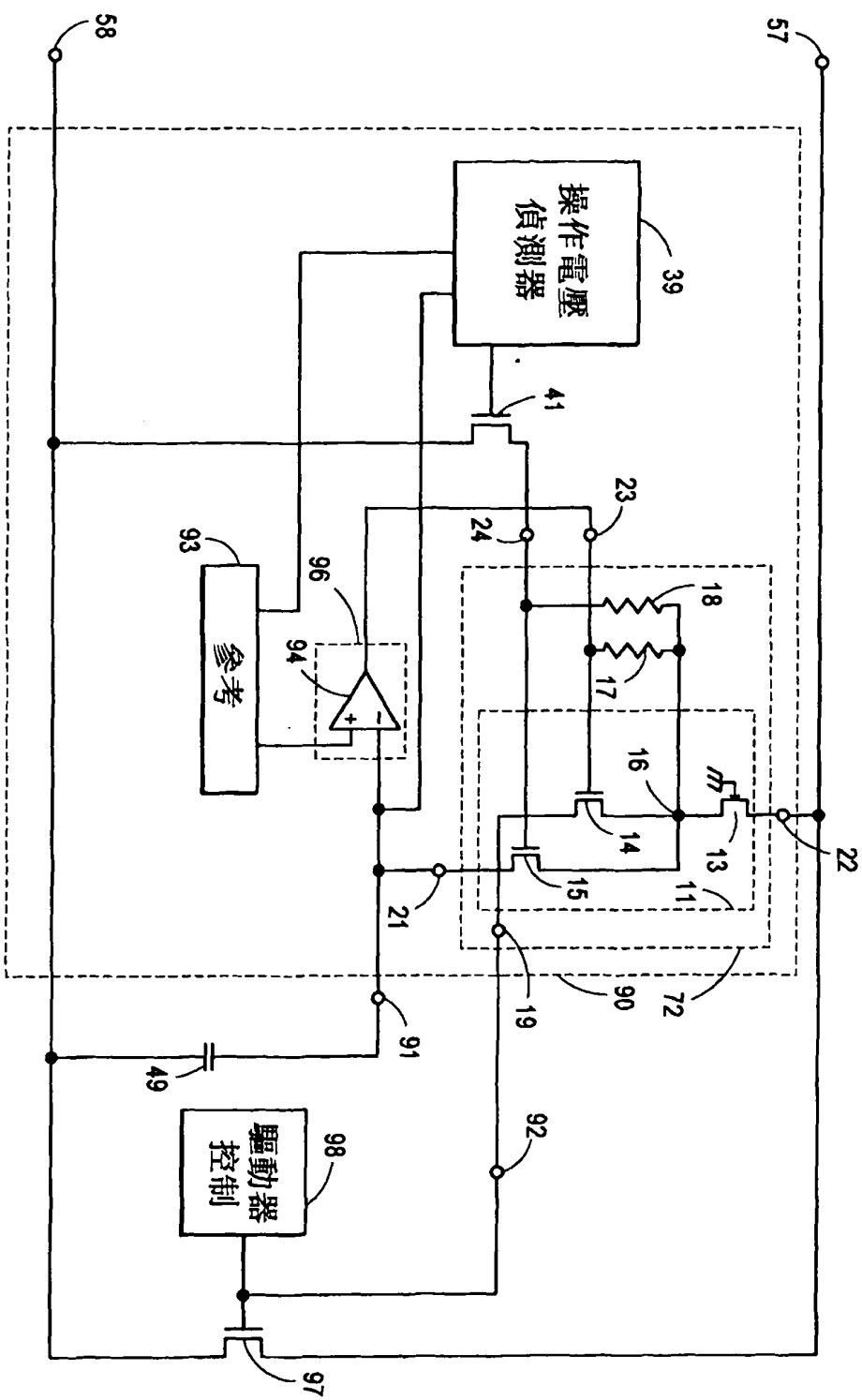


圖 6

七、指定代表圖：

(一)本案指定代表圖為：第（ 2 ）圖。

(二)本代表圖之元件符號簡單說明：

12	裝 置
14	第 一 MOS 電 晶 體
15	第 二 MOS 電 晶 體
16	節 點
17	第 一 偏 壓 電 阻 器
18	第 二 偏 壓 電 阻 器
70	中 心
72	汲 極 接 點
73	摻 雜 區 域
77	邊 緣
80	源 極 接 點
83	源 極 接 點
84	源 極 區 域
85	源 極 區 域
86	閘 極 多 晶 矽
88	閘 極 多 晶 矽
114	開 口
115	開 口
116	焊 片
117	焊 片
118	連 接

119 連 接

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

料，從而導致電晶體13係形成為N通道模式J-FET電晶體，而電晶體14及15係形成為N通道MOS電晶體。

熟習此項技術者應認識到裝置12之圓形的封閉幾何形狀亦可採用以下方式加以形成：區域73形成為一橢圓形而區域84及85形成為圓弧；一正方形，區域84及85沿該正方形之各邊形成為一矩形；一五邊形，區域84及85沿該五邊形之某些邊形成為一矩形；一六邊形，區域84及85沿該六邊形之某些邊形成為一矩形等。

圖4示意性地解說採用裝置12的功率控制系統25之一部分的具體實施例。功率控制系統25採用裝置12及啟動控制電路34，以控制系統25之高電壓功率上升順序並抑制系統25之操作。系統25接收電壓輸入57與電壓返回58之間的輸入電壓。其他組件通常與電路34進行外部連接，以便提供系統25之所需功能。例如能量儲存電容器49、具有一次電感器54、二次電感器55及輔助電感器60的變壓器53、整流二極體61、另一儲存電容器62、脈波寬度調變器(PWM)控制器51、功率電晶體52、抑制電晶體35及負載63，通常為系統25之一部分。電容器49及62、變壓器53、控制器51、電晶體52及二極體61與30，係僅顯示成協助解說裝置12及電路34之操作。熟習此項技術者瞭解可包括圖4中未顯示的其他熟知組件及功能以形成完整的功率控制系統。在大多數具體實施例中，電容器49及62、變壓器53、控制器51、電晶體35及二極體61與30，係在裝置12及電路34得以形成所處的半導體晶粒之外部。在某些具體實施例中，控

十、申請專利範圍：

1. 一種形成一高電壓多輸出電流裝置之方法，其包括：

提供一第一導電類型之一基板；

形成一第二導電類型之一第一摻雜區域於該基板之一第一部分上，包括形成該第一摻雜區域作為具有一中心及一第一周邊的一第一封閉幾何形狀，其中該第一周邊之一第一部分具有一第一輪廓，而該第一周邊之一第二部分具有一第二輪廓，並且其中該第一摻雜區域亦包括一 J-FET 電晶體之一汲極及一源極、一第一 MOS 電晶體之一汲極、及一第二 MOS 電晶體之一汲極；

形成具有一第二周邊的該第二導電類型之一第二摻雜區域於該基板上，其中該第二周邊之一部分係與該第一周邊之該第一部分並列而且具有一第三輪廓，其形狀與該第一輪廓相同，並且其中該第二摻雜區域為該第一 MOS 電晶體之一源極；以及

形成具有一第三周邊的該第二導電類型之一第三摻雜區域於該基板上，其中該第三周邊之一部分係與該第一周邊之該第二部分並列而且具有一第四輪廓，其形狀與該第二輪廓相同，並且其中該第三摻雜區域為該第二 MOS 電晶體之一源極。

2. 如請求項 1 之方法，其進一步包括形成該第一 MOS 電晶體之一閘極，從而覆蓋該第一周邊之該第一部分及該第二周邊之該部分的一部分，其中該第一 MOS 電晶體之該閘極的一部分具有一第五輪廓，其形狀與該第一輪廓相

- 同；並且形成該第二MOS電晶體的一閘極，從而覆蓋該第一周邊之該第二部分及該第三周邊之該部分的一部分，其中該第二MOS電晶體之該閘極的一部分具有一第六輪廓，其形狀與該第二輪廓相同。
3. 如請求項1之方法，其中形成該第二導電類型之該第一摻雜區域於該基板之該第一部分上，包括形成該第一摻雜區域作為具有該中心及該第一周邊的該第一封閉幾何形狀之步驟包括形成該第一摻雜區域作為具有從該中心的一第一半徑之一圓。
 4. 如請求項3之方法，其中形成該第二摻雜區域於該基板上以及形成該第三摻雜區域於該基板上，包括形成該第二摻雜區域作為具有從該中心的一第二半徑之一圓的一第一圓弧以及形成該第三摻雜區域作為具有從該中心的一第三半徑之一圓的一第二圓弧。
 5. 如請求項1之方法，其進一步包括形成該第二導電類型之一第四摻雜區域於該第一摻雜區域內。
 6. 如請求項1之方法，其進一步包括形成具有一第一端點連接至該第一摻雜區域以及一第二端點連接至該第二摻雜區域之一第一電阻。
 7. 如請求項1之方法，其進一步包括形成具有一第一端點連接至該第一摻雜區域以及一第二端點連接至該第三摻雜區域之一第二電阻。
 8. 一種高電壓多輸出電流裝置，其包括：
一第一導電類型之一基板；

一第二導電類型之一第一摻雜區域，其係在該基板之一第一部分上，形成為一第一封閉幾何形狀的該第一摻雜區域具有一中心及一第一周邊，其中該第一周邊之一第一部分具有一第一輪廓，而該第一周邊之一第二部分具有一第二輪廓，並且其中該第一摻雜區域亦為一J-FET電晶體之一汲極及一源極、一第一MOS電晶體之一汲極、及一第二MOS電晶體之一汲極；

該第二導電類型之一第二摻雜區域，其係在該基板上並具有一第二周邊，其中該第二周邊之一部分係與該第一周邊之該第一部分並列而且具有一第三輪廓，其形狀與該第一輪廓相同，並且其中該第二摻雜區域為該第一MOS電晶體之一源極；以及

該第二導電類型之一第三摻雜區域，其係在該基板上並具有一第三周邊，其中該第三周邊之一部分係與該第一周邊之該第二部分並列而且具有一第四輪廓，其形狀與該第二輪廓相同，並且其中該第三摻雜區域為該第二MOS電晶體之一源極。

9. 如請求項8之高電壓多輸出電流裝置，其進一步包括覆蓋該第一周邊及該第二周邊之該第一部分的一部分之一第一閘極結構，並且亦包括覆蓋該第一周邊及該第三周邊之該第二部分的一部分之一第二閘極結構。
10. 如請求項8之高電壓多輸出電流裝置，其進一步包括該第一摻雜區域內的該第二導電類型之一第四摻雜區域，該第四摻雜區域具有較該第一摻雜區域為重的摻雜。

11. 如請求項8之高電壓多輸出電流裝置，其進一步包括一低導通電阻電晶體，該電晶體係耦合成從該第一MOS電晶體接收電流，並回應地傳導一ESD至一電壓返回。
12. 如請求項11之高電壓多輸出電流裝置，其中該低導通電阻電晶體也連接至該J-FET電晶體之汲極。
13. 如請求項11之高電壓多輸出電流裝置，其進一步包括一具有輸入耦合成從該第二MOS電晶體接收電流以及當輸出電壓等於或大於要求值時關掉該第二MOS電晶體之一操作電壓偵測器。
14. 如請求項11之高電壓多輸出電流裝置，其進一步包括一第一電流控制迴路耦合成從該第二導電類型之該第三摻雜區域接收電流；一第二電流控制迴路耦合成從該第二導電類型之該第二摻雜區域接收電流，該第二電流控制迴路具有一輸出；以及一電容連接至該第一及第二電流控制迴路之輸出。
15. 如請求項14之高電壓多輸出電流裝置，其進一步包括一具有輸入連接至該第一電流控制迴路之輸出以接收該第一及第二電流控制迴路之輸出電壓以及當輸出電壓等於或大於要求值時關掉該第一MOS電晶體及第二MOS電晶體之一操作電壓偵測器。
16. 如請求項15之高電壓多輸出電流裝置，其進一步包括一連接至該第一電流控制迴路輸出之一抑制電晶體流以耦合從該第二MOS電晶體電流至電壓返回。
17. 一種功率控制系統抑制方法，其包括：

在一系統控制器之一輸出中產生一第一輸出電流，以回應一輸出電壓之一第一數值；

將該輸出與一電壓返回耦合以抑制該第一輸出電流之產生；

在該系統控制器之該輸出中產生一第二輸出電流，以回應該輸出電壓之一第二數值，其中該第二輸出電流小於該第一輸出電流；以及

其中該第一及第二輸出電流係由一高電壓多重輸出電流裝置所產生之二獨立控制電流。

18. 如請求項17之方法，其中產生該第二輸出電流，包括當該輸出電壓大於該第一數值時產生該第一輸出電流及該第二輸出電流，以及當該輸出電壓最少等於一第三數值停止產生該第一輸出電流及該第二輸出電流，其中該第一數值大於該第二數值，且該第三數值大於該第一數值及該第二數值。
19. 如請求項17之方法，進一步包括在該系統控制器之輸入接收一輸入電壓，產生該第一輸出電流，對一與該第一輸出電流耦合至輸出的電容充電，以及當第二數值的該輸出電壓大於該一數值時關掉該第一輸出電流。
20. 一種高電壓多輸出電流裝置，其包括：

一第一導電類型之一基板；

一第二導電類型之一第一區域，其係在該基板之一第一部分上，該第一區域具有一形狀及一第一周邊，其中該第一周邊之一第一部分具有一第一輪廓，而該第一周

邊之一第二部分具有一第二輪廓，並且其中該第一區域亦為一J-FET電晶體之一汲極及一源極、一第一MOS電晶體之一汲極、及一第二MOS電晶體之一汲極；以及

該第二導電類型之一第二區域，其係在該基板上並具有一第二周邊，其中該第二周邊之一部分係與該第一周邊之該第一部分並列而且具有一第三輪廓，其形狀與該第一輪廓相同，並且其中該第二區域為該第一MOS電晶體之一源極；以及該第二導電類型之一第三區域，其係在該基板上並具有一第三周邊，其中該第三周邊之一部分係與該第一周邊之該第二部分並列而且具有一第四輪廓，其形狀與該第二輪廓相同，並且其中該第三區域為該第二MOS電晶體之一源極。

21. 如請求項20之高電壓多輸出電流裝置，其進一步包括覆蓋該第一周邊及該第二周邊之該第一部分的一部分之一第一閘極結構，並且亦包括覆蓋該第一周邊及該第三周邊之該第二部分的一部分之一第二閘極結構。
22. 如請求項20之高電壓多輸出電流裝置，其進一步包括該第一區域內的該第二導電類型之一第四區域，該第四區域具有較該第一區域為重的摻雜。
23. 如請求項20之裝置，其中該第一區域之該形狀為一圓型，一橢圓形，一正方形，一長方形，一五邊形或一六邊形之一，且其中該第一周邊之該第一部份為從該第一區域型狀之一中心的一距離。
24. 如請求項23之裝置，其中該第二區域周邊之該部分具有

從該第一區域型狀之該中心的一第二距離，且其中該第三區域周邊之該部分具有從該第一區域型狀之該中心的一第三距離。