

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5766122号
(P5766122)

(45) 発行日 平成27年8月19日(2015.8.19)

(24) 登録日 平成27年6月26日(2015.6.26)

(51) Int.Cl.

H01L 33/48 (2010.01)
H01L 23/36 (2006.01)

F 1

H01L 33/00 400
H01L 23/36 C

請求項の数 11 (全 14 頁)

(21) 出願番号 特願2011-543974 (P2011-543974)
 (86) (22) 出願日 平成21年11月27日 (2009.11.27)
 (65) 公表番号 特表2012-514340 (P2012-514340A)
 (43) 公表日 平成24年6月21日 (2012.6.21)
 (86) 國際出願番号 PCT/DE2009/001693
 (87) 國際公開番号 WO2010/075831
 (87) 國際公開日 平成22年7月8日 (2010.7.8)
 審査請求日 平成24年11月5日 (2012.11.5)
 審判番号 不服2014-26333 (P2014-26333/J1)
 審判請求日 平成26年12月24日 (2014.12.24)
 (31) 優先権主張番号 102008063325.9
 (32) 優先日 平成20年12月30日 (2008.12.30)
 (33) 優先権主張国 ドイツ(DE)

(73) 特許権者 599133716
 オスラム オプト セミコンダクターズ
 ゲゼルシャフト ミット ベシュレンクテ
 ル ハフツング
 Osram Opto Semiconduc
 tors GmbH
 ドイツ連邦共和国、93055 レーゲン
 スブルグ、ライブニッツシュトラーゼ 4
 Leibnizstrasse 4, D
 -93055 Regensburg,
 Germany
 (74) 代理人 100114890
 弁理士 アインゼル・フェリックス=ライ
 ンハルト

最終頁に続く

(54) 【発明の名称】発光手段の製造方法

(57) 【特許請求の範囲】

【請求項 1】

発光手段の製造方法において、
 平坦なチップ実装領域(20, 51)を含み、かつ、ヒートシンクとして使用される支持体(10a, 4, 50)を準備するステップと、
 前記平坦なチップ実装領域(51, 20)を構造化し、第1の部分領域(17, 24, 21a, 43)と少なくとも1つの第2の部分領域(12a, 22a, 22b, 23, 44)とを形成し、前記構造化後に前記第1の部分領域(17, 24, 21a, 43)にはんだを弾く特性を備えさせるステップと、

前記平坦なチップ実装領域(51, 20)にはんだを塗布し、該はんだにより前記少なくとも1つの第2の部分領域(12a, 22a, 22b, 23, 44)を湿らせるステップと、 10

前記少なくとも1つの第2の部分領域(12a, 22a, 22b, 23, 44)内の前記はんだの上に少なくとも1つのオプトエレクトロニクス素子(100, 60)を載置するステップと、

切欠部と、少なくとも1つの金属性の導体路(55)と、少なくとも1つのコンタクト領域(54)とを備えた薄膜回路基板(50a)を形成するステップと、

前記薄膜回路基板(50a)を前記支持体に載置する前または載置した後に、前記少なくとも1つのオプトエレクトロニクス素子(60)を載置し、前記切欠部が前記チップ実装領域の上方に位置するように前記薄膜回路基板(50a)を前記支持体に載置するステ 20

ツプと、

前記薄膜回路基板（50a）の載置後に、前記オプトエレクトロニクス素子（100, 60）への電気的なエネルギーの供給に適している電気的なコンタクトを形成するステップとを有し、

前記電気的なコンタクトを形成するステップは、前記少なくとも1つのオプトエレクトロニクス素子（60）と、前記薄膜回路基板（50a）の前記少なくとも1つのコンタクト領域（54）とを接続させるステップを含む、

ことを特徴とする、発光手段の製造方法。

【請求項2】

前記第2の部分領域（12a, 22a, 22b, 23, 44）内の前記平坦なチップ実装領域（51, 20）は、前記はんだによって少なくとも部分的に湿らされる、少なくとも1つの金属性の部分層（12, 42）を含む、請求項1記載の方法。 10

【請求項3】

前記平坦なチップ実装領域を構造化するステップは、
前記平坦なチップ実装領域（51, 20）上に、はんだを弾く特性を有するはんだストップ層（43）を被着させるステップと、

前記はんだストップ層を構造化し、前記第1の部分領域および前記第2の部分領域（44）を形成するステップと、

前記第2の部分領域（44）における前記はんだストップ層を除去するステップとを含む、請求項1または2記載の方法。 20

【請求項4】

前記平坦なチップ実装領域を構造化するステップは、
前記平坦なチップ実装領域の前記第1の部分領域上に、はんだを弾く特性を有するはんだストップ層を被着させるステップと、

前記第2の部分領域の一部を必要に応じて露出および/または加工し、はんだによって湿らされる表面を前記第2の部分領域に形成するステップとを含む、請求項1または2記載の方法。

【請求項5】

ヒートシンクとして使用される支持体（50）を準備するステップは、少なくとも2つの部分層から成る積層体（11, 12）を含む、チップ実装領域を備えた支持体を準備するステップを含み、前記部分層のうちの少なくとも1つの部分層は、 30

ニッケル、

銅、

アルミニウム、

銀、

金、

チタン、

タンゲステン

のうちの少なくとも1つを含有する、請求項1から4までのいずれか1項記載の方法。

【請求項6】

前記第1の部分領域は、少なくとも前記チップ実装領域の縁に沿って延在している、請求項1から5までのいずれか1項記載の方法。 40

【請求項7】

さらに、

前記チップ実装領域の外側において、前記支持体に誘電層（13, 50a）を設けるステップと、

前記誘電層に金属性のコンタクト部（14, 55）を形成するステップと、

前記支持体に少なくとも1つの構成素子（59a）を載置し、前記コンタクト部と電気的に接触接続させるステップとを有する、請求項1から6までのいずれか1項記載の方法

。

【請求項 8】

隣接する少なくとも 2 つの第 2 の部分領域を第 1 の部分領域によって隔てる、請求項 1 から 7 までのいずれか 1 項記載の方法。

【請求項 9】

電気的なコンタクトを形成するステップは、

前記チップ実装領域の外側に設けられているコンタクトパッドにコンタクトワイヤをボンディングするステップと、

前記オプトエレクトロニクス素子におけるコンタクトパッドにコンタクトワイヤをボンディングし、該コンタクトパッドを、光の放射に適した積層体の部分層に電気的に接触接続させるステップとを含む、請求項 1 から 8 までのいずれか 1 項記載の方法。 10

【請求項 10】

前記オプトエレクトロニクス素子は、前記はんだと対向する側に反射層を有する、請求項 1 から 9 までのいずれか 1 項記載の方法。

【請求項 11】

前記オプトエレクトロニクス素子は、前記はんだ側とは反対の側にコンタクトパッドを有する、請求項 1 から 10 までのいずれか 1 項記載の方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本願は、ドイツ連邦共和国特許出願102008063325.9の優先権を主張するものであり、その開示内容は参照により本願に含まれるものとする。 20

【0002】

本発明は、発光手段の製造方法に関し、殊に、オプトエレクトロニクス素子を備えたデバイスの製造方法に関する。

【0003】

オプトエレクトロニクス素子を用いる用途の重要性が一層高まっている。そのような用途には、ランプのような単純な発光手段の他に、LCDディスプレイまたはモニタのためのバックライトも含まれる。本願明細書においてオプトエレクトロニクス素子とは、駆動時に電気的なエネルギーが供給された際に光を放出する素子を表す。このようなオプトエレクトロニクス素子には、半導体ベースの発光ダイオードの他に、有機発光ダイオードや、光の放射に適している、有機化合物および無機化合物の組み合わせや、光を放射する他の構成素子が含まれる。 30

【0004】

幾つかの用途、例えばプロジェクタでは、非常に高い光出力が必要とされる。そのような用途では、殊に、種々の色の光を放射することにより白色光が得られる発光素子が使用される。

【0005】

可能な限り高い輝度を達成するために、共通のチップ上に種々のオプトエレクトロニクス素子が位置決めされて配置され、続いてそれらのオプトエレクトロニクス素子が相応の給電線によって制御され、オプトエレクトロニクス素子にエネルギーが供給されることが多い。多数の個々のチップに分割することによって、一方では光度および色をより良好に調整ことができ、他方では故障が発生する確率が低減される、もしくは修理の実現性を改善することができる、という利点が得られる。したがって、オプトエレクトロニクス素子が不正確に位置決めされて配置されると、不均一な光分布および輝度が生じる可能性があり、このことは障害として認識される虞がある。 40

【0006】

したがってこの種の発光手段を製造する際には、より高い輝度、またより均一な輝度を達成することができる方法が必要とされる。

【0007】

この課題は、独立請求項記載に記載されている構成によって解決される。 50

【0008】

本発明の実施形態および発展形態は従属請求に記載されている。

【0009】

本発明により提案される原理によれば、個々の発光素子が設けられている平坦なチップ実装領域の適切な構造化によって、輝度および均一性（単にエテンデュとも称される）を改善することができる。

【0010】

このために、1つの実施形態においては、平坦なチップ実装領域を有し、またヒートシンクとして使用される支持体が準備される。支持体は、この種の平坦なチップ実装領域を備えたメタルコアまたは金属基板を有していてもよい。同様に、支持体として、金属性のチップ実装領域を備えたセラミック基板、平坦で必要に応じてメタライジングされたチップ実装領域を備えたプリント回路基板、または、その種の領域を備えたリードフレームを予定することもできる。それぞれの支持体に依存して、別個のチップ実装領域を事前に処理することができる。例えば、チップ実装領域をメタライジングすることができる。支持体としては、平坦なチップ実装領域を形成するために部分領域においてメタライジングすることができ、また表面実装技術（SMT）を使用できるあらゆる基板が適している。10

【0011】

平坦なチップ実装領域は、1つの第1の部分領域と少なくとも1つの第2の部分領域を形成するために構造化される。この構造化は、第1の部分領域が構造化後に、はんだを弾く特性を有するように行われる。択一的に、チップ実装領域の構造化によって、第1の部分領域がはんだを弾くようになり、その結果、チップ実装領域は第1の部分領域においてはんだを弾き、第2の部分領域においてはんだを引き寄せる。20

【0012】

「はんだを弾く」または「はんだを弾く特性」という語句は、はんだまたははんだ剤を後に塗布した際に、それらが第1の部分領域を湿らせなくされる、もしくは殆ど湿らせなくさせる、第1の部分領域の特性と解される。したがって、平坦なチップ実装領域にはんだを塗布した後に、はんだは殊に第2の部分領域に集中し、この第2の部分領域を湿らせる。

【0013】

続いて、少なくとも1つのオプトエレクトロニクス素子、有利にはオプトエレクトロニクス半導体素子が、少なくとも1つの第2の部分領域におけるはんだ上に載置され、支持体に固定される。したがって、第1の部分領域を構造化し、はんだを弾くようにすることによって、はんだ上に載置されたオプトエレクトロニクス素子が第2の部分領域内に固定される。はんだが液体の状態で製造されている場合、第2の部分領域においてのみはんだはチップ実装領域を湿らせるので、はんだの上に浮遊しているオプトエレクトロニクス素子が第2の部分領域内のはんだと「一緒に移動する」。30

【0014】

したがって、はんだを弾く特性と、はんだを引き寄せる特性または湿潤特性とを備えるように、複数の部分領域に平坦なチップ実装領域を構造化することによって、1つまたは複数のオプトエレクトロニクス素子が固定され、かつ、事前に塗布されたはんだによってチップ実装領域と結合される部分領域が形成される。40

【0015】

続いて、オプトエレクトロニクス発光素子への電気的なエネルギーの供給に適している、電気的なコンタクトを形成することができる。

【0016】

これに関して、1つの実施形態においては、ヒートシンクとして使用される支持体を既に電極として形成すること、もしくは平坦なチップ実装領域を電極として形成することは好適である。この場合には、平坦なチップ実装領域がヒートシンクの一部として使用されるだけでなく、オプトエレクトロニクス素子との電気的なコンタクトとしても使用される。50

【 0 0 1 7 】

1つの実施形態においては、第2の部分領域内の平坦なチップ実装領域が、はんだによって少なくとも部分的に湿らせることができる、少なくとも1つの金属性の部分層を含む。部分層は例えば金、銀または他の非酸化材料を含有することができる。1つの実施形態においては、平坦なチップ実装領域が、相互に重ねて配置されている、種々の材料から成る種々の部分層を含む。それらの材料として、例えばニッケル、銅、アルミニウム、銀、金、チタンまたはタングステンが考えられる。金層における金が下方に位置する部分層、例えば銅から成る部分層に拡散することを阻止するために、金層をニッケルから成る部分層の上に設けることができる。

【 0 0 1 8 】

本発明による方法の1つの実施形態においては、チップ実装領域を構造化するため、また第1の部分領域を形成するために、チップ実装領域内の金層の一部を除去し、下方に位置するニッケル層を酸化させることが提案される。金層の下方に位置する層、特にニッケル層の酸化によって、はんだを弾く特性を有する第1の部分領域が形成されるので、第1の部分領域に塗布されるはんだはこの第1の部分領域を湿らせないか、極僅かにしか湿らせない。

【 0 0 1 9 】

1つの実施形態においては、光源、有利にはレーザが準備されることによって、この種の構造化が達成される。続いて、平坦なチップ実装領域の構造化部を形成するために、平坦なチップ実装領域の第1の部分領域が光源によって照射され、少なくとも1つの金属性の部分層が酸化される。1つの実施例においては、第1の部分領域の表面材料が照射によって溶融または蒸発し、その下にある露出された材料が酸化される。第1の部分領域の下方に位置する酸化された材料ははんだを弾く特性を有する。例えば、表面材料として金、アルミニウムまたは銀が考えられ、それらの表面材料は、有利にはレーザを用いた照射によって蒸発する。第1の部分領域の下方に位置し、かつ、別の部分層を形成する材料が露出される。この別の部分層は例えばニッケルを含有することができる。続いて、露出された材料は例えば光源を用いて酸化されるが、他の物理的な方法または化学的な方法によって酸化されても良い。

【 0 0 2 0 】

露出された層がニッケル層の場合、このニッケル層はレーザ照射によって酸化され、そのようにして酸化されたニッケルははんだを弾く。

【 0 0 2 1 】

一般的に、はんだを弾く特性を有する材料を形成するために、平坦なチップ実装領域の表面材料が、物理的または化学的な方法によって化学的に変性され化合される。

【 0 0 2 2 】

別の実施形態においては、はんだトップ層が平坦なチップ実装領域上に被着されることによって、平坦なチップ実装領域が構造化される。このはんだトップ層も同様にはんだを弾く特性を有する。続いて、第1の部分領域および第2の部分領域を形成するために、はんだトップ層が構造化され、続いて第2の部分領域内のはんだトップ層が除去され、その結果、はんだトップ層の下方にある、チップ実装領域の第2の部分領域の表面が再び露出される。はんだトップ層の構造化を例えば適切なマスク法および露光によって行うことができる。その他の個所のはんだトップ層はチップ実装領域に残され、第1の部分領域を形成する。

【 0 0 2 3 】

別の実施形態においては、はんだトップ層が平坦なチップ実装領域上に直接的に選択的に被着され、それにより第1の部分領域が規定される。ここでもまた、はんだトップ層ははんだを弾く特性を有する。はんだトップ層のこのような被着を、雛形を用いる方法またははんだディスペンス法により行うことができる。必要であれば、続いて第2の部分領域の一部の露出および/または加工によって、その部分から不所望に被着されたはんだトップ層を除去し、第2の部分領域がはんだによって湿らせることができる表面を再

10

20

30

40

50

び有するようにすることができる。

【0024】

第2の部分領域内の平坦なチップ実装領域上にはんだを塗布するために、はんだディスペンス法が使用される。この方法は、例えば給電部または他の電気的なコンタクトを含むことができ、かつチップ実装領域を包囲する領域よりも深い位置において、チップ実装領域が支持体内にある場合には殊に有利である。

【0025】

別の実施形態においては、平坦なチップ実装領域を有し、かつ、ヒートシンクとして使用される支持体が準備され、この支持体上にコンタクト層が設けられる。支持体として、プリント回路基板（PCB）、セラミック基板、メタルコア、プラスチックまたはこれらの支持体材料の組み合わせが考えられる。10

【0026】

チップ実装領域の外側においては、誘電層が支持体上に平坦に設けられ、これによりチップ実装領域との短絡が回避される。誘電層には、導体路およびコンタクトパッドならびに他の必要な構成素子が蒸着、析出または他のやり方で被着される。さらに、チップ実装領域は第1の部分領域ないし第2の部分領域を形成するために相応に構造化され、続いて、はんだ材料が例えばはんだディスペンス法を用いて少なくとも1つの第2の部分領域に析出される。平坦なチップ実装領域の構造化によって、はんだが少なくとも1つの第2の部分領域へと押し出され、この第2の部分領域を湿らせる。続いて、種々のオプトエレクトロニクス素子が少なくとも1つの第2の部分領域内のはんだ上に載置され、はんだが加熱されることによってチップ実装領域と密に結合される。最後のステップにおいては、電気的なエネルギーを供給するための電気的なコンタクトが形成される。20

【0027】

電気的なコンタクトを例えばワイヤボンディングによって形成することができ、このワイヤボンディングにおいてはボンディングワイヤが一方ではオプトエレクトロニクス発光素子と接続され、他方ではチップ実装領域の外側に位置するコンタクトパッドと接続される。

【0028】

本発明の別の実施形態においては、チップ実装領域が種々の第2の部分領域に分割され、それらの第2の部分領域のうちのそれぞれ隣接する2つの第2の部分領域が第1の部分領域の一部によって隔てられている。このようにして、複数のオプトエレクトロニクス発光素子を、空間的に若干離れてはいるが、非常に短い距離を置いて、チップ実装領域に固定することができる。例えば、種々の波長の光を放射するために、全体として所望の発光パターンが得られるようにオプトエレクトロニクス発光素子をチップ実装領域上に配置することができる。殊に、種々の発光素子をチップ実装領域上に配置することによって、混色、例えば白色を実現することができる。2つの部分領域間において第1の部分領域を適切に薄く構造化することによって、種々のオプトエレクトロニクス発光素子を実質的に隙間なく接合させることができると達成される。30

【0029】

以下では、添付の図面を参照しながら複数の実施例に基づき本発明を詳細に説明する。40

【図面の簡単な説明】

【0030】

【図1】本願発明により提案される原理にしたがい製造された、発光手段の断面図を示す。

【図2】本願発明により提案される原理にしたがい製造された、発光手段の平坦なチップ実装領域の平面図を示す。

【図3】別の実施形態によるチップ実装領域の平面図を示す。

【図4 A】本発明による方法の実施例を説明するための積層体の断面図を示す。

【図4 B】本発明による方法の実施例を説明するための積層体の断面図を示す。

【図4 C】本発明による方法の実施例を説明するための積層体の断面図を示す。50

【図4D】本発明による方法の実施例を説明するための積層体の平面図を示す。

【図4E】本発明による方法の実施例を説明するための積層体の断面図を示す。

【図5A】発光手段を製造するための本発明による方法の別の実施例の俯瞰図を示す。

【図5B】発光手段を製造するための本発明による方法の別の実施例の俯瞰図を示す。

【図5C】発光手段を製造するための本発明による方法の別の実施例の俯瞰図を示す。

【図5D】発光手段を製造するための本発明による方法の別の実施例の俯瞰図を示す。

【0031】

以下の実施例および図面においては、同一の構成部材または同様に機能する構成部材にはそれぞれ同一の参照符号を付してある。図面および大きさの比率、殊に個々の部分領域相互間の大きさの比率および層相互間の大きさの比率は基本的には縮尺通りのものではないと解すべきである。むしろ、それらは本発明の個々の態様を説明するために使用される。より良い理解のため、またはより見易くするために、それらの構成部材は過度に大きく、もしくは過度に厚く示している場合もある。10

【0032】

図1は、本発明により提案される原理にしたがい製造された、発光手段の部分断面図を示す。発光手段1は、ヒートシンクとして使用される支持体10aの上に設けられている。この支持体は一貫した銅コア10を含み、この銅コア10は十分な安定性を有し、かつ、駆動時に発光素子100によって生じる熱を排出するには十分に大きい熱容量を有する。さらに銅コア10は、この銅コア10を発光素子100のための背面側の電極として使用できるという利点を有する。20

【0033】

択一的に、セラミック基板も金属性のチップ実装領域を備えた支持体として使用することができます。

【0034】

銅コア10の上には、オプトエレクトロニクス素子100をより良好に固定するために、付加的な部分層11および12が設けられている。これらの部分層によって、後に塗布されてその上に発光素子100が固定されることになる、はんだのより良好な湿潤が実現される。この実施例において、個々の部分層はニッケルから成る部分層11と、この部分層11の上に設けられている金層12とを含む。金層12は下方に設けられている層の不所望な酸化を阻止し、したがってその層の寿命を延ばす。30

【0035】

ニッケル部分層11の上において銅コア10と導電的に接触している金層12の上には、部分的に誘電層13が設けられている。この誘電層13の上にはコンタクトラグ14が蒸着されており、このコンタクトラグ14は後にボンディングワイヤ117を介する発光素子100との接触接続を実現する。

【0036】

チップ実装領域Aにおいては、はんだ15の上における発光素子100の固定を保証するために、部分層11および12が個々の部分領域17に構造化されている。このはんだ15は第2の部分領域12a内に塗布されており、この第2の部分領域12aは構造化された部分領域17によって包囲されている。図面から見て取れるように、はんだは構造化された部分領域17を湿らせることなく、チップ実装領域の第2の部分領域12aのみを湿らせる。つまり、はんだの上に置かれて取り付けられたオプトエレクトロニクス素子は第2の部分領域12a内に固定される。例えば発光ダイオードの形態の発光素子100は、光の放出を改善するために背面側に配置されているミラー層115を含む。40

【0037】

さらに、発光素子100は1つまたは複数の部分層42を含み、これらの部分層のうちの少なくとも1つは、光放射に適した層を有する。1つの実施形態においては、発光素子を薄膜発光ダイオードとして構成することができる。この種の発光素子の相応の製造方式は当業者には周知があるので、ここで改めて説明することは省略する。

【0038】

10

20

30

40

50

この実施例においては、発光素子 100 はその表面にコンタクト 116 を有し、このコンタクト 116 はボンディングワイヤ 117 を介して、発光素子および誘電層 13 の表面における相応のコンタクトパッドおよびコンタクトラグ 14 と固定されている。

【0039】

構造化された第 1 の部分領域 17 は薄いニッケル酸化層 16 によって被覆されている。金層を除去し、続いて酸化を行うことによって形成される、このニッケル酸化層ははんだを弾くので、チップ実装領域上にはんだ材料が塗布されても、この部分領域は湿らされない。続いて、異なる接着力によって、はんだの上に置かれた発光素子が大部分のはんだと共に部分領域へと引き寄せられる。2つの部分領域 17 および 12a へとチップ実装領域を構造化したことによって、チップ実装領域内の発光素子の位置が正確に規定される。

10

【0040】

この種の発光素子を製造するために、この実施例においては金層 12a がレーザによって除去される。のために、レーザビームがチップ実装領域に向かって放射され、チップ実装領域に沿って案内されるので、レーザビームが通過した個所において部分層 12 が蒸発し、部分領域 17 が規定される。レーザビームによるエネルギーの付加的な供給と同時に、下方にあるニッケル層 11 が酸素によって酸化される。ニッケル層 11 はそれ以降、はんだを弾く特性を有する。はんだを後に塗布する際には、使用される融剤が構造化された部分領域 17 内のニッケル酸化層 16 を再度縮小させることなく、構造化が再び終了されることを顧慮しなければならない。

【0041】

20

構造化の後に、はんだが塗布され、例えばはんだディスペンス法、すなわちはんだを計量分配する方法によりはんだが塗布される。載置された発光素子 100 ははんだによって第 2 の部分領域 12a 上に位置決めされ、そこに固定される。続いて、ワイヤボンディング方法によって、コンタクトワイヤ 117 が発光素子ないしオプトエレクトロニクス素子 100 と電気的に接触接続される。

【0042】

図 2 は、種々の構造化の実現形態を説明するための平面図を示す。比較的大きい支持体の一部を形成することができるチップ実装領域の平面図が示されている。チップ実装領域は 2 つの主領域を含み、それらの主領域はそれぞれ第 1 の部分領域および第 2 の部分領域に構造化されている。第 1 の主領域においては、チップ実装領域が、周囲を包囲する部分領域 24 によって構造化されているので、この部分領域 24 内には露出された面 23 が存在している。この面 23 が第 2 の部分領域を形成する。この面上にはディスペンス法、析出法またはプリント法によってはんだ材料を塗布することができる。周囲を包囲する部分領域 24 はこれに対してはんだを弾く特性を有しているので、はんだ材料は実質的に領域 23 に集中する。

30

【0043】

構造化されたチップ実装領域の第 2 の主領域は 2 つの第 2 の部分領域 22a および 22b に分割されており、これらの第 2 の部分領域 22a および 22b は構造化されたウェブ 21b によって相互に分離されている。ここでもまた、部分領域 22a および 22b が、はんだを弾く特性を有する第 1 の部分領域 21a によって完全に包囲されている。2 つの第 2 の部分領域 22a および 22b において析出されるはんだ材料は構造化されたウェブ 21b によって隔てられるので、この実施形態においては例えば 2 つの別個のオプトエレクトロニクス素子を個々の部分領域 22a および 22b において位置決めすることができる。

40

【0044】

部分領域 23 ならびに 22a および 22b の表面は金属性であるので、塗布されたはんだ材料は、一方ではオプトエレクトロニクス素子の駆動時の熱排出に使用され、それと同時に他方では背面側の電気的なコンタクトを形成することができる。

【0045】

ここで提案されるチップ実装領域の構造化によって、幾何学的に種々に配置される部分

50

領域を設けることができ、またそれらの部分領域内にオプトエレクトロニクス素子を正確に位置決めすることができる。これによって、光放射のエンテンデュおよび均一性を全体的に改善することができる。

【0046】

図3には、これに関連して、矩形の部分領域31が構造化されている、比較的複雑なチップ実装領域の平面図を示す。それらの部分領域31は共通の中心点の周りに環状に配置されている。支持体における適切な結線によって、オプトエレクトロニクス素子を個別に制御することができ、したがって種々の光学用途を実現することができる。

【0047】

部分領域の種々の大きさおよび形状は、種々のオプトエレクトロニクス素子を設けることを許容するものであり、またそれと同時に、その種々の放射特性を考慮できるものもある。例えば、異なる波長を有する光を放射するために、適切な素子を相互に隣接させて配置することによって、混色を形成することもできる。構造化の後にはんだを弾く特性を有する、チップ実装領域の第1の部分領域は非常に薄い層厚を有することができるので、駆動時に光出力および放射の品質が低下することなく、素子を十分に近い位置で並べて配置することができる。それどころか、隣接する2つの第2の部分領域を隔て、かつ、はんだを弾く特性を有する第1の部分領域の厚さを適切に選択することによって、第1の部分領域の厚さよりも短い間隔でオプトエレクトロニクス素子を並べて配置し固定することも可能である。

【0048】

それと同時に、種々の用途も実現するために、種々のオプトエレクトロニクス素子を個別に駆動制御することができる。チップ実装領域の構造化によって、相応に大面積のオプトエレクトロニクス素子に比べて製造時の許容差がより大きく、また故障が少ない、比較的小さいオプトエレクトロニクス素子を使用することができる。

【0049】

図4Aから図4Eには、オプトエレクトロニクス素子を備えたデバイスを製造するための方法の実施例が示されている。

【0050】

図4Aによる第1のステップにおいては、ヒートシンクとして使用される支持体4が準備される。この支持体4は、主としてヒートシンクとして使用される銅コア40を含むが、他の材料を含有することもできる。銅コア40の上には誘電層41が設けられており、この誘電層41は銅コア40と誘電層41の上に設けられている導電層42との間の短絡を阻止すべきものである。ここでは誘電層41も十分な熱伝性を有する。

【0051】

導電層42は複数のメタライジング層を含むが、それらのメタライジング層はここでは見易くするために詳細には示していない。例えば、誘電層41の上には先ず銅から成るメタライジング層が設けられる。この銅から成るメタライジング層の上には続いてニッケルが蒸着され、このニッケルの上には酸化を阻止するために薄い金層がさらに設けられる。銅層と金層との間に配置されるニッケル層は、金が銅層に拡散して銅層が酸化することを阻止するために必要である。ここで提案される銅・ニッケル・金によるコーティングの代わりに、他の材料によるコーティングを使用することもできる。例えば、銅および銀から成る部分層、もしくはニッケルおよび銀から成る部分層も、後に載置される発光素子の固定に適している。

【0052】

誘電層41は数 μm の厚さを有し、この誘電層41の上に設けられている銅メタライジング層は35 μm から70 μm 以上の厚さを有することができ、またニッケル層は約10 μm から20 μm の厚さを有する。

【0053】

チップ実装領域を構造化するため、また、第1の部分領域および第2の部分領域に分割し、第1の部分領域がはんだを弾く特性を有するようにするために、部分層42上にはん

10

20

30

40

50

だストップ層が大面積で析出される。この結果は図4Bに示されている。続いて、フォトマスク法を用いてはんだストップ層が構造化され、はんだストップ層は個々の第1の部分領域43a, 43bおよび43cへと分割される。はんだストップ層としては、例えば非常に不感光性のフォトラックまたは他の有機層も適している。少なくとも素子の製造が完了するまでは、はんだストップ層は安定していることが望ましい。

【0054】

個々の部分領域43a, 43bおよび43cの間には、はんだストップ層として機能するフォトレジスト層の露光されない部分が除去され、したがって第2の部分領域44が規定される。露光されない領域が除去された後には、メタライジング層42の表面が再び露出される。

10

【0055】

図4Dは、構造化された個々の第1の部分領域43a, 43b, 43cおよび第2の部分領域44を説明するための、支持体の部分平面図を示す。線分I'-Iに沿った断面は、図4Cによる断面図に相当する。第2の部分領域44においては、金属性の表面が露出している。

【0056】

平面図の下側の領域には付加的なコンタクトパッド45が露出しており、これらのコンタクトパッド45は誘電性の保護層46によって包囲されている。線分II'-IIに沿った断面は図4Eに示されている。メタライジング層42の上には電気的な絶縁のために、別の誘電層47が設けられている。択一的に、はんだストップ層が絶縁性の作用を有する限りは、はんだストップ層によって層47を形成することもできる。誘電層47上には、コンタクトラグおよびコンタクトパッドとしてのコンタクトエレメント45が析出されている。コンタクトパッドの酸化を阻止するため、また短絡が発生する確率を低下させるために、コンタクトパッド45は別の誘電性の保護層46によって包囲されている。図示されている実施例においては、電気的なエネルギーをコンタクトパッド45に供給するためのコンタクトラグは保護層46によって被覆されている。

20

【0057】

したがって、コンタクトパッド45のみが露出しており、このコンタクトパッド45は例えばボンディングワイヤ接続部を介して、部分領域44内のオプトエレクトロニクス素子と接続されている。ここでは図示していない支持体4の部分では、誘電層47内にコンタクト孔が設けられており、それらのコンタクト孔は金属性の層42との電気的なコンタクトを実現し、したがって部分領域44内のオプトエレクトロニクス素子を実現する。

30

【0058】

図5Aから図5Dは、発光手段を製造するための本発明による方法の別の実施例を示す。この方法において、ヒートシンクとして使用される支持体50、例えば銅コア、セラミックコア、プリント回路基板、リードフレームまたは、高い熱伝導率を有する同様の支持体は、チップ実装領域51ならびにワイヤボンディング領域52において、金属性の導電層によって被覆される。ワイヤボンディング領域52およびチップ実装領域51は導電的に接触している。ヒートシンクとして使用される支持体にさらに設けられている切欠部は固定エレメントを表し、それらの固定エレメントを用いて、後に製造される素子を別の構成要素に固定することができる。

40

【0059】

図5Bは、ラミネート技術を用いた、相応の切欠部を備えたモジュール構造のための薄膜回路基板を示す。薄膜回路基板50aはプラスチックを含有し、その内部において、1つまたは複数の層内に種々のコンタクト線路55から58が埋め込まれている。薄膜回路基板の表面には、コンタクトエレメント54, 54a, 56, 56aおよび57が配置されている。これらのコンタクトエレメントは露出されており、他方では、損傷から保護するために、コンタクト線路55を薄い保護層によって被覆することができる。コンタクトエレメントは例えば銅層ないし薄い銅・ニッケル・金メタライジング層を含む。コンタクトラグ57のうちの幾つかは給電線55を介してコンタクトラグ54と接続されている。

50

さらに、図 5 A による構造化されたチップ実装領域 5 1 および構造化されたワイヤボンディング領域 5 2 に事後的にアクセスできるようにするために、中央に切欠部 5 3 が設けられている。別のコンタクトエレメント 5 6 a , 5 6 および 5 7 には表面実装技術によって種々の構成要素を実装することができる。

【 0 0 6 0 】

後続のステップにおいては、薄膜回路基板がヒートシンクとして使用される支持体 5 0 に固定され、例えばラミネートすることができる。このために好適には、ラミネートの前に薄いフォトレジスト層が、チップ実装領域 5 1 およびワイヤボンディング領域 5 2 を除いて支持体 5 0 の上に被着される。支持体における回路基板のラミネートによって、薄膜回路基板と支持体の密な結合が実現される。さらにはそれと同時に、支持体がヒートシンクとして機能する。10

【 0 0 6 1 】

コンタクトエレメント 5 4 が切欠部および構造化されたチップ実装領域 5 1 の近傍に配置されている。別のコンタクト部 5 4 b は支持体 5 0 の構造化されたワイヤボンディング領域 5 2 の近傍に設けられている。

【 0 0 6 2 】

図 5 D に示されている後続のステップにおいては、はんだディスペンス法を用いてはんだペーストが構造化されたチップ実装領域 5 1 上に塗布される。はんだの滲みはチップ実装領域の構造化によって、また第 1 の部分領域および第 2 の部分領域への分割によって阻止される。チップ実装領域の第 1 の部分領域ははんだを弾く特性を有する。これによって、塗布されたはんだ材料は第 2 の部分領域のみを湿らせる。続いて、半導体素子 6 0 がチップ実装領域に配置される。接着力によって、はんだペーストは個々のオプトエレクトロニクス素子をそれぞれの第 2 の部分領域へと押し出し、これによって図 5 D に示されている規則的な配置構成が得られる。20

【 0 0 6 3 】

この実施例においては、薄膜回路基板のラミネートがはんだの塗布前およびオプトエレクトロニクス素子の被着前に行われた。しかしながらこのことは必ずしも必要ではない。同様に、種々の方法、例えばはんだディスペンス法またはプリント法を用いて、はんだ材料をチップ実装領域に塗布し、それによってオプトエレクトロニクス素子を固定することができる。続いて、薄膜回路基板が支持体に固定される。30

【 0 0 6 4 】

図 5 A から図 5 D に示した実施例においては、6 個の個々のオプトエレクトロニクス素子が 2 列 3 行の形態でチップ実装領域に固定される。したがって、チップ実装領域は 6 個の矩形の第 2 の部分領域に分割されている。個々のコンタクトパッド 5 4 はボンディングワイヤを介して、オプトエレクトロニクス素子 6 0 におけるコンタクトパッドと接続される。構造化されたワイヤボンディング領域 5 2 は、コンタクトワイヤを介してラミネート支持体におけるコンタクトパッド 5 4 a に接続される。

【 0 0 6 5 】

続いて、はんだディスペンス法を用いて、別のコンタクトパッド上にはんだ材料を析出させ、後に、表面実装素子 5 9 c , 5 9 b ないしチップモジュール 5 9 a を固定することができる。被着された保護リング 6 1 は、コンタクトパッド 5 4 , 5 4 a と、チップ実装領域 5 1 およびワイヤボンディング領域 5 2 を有する切欠領域とを包囲する。保護リング 6 1 によって、コンタクトパッド 5 6 , 5 7 および 5 6 a のためのはんだを、はんだディスペンス法を用いる代わりに、他のやり方で、例えばシルクスクリーンまたは離形を用いたプリントにより塗布することができる。40

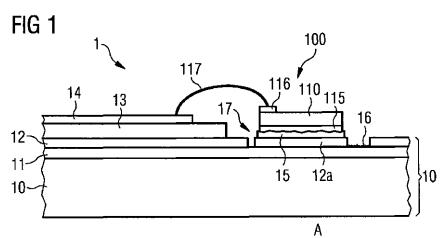
【 0 0 6 6 】

第 1 の部分領域および第 2 の部分領域に分割するためにチップ実装領域を構造化することによって、オプトエレクトロニクス素子、また一般的には発光素子をはんだ材料によって、事前に良好に規定された位置に固定することができる。これによって、大面積のチップ実装領域内での個々の構成要素の位置決めが改善される。50

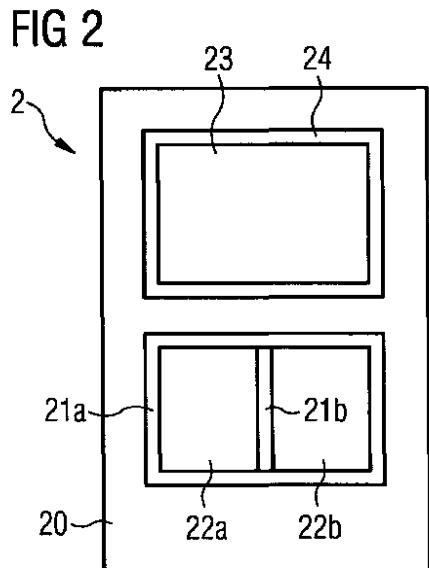
【0067】

このために、第1の部分領域は構造化の後にはんだを弾くようになる。すなわち、塗布されたはんだ材料はこの部分領域を湿らせない。相応に、はんだ材料の上にオプトエレクトロニクス素子が配置される場合には、オプトエレクトロニクス素子がはんだ材料によって第2の部分領域へと押し出され、そこにおいて固定される。構造化は例えば、はんだトップ層を相応に設けることによって実施することができる。択一的に、ヒートシンクとして使用される支持体において、チップ実装領域内に設けられている金属層を除去するか、酸化させることによって、はんだを弾く特性を備えさせることも可能である。後者の場合には、レーザ構造化法を使用して、殊に精確で狭い構造化部が実現される。

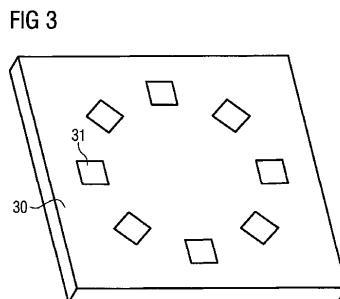
【図1】



【図2】



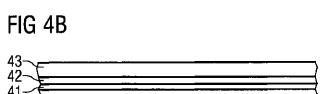
【図3】



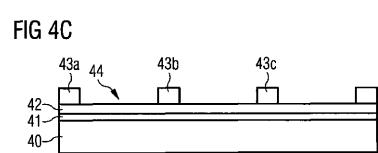
【図4A】



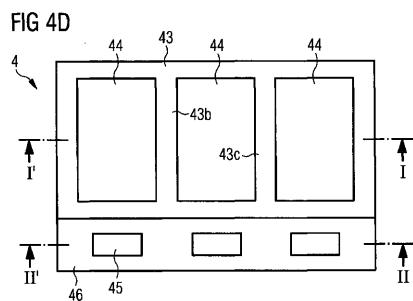
【図4B】



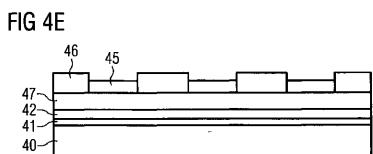
【図4C】



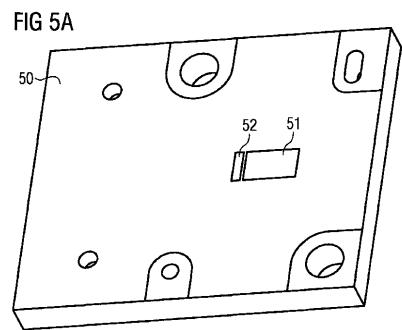
【図4D】



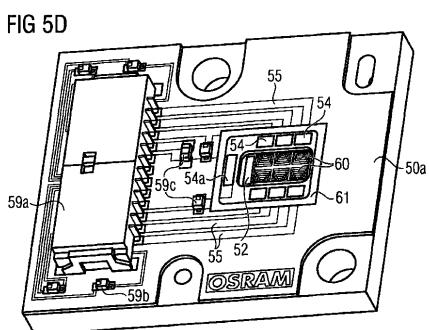
【図4E】



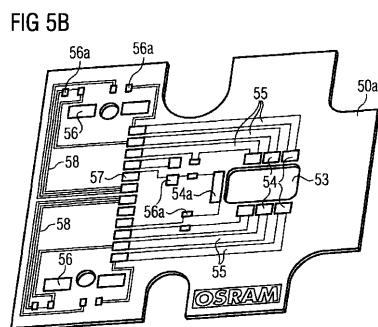
【図5A】



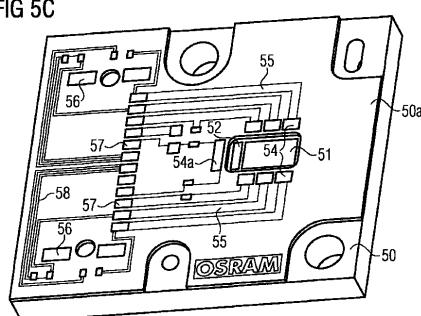
【図5D】



【図5B】



【図5C】



フロントページの続き

(74)代理人 100099483
弁理士 久野 琢也

(74)代理人 100128679
弁理士 星 公弘

(72)発明者 シュテファン グレッチュ
ドイツ連邦共和国 レンゲフェルト - パート アップバッハ ヴァルトシュトラーセ 6
(72)発明者 クラウス ミュラー
ドイツ連邦共和国 ペッテンドルフ ガーテンシュトラーセ 6 アー

合議体

審判長 恩田 春香

審判官 吉野 公夫

審判官 近藤 幸浩

(56)参考文献 特表2008-545997 (JP, A)
特開2008-028377 (JP, A)
特表2010-504630 (JP, A)
国際公開第2008/040307 (WO, A2)

(58)調査した分野(Int.Cl., DB名)

H01L 33/00-33/64