

**POLSKA
RZECZPOSPOLITA
LUDOWA**



**URZĄD
PATENTOWY
PRL**

OPIS PATENTOWY PATENTU TYMCZASOWEGO

110275

Patent tymczasowy dodatkowy
do patentu nr _____

Zgłoszono: 02.03.78 (P. 205014)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 12.02.79

Opis patentowy opublikowano: 30.04.1981

Int. Cl².

H03K 19/42

CZYTELNIA

Urzedu Patentowego
P. O. Box 1000, 00-100 Warszawa

Twórca wynalazku: Andrzej Górąjek

Uprawniony z patentu tymczasowego: Centralny Ośrodek Badawczo-Rozwojowy
Radia i Telewizji,
Warszawa (Polska)

Element realizujący logiczną funkcję większościową.

Przedmiotem wynalazku jest element realizujący logiczną funkcję większościową, przeznaczony do pracy w układach decyzyjnych, w których stan logiczny wyjścia ma odzwierciedlać stan logiczny większości wejść.

Znane są seryjnie produkowane elementy realizujące logiczną funkcję większościową, zwane zwykle bramkami większościowymi, jak na przykład pięciowejsiowa bramka większościowa typu MC 14530 firmy Motorola. Wadą dotychczas produkowanych bramek większościowych jest brak możliwości łączenia ich w celu zyskania układów o dużej liczbie wejść.

Istota wynalazku polega na skonstruowaniu bramki podstawowej, o strukturze ekspandywnej, pozwalającej poprzez proste łączenie tych bramek uzyskać układ o dowolnej liczbie wejść.

Bramka podstawowa zawiera dwa przetworniki cyfrowo-analogowe o jednakowej wadze logicznej wszystkich wejść, z których wejścia pierwszego przetwornika są połączone z odpowiednimi wejściami drugiego przetwornika poprzez układy odwracające fazę. Wejścia główne pierwszego przetwornika stanowią wejścia bramki podstawowej a dodatkowe wejście tego przetwornika połączone poprzez układ odwracający fazę stanowi wejście dodatkowe bramki podstawowej. Ponadto zawiera dwuwejściowy wzmacniacz różnicowy, którego wejścia są połączone z wyjściami analogowymi przetworników, stanowiące równocześnie wejścia ekspandywne bramki podstawowej, natomiast wyjście wzmacniacza jest równocześnie wyjściem bramki podstawowej. Odmiana rozwiązania bramki podstawowej zawiera przetworniki cyfrowo-analogowe o zakodowanych binarnie wagach logicznych wejść głównych, które są poprzez układy odwracające fazę połączone ze sobą oraz z wyjściami sumatora, którego wejścia główne oraz połączone poprzez układ odwracający fazę wejście dodatkowe o wadze logicznej równej jedności logicznej pierwszego przetwornika stanowi wejście bramki podstawowej.

Dla uzyskania bramek większościowych o dużej liczbie wejść łączy się równolegle wejścia ekspandywne bramek podstawowych przy czym, przy łączeniu parzystej liczby bramek podstawowych, w celu uzyskania nieparzystej liczby wejść, łączy się dodatkowo dowolne wejście jednej bramki podstawowej oraz jej wejście równoważące z masą układu.

Powyższe rozwiązanie odznacza się znaczną prostopotą układu, pozwalającą na opracowanie bramki o strukturze zintegrowanej.

Przedmiot wynalazku został uwidoczniony w przykładach wykonania, na rysunku, którego fig. 1 przedstawia układ połączeń podstawowej bramki większościowej, fig. 2 — odmianę wykonania bramki podstawowej, fig. 3 — układ połączeń parzystej liczby bramek podstawowych, a fig. 3b — układ połączeń nieparzystej liczby podstawowych bramek większościowych.

Podstawowa bramka większościowa M według wynalazku, (fig. 1) składa się z dwóch przetworników cyfrowo-analogowych 1 i 2 posiadających jednakową wagę logiczną wszystkich wejść oraz ze wzmacniacza różnicowego 3. Wyjścia Y_1 i Y_2 przetworników cyfrowo-analogowych 1 i 2 są połączone z wejściami W_1 i W_2 wzmacniacza różnicowego 3, którego wyjście Y stanowi wyjście podstawowej bramki większościowej M, natomiast wejścia tego wzmacniacza stanowią równocześnie wejścia ekspandywne E_1 i E_2 bramki. Wejścia główne 1_1 do 1_7 pierwszego przetwornika cyfrowo-analogowego 1 są poprzez układy odwracające fazę 4_1 do 4_7 połączone równolegle z wejściami 2_1 do 2_7 drugiego przetwornika cyfrowo-analogowego 2. Wejściami X_1 do X_7 podstawowej bramki większościowej są wejścia główne 1_1 do 1_7 pierwszego przetwornika cyfrowo-analogowego 1. Dodatkowo wejście 1_8 przetwornika cyfrowo-analogowego 1 jest połączone z układem odwracającym fazę 4_8 , którego wyjście stanowi wejście równoważące P bramki podstawowej. Wejście równoważące P służy do wyeliminowania jednego wejścia bramki większościowej podczas ekspandywnego łączenia parzystej liczby bramek podstawowych.

Działanie podstawowej bramki większościowej według fig. 1 jest następujące:

Wielkość napięcia na wyjściach Y_1 i Y_2 przetworników cyfrowo-analogowych 1 i 2 odzwierciedla stan logiczny wejść X_1 do X_7 podstawowej bramki większościowej. Jeżeli założy się, że napięcie na wyjściu Y_1 pierwszego przetwornika cyfrowo-analogowego 1 odzwierciedla liczbę jedynek logicznych na wejściach X_1 do X_7 , to na skutek odwrócenia fazy sygnału podawanego na wejścia 2_1 do 2_7 drugiego przetwornika cyfrowo-analogowego 2, napięcie na wyjściu Y_2 tego przetwornika odzwierciedla ilość zer logicznych na wejściach X_1 do X_7 podstawowej bramki większościowej M. Ponieważ liczba wejść jest nieparzysta, napięcia na wyjściach Y_1 do Y_2 przetworników cyfrowo-analogowych 1 i 2 nie mogą być równe. Jeżeli na wejściach X_1 do X_7 podstawowej bramki większościowej M podane jest więcej jedynek logicznych niż zer, to napięcie na wyjściu Y_1 jest większe niż na wyjściu Y_2 . Jeżeli na wejściach X_1 do X_7 występuje więcej zer niż jedynek to sytuacja jest odwrotna. Tak więc w zależności od stanu logicznego wejść X_1 do X_7 różnica napięć między wejściami W_1 i W_2 wzmacniacza różnicowego 3 zmienia swój znak. Ponieważ zastosowany w układzie wzmacniacz różnicowy 3 ma na tyle duże wzmocnienie, że napięcie na jego wyjściu Y zależy od znaku a nie od wielkości różnicy napięć na jego wejściach W_1 i W_2 , to napięcie na wyjściu Y będzie przyjmowało, w zależności od stanu wejść, dwie wartości-maksymalną i minimalną, które odpowiadają logicznej jedynce i zeru. W ten sposób na wyjściu Y podstawowej bramki większościowej odzwierciedlony zostaje stan logiczny większości wejść X_1 do X_7 .

Inna wersja układu bramki większościowej M według wynalazku pokazana na fig. 2 składa się z dwóch przetworników cyfrowo-analogowych $1'$ i $2'$ o zakodowanych binarnie wagach logicznych wejść. Podobnie jak w układzie według fig. 1 pierwszy przetwornik cyfrowo-analogowy $1'$ posiada dodatkowe wejście $1'_4$ o wadze logicznej równej jedności, które poprzez układ odwracający fazę $1'_4$ jest połączone z wejściem równoważącym P brami większościowej M. Wyjścia Y'_1 i Y'_2 przetworników cyfrowo-analogowych $1'$ i $2'$ są połączone odpowiednio z wejściami W_1 i W_2 wzmacniacza różnicowego $3'$, którego wyjście Y' stanowi wyjście bramki większościowej M. Wejścia główne $1'_1$, $1'_2$ i $1'_3$ pierwszego przetwornika cyfrowo-analogowego $1'$ poprzez układy odwracające fazę $4'_1$, $4'_2$ i $4'_3$ połączone są równolegle z wejściami $2'_1$, $2'_2$ i $2'_3$ drugiego przetwornika cyfrowo-analogowego $2'$ oraz bezpośrednio z wyjściami Q_1 , Q_2 i Q_3 sumatora $5'$, którego wejścia $5'_1$ do $5'_7$ stanowią wejścia X_1 do X_7 bramki podstawowej M. Sumator $5'$ ma jednakową wagę logiczną wszystkich wejść $5'_1$ do $5'_7$, natomiast waga logiczna wyjść Q_1 , Q_2 i Q_3 jest zakodowana binarnie, podobnie jak waga logiczna wejść przetworników cyfrowo-analogowych $1'$ i $2'$.

Działanie bramki większościowej według wynalazku pokazanej na fig. 2 jest podobne jak działanie bramki większościowej według fig. 1, z tą różnicą, że stan wejść X_1 do X_7 bramki podstawowej M a więc stan wejść $5'_1$ do $5'_7$ sumatora $5'$ odzwierciedlony jest w formie binarnej, na wyjściach Q'_1 , Q'_2 i Q'_3 sumatora $5'$. Sygnał z wyjść sumatora $5'$ podawany jest bezpośrednio na wejścia główne $1'_1$, $1'_2$ i $1'_3$ pierwszego przetwornika cyfrowo-analogowego $1'$ a przez układy odwracające fazę $4'_1$, $4'_2$ i $4'_3$ na wejścia $2'_1$, $2'_2$ i $2'_3$ drugiego przetwornika cyfrowo-analogowego $2'$. Dalsze działanie układu jest takie same jak opisano poprzednio.

W tak zbudowanych brankach większościowych problem zwiększenia ilości wejść sprowadza się do problemu zwiększenia ilości wejść przetworników cyfrowo-analogowych, co uzyskuje się poprzez równoległe połączenie ich wyjść. W związku z tym zwiększoną liczbę wejść w stosunku do liczby wejść podstawowej bramki większościowej M uzyskuje się przez połączenie ze sobą dodatkowych wejść E_1 i E_2 użytych bramek podstawowych M. Przy łączeniu nieparzystej liczby bramek podstawowych M (fig. 3b), ponieważ łączna liczba wejść jest nieparzysta połączenie ogranicza się do równoległego łączenia ze sobą ekspandywnych wejść E_1 i E_2 bramek

podstawowych. Natomiast w celu ekspandywnego łączenia parzystej liczby bramek większościowych M (fig. 3a), struktura wewnętrzna bramki przewiduje możliwość wyeliminowania oddziaływania jednego z wejść X_1 do X_7 na stan wyjść X bramki M. W tym celu każda bramka podstawowa posiada dodatkowe wejście równoważące P, które poprzez układ odwracający fazę 4_8 lub $4'_4$ jest połączone z wejściem 1_8 lub $1'_4$ przetwornika cyfrowo-analogowego 1 lub 1'.

Połączenie wejścia P z masą to znaczy podanie logicznego zera, powoduje na wyjściu pierwszego przetwornika cyfrowo-analogowego 1 lub 1' taką samą zmianę napięcia jak podanie zera logicznego na jedno z wejść X_1 do X_7 bramki większościowej M wywołuje na wyjściu drugiego przetwornika cyfrowo-analogowego 2 lub 2'. Dlatego też wyeliminowanie jednego wejścia bramki większościowej M odbywa się przez zwarcie jednego z wejść X_1 do X_7 tej bramki z wejściem równoważącym P oraz z masą układu.

Przy ekspandywnym łączeniu podstawowych bramek większościowych według wynalazku, wyjście Y każdej z bramek podstawowych może służyć jako wyjście wypadkowej bramki większościowej.

Zastrzeżenia patentowe

1. Element realizujący logiczną funkcję większościową o dowolnej liczbie wejść, stanowiący zwielokrotnioną bramkę podstawową, z n a m i e n n y t y m, że podstawowa bramka (M) zawiera dwa przetworniki cyfrowo-analogowe (1) i (2) o jednakowej wadze logicznej wszystkich wejść, z których wejścia główne (1_1) do (1_7) pierwszego przetwornika są połączone z odpowiednimi wejściami (2_1) do (2_7) drugiego przetwornika poprzez układy odwracające fazę (4_1) do (4_7), przy czym wejścia główne pierwszego przetwornika stanowią wejścia (X_1) do (X_7) bramki podstawowej, a dodatkowe wejście (1_8) tego przetwornika połączone poprzez układ odwracający fazę (4_8) stanowi wejście równoważące (P) bramki podstawowej, ponadto zawiera dwuwejściowy wzmacniacz różnicowy (3), którego wejścia są połączone z wyjściami analogowymi (Y_1) i (Y_2) przetworników (1) i (2), stanowiące równocześnie wejścia ekspandywne (E_1) i (E_2) bramki podstawowej, natomiast wyjście wzmacniacza (3) jest równocześnie wyjściem (Y) bramki podstawowej (M).

2. Element według zastrz. 1, z n a m i e n n y t y m, że zwiększoną liczbę wejść uzyskuje się przez równoległe połączenie wejść ekspandywnych (E_1) i (E_2) bramek podstawowych (M), przy czym przy łączeniu parzystej liczby bramek łączy się dodatkowo dowolne wejście jednej bramki podstawowej oraz jej wejście równoważące (P) z masą układu.

3. Element realizujący logiczną funkcję większościową, o dowolnej liczbie wejść, stanowiący zwielokrotnioną bramkę podstawową, z n a m i e n n y t y m, że bramka podstawowa (M) zawiera dwa przetworniki cyfrowo-analogowe, o zakodowanych binarnie wagach logicznych wejść głównych ($1'_1$) do ($1'_3$) i ($2'_1$) do ($2'_3$), które są poprzez układy odwracające fazę ($4'_1$) do ($4'_3$) połączone ze sobą oraz z wyjściami (Q'_1) do (Q'_3) sumatora (S'), którego wejścia ($5'_1$) do ($5'_7$) oraz połączone poprzez układ odwracający fazę ($4'_4$) wejście dodatkowe ($1'_4$) o wadze logicznej równej jedności logicznej pierwszego przetwornika stanowią wejścia bramki podstawowej (M), ponadto zawiera wzmacniacz różnicowy ($3'$), o wejściach połączonych z wyjściami analogowymi (Y'_1) i (Y'_2) przetworników, które to wejścia stanowią wejścia ekspandywne (E_1) i (E_2) bramki podstawowej, natomiast wyjścia wzmacniacza ($3'$) jest równocześnie wyjściem (Y) bramki podstawowej (M).

3. Element według zastrz. 1 lub 2, z n a m i e n n y t y m, że zwiększoną liczbę wejść uzyskuje się przez równoległe połączenie wejść ekspandywnych (E_1) i (E_2) bramek podstawowych (M), przy czym przy łączeniu parzystej liczby bramek łączy się dodatkowo dowolne wejście jednej bramki podstawowej oraz jej wejście równoważące (P) z masą układu.

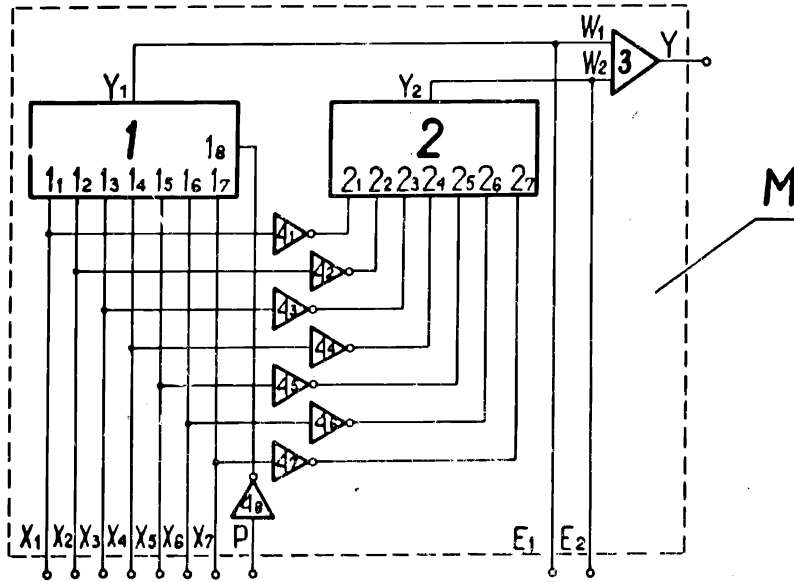


Fig. 1

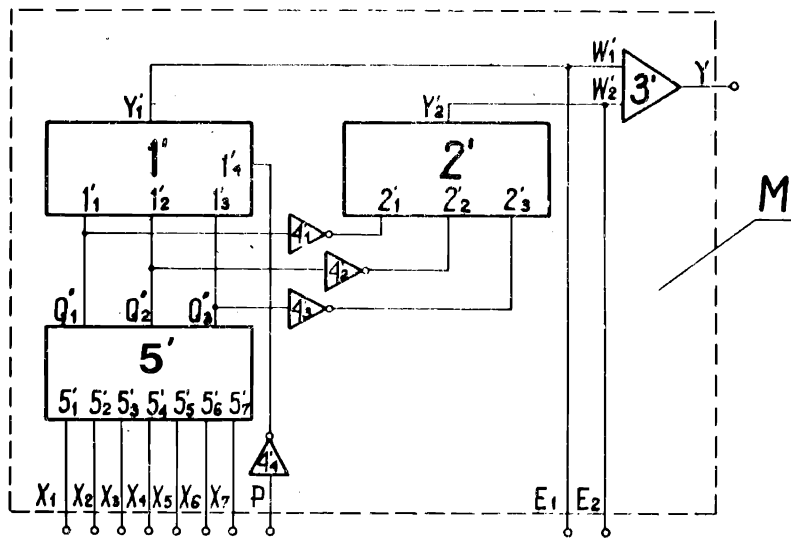


Fig. 2

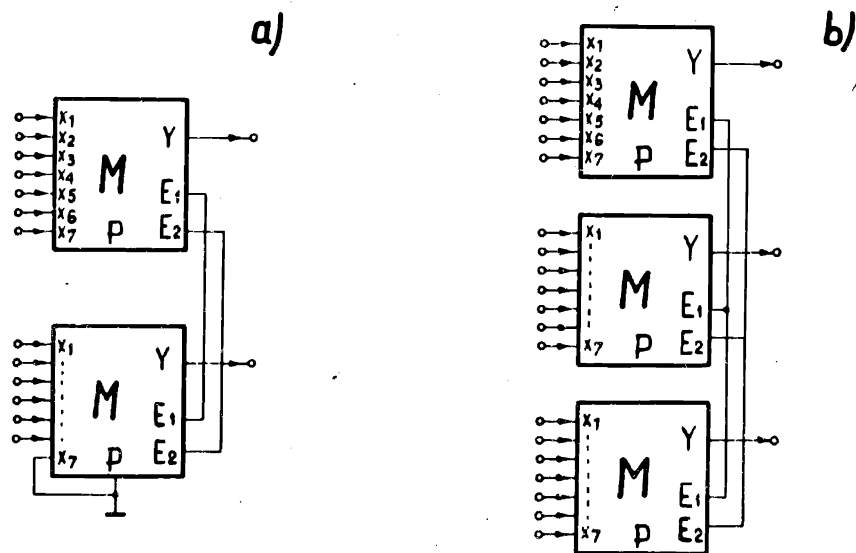


Fig. 3