

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年7月5日(05.07.2018)



(10) 国際公開番号

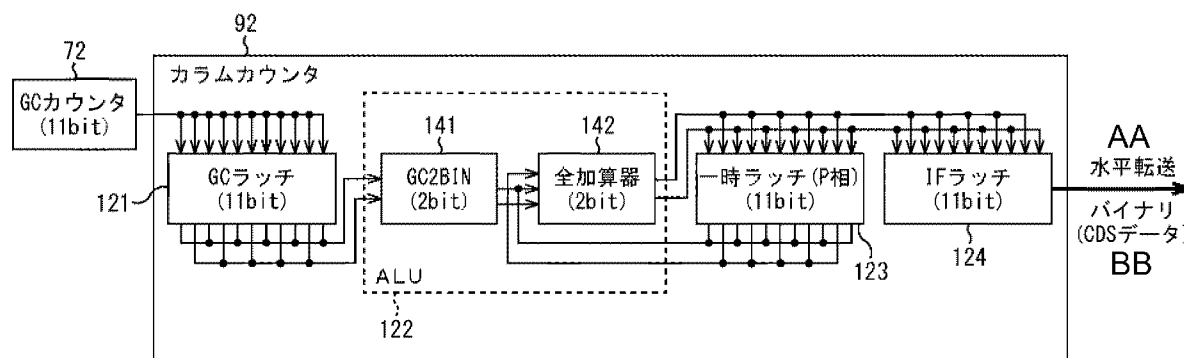
WO 2018/123609 A1

- (51) 国際特許分類:
H04N 5/378 (2011.01) H03M 1/56 (2006.01)
- (21) 国際出願番号: PCT/JP2017/044849
- (22) 国際出願日: 2017年12月14日(14.12.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-253077 2016年12月27日(27.12.2016) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).
- (72) 発明者: 久松 康秋 (HISAMATSU Yasuaki); 〒2430021 神奈川県厚木市岡田四丁目1番1号 ソニーL S I デザイン株式会社内 Kanagawa (JP). 高木 和貴(TAKAKI Kazutaka); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: IMAGING ELEMENT AND CONTROL METHOD FOR IMAGING ELEMENT, IMAGING DEVICE, AND ELECTRONIC DEVICE

(54) 発明の名称: 撮像素子、および撮像素子の制御方法、撮像装置、並びに、電子機器

FIG. 5



72 GC counter (11 bit)

92 Column counter

121 GC latch (11 bit)

123 Temporal latch (P-phase) (11 bit)

124 IF latch (11 bit)

141 GC2BIN (2 bit)

142 Full adder (2 bit)

AA Horizontal transfer

BB Binary (CDS data)

(57) Abstract: The present disclosure pertains to an imaging element and a control method for the imaging element, an imaging device, and an electronic device that are capable of downsizing the imaging element and saving power of the imaging element. First, gray codes corresponding to P-phase pixel signals of pixels are converted into binary codes. Then, a difference between the converted binary codes of the same bit and binary codes of pixel signals, which are latched in a temporary latch and the bits of which are all 0, is continuously determined. The difference is latched in the temporary latch as binary codes of the P-phase pixel signals. Next, gray codes corresponding to D-phase pixel signals of the pixels are



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

converted into binary codes. Then, a difference between the converted binary codes of the same bit and the binary codes of the P-phase pixel signals which are latched in the temporary latch is continuously determined. The present disclosure can be adapted to an imaging device.

(57) 要約: 本開示は、撮像素子の小型化と省電力化を実現することができるようにする撮像素子、および撮像素子の制御方法、撮像装置、並びに、電子機器に関する。まず、各画素のP相の画素信号に対応するグレイコードがバイナリコードに変換された後、連続的に、変換された同一のビットのバイナリコードと、一時ラッチにラッチされている全ビットが0の画素信号のバイナリコードとの差分を求め、P相の画素信号のバイナリコードとして、一時ラッチにラッチさせる。次に、各画素のD相の画素信号に対応するグレイコードがバイナリコードに変換された後、連続的に、変換された同一のビットのバイナリコードと、一時ラッチにラッチされているP相の画素信号のバイナリコードとの差分を求める。本開示は、撮像装置に適応することができる。

明 細 書

発明の名称：

撮像素子、および撮像素子の制御方法、撮像装置、並びに、電子機器
技術分野

[0001] 本開示は、撮像素子、および撮像素子の制御方法、撮像装置、並びに、電子機器に関し、特に、装置の小型化と省電力化を実現できるようにした撮像素子、および撮像素子の制御方法、撮像装置、並びに、電子機器に関する。

背景技術

[0002] 撮像素子のADC (Analog Digital Converter) に用いられるカラムカウンタは、グレイコードラッチ (5bit)、およびリップルカウンタ (12bit) の2段構成で形成されている。(例えば、特許文献1 参照)。

先行技術文献

特許文献

[0003] 特許文献1：特開2011-234326号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、特許文献1に係るカラムカウンタにおいては、グレイコードラッチ (5bit)、およびリップルカウンタ (12bit) の2段構成であるので、実装面積が大きく、また、消費電力も大きい。

[0005] 本開示は、このような状況に鑑みてなされたものであり、特に、カラムカウンタの構成に必要とされる実装面積を小さくすることで装置構成を小型化すると共に、省電力化を実現できるようにするものである。

課題を解決するための手段

[0006] 本開示の一側面の撮像素子は、画像を撮像する複数の画素からなる撮像部と、前記画素の画素信号に対応するグレイコードをラッチするグレイコードラッチと、前記グレイコードラッチにラッチされているグレイコードをバイ

ナリコードに変換する変換部と、所定のバイナリコードを一時的にラッチする一時ラッチと、前記変換部により前記グレイコードから変換された前記バイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める演算部とを含み、前記変換部が、前記グレイコードを前記バイナリコードに変換した後、前記演算部が、連続的に、前記変換部により変換された同一のビットのバイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める撮像素子である。

[0007] 前記変換部には、最初に最下位ビットの前記バイナリコードを算出し、前記最下位ビットのバイナリコードを用いて、順次上位のビットの前記グレイコードを前記バイナリコードに変換させるようにすることができる。

[0008] 前記変換部には、前記グレイコードラッチにラッチされている全ビットの排他的論理和を、前記最下位ビットのグレイコードとして算出させることができる。

[0009] 前記変換部には、複数ビットずつ、前記グレイコードラッチにラッチされているグレイコードをバイナリコードに変換させ、前記演算部には、前記変換部により前記グレイコードが前記バイナリコードに変換された後に、連続的に、前記複数ビットずつ、前記変換部により変換された同一ビットの前記バイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求めるようにさせることができる。

[0010] 前記一時ラッチには、全ビットが0からなるバイナリコードを、前記所定のバイナリコードとしてラッチさせ、前記演算部には、前記画素が初期化された状態の前記画素信号であるP相の画素信号の前記グレイコードから変換された前記バイナリコードと、前記一時ラッチにラッチされている前記全ビットが0からなるバイナリコードとの差分からなるバイナリコードを、前記P相の画素信号のバイナリコードとして求めさせ、前記一時ラッチにラッチさせるようにすることができる。

[0011] 前記演算部には、前記画素が受光した光量に応じた前記画素信号であるD相の画素信号の前記グレイコードから変換された前記バイナリコードと、前記

一時ラッチにラッチされている、前記P相の画素信号のバイナリコードとの差分を、CDS（相関二重サンプリング）された画素信号のバイナリコードとして出力させるようにすることができる。

[0012] 前記変換部には、前記グレイコードラッチにラッチされているグレイコードの補数をバイナリコードに変換させ、前記演算部には、前記変換部の変換結果である前記バイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求めさせ、前記差分の補数を出力させるようにすることができる。

[0013] 前記グレイコードを順次発生するグレイコードカウンタをさらに含ませるようにすることができ、前記グレイコードカウンタには、クロック信号に基づいて、所定ビット数のグレイコードのうちの前記所定ビットより下位のグレイコードを発生する下位グレイコード発生部と、前記クロック信号に基づいて、前記所定ビット数のグレイコードのうちの所定ビットより上位のグレイコードを発生する上位グレイコード発生部と、前記下位ビットのグレイコードに基づいて、前記クロック信号を所定数分周した分周クロック信号を発生する分周クロック信号発生部とを含ませるようにすることができ、前記上位グレイコード発生部には、前記分周クロックに基づいて、前記所定ビット数のグレイコードのうちの所定ビットより上位のグレイコードを発生させるようにすることができる。

[0014] 本開示の一側面の撮像素子の制御方法は、画像を撮像する複数の画素からなる撮像部と、前記画素の画素信号に対応するグレイコードをラッチするグレイコードラッチと、前記グレイコードラッチにラッチされているグレイコードをバイナリコードに変換する変換部と、所定のバイナリコードを一時的にラッチする一時ラッチと、前記変換部により前記グレイコードから変換された前記バイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める演算部とを含む撮像素子の制御方法であって、前記変換部が、前記グレイコードを前記バイナリコードに変換した後、前記演算部が、連続的に、前記変換部により変換された同一のビットのバイ

ナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める撮像素子の制御方法である。

[0015] 本開示の一側面の撮像装置は、画像を撮像する複数の画素からなる撮像部と、前記画素の画素信号に対応するグレイコードをラッチするグレイコードラッチと、前記グレイコードラッチにラッチされているグレイコードをバイナリコードに変換する変換部と、所定のバイナリコードを一時的にラッチする一時ラッチと、前記変換部により前記グレイコードから変換された前記バイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める演算部とを含み、前記変換部が、前記グレイコードを前記バイナリコードに変換した後、前記演算部が、連続的に、前記変換部により変換された同一のビットのバイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める撮像装置である。

[0016] 本開示の一側面の電子機器は、画像を撮像する複数の画素からなる撮像部と、前記画素の画素信号に対応するグレイコードをラッチするグレイコードラッチと、前記グレイコードラッチにラッチされているグレイコードをバイナリコードに変換する変換部と、所定のバイナリコードを一時的にラッチする一時ラッチと、前記変換部により前記グレイコードから変換された前記バイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める演算部とを含み、前記変換部が、前記グレイコードを前記バイナリコードに変換した後、前記演算部が、連続的に、前記変換部により変換された同一のビットのバイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める電子機器である。

[0017] 本開示の一側面においては、複数の画素からなる撮像部により、画像が撮像され、グレイコードラッチにより、前記画素の画素信号に対応するグレイコードがラッチされ、変換部により、前記グレイコードラッチにラッチされているグレイコードがバイナリコードに変換され、一時ラッチにより、所定のバイナリコードが一時的にラッチされ、演算部により、前記変換部により前記グレイコードから変換された前記バイナリコードと、前記一時ラッチに

ラッチされている前記所定のバイナリコードとの差分が求められ、前記変換部により、前記グレイコードが前記バイナリコードに変換された後、前記演算部により、連続的に、前記変換部により変換された同一のビットのバイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分が求められる。

発明の効果

[0018] 本開示の一側面によれば、実装面積を小さくすることで装置構成を小型化することが可能になると共に、消費電力を低減することが可能となる。

図面の簡単な説明

[0019] [図1]本開示の撮像素子の構成例を説明する図である。

[図2]図1のカラムカウンタ周辺の構成例を説明する図である。

[図3]リップルカウンタを用いた場合のカラムカウンタの構成例を説明する図である。

[図4]グレイコードのみで処理を実現するカラムカウンタの構成例を説明する図である。

[図5]図1のカラムカウンタの構成例を説明する図である。

[図6]カラムカウンタにおけるALUの処理例を説明する図である。

[図7]本開示のカラムカウンタにおけるALUの処理例を説明する図である。

[図8]1ビットずつコードを変換し、全加算する場合のALUの構成例を説明する図である。

[図9]2ビットずつコードを変換し、全加算する場合のALUの構成例を説明する図である。

[図10]グレイコードの補数を用いて2ビットずつコードを変換し、全加算する場合のALUの構成例を説明する図である。

[図11]図1のALUの動作を説明する図である。

[図12]図5のカラムカウンタの動作処理を説明するフローチャートである。

[図13]図5のカラムカウンタの動作処理を説明する図である。

[図14]バイナリカウンタとコード変換部を含むGCカウンタの構成例を説明

する図である。

[図15]グレイコードのビット数を増やすためにバイナリコードのビット数を増やす場合のバイナリカウンタの構成例を説明する図である。

[図16]グレイコードのビット数を増やす場合のグレイコードカウンタの構成例を説明する図である。

[図17]図16のグレイコードカウンタの構成を応用してバイナリコードカウンタのビット数を増やす場合のバイナリコードカウンタの構成例を説明する図である。

[図18]本開示のグレイコードカウンタの構成例を説明する図である。

[図19]図18のグレイコードカウンタにより発生されるグレイコードを説明する波形図である。

[図20]本開示のカメラモジュールを適用した電子機器としての撮像装置の構成例を示すブロック図である。

[図21]本開示の技術を適用したカメラモジュールの使用例を説明する図である。

発明を実施するための形態

[0020] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0021] <撮像素子の構成例>

本開示の技術を適用した撮像素子の構成例について説明する。

[0022] 図1は、本開示の撮像素子の構成例を示している。本開示の撮像素子11は、画素アレイ31、垂直走査回路32、DAC (Digital Analog Converter) 33、ADC (Analog Digital Converter) 34、水平走査回路35、デジタル信号演算回路36、およびタイミング制御回路37を備えている。

[0023] 画素アレイ31は、アレイ状に配置された画素51-1-1乃至51-n-mから構成されている。画素51-1-1乃至51-n-mは、それぞれ

が受光する光量に応じて電荷を発生し、発生した電荷に対応する画素信号を出力する。尚、以降において、画素 $51-1-1$ 乃至 $51-n-m$ のそれぞれを特に区別する必要がない場合、単に、画素 51 と称し、その他の構成についても同様に称する。また、 m 、 n は、それぞれ行数、および列数を表したものである。

[0024] 垂直走査回路 32 は、タイミング制御回路 37 より供給されてくるタイミング制御信号に基づいて、画素アレイ 31 の各画素 51 の画素信号を行単位で垂直転送線 $52-1$ 乃至 $52-m$ を介してADC (Analog Digital Converter) 34 に出力させる。

[0025] DAC 33 は、タイミング制御回路 37 より供給されてくるタイミング制御信号に基づいて、デジタル信号からなる電圧を所定のレートで変化させながら出力することで、ランプ波を発生し、ADC 34 に供給する。

[0026] ADC (Analog Digital Converter) 34 は、タイミング制御回路 37 より供給されてくるタイミング制御信号に基づいて、画素アレイ 31 の各画素 51 より供給されてくるアナログ信号からなる画素信号を、行単位で取得し、DAC 33 より供給されてくるランプ波を用いて、順次デジタル信号に変換して水平走査回路 35 に供給する。

[0027] より詳細には、ADC 34 は、各垂直転送線 $52-1$ 乃至 $52-n$ のそれぞれに設けられたADC (Analog Digital Converter) 回路 $71-1$ 乃至 $71-n$ 、およびGC (グレイコード) カウンタ 72 より構成されている。また、ADC回路 $71-1$ 乃至 $71-n$ は、それぞれ比較器 $91-1$ 乃至 $91-n$ 、およびカラムカウンタ $92-1$ 乃至 $92-n$ を備えており、DAC 33 より供給されるランプ波と、GCカウンタ 72 からのグレイコードとを用いて、各垂直転送線 52 を介して各画素 51 より供給される画素信号をアナログ信号からデジタル信号に変換する。

[0028] 比較器 91 は、垂直転送線 52 より供給されてくる画素信号と、DAC 33 より供給されるランプ波とを比較し、ランプ波が画素信号を超えると、その旨を知らせる比較結果をカラムカウンタ 92 に供給する。

- [0029] カラムカウンタ 9 2 は、比較器 9 1 の比較結果が供給されるタイミングにおいて、DAC 3 3 からのランプ波が変化するレートに対応するレートで変化する GC（グレイコード）カウンタ 7 2 から供給されるグレイコードをラッチして、水平走査回路 3 5 に出力する。
- [0030] 水平走査回路 3 5 は、タイミング制御回路 3 7 より供給されるタイミング制御信号に基づいて、ADC 3 4 より供給されたデジタル信号に変換された画素信号を、行単位で水平走査してデジタル信号演算回路 3 6 に出力する。
- [0031] デジタル信号演算回路 3 6 は、タイミング制御回路 3 7 より供給されてくるタイミング制御信号に基づいて、水平走査回路 3 5 より水平走査されることで転送されてくる画素信号よりデジタル信号を演算し、演算結果を出力する。
- [0032] タイミング制御回路 3 7 は、PLL（Phase Locked Loop）3 7 a（図 2）を備えており、PLL 3 7 a の発振信号に基づいてタイミング制御信号を生成し、垂直走査回路 3 2、DAC 3 3、ADC 3 4、水平走査回路 3 5、およびデジタル信号演算回路 3 6 に供給する。
- [0033] <図 1 のカウンタラッチの構成>
- 次に、図 2 を参照して、図 1 の ADC 3 4 におけるカラムカウンタ 9 2 の構成について説明する。尚、図 2 においては、図 1 の撮像素子 1 1 におけるカラムカウンタ 9 2 を含む ADC 3 4 の周辺の詳細な構成が示されている。
- [0034] カラムカウンタ 9 2 - 1 乃至 9 2 - n は、それぞれ GC（グレイコード）ラッチ 1 2 1 - 1 乃至 1 2 1 - n、ALU（Arithmetic Logic Unit：論理演算回路）1 2 2 - 1 乃至 1 2 2 - n、一時ラッチ 1 2 3 - 1 乃至 1 2 3 - n、および IF（Interface）ラッチ 1 2 4 - 1 乃至 1 2 4 - n を備えている。
- [0035] GC（グレイコード）ラッチ 1 2 1 は、タイミング制御回路 3 7 からのタイミング制御信号に基づいて動作し、画素信号の電圧値が、ランプ波を超えたことを示す信号が比較器 9 1 より供給されるタイミングにおける、GC カウンタ 7 2 から供給されるグレイコードをラッチする。
- [0036] ALU 1 2 2 は、GC ラッチ 1 2 1 にラッチされている、画素信号に対応するグ

レイコードを、一時ラッチ 1 2 3 を利用して、バイナリコードに変換すると共に、CDS（相関二重サンプリング）を掛けてIFラッチ 1 2 4 に出力する。

[0037] より詳細には、ALU 1 2 2 - 1 乃至 1 2 2 - n は、それぞれコード変換器 1 4 1 - 1 乃至 1 4 1 - n、および全加算器 1 4 2 - 1 乃至 1 4 2 - n を備えている。コード変換器 1 4 1 は、GCラッチ 1 2 1 にラッチされているグレイコードをバイナリコードに変換し、全加算器 1 4 2 に出力する。全加算器 1 4 2 は、一時ラッチ 1 2 3 に格納されているバイナリコードを加算してIFラッチ 1 2 4 に出力する。

[0038] すなわち、まず、GCラッチ 1 2 1 には、P相と言われる、画素 5 1 がリセットされた状態における画素信号に対応するグレイコードがラッチされる。そこで、コード変換器 1 4 1 は、GCラッチ 1 2 1 にラッチされている、P相の画素信号に対応するグレイコードを、バイナリコードに変換し、全加算器 1 4 2 に出力する。このとき、全加算器 1 4 2 は、リセットされた後、全bitが0の値がラッチされた状態の、一時ラッチ 1 2 3 より全bitが0となるバイナリコードを加算（減算）して一時ラッチ 1 2 3 にラッチさせる。ここまでの処理により、P相におけるバイナリコードが一時ラッチ 1 2 3 にラッチされた状態となる。

[0039] その後、GCラッチ 1 2 1 がリセットされると、GCラッチ 1 2 1 には、D相と言われる、画素 5 1 が受光した光量に応じた画素信号に対応するグレイコードがラッチされる。そこで、コード変換器 1 4 1 は、GCラッチ 1 2 1 にラッチされている、D相の画素信号に対応するグレイコードを、バイナリコードに変換し、全加算器 1 4 2 に出力する。このとき、全加算器 1 4 2 は、D相の画素信号のバイナリコードに、一時ラッチ 1 2 3 にラッチされているP相の画素信号のバイナリコードを加算して（実質的には、減算して）IFラッチ 1 2 4 にラッチさせる。すなわち、この処理により、P相の画素信号のバイナリコードとD相の画素信号のバイナリコードとの差分が求められ、実質的に、CDSがなされたバイナリコードからなる画素信号がIFラッチ 1 2 4 にラッチされた状態となる。

[0040] <リップルカウンタを用いたカウンタラッチの構成例>

本開示のカウンタラッチは、ALU 1 2 2 と一時ラッチ 1 2 3 とを用いた演算により、P相、およびD相のグレイコードからなる画素信号をバイナリコードに変換し、さらに、それらの差分を求めることでCDSを掛けた画素信号を求めて出力する。

[0041] しかしながら、カウンタラッチは、例えば、リップルカウンタを用いた構成にしてもよい。

[0042] 図3は、リップルカウンタを用いたカウンタラッチ 2 0 1 の構成例を示している。尚、図3においては、GCカウンタ 7 2 が、5bitのグレイコードを発生することを前提とする。

[0043] 図3のカウンタラッチ 2 0 1 は、5bitのGCラッチ 2 2 1、コード変換器 (GC2BIN) 2 2 2、5bitのリップルカウンタ 2 2 3、クロックセクタ (CKSEL) 2 2 4、7bitのリップルカウンタ 2 2 5 を備えている。GCラッチ 2 2 1、コード変換器 (GC2BIN) 2 2 2、5bitのリップルカウンタ 2 2 3、クロックセクタ (CKSEL) 2 2 4、7bitのリップルカウンタ 2 2 5、および12bitのIFラッチ 2 2 6 を備えている。

[0044] GCラッチ 2 2 1、コード変換器 (GC2BIN) 2 2 2、5bitのリップルカウンタ 2 2 3、クロックセクタ (CKSEL) 2 2 4、7bitのリップルカウンタ 2 2 5、および12bitのIFラッチ 2 2 6 は、いずれも図示せぬタイミング制御回路より供給されるタイミング制御信号により動作が制御される。

[0045] GCラッチ 2 2 1 は、GCカウンタ 7 2 より供給されるグレイコードのうち、図示せぬ比較器の判定結果に基づいて、画素信号に対応するグレイコードをラッチする。

[0046] コード変換器 2 2 2 は、GCラッチ 2 2 1 にラッチされている画素信号に対応するグレイコードをバイナリコードに変換してリップルカウンタ 2 2 3 に供給する。

[0047] GCラッチ 2 2 1 にラッチされるグレイコードの最上位のコードは、バイナリコードと同値であるので、クロックセクタ 2 2 4 は、バイナリコードと

して読み出し、リップルカウンタ 225 に供給する。

[0048] リップルカウンタ 223 は、後段で出力されるバイナリコードのうちの下の 5bit をカウントする。また、リップルカウンタ 225 は、後段で出力されるバイナリコードのうちの上位の 7bit をカウントする。

[0049] クロックセクタ 224 は、リップルカウンタ 223 でカウントされる下の 5bit のバイナリコードと、リップルカウンタ 225 にカウントされた上位の 7bit バイナリコードとを合体させて 12bit のバイナリコードとして IF ラッチ 226 にラッチさせる。

[0050] IF ラッチ 226 は、画素信号に対応するグレイコードから変換された 12bit のバイナリコードをラッチする。

[0051] リップルカウンタ 223, 225 は、P 相の画素信号に対応するバイナリコードについては、負の値として格納させ、D 相の画素信号をそのまま加算させる。この結果、図 3 のカウンタラッチ 201 は、P 相および D 相の GC カウンタ 72 より供給されるグレイコードからなる画素信号をそれぞれバイナリコードに変換した上で、両者の差分を求めることで、12bit のバイナリコードからなる CDS が掛けられた画素信号を出力する。

[0052] しかしながら、図 3 のカウンタラッチ 201 においては、コード変換器 222、リップルカウンタ 223, 225 が必須とされるため、これらを構成する D 型フリップフロップ（以下、DFF とも称する）を多数配置する必要がある、実装面積が増大しする上、消費電力も増大してしまう。

[0053] <グレイコードのみを用いたカウンタラッチの構成例>

そこで、カウンタラッチ内においては、グレイコードのみを用いるようにすることで、リップルカウンタを省略することが考えられる。

[0054] 図 4 は、リップルカウンタを省略し、グレイコードのみを用いたカウンタラッチの構成例を示している。

[0055] 図 4 のカウンタラッチ 231 は、11bit の GC ラッチ 251、および 11bit の IF ラッチ 252 より構成されている。

[0056] GC ラッチ 251 は、GC カウンタ 72 より供給される画素信号に対応する 11b

itのグレイコードをラッチする。

[0057] IFラッチ252は、GCラッチ251にラッチされている画素信号に対応する11bitのグレイコードをラッチして、コード変換器（GC2BIN）232に水平転送する。

[0058] コード変換器232は、IFラッチ252より水平転送される11bitのグレイコードをバイナリコードに変換し、例えば、P相のバイナリコードをラインメモリ233-1に格納させ、D相のバイナリコードをラインメモリ233-2に格納させる。

[0059] 減算器234は、ラインメモリ233-1，233-2に格納されたD相の画素信号のバイナリコードからP相の画素信号のバイナリコードを減算することでCDSを掛けた画素信号として出力する。

[0060] すなわち、図4のカウンタラッチ231においては、P相およびD相のグレイコードをそれぞれ1回ずつ、コード変換器（GC2BIN）232に水平転送する必要がある。

[0061] 図4のカウンタラッチ231の構成においては、IFラッチ252における水平転送の速度がフレームレートの律則となるので、水平転送速度を高速化するための構成が必要となる。

[0062] また、ラインメモリ233-1，233-2や水平転送速度を高速化するための構成を設けるための実装面積を確保する必要がある。

[0063] さらに、高速水平転送を実現するための消費電力が増大する恐れがある。

[0064] また、水平転送の動作起因で生じるノイズを回避するための水平転送などのタイミング制御が複雑になる。

[0065] <図2のカラムカウンタの動作>

そこで、本開示の撮像素子11におけるカラムカウンタ92は、リップルカウンタを用いることなく、グレイコードからなるP相およびD相のグレイコードを、それぞれD相のバイナリコードと、P相のバイナリコードとに変換し、両者の差分を演算することでCDSを掛けた画素信号として出力する。

[0066] ここで、図5を参照して、カラムカウンタ92の動作について説明する。

- [0067] 例えば、GCラッチ 1 2 1、ALU 1 2 2、一時ラッチ 1 2 3、およびIFラッチ 1 2 4 がリセットされており、GCラッチ 1 2 1、および一時ラッチ 1 2 3 は、全ビットが0のグレイコードおよびバイナリコードがラッチされているものとする。
- [0068] ここで、GCラッチ 1 2 1 は、GCカウンタ 7 2 が発生する、例えば、11bitのP相の画素信号に対応するグレイコードをラッチする。尚、グレイコードのbit数は、11bit以外のbit数であってもよいものである。
- [0069] ALU 1 2 2 のコード変換器 1 4 1 は、GCラッチ 1 2 1 にラッチされているP相の画素信号に対応するグレイコードを2bitずつバイナリコードに変換し、全加算器 1 4 2 に出力する。
- [0070] 全加算器 1 4 2 は、コード変換器 1 4 1 によりグレイコードから変換されたバイナリコードより、一時ラッチ 1 2 3 に格納されているバイナリコードである0を加算（減算）して、一時ラッチ 1 2 3 にラッチさせる。
- [0071] 以上の処理が、2bitずつ繰り返されることにより、一時ラッチ 1 2 3 に11bitのP相の画素信号に対応するバイナリデータがラッチされる。
- [0072] 次に、GCラッチ 1 2 1 がリセットされた後、GCラッチ 1 2 1 は、GCカウンタ 7 2 が発生する、例えば、11bitのD相の画素信号に対応するグレイコードをラッチする。
- [0073] ALU 1 2 2 のコード変換器 1 4 1 は、GCラッチ 1 2 1 にラッチされているD相の画素信号に対応するグレイコードを2bitずつバイナリコードに変換し、全加算器 1 4 2 に出力する。
- [0074] 全加算器 1 4 2 は、コード変換器 1 4 1 によりグレイコードから変換されたD相のバイナリコードの画素信号から一時ラッチ 1 2 3 に格納されているP相のバイナリコードの画素信号を加算（減算）して、12bitのバイナリコードとしてIFラッチ 1 2 4 にラッチさせる。
- [0075] 以上の処理が、2bitずつ繰り返されることにより、IFラッチ 1 2 4 に12bitのCDSが掛けられた画素信号のバイナリデータがラッチされる。
- [0076] <ALUを用いた演算>

上述したALU 122のコード変換部141、および全加算器142による演算について説明する。

[0077] コード変換部141は、グレイコードをバイナリコードに1bitずつ変換する場合、例えば、図6の左部で示されるような演算を繰り返す。

[0078] まず、11bitからなるグレイコードの最上位ビットである11bit目のデータであるGC[10]は、11bitのバイナリコードにおける最上位ビットである11bit目のデータであるBINA[10]と同値である。そこで、コード変換部141は、最初の処理である処理step1において、BINA[10]を、GC[10]より求める。

[0079] 次に、バイナリコードにおける10bit目のデータであるBINA[9]は、グレイコードの10bit目のデータであるGC[9]と、上位ビットである11bit目のデータであるBINA[10]の排他的論理和 (XOR) である。そこで、コード変換部141は、処理step2において、BINA[9]を、BINA[10]とGC[9]との排他的論理和として求める。

[0080] さらに、バイナリコードにおける9bit目のデータであるBINA[8]は、グレイコードの9bit目のデータであるGC[8]と、上位ビットである10bit目のデータであるBINA[9]の排他的論理和 (XOR) である。そこで、コード変換部141は、処理step3において、BINA[8]を、BINA[9]とGC[8]との排他的論理和として求める。

[0081] 以下、同様に、処理step4乃至step11が繰り返されることにより、11bitビットのグレイコードCG[10], CG[9], CG[8], ... CG[0]が、順次上位のbitから11bitのバイナリコードBINA[10], BINA[9], BINA[8], ... BINA[0]に変換される。

[0082] また、図6の左部で示されるようにグレイコードがバイナリコードに変換された後、全加算器142は、図6の右部で示されるような演算を繰り返す。

[0083] 尚、図6においては、例えば、予め一時ラッチ123にラッチされているバイナリコードが存在するので、一時ラッチ123にラッチされているバイナリコードをBINb[0]乃至BINb[10]として表現する。また、P相の画素信号に

対応するグレイコードをバイナリコードに変換する場合、一時ラッチ 1 2 3 に予めラッチされているバイナリコードは、全bitが0のバイナリコードである。さらに、D相の画素信号に対応するグレイコードをバイナリコードに変換する場合、一時ラッチ 1 2 3 にラッチされているバイナリコードは、全bitがP相の画素信号に対応するバイナリコードである。

[0084] すなわち、全加算器 1 4 2 は、最初の処理である処理step1において、コード変換器 1 4 1 より供給されるバイナリコードの最下位ビットである1bit目のバイナリコードBINA[0]と、一時ラッチ 1 2 3 より読み出されるバイナリコードの最下位ビットである1bit目のバイナリコードBINb[0]とを加算（減算）して、最下位ビットと桁上がりビットからなるバイナリコード(C[0], BINS[0])を求める。ここで、C[0]は、1bit目の桁上がりビットである。

[0085] 次に、全加算器 1 4 2 は、処理step2において、コード変換器 1 4 1 より供給されるバイナリコードの2bit目のバイナリコードBINA[1]と、一時ラッチ 1 2 3 より読み出されるバイナリコードの最下位ビットである2bit目のバイナリコードBINb[1]と、1bit目の桁上がりビットであるC[0]とを加算（減算）して、2bit目とその桁上がりビットからなるバイナリコード(C[1], BINS[1])を求める。ここで、C[1]は、2bit目の桁上がりビットである。

[0086] さらに、全加算器 1 4 2 は、処理step3において、コード変換器 1 4 1 より供給されるバイナリコードの3bit目のバイナリコードBINA[2]と、一時ラッチ 1 2 3 より読み出されるバイナリコードである3bit目のバイナリコードBINb[2]と、2bit目の桁上がりビットであるC[1]とを加算（減算）して、3bit目とその桁上がりビットからなるバイナリコード(C[2], BINS[2])を求める。ここで、C[1]は、2bit目の桁上がりビットである。

[0087] 以下、同様に、処理step4乃至step11が繰り返されることにより、一時ラッチ 1 2 3 より読み出されるバイナリコードBINb[0]乃至BINb[10]と、コード変換器 1 4 1 より供給されるバイナリコードBINA[0]乃至BINA[10]とが加算（減算）されて、12bitのバイナリコードBINS[0]乃至BINS[11]からなるCDS（相関二重サンプリング）が掛けられた画素信号が求められる。

- [0088] しかしながら、図6を参照して説明した処理の場合、図6の左部で示されるように、コード変換部141は、処理step1乃至step11により、上位ビットから順に下位ビットを求めることにより、D相の画素信号に対応するバイナリコードがBINA[10], BINA[9], BINA[8], . . . , BINA[0]の順序、で求められる。
- [0089] 一方、図6の右部で示されるように、全加算器142は、図6の右部で示されるように、処理step1乃至step11により、下位ビットから順に上位ビットを求めることにより、CDSが掛けられた画素信号を表すバイナリコードがBINS[1], BINS[2], BINS[3], . . . , BINS[11]の順序で求められる。
- [0090] 従って、例えば、処理step1において、コード変換器141は、11bit目のバイナリコードBINA[10]を、そのまま全加算器142に出力しても、全加算器142の処理step1において、必要とされる1bit目のバイナリコードBINA[0]は、求められていないので、演算することができない。
- [0091] すなわち、全加算器142による処理step1を実行するには、コード変換器141により処理step1乃至step11の処理が完了した後に実行する必要がある。
- [0092] 結果として、コード変換器141と全加算器142とのそれぞれにおいて、同一ビットのバイナリコードを連続的に演算することができない。このため、処理速度を高速化することができないだけでなく、一旦、コード変換器141による変換結果である11bit分のバイナリコードを格納する構成が必要となり、実装面積が増大する恐れがある。
- [0093] <同一bitの演算を連続的に実現する演算>
- そこで、本開示のALU122におけるコード変換器141は、予め所定の処理により、最下位ビットのグレイコードを求め、これを利用して最下位ビットから順にバイナリコードを生成する。
- [0094] すなわち、上述したように、最上位ビットにおいて、バイナリコードとグレイコードとは、同値であるので、以下の式(1)で示される関係が成り立つ。
- [0095]
$$\text{BIN}[\text{MSB}] = \text{GC}[\text{MSB}]$$

．．．（１）

[0096] ここで、BIN[]はバイナリコードであり、GC[]はグレイコードであり、MSBは最上位ビットであることを表している。

[0097] また、nbit目のバイナリコードBIN[n]は、以下の式（２）で表される。

[0098] $BIN[n] = GC[n] \text{ xor } BIN[n+1]$

．．．（２）

[0099] ここで、xorは、排他的論理和を表している。

[0100] この式（２）の関係は、以下の式（３）のように変形することができる。

[0101] $BIN[n+1] = GC[n] \text{ xor } BIN[n]$

．．．（３）

[0102] 従って、この式（３）に対して、最下位ビットのバイナリコードBIN[0]を求めることができれば、コード変換器１４１は、最下位ビットからグレイコードをバイナリコードに変換することができる。

[0103] ここで、バイナリコードの最下位ビットBIN[LSB]（＝BIN[0]）は、以下の式（４）により演算することができる。

[0104] $BIN[0] = GC[MSB] \text{ xor } GC[MSB-1] \text{ xor } GC[MSB-2] \text{ xor } \dots \text{ xor } GC[1]$

．．．（４）

[0105] すなわち、バイナリコードの最下位ビットBIN[0]は、グレイコードの全bitの排他的論理和より求められる。

[0106] ＜本開示のALUによる演算＞

そこで、本開示のALU１２２のコード変換器１４１および全加算器１４２は、図７で示されるような手順でグレイコードをバイナリコードに変換し、さらに、CDSに係る加算（減算）処理を実行する。

[0107] 11bitからなるパリティの最下位ビットである1bit目のパリティデータであるP[0]は、グレイコードの1bit目のデータであるGC[0]と0の排他的論理和である。そこで、コード変換部１４１は、処理step1において、11bitからなるパリティの1bit目であるP[0]を、GC[0]と0との排他的論理和として求める。

[0108] 次に、11bitからなるパリティの2bit目のパリティデータであるP[1]は、グ

レイコードの2bit目のデータであるGC[1]と1bit目のパリティP[0]の排他的論理和である。そこで、コード変換部141は、処理step2において、11bitからなるパリティの2bit目であるP[1]を、GC[1]とP[0]との排他的論理和として求める。

[0109] さらに、11bitからなるパリティの3bit目のパリティデータであるP[2]は、グレイコードの3bit目のデータであるGC[2]と2bit目のパリティP[1]の排他的論理和である。そこで、コード変換部141は、処理step3において、11bitからなるパリティの3bit目であるP[2]を、GC[2]とP[1]との排他的論理和として求める。

[0110] 以下同様に、処理step4乃至step10により、11bitからなるパリティの10bit目のパリティであるP[9]が求められる。この結果、パリティP[9]が、1bit目から10bit目までのGC[0]乃至GC[8]の排他的論理和として求められる。

[0111] そして、処理step11において、コード変換器141は、バイナリコードの最下位ビットBINa[0]を、グレイコードの最上位ビットとなるGC[10]と、10bit目のパリティP[9]との排他的論理和として求め、全加算器142に出力する。

[0112] すなわち、処理step1乃至step11により、式(4)で示されるバイナリコードの最下位ビットBINa[0]が求められる。

[0113] ここで、全加算器142は、一時ラッチ123よりバイナリコードの最下位ビットBINb[0]を取得できる。そこで、処理step11において、さらに、連続的に、全加算器142は、コード変換器141より供給されるバイナリコードの最下位ビットである1bit目のバイナリコードBINa[0]と、一時ラッチ123より読み出されるバイナリコードの最下位ビットである1bit目のバイナリコードBINb[0]とを加算(減算)して、最下位ビットと桁上がりビットからなるバイナリコード(C[0], BINs[0])を求める。

[0114] 尚、以降において、処理step1乃至step11の、バイナリコードの最下位ビットBINb[0]を求める、コード変換器141の処理は、コード変換部141の前処理と称するものとする。

- [0115] 次に、処理step12において、コード変換器 1 4 1 は、バイナリコードの2bit目のバイナリコードBINA[1]を、グレイコードの2bit目となるGC[1]と、バイナリコードの最下位ビットであるBINA[0]との排他的論理和として求め、全加算器 1 4 2 に出力する。
- [0116] さらに、引き続き、全加算器 1 4 2 は、コード変換器 1 4 1 より供給されるバイナリコードの2bit目のバイナリコードBINA[1]、一時ラッチ 1 2 3 より読み出されるバイナリコードの2bit目のバイナリコードBINb[1]、および、桁上がりビットC[0]を加算（減算）して、2bit目と桁上がりビットからなるバイナリコード(C[1], BINs[1])を求める。
- [0117] また、処理step13において、コード変換器 1 4 1 は、バイナリコードの3bit目のバイナリコードBINA[2]を、グレイコードの3bit目となるGC[2]と、2bit目のバイナリコードのBINA[1]との排他的論理和として求め、全加算器 1 4 2 に出力する。
- [0118] さらに、引き続き、全加算器 1 4 2 は、コード変換器 1 4 1 より供給されるバイナリコードの3bit目のバイナリコードBINA[2]、一時ラッチ 1 2 3 より読み出されるバイナリコードの3bit目のバイナリコードBINb[2]、および、桁上がりビットC[1]を加算（減算）して、2bit目と桁上がりビットからなるバイナリコード(C[2], BINs[2])を求める。
- [0119] 以下、同様の処理step14乃至step21が繰り返されることにより、12bitからなるバイナリコードBINs[0]乃至BINs[11])が求められる。
- [0120] 以上の処理により、コード変換器 1 4 1 における前処理により最下位ビットのバイナリコードBINA[0]が求めることが可能となる。また、最下位ビットのバイナリコードBINA[0]を前処理により求めることができるので、コード変換器 1 4 1 が、最下位ビットから上位ビットに向かってグレイコードをバイナリコードに順次変換することが可能となる。さらに、コード変換器 1 4 1 が最下位ビットから上位ビットに向かってグレイコードをバイナリコードに順次変換することができるので、全加算器 1 4 2 は、コード変換器 1 4 1 の変換結果を、連続的に利用して、最下位ビットから上位ビットに向かって、

一時ラッチ 1 2 3 によりラッチされているバイナリコードとの差分を求めることでCDSを掛けることが可能となる。

[0121] <1bitずつグレイコードをバイナリコードに変換するALUを実現するコード変換器と全加算器の回路構成例>

次に、図 8 を参照して、1 bit ずつグレイコードをバイナリコードに変換する場合のALU 1 2 2 を実現するコード変換器 1 4 1 と全加算器 1 4 2 を実現する回路構成例について説明する。

[0122] コード変換器 1 4 1 は、例えば、図 8 で示されるように、XOR回路 3 0 1 およびDFF (D型フリップフロップ回路) 3 0 2 より構成される。

[0123] XOR回路 3 0 1 は、グレイコードの入力値GC[n]と、直前にバイナリコードに変換した変換結果BINa[n-1]との排他的論理和をバイナリコードの変換結果BINa[n]としてDFF 3 0 2 に出力する。

[0124] DFF 3 0 2 は、XOR回路 3 0 1 より出力されるグレイコードからバイナリコードに変換した変換結果BINa[n]を一時的に格納し、次のタイミングにおいて、XOR回路 3 0 1 および全加算器 1 4 2 に出力する。

[0125] 全加算器 1 4 2 は、加算回路 3 1 1、およびDFF 3 1 2 より構成される。

[0126] 加算回路 3 1 1 は、コード変換器 1 4 1 より供給されるバイナリコードBINa[n]の入力を受け付ける入力端子A、一時ラッチ 1 2 3 より供給されるバイナリコードBINb[n]を受け付ける入力端子B、コード変換器 1 4 1 より供給されるバイナリコードBINa[n]、一時ラッチ 1 2 3 より供給されるバイナリコードBINb[n]、および桁上がりビットC[n-1]の加算結果となるバイナリコードBINs[n]を出力する出力端子S、桁上がりビットC[n]をDFF 3 1 2 に出力する出力端子C0、およびDFF 3 1 2 より供給される、直前に処理されたビットの桁上がりビットC[n-1]の入力を受け付ける入力端子CIを備えている。

[0127] 加算回路 3 1 1 は、入力端子Aに入力されたコード変換器 1 4 1 より供給されるバイナリコードBINa[n]、入力端子Bに入力された一時ラッチ 1 2 3 より供給されるバイナリコードBINb[n]、およびDFF 3 1 2 にラッチされている直前に処理されたビットの桁上がりビットC[n-1]の加算結果を、バイナリコー

ドBINs[n]として出力端子Sより出力する。この際、加算回路311は、桁上がりビットC[n]をDFF312に出力して格納させる。

[0128] すなわち、図8の回路構成により、図7で示されるようなグレイコードをバイナリコードに1bitずつ変換するALU122が実現される。

[0129] <2bitずつグレイコードをバイナリコードに変換するALUを実現するコード変換器と全加算器の回路構成例>

ところで、本開示の図5のカラムカウンタ92のALUは、2ビットずつグレイコードをバイナリコードに変換している。

[0130] そこで、図9を参照して、図8のグレイコードをバイナリコードに1bitずつ変換するALU122を実現するコード変換器141と全加算器142の回路構成を応用した、グレイコードをバイナリコードに2bitずつ変換するALU122を実現するコード変換器141と全加算器142の回路構成例について説明する。

[0131] 尚、図9の構成において、図8の構成と同一の機能を備える構成については、同一の符号を付しており、その説明は、適宜省略する。

[0132] 図9のコード変換器141は、図8のXOR回路301に代えて、XOR回路301-1、301-2が設けられており、それぞれビットが連続するグレイコードGC[n]、GC[n+1]が入力される。XOR回路301-1は、グレイコードGC[n]と1bit前に処理された処理結果であるバイナリコードBINA[n]との排他的論理和を求めてXOR回路301-2、および、全加算器142の加算回路311'に出力する。

[0133] XOR回路301-2は、グレイコードGC[n+1]と、XOR回路301-1の出力であるバイナリコードBINA[n+1]との排他的論理和を求めて、バイナリコードBINA[n]としてDFF302に出力する。

[0134] 図9の全加算器142は、図8の加算回路311に代えて、加算回路311'が設けられている。

[0135] 加算回路311'は、入力端子A1に入力されたコード変換器141より供給されるバイナリコードBINA[n+1]、入力端子B1に入力された一時ラッチ12

3より供給されるバイナリコードBINb[n+1]、および、DFF 3 1 2に格納されている直前に処理されたビットの桁上がりビットC[n]を加算して加算結果となるバイナリコードBINs[n+1]を出力端子S1より出力する。

[0136] さらに、加算回路 3 1 1' は、入力端子A0に入力されたコード変換器 1 4 1より供給されるバイナリコードBINa[n]、入力端子B0に入力された一時ラッチ 1 2 3より供給されるバイナリコードBINb[n]、およびDFF 3 1 2に格納されている直前に処理されたビットの桁上がりビットC[n-1]を加算して加算結果となるバイナリコードBINs[n]を出力端子S0より出力する。

[0137] この際、加算回路 3 1 1' は、桁上がりビットC[n]、C[n+1]をそれぞれDFF 3 1 2に出力して格納させる。

[0138] すなわち、図9の回路構成により、図7で示されるような各処理が2stepずつ実現され、2bitずつグレイコードがバイナリコードに変換されるALU 1 2 2が実現される。

[0139] <補数を用いたALU>

図8および図9のALU 1 2 2においては、加算回路 3 1 1, 3 1 1' において、実際には加算処理がなされているため、一時ラッチ 1 2 3において、値の正負を反転させる必要があった。

[0140] そこで、GCラッチ 1 2 1がラッチした、本来のグレイコードを、その補数からなるグレイコードに変換させて、コード変換器 1 4 1により補数のバイナリコードに変換させ、全加算器 1 4 2により補数のバイナリコードと、補数ではない通常のバイナリコードとを加算させ、論理反転させて出力させることで、実質的に減算を実現し、画素信号に対応する補数ではないバイナリコードとして出力させるようにしてもよい。

[0141] 尚、以降においては、グレイコードG[n]の補数をグレイコード!GC[n]と表すものとし、バイナリコードBIN[n]の補数をバイナリコード!BIN[n]と表すものとする。

[0142] 図10は、補数を用いることで、減算を実現させるようにしたALU 1 2 2の構成例を示している。

[0143] すなわち、図10のALU122におけるコード変換器141は、図9におけるXOR回路301-1, 301-2に代えて、否定排他的論理和を取るXNOR回路321-1, 321-2が設けられている。尚、以降において、否定排他的論理和を取ることを単にXNORを取るとも称する。

[0144] XNOR回路321-1は、グレイコード!GC[n]と1bit前に処理された処理結果であるバイナリコード!BIN[n]との否定排他的論理和を変換結果となるバイナリコード!BINA[n+1]としてXNOR回路321-2、および、全加算器142の加算回路351に出力する。

[0145] XNOR回路321-2は、グレイコード!GC[n+1]と、XNOR回路321-1の出力であるバイナリコード!BINA[n+1]との否定排他的論理和を求めて変換結果となるバイナリコード!BINA[n]としてDFF302に出力する。

[0146] 図10の全加算器142は、図9の加算回路311'に代えて、加算回路311''が設けられている。

[0147] 加算回路311''は、入力端子A1に入力されたコード変換器141より供給されるバイナリコード!BINA[n+1]、入力端子B1に入力された一時ラッチ123より供給されるバイナリコードBINb[n+1]、およびDFF312にラッチされている直前に処理されたビットの桁上がりビットC[n]を加算し、論理反転させて、加算結果となるバイナリコードBINs[n+1]を出力端子S1より出力する。

[0148] 加算回路311''は、入力端子A0に入力されたコード変換器141より供給されるバイナリコード!BINA[n]、入力端子B0に入力された一時ラッチ123より供給されるバイナリコードBINb[n]、およびDFF312にラッチされている直前に処理されたビットの桁上がりビットC[n-1]を加算し、論理反転させて、加算結果となるバイナリコードBINs[n]を出力端子S0より出力する。

[0149] <図10のALUにおけるデータの遷移>

図10の回路構成からなるALU122により、図11で示されるようにデータが遷移される。

[0150] すなわち、P相の画素信号が検出されて、対応するグレイコードがGCカウン

タ 7 2 より供給されると、GCラッチ 1 2 1 において、P相の画素信号に対応するグレイコードPval_gcが格納される（図 1 1 のP相カウント）。

[0151] 例えば、GCラッチ 1 2 1 の出力端子などに論理反転機能を設けることで、ALU 1 2 2 のコード変換器 1 4 1 は、GCラッチ 1 2 1 に格納されたグレイコードPval_gcの補数となる論理反転させたグレイコード!Pval_gc（GCラッチ 1 2 1 出力側）を、バイナリコード!Pvalに変換する。このとき、一時ラッチ 1 2 3 の出力側には、全bitが0のバイナリコード（2'b00Fix）が出力されている。そして、全加算器 1 4 2 は、バイナリコード!Pvalと、一時ラッチ 1 2 3 に格納されている0とを加算（減算）し、さらに、論理反転させることで、P相の画素信号であるバイナリコードPval（= $!(\text{!Pval}+0)$ ）として出力し、一時ラッチ 1 2 3 に格納させる（図 1 1 のP相ラッチ転送）。

[0152] 次に、D相の画素信号が検出されて、対応するグレイコードがGCカウンタ 7 2 より供給されると、GCラッチ 1 2 1 において、D相の画素信号に対応するグレイコードDval_gcが格納される（図 1 1 のD相カウント）。

[0153] ALU 1 2 2 のコード変換器 1 4 1 は、GCラッチ 1 2 1 に格納されたグレイコードDval_gcの補数となる論理反転させたグレイコード!Dval_gcを、バイナリコード!Dvalに変換する。そして、全加算器 1 4 2 は、バイナリコード!Dvalと、一時ラッチ 1 2 3 に格納されているバイナリコードPvalとを加算し、論理反転させることで、P相の画素信号とD相の画素信号の差分であるCDSが掛けられた画素信号のバイナリコードDval-Pval（= $!(\text{!Dval}+Pval)=!((-Dval+1)+Pval)=(-(-Dval+1)+Pval)+1$ ）としてIFラッチ 1 2 4 に出力する（図 1 1 のD相ラッチ転送（CDS））。

[0154] 以上の処理により、P相の画素信号とD相の画素信号との差分が求められるので、CDSが掛けられた画素信号を求めることが可能となる。

[0155] <カラムカウンタ動作処理>

次に、図 1 2，図 1 3 を用いて、カラムカウンタ 9 2 によるカラムカウンタ動作処理を説明する。尚、図 1 2 は、カラムカウンタ動作処理を説明するフローチャートであり、図 1 3 の上部は、カラムカウンタ 9 2 の構成と、各

構成間におけるデータの遷移が矢印で示されており、図13の下部は、ランプ波と対応する動作を説明するタイミングチャートである。

- [0156] ステップS11において、GCラッチ121は、初期化されクリアされる。すなわち、P相の画素信号に対応するグレイコード（GC）を受け入れるための準備が行われる。ステップS11の処理は、例えば、図13の下部のランプ波の波形における時刻t0乃至t1の期間において実行される。
- [0157] ステップS12において、GCラッチ121は、図13の上部における1点鎖線L1で示されるようにGCカウンタ72からのグレイコード（GC）をラッチする。ステップS12の処理は、例えば、図13の下部のランプ波の波形における時刻t2乃至t3で示される、所定のレートでランプ波が変化する期間になされる。より詳細には、ランプ波が変化し、比較器91によりランプ波が画素信号よりも大きくなったことが検出されたタイミングにおいて、GCカウンタ72より供給されているグレイコードがP相の画素信号に対応するグレイコードとしてラッチされる。
- [0158] ステップS13において、ALU122のコード変換器141は、図13の上部における2点鎖線L2で示されるように、図7における処理step1乃至10の処理である前処理を実行し、最下位ビットのバイナリコードBIN[0]を求める。ステップS13の処理は、例えば、図13の下部のランプ波の波形における時刻t4乃至t5の期間に実行される。
- [0159] ステップS14において、コード変換器141は、図13の上部における点線L3で示されるように、GCラッチ121にラッチされているP相の画素信号のグレイコードを読み出して、バイナリコードに変換し、全加算器142に出力する。
- [0160] ステップS15において、全加算器142は、図13の上部における点線L3で示されるように、P相の画素信号のバイナリコードと、一時ラッチ123にラッチされている、全bitが0のバイナリコードとを加算（減算）して、一時ラッチ123にラッチさせる。ステップS14、S15の処理は、例えば、図13の下部のランプ波の波形における時刻t5乃至t6の期間に実行

される。

- [0161] ステップS 1 6において、GCラッチ1 2 1は、初期化されクリアされる。すなわち、D相の画素信号に対応するグレイコード（GC）を受け入れるための準備が行われる。ステップS 1 6処理は、例えば、図1 3の下部のランプ波の波形における時刻t 7乃至t 8の期間において実行される。
- [0162] ステップS 1 7において、GCラッチ1 2 1は、図1 3の上部における1点鎖線で示されるようにGCカウンタ7 2からのグレイコード（GC）をラッチする。ステップS 1 7の処理は、例えば、図1 3の下部のランプ波の波形における時刻t 8乃至t 9で示される、所定のレートでランプ波が変化する期間になされる。より詳細には、ランプ波が変化し、比較器9 1によりランプ波が画素信号よりも大きくなったことが検出されたタイミングにおいて、GCカウンタ7 2より供給されているグレイコードがD相の画素信号に対応するグレイコードとしてラッチされる。
- [0163] ステップS 1 8において、ALU1 2 2のコード変換器1 4 1は、図1 3の上部における2点鎖線L 2で示されるように、図7における処理step1乃至10の処理である前処理を実行し、最下位ビットのバイナリコードBIN[0]を求める。ステップS 1 8の処理は、例えば、図1 3の下部のランプ波の波形における時刻t 9乃至t 1 0の期間に実行される。
- [0164] ステップS 1 9において、コード変換器1 4 1は、図1 3の上部における点線L 4で示されるように、GCラッチ1 2 1にラッチされているD相の画素信号のグレイコードを読み出して、バイナリコードに変換し、全加算器1 4 2に出力する。
- [0165] ステップS 2 0において、全加算器1 4 2は、図1 3の上部における点線L 4で示されるように、D相の画素信号のバイナリコードと、一時ラッチ1 2 3にラッチされている、P相の画素信号のバイナリコードとを加算（減算）して、CDSが掛けられた画素信号のバイナリコードとしてIFラッチ1 2 4にラッチさせる。ステップS 1 9，S 2 0の処理は、例えば、図1 3の下部のランプ波の波形における時刻t 1 0乃至t 1 1の期間に実行される。

[0166] 以上の処理により、ステップS 1 4, S 1 5の処理、およびステップS 1 9, S 2 0の処理は、図7を参照して説明したように、いずれも事前にステップS 1 3, S 1 8の前処理がなされることで、最下位ビットのバイナリコードが求められることで、順次上位のビットを求める処理とすることができ、このため、ステップS 1 4, S 1 5の処理、およびステップS 1 9, S 2 0の処理が、それぞれ連続的に実行されるので、例えば、本開示のALU 1 2 2のように2bitずつの処理であっても処理を高速化することが可能となる。

[0167] また、2bitずつの処理であっても処理を高速化することが可能であるので、少ない配線数でも画素アレイを実現することができ、実装面積を低減できるので、狭ピッチの画素配列に対応することも可能となる。また、リップルカウンタなどが不要なので、実装面積の低減を実現すると共に、消費電力を低減させることが可能となる。

[0168] <GCカウンタの構成例>

次に、GCカウンタ7 2の構成例について説明する。

[0169] GCカウンタ7 2は、例えば、図1 4で示されるように、バイナリカウンタ3 3 1、コード変換部3 3 2、および出力部3 3 3より構成されるようにすることができる。

[0170] バイナリカウンタ3 3 1は、クロック信号GCKに応じて5ビットのバイナリコードUC[0]乃至UC[4]を発生し、コード変換部3 3 2に出力する。

[0171] コード変換部3 3 2は、バイナリカウンタ3 3 1より供給される5bitのバイナリコードUC[0]乃至UC[4]を、5bitのグレイコードPGC[0]乃至PGC[4]に変換して、出力部3 3 3に出力する。

[0172] 出力部3 3 3は、コード変換器3 0 2から5bitのグレイコードPGC[0]乃至PGC[4]をクロック信号GCKの反転信号に合わせてグレイコードGC[0]乃至GC[4]として出力する。

[0173] より詳細には、バイナリカウンタ3 3 1は、バッファ3 4 1、インバータ3 4 2-1乃至3 4 2-3、DFF 3 5 1-1乃至3 5 1-4、XOR回路3 5 2乃至3 5 4、NOR回路3 5 5、およびNAND回路3 5 6を備えている。

- [0174] バイナリコードUC[0]は、バッファ341およびインバータ342-1, 342-2を介して出力されるクロック信号GCKそのものとなる。
- [0175] DFF351-1は、クロック端子にバッファ341を介してクロック信号GCKの反転信号が入力される。DFF351-1の反転出力端子XQは、データ端子Dと接続されている。DFF351-1の出力端子Qは、コード変換器332のDFF357-1のクロック端子に接続されている。このような構成により、DFF351-1は、クロック信号GCKが入力される度に、データ端子Dには、現在保持している信号の反転信号が入力されることになるので、出力端子Qより2bit目のバイナリコードUC[1]として1,0 (High, Low) を交互に出力する。また、DFF351-1は、反転出力端子XQより、出力端子Qの反転信号をXOR回路352に出力する。
- [0176] XOR回路352は、DFF351-2の反転出力端子XQとDFF351-1の反転出力端子XQとの入力に基づいて、相互が異なるとき1 (High) を、相互が同値であるとき0 (Low) をDFF351-2のデータ端子Dに出力する。
- [0177] DFF351-2は、データ端子Dに入力される信号を、クロック端子がHighとなるタイミングで保持し、保持した信号を出力端子QよりバイナリコードUC[2]としてコード変換器332のDFF357-2のクロック端子に出力すると共に、保持した信号の反転信号を反転出力端子XQよりXOR回路352およびNOR回路355に出力する。
- [0178] NOR回路355は、DFF351-1の反転出力端子XQと、DFF351-2の反転出力端子XQとの出力のいずれかが1 (High) であれば、0 (High) を、それ以外の場合、1 (Low) を、NAND回路356、およびXOR回路353に出力する。
- [0179] XOR353は、NOR回路355の出力の反転信号と、DFF351-3の反転出力端子XQからの出力信号とに基づいて、NOR回路355の出力の反転信号と、DFF351-3の反転出力端子XQからの信号とが一致するとき、0 (Low) を、それ以外の場合1 (High) をDFF351-3のデータ端子Dに出力する。
- [0180] DFF351-3は、クロック端子に入力されるクロック信号GCLの反転信号

に基づいて、XOR回路353の出力をデータ端子Dより受け付けて保持し、保持している信号を出力端子QからバイナリコードUC[3]として出力し、保持している信号の反転信号を反転出力端子XQよりXOR回路353、およびNAND回路356に出力する。

[0181] NAND回路356は、NOR回路355の出力と、DFF351-3の反転出力端子XQの反転信号とが共に1 (High) であれば、1 (High) を、それ以外の場合、0 (Low) をXOR354に出力する。

[0182] XOR回路354は、NAND回路356の出力と、DFF351-4の反転出力端子XQの信号との排他的論理和を取って、DFF351-4のデータ端子Dに入力する。

[0183] DFF351-4は、クロック信号GCLの反転信号に基づいて、XOR回路354の出力信号を保持し、出力端子Qより出力すると共に、保持している信号の反転信号を反転出力端子XQより、バイナリコードUC[4]として出力すると共に、XOR354に出力する。

[0184] このような構成により、バイナリカウンタ331は、クロック信号GCKに応じて、5bitのバイナリコードUC[0]乃至UC[4]をコード変換部332に出力する。

[0185] コード変換部332は、DFF357-0乃至357-3、およびバッファ358より構成されている。

[0186] DFF357-0乃至357-3は、それぞれバイナリコードUC[0]乃至UC[3]をクロック端子で受け付けると共に、データ端子Dと反転出力端子XQとが接続されており、データ端子Dに入力されて保持されている信号を出力端子Qから出力し、保持している信号の反転信号を反転出力端子XQよりそれぞれグレイコードPGC[0]乃至PGC[3]として出力部333に出力する。バッファ358は、最上位ビットのバイナリコードUC[4]をそのままグレイコードPGC[4]として出力部333に出力する。

[0187] このような構成によりコード変換器332は、バイナリコードUC[0]乃至UC[4]を、グレイコードPGC[0]乃至PGC[4]に変換して出力部333に出力する。

[0188] 出力部 333 は、DFF 359-0 乃至 359-4、およびバッファ 360-0 乃至 360-4 より構成されている。DFF 359-0 乃至 359-4 は、いずれもクロック端子でクロック信号 GCK の反転信号を受け付け、データ端子 D でそれぞれの bit に対応するグレイコード PGC[0] 乃至 PGC[4] を受け付けて、クロック信号 GCK に対応して保持する。DFF 359-0 乃至 359-4 は、それぞれ保持している信号を出力端子 Q よりバッファ 360-1 乃至 360-4 よりグレイコード GC[0] 乃至 GC[4] として出力する。

[0189] 以上のような構成により、グレイコードカウンタ 101 は、クロック GCK に応じて、順次、5bit のグレイコード GC[0] 乃至 GC[4] を出力する。

[0190] <GC カウンタの多ビット化>

ところで、GC カウンタ 72 を多ビット化する場合、上述したバイナリカウンタ 331 を多ビット化する必要がある。

[0191] 図 14 で示される 5bit のバイナリコードを出力するバイナリカウンタ 331 に対して、6bit のバイナリコードを出力するバイナリカウンタは、例えば、図 15 で示されるような構成になる。すなわち、図 15 のバイナリカウンタ 331' は、インバータ 371、DFF 372-0 乃至 372-5、XOR 回路 373-1 乃至 373-5、NAND 回路 374、376、378、および NOR 回路 375、377 より構成されている。

[0192] 図 15 のバイナリカウンタ 331' においては、DFF 372-0 乃至 372-5 の出力端子 Q よりそれぞれバイナリコード UC[0] 乃至 UC[5] が出力される。

[0193] しかしながら、図 15 で示されるように、DFF 372 が増大すると、セットアップ時間が増大する。ここで、セットアップ時間とは、DFF 372-0 乃至 372-5 が、図 15 で示されるように、シリーズに接続されている際、DFF 372-0 の動作したタイミングから、隣接する他の DFF 372-1 乃至 DFF 372-5 等に動作が開始されるタイミングまでの時間である。

[0194] すなわち、図 15 の場合、DFF 372-2 は、DFF 372-1 のセットアップ時間に対して、分周比が 2 となり、同様に、DFF 372-3 乃至 372-5 は、それぞれ分周比が 4、8、16、32 となる。すなわち、バイナリカウ

ンタ 3 3 1' を構成する DFF 3 7 2 は、バイナリカウンタのビット数に応じて増えることになるが、DFF 3 7 2 が増大するに従って、セットアップ時間が増大する。

[0195] そこで、データを転送する経路上でリタイミングして、セットアップ時間を短縮させる方法が考えられる。

[0196] 例えば、図 1 6 で示されるように、図 1 4 の GC カウンタ 7 2 に対して、NOR 回路 3 5 5 と、XOR 回路 3 5 3 および NAND 回路 3 5 6 との間に、リタイミング用の構成として DFF 3 9 1 を設けるようにする。DFF 3 9 1 は、データ端子 D が、NOR 回路 3 5 5 の出力と接続されており、出力端子 Q は、XOR 回路 3 5 3 および NAND 回路 3 5 6 と接続されている。また、DFF 3 9 1 のクロック端子は、クロック信号 GCK を受け付ける。

[0197] このような構成により、DFF 3 9 1 は、クロック信号 GCK を直接受け付けて、XOR 回路 3 5 3 および NAND 回路 3 5 6 に出力し、DFF 3 5 1 - 0 乃至 3 3 1 - 2 の出力タイミングの影響を受けることなく、リタイミングすることができるので、セットアップ時間を短縮することが可能となる。

[0198] しかしながら、図 1 6 の場合、DFF 3 9 1 の動作に伴って、遅延が生じるので、下位ビットのレイテンシを揃えるため、遅延対策の DFF 3 9 2 - 0 乃至 3 9 2 - 2、および NAND 回路 3 9 3 が必要となる。

[0199] 同様に、図 1 7 の上段で示されるように、XOR 回路 3 7 1 - 1 乃至 3 7 1 - 9、DFF 3 7 2 - 0 乃至 3 7 2 - 9、NAND 回路 3 7 4、3 7 6、3 7 8、3 8 0、および NOR 回路 3 7 5、3 7 7、3 7 9、3 8 1 からなる 10bit のバイナリコード UC[0] 乃至 UC[9] を出力するバイナリカウンタ 3 3 1' を考える。

[0200] このような場合、図 1 7 の上段のバイナリカウンタ 3 3 1' に対して、図 1 7 の下段で示されるように、リタイミング用の DFF 3 9 1 - 1 1、3 9 1 - 1 2 を設ける。

[0201] より詳細には、図 1 7 の下段の場合、リタイミング用の DFF 3 9 1 - 1 1 が、NAND 回路 3 7 6 と、NOR 回路 3 7 7、および XOR 回路 3 7 3 - 4 との間に設けられ、同様に、リタイミング用の DFF 3 9 1 - 1 2 が、NOR 回路 3 7 9 と、N

AND回路380、およびXOR回路373-7との間に設けられている。

[0202] このような構成により、DFF391-11, 391-12のそれぞれが、リタイミングすることができるので、図17で示されるバイナリカウンタ331'のセットアップ時間を短縮することが可能となる。

[0203] しかしながら、図17の下段で示されるように、下位ビットの出力には、リタイミング用のDFF391-11, 391-12の動作による遅延を調整するための点線で囲まれて表示されるDFF392-11乃至392-20が必要となる。特に、DFF391-11より前段の下位ビットについては、DFF391-11, 391-12の両方の遅延を吸収する必要があるため、それぞれに対して、遅延を調整するためのDFF392が、各ビットについて、それぞれ2個ずつ必要となる。

[0204] いずれにおいても、結果として、バイナリカウンタを多ビット化すると、DFF392が増大することにより、実装面積と消費電力が増大してしまう。

[0205] <本開示のGCカウンタの構成例>

そこで、本開示のGCカウンタ72は、実装面積を低減しつつ、セットアップ時間を短縮するため、例えば、図18で示されるような構成とするようにしてもよい。

[0206] 図18のGCカウンタ72は、インバータ421、NAND回路422-0乃至422-12、DFF423-0乃至423-12、NAND回路424-1, 424-2、XNOR回路425-1乃至425-3、XOR回路426-1乃至426-4、XNOR回路427-1乃至427-3、NOR回路428、NOR回路429-1乃至429-6、NAND回路430-1乃至430-4、およびインバータ431を備えている。

[0207] インバータ421は、クロック信号CLKの反転信号を生成し、NAND回路422-0の入力端子に出力する。

[0208] NAND回路422-0は、クロック信号CLKの反転信号と、Hi信号とのNANDをとって、それぞれDFF423-0のクロック端子に出力する。

[0209] DFF423-0は、データ端子Dと反転出力端子XQとが接続され、NAND回路

4 2 2 - 0 よりクロック端子に入力される信号に応じて動作し、出力端子QよりグレイコードGC[0]を出力する。

[0210] NAND回路 4 2 2 - 1 乃至 4 2 2 - 5 は、クロック信号CLKの入力信号と、Hi信号とのNANDをとって、それぞれDFF 4 2 3 - 0 乃至 4 2 3 - 5 のクロック端子に出力する。

[0211] DFF 4 2 3 - 1 は、データ端子D、反転出力端子XQ、およびXNOR 4 2 5 - 1 の入力端子が接続されており、NAND回路 4 2 2 - 1 よりクロック端子に入力される信号に応じて動作し、出力端子Qより信号f1を、NAND回路 4 2 4 - 1 , 4 2 4 - 2、およびNOR回路 4 2 8 のそれぞれの入力端子に出力する。

[0212] DFF 4 2 3 - 2 は、データ端子DがXNOR回路 4 2 5 - 1 の出力端子に接続されており、出力端子QがXNOR回路 4 2 5 - 1、およびNAND回路 4 2 4 - 1 のそれぞれの入力端子に接続されており、出力端子QよりグレイコードGC[1]を出力する。また、DFF 4 2 3 - 2 は、反転出力端子XQと、NAND回路 4 2 4 - 2、およびNOR回路 4 2 8 のそれぞれの入力端子とが接続される。

[0213] XNOR 4 2 5 - 1 は、DFF 4 2 3 - 1 の反転出力端子XQの信号と、DFF 4 2 3 - 2 の出力端子Qの信号とのXNORを取ってDFF 4 2 3 - 2 のデータ端子Dに出力する。

[0214] NAND回路 4 2 4 - 1 は、DFF 4 2 3 - 1 , 4 2 3 - 2 の出力端子QのNANDを取って信号f2としてXNOR 4 2 5 - 2 の入力端子に出力する。

[0215] DFF 4 2 3 - 3 は、データ端子DがXNOR回路 4 2 5 - 2 の出力端子に接続されており、出力端子QがXNOR回路 4 2 5 - 2、NAND回路 4 2 4 - 2、およびNOR回路 4 2 8 のそれぞれの入力端子に接続されており、出力端子QよりグレイコードGC[2]を出力する。

[0216] XNOR 4 2 5 - 2 は、DFF 4 2 3 - 3 の出力端子Qの信号と、信号f2とのXNORを取ってDFF 4 2 3 - 3 のデータ端子Dに出力する。

[0217] NAND回路 4 2 4 - 2 は、DFF 4 2 3 - 1 , 4 2 3 - 3 の出力端子Q、およびDFF 4 2 3 - 2 の反転出力端子XQのNANDを取って信号f3としてXNOR 4 2 5 - 3 の入力端子に出力する。

- [0218] DFF 4 2 3 - 4 は、データ端子DがXNOR回路 4 2 5 - 3 の出力端子に接続されており、出力端子QがXNOR回路 4 2 5 - 3、NOR回路 4 2 9 - 1, 4 2 9 - 2、およびXOR回路 4 2 6 - 1 のそれぞれの入力端子に接続されており、出力端子QよりグレイコードGC[3]を出力する。
- [0219] XOR 4 2 8 は、DFF 4 2 3 - 1, 4 2 3 - 3 の出力端子Qの信号、およびDFF 4 2 3 - 2 の反転出力端子XQの信号のNORを取って信号fdvとしてDFF 4 2 3 - 5 のデータ端子Dに出力する。
- [0220] DFF 4 2 3 - 5 は、データ端子Dに信号fdvが入力され、NAND回路 4 2 2 - 5 よりクロック端子に供給される信号に基づいて、出力端子Qより信号qdvをNAND回路 4 2 2 - 6 乃至 4 2 2 - 1 2 のそれぞれの入力端子に出力する。
- [0221] NAND回路 4 2 2 - 6 乃至 4 2 2 - 1 2 は、信号qdvと、クロック信号CLKとのNANDを取り、その結果を、それぞれDFF 4 2 3 - 6 乃至 4 2 3 - 1 2 のクロック端子に入力する。
- [0222] DFF 4 2 3 - 6 は、出力端子QがXOR回路 4 2 6 - 1、およびNOR回路 4 2 9 - 1 の入力端子と接続されており、出力端子QよりグレイコードGC[4]を出力する。DFF 4 2 3 - 6 は、反転出力端子XQが、NOR回路 4 2 9 - 2 の入力端子と接続されている。XOR回路 4 2 6 - 1 は、DFF 4 2 3 - 6 の出力端子Qの信号であるグレイコードGC[4]と、DFF 4 2 3 - 4 の出力端子Qの信号であるグレイコードGC[3]とのXORを取って、その結果を、DFF 4 2 3 - 6 のデータ端子Dに出力する。
- [0223] NOR回路 4 2 9 - 1 は、DFF 4 2 3 - 6 の出力端子Qの信号であるグレイコードGC[4]と、DFF 4 2 3 - 4 の出力端子Qの信号であるグレイコードGC[3]とのNORを取って、NAND回路 4 3 0 - 1, 4 3 0 - 2 の入力端子に出力する。
- [0224] NOR回路 4 2 9 - 2 は、DFF 4 2 3 - 6 の反転出力端子XQの信号と、DFF 4 2 3 - 4 の出力端子Qの信号であるグレイコードGC[3]とのNORを取って、信号f5として、XOR 4 2 6 - 2 の入力端子に出力する。
- [0225] DFF 4 2 3 - 7 は、出力端子QがXOR回路 4 2 6 - 2、およびNAND回路 4 3 0 - 2 の入力端子と接続されており、出力端子QよりグレイコードGC[5]を出力

する。DFF 4 2 3 - 7 は、反転出力端子XQが、NAND回路 4 3 0 - 1 の入力端子と接続されている。XOR回路 4 2 6 - 2 は、DFF 4 2 3 - 7 の出力端子Qの信号であるグレイコードGC[5]と、信号f5とのXORを取って、その結果を、DFF 4 2 3 - 7 のデータ端子Dに出力する。

[0226] NAND回路 4 3 0 - 1 は、NOR回路 4 2 9 - 1 の出力信号と、DFF 4 2 3 - 7 の反転出力端子XQの信号とのNANDを取って、NOR回路 4 2 9 - 3, 4 2 9 - 4 の入力端子に出力する。

[0227] NAND回路 4 3 0 - 2 は、NOR回路 4 2 9 - 1 の出力信号と、DFF 4 2 3 - 7 の出力端子Qの信号であるグレイコードGC[5]とのNORを取って、信号f6として、XNOR 4 2 7 - 1 の入力端子に出力する。

[0228] DFF 4 2 3 - 8 は、出力端子QがXNOR回路 4 2 7 - 1、およびNOR回路 4 2 9 - 3 の入力端子と接続されており、出力端子QよりグレイコードGC[6]を出力する。DFF 4 2 3 - 8 は、反転出力端子XQが、NOR回路 4 2 9 - 4 の入力端子と接続されている。XNOR回路 4 2 7 - 1 は、DFF 4 2 3 - 8 の出力端子Qの信号であるグレイコードGC[6]と、信号f6とのXNORを取って、その結果を、DFF 4 2 3 - 8 のデータ端子Dに出力する。

[0229] NOR回路 4 2 9 - 3 は、DFF 4 2 3 - 8 の出力端子Qの信号であるグレイコードGC[6]と、NAND回路 4 3 0 - 1 の出力信号とのNORを取って、NAND回路 4 3 0 - 3, 4 3 0 - 4 の入力端子に出力する。

[0230] NOR回路 4 2 9 - 4 は、DFF 4 2 3 - 8 の反転出力端子XQの信号と、NAND回路 4 3 0 - 1 の出力信号とのNORを取って、信号f7として、XOR 4 2 6 - 3 の入力端子に出力する。

[0231] DFF 4 2 3 - 9 は、出力端子QがXOR回路 4 2 6 - 3、およびNAND回路 4 3 0 - 4 の入力端子と接続されており、出力端子QよりグレイコードGC[7]を出力する。DFF 4 2 3 - 9 は、反転出力端子XQが、NAND回路 4 3 0 - 3 の入力端子と接続されている。XOR回路 4 2 6 - 3 は、DFF 4 2 3 - 9 の出力端子Qの信号であるグレイコードGC[7]と、信号f7とのXORを取って、その結果を、DFF 4 2 3 - 9 のデータ端子Dに出力する。

- [0232] NAND回路430-3は、NOR回路429-3の出力信号と、DFF423-9の反転出力端子XQの信号とのNANDを取って、NOR回路429-5、429-6の入力端子に出力する。
- [0233] NAND回路430-4は、NOR回路429-3の出力信号と、DFF423-9の出力端子Qの信号であるグレイコードGC[7]とのNANDを取って、信号f8として、XNOR427-2の入力端子に出力する。
- [0234] DFF423-10は、出力端子QがXNOR回路427-2、およびNOR回路429-5の入力端子と接続されており、出力端子QよりグレイコードGC[8]を出力する。DFF423-10は、反転出力端子XQが、NOR回路429-6の入力端子と接続されている。XNOR回路427-2は、DFF423-10の出力端子Qの信号であるグレイコードGC[8]と、信号f8とのXNORを取って、その結果を、DFF423-10のデータ端子Dに出力する。
- [0235] NOR回路429-5は、DFF423-10の出力端子Qの信号であるグレイコードGC[8]と、NAND回路430-3の出力信号とのNORを取って、インバータ431の入力端子に出力する。
- [0236] NOR回路429-6は、DFF423-10の反転出力端子XQの信号と、NAND回路430-3の出力信号とのNORを取って、信号f9として、XOR426-4の入力端子に出力する。
- [0237] DFF423-11は、出力端子QがXOR回路426-4の入力端子と接続されており、出力端子QよりグレイコードGC[9]を出力する。XOR回路426-4は、DFF423-11の出力端子Qの信号であるグレイコードGC[9]と、信号f9とのXORを取って、その結果を、DFF423-11のデータ端子Dに出力する。
- [0238] インバータ431は、NOR回路429-5の出力信号を反転出力して、信号f10としてXNOR回路427-3の入力端子に出力する。
- [0239] DFF423-12は、出力端子QがXNOR回路427-3の入力端子と接続されており、出力端子QよりグレイコードGC[10]を出力する。XNOR回路427-3は、DFF423-12の出力端子Qの信号であるグレイコードGC[10]と、信号f10とのXNORを取って、その結果を、DFF423-12のデータ端子Dに出力

する。

[0240] このような構成により、バイナリカウンタと、コード変換器等を別構成とする必要がなく、グレイコードのビット数に加えて2個のDFFで構成できるので、DFFの個数を低減させることが可能となり、実装面積を低減させることが可能になると共に、消費電力を低減させることが可能となる。

[0241] また、このような構成により、図18のGCカウンタ72は、図19で示されるような波形で示されるグレイコードGC[0]乃至GC[10]を発生することが可能となる。

[0242] 尚、図19においては、上からクロック信号CLK、信号f1乃至f10、信号fdv、信号qdv、信号ckb（NAND回路422-5乃至422-12より出力される信号）、および、グレイコードGC[0]乃至GC[10]のそれぞれの波形を示している。

[0243] すなわち、図18のGCカウンタ72においては、グレイコードGC[1]乃至[3]が、グレイコードパターンに対応するように直接デコードされる。

[0244] また、グレイコードGC[4]乃至GC[10]は、自身よりも1bit前の値がHighで、それより前のbitがLowになるポイントで反転させればよく、それぞれがLowになるタイミングをシリアルに伝搬させ、それと1個前のbitとの論理を取って反転信号を生成している。

[0245] これによりシリアル伝搬は遅いが、間引きクロックによりセットアップ時間を確保することが可能となる。

[0246] グレイコードGC[1]乃至GC[3]の出力から、グレイコードGC[4]乃至GC[10]を発生させるにあたって、DFF423-5を設けることで、図19の点線の矢印で示されるように、クロック信号CLKをマスクする信号qdvを発生させることができるので、DFF422-5乃至422-12をクロック信号CLKに対して8分周分のクロック信号で動作させることが可能となる。

[0247] これによりセットアップ時間を低減させることが可能になると共に、消費電力を低減させることが可能となる。

[0248] 尚、以上においては、グレイコードのビット数が10bitである例について説

明してきたが、それ以外のビット数でもよい。また、グレイコードGC[1]乃至GC[3]がグレイコードパターンとして直接デコードされ、それ以降のグレイコードGC[4]乃至GC[10]が、間引きクロックに基づいて生成される例について説明してきたが、直接デコードされるビット数と、間引きクロックに基づいて生成されるbit数は、これ以外の組み合わせであってもよい。

[0249] <電子機器への適用例>

上述した撮像素子11は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像装置、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0250] 図20は、本技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[0251] 図20に示される撮像装置501は、光学系502、シャッタ装置503、固体撮像素子504、駆動回路505、信号処理回路506、モニタ507、およびメモリ508を備えて構成され、静止画像および動画を撮像可能である。

[0252] 光学系502は、1枚または複数枚のレンズを有して構成され、被写体からの光（入射光）を固体撮像素子504に導き、固体撮像素子504の受光面に結像させる。

[0253] シャッタ装置503は、光学系502および固体撮像素子504の間に配置され、駆動回路505の制御に従って、固体撮像素子504への光照射期間および遮光期間を制御する。

[0254] 固体撮像素子504は、上述した固体撮像素子を含むパッケージにより構成される。固体撮像素子504は、光学系502およびシャッタ装置503を介して受光面に結像される光に応じて、一定期間、信号電荷を蓄積する。固体撮像素子504に蓄積された信号電荷は、駆動回路505から供給される駆動信号（タイミング信号）に従って転送される。

[0255] 駆動回路505は、固体撮像素子504の転送動作、および、シャッタ装置503のシャッタ動作を制御する駆動信号を出力して、固体撮像素子50

4 およびシャッタ装置 503 を駆動する。

[0256] 信号処理回路 506 は、固体撮像素子 504 から出力された信号電荷に対して各種の信号処理を施す。信号処理回路 506 が信号処理を施すことにより得られた画像（画像データ）は、モニタ 507 に供給されて表示されたり、メモリ 508 に供給されて記憶（記録）されたりする。

[0257] このように構成されている撮像装置 501 においても、上述した光学系 502、シャッタ装置 503、および固体撮像素子 504 に代えて、撮像素子 11 を適用することにより、実装面積を低減させつつ、消費電力を低減させることが可能となる。

＜撮像素子の使用例＞

[0258] 図 21 は、上述の撮像素子 11 を使用する使用例を示す図である。

[0259] 上述したカメラモジュールは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0260] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0261] 尚、本開示は、以下のような構成も取ることができる。

<1> 画像を撮像する複数の画素からなる撮像部と、

前記画素の画素信号に対応するグレイコードをラッチするグレイコードラッチと、

前記グレイコードラッチにラッチされているグレイコードをバイナリコードに変換する変換部と、

所定のバイナリコードを一時的にラッチする一時ラッチと、

前記変換部により前記グレイコードから変換された前記バイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める演算部とを含み、

前記変換部が、前記グレイコードを前記バイナリコードに変換した後、前記演算部が、連続的に、前記変換部により変換された同一のビットのバイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める

撮像素子。

<2> 前記変換部は、最初に最下位ビットの前記バイナリコードを算出し、前記最下位ビットのバイナリコードを用いて、順次上位のビットの前記グレイコードを前記バイナリコードに変換する

<1>に記載の撮像素子。

<3> 前記変換部は、前記グレイコードラッチにラッチされている全ビットの排他的論理和を、前記最下位ビットのグレイコードとして算出する

<2>に記載の撮像素子。

<4> 前記変換部は、複数ビットずつ、前記グレイコードラッチにラッチされているグレイコードをバイナリコードに変換し、

前記演算部は、前記変換部により前記グレイコードが前記バイナリコード

に変換された後に、連続的に、前記複数ビットずつ、前記変換部により変換された同一ビットの前記バイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める

＜1＞乃至＜3＞のいずれかに記載の撮像素子。

＜5＞ 前記一時ラッチは、全ビットが0からなるバイナリコードを、前記所定のバイナリコードとしてラッチし、

前記演算部は、前記画素が初期化された状態の前記画素信号であるP相の画素信号の前記グレイコードから変換された前記バイナリコードと、前記一時ラッチにラッチされている前記全ビットが0からなるバイナリコードとの差分からなるバイナリコードを、前記P相の画素信号のバイナリコードとして求め、前記一時ラッチにラッチさせる

＜1＞乃至＜4＞のいずれかに記載の撮像素子。

＜6＞ 前記演算部は、前記画素が受光した光量に応じた前記画素信号であるD相の画素信号の前記グレイコードから変換された前記バイナリコードと、前記一時ラッチにラッチされている、前記P相の画素信号のバイナリコードとの差分を、CDS（相関二重サンプリング）された画素信号のバイナリコードとして出力する

＜5＞に記載の撮像素子。

＜7＞ 前記変換部は、前記グレイコードラッチにラッチされているグレイコードの補数をバイナリコードに変換し、

前記演算部は、前記変換部の変換結果である前記バイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求め、前記差分の補数を出力する

＜1＞乃至＜6＞のいずれかに記載の撮像素子。

＜8＞ 前記グレイコードを順次発生するグレイコードカウンタをさらに含み、

前記グレイコードカウンタは、

クロック信号に基づいて、所定ビット数のグレイコードのうちの前記所

定ビットより下位のグレイコードを発生する下位グレイコード発生部と、

前記クロック信号に基づいて、前記所定ビット数のグレイコードのうちの所定ビットより上位のグレイコードを発生する上位グレイコード発生部と

、

前記下位ビットのグレイコードに基づいて、前記クロック信号を所定数分周した分周クロック信号を発生する分周クロック信号発生部とを含み、

前記上位グレイコード発生部は、前記分周クロックに基づいて、前記所定ビット数のグレイコードのうちの所定ビットより上位のグレイコードを発生する

＜1＞乃至＜7＞のいずれかに記載の撮像素子。

＜9＞ 画像を撮像する複数の画素からなる撮像部と、

前記画素の画素信号に対応するグレイコードをラッチするグレイコードラッチと、

前記グレイコードラッチにラッチされているグレイコードをバイナリコードに変換する変換部と、

所定のバイナリコードを一時的にラッチする一時ラッチと、

前記変換部により前記グレイコードから変換された前記バイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める演算部とを含む撮像素子の制御方法であって、

前記変換部が、前記グレイコードを前記バイナリコードに変換した後、前記演算部が、連続的に、前記変換部により変換された同一のビットのバイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める

撮像素子の制御方法。

＜10＞ 画像を撮像する複数の画素からなる撮像部と、

前記画素の画素信号に対応するグレイコードをラッチするグレイコードラッチと、

前記グレイコードラッチにラッチされているグレイコードをバイナリコー

ドに変換する変換部と、

所定のバイナリコードを一時的にラッチする一時ラッチと、

前記変換部により前記グレイコードから変換された前記バイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める演算部とを含み、

前記変換部が、前記グレイコードを前記バイナリコードに変換した後、前記演算部が、連続的に、前記変換部により変換された同一のビットのバイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める

撮像装置。

< 1 1 > 画像を撮像する複数の画素からなる撮像部と、

前記画素の画素信号に対応するグレイコードをラッチするグレイコードラッチと、

前記グレイコードラッチにラッチされているグレイコードをバイナリコードに変換する変換部と、

所定のバイナリコードを一時的にラッチする一時ラッチと、

前記変換部により前記グレイコードから変換された前記バイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める演算部とを含み、

前記変換部が、前記グレイコードを前記バイナリコードに変換した後、前記演算部が、連続的に、前記変換部により変換された同一のビットのバイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める

電子機器。

符号の説明

[0262] 1 1 撮像素子, 3 1 画素アレイ, 3 2 垂直捜査回路, 3 3 D AC, 3 4 ADC, 3 5 水平走査回路, 3 6 デジタル信号演算回路, 3 7 タイミング制御回路, 5 1, 5 1 - 1 - 1 乃至 5 1 - n - m 画

素, 52 , $52-1$ 乃至 $52-n$ 垂直転送線, 71 , $71-1$ 乃至 $71-n$ ADC回路, 91 , $91-1$ 乃至 $91-n$ 比較器, 92 , $92-1$ 乃至 $92-n$ カラムカウンタ, 121 , $121-1$ 乃至 $121-n$ GCラッチ, 122 , $122-1$ 乃至 $122-n$ ALU, 123 , $123-1$ 乃至 $123-n$ 一時ラッチ, 124 , $124-1$ 乃至 $124-n$ IFラッチ

請求の範囲

- [請求項1] 画像を撮像する複数の画素からなる撮像部と、
 前記画素の画素信号に対応するグレイコードをラッチするグレイコードラッチと、
 前記グレイコードラッチにラッチされているグレイコードをバイナリコードに変換する変換部と、
 所定のバイナリコードを一時的にラッチする一時ラッチと、
 前記変換部により前記グレイコードから変換された前記バイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める演算部とを含み、
 前記変換部が、前記グレイコードを前記バイナリコードに変換した後、前記演算部が、連続的に、前記変換部により変換された同一のビットのバイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める
 撮像素子。
- [請求項2] 前記変換部は、最初に最下位ビットの前記バイナリコードを算出し、前記最下位ビットのバイナリコードを用いて、順次上位のビットの前記グレイコードを前記バイナリコードに変換する
 請求項 1 に記載の撮像素子。
- [請求項3] 前記変換部は、前記グレイコードラッチにラッチされている全ビットの排他的論理和を、前記最下位ビットのグレイコードとして算出する
 請求項 2 に記載の撮像素子。
- [請求項4] 前記変換部は、複数ビットずつ、前記グレイコードラッチにラッチされているグレイコードをバイナリコードに変換し、
 前記演算部は、前記変換部により前記グレイコードが前記バイナリコードに変換された後に、連続的に、前記複数ビットずつ、前記変換部により変換された同一ビットの前記バイナリコードと、前記一時ラ

ッチにラッチされている前記所定のバイナリコードとの差分を求める
請求項 1 に記載の撮像素子。

[請求項5] 前記一時ラッチは、全ビットが0からなるバイナリコードを、前記
所定のバイナリコードとしてラッチし、

前記演算部は、前記画素が初期化された状態の前記画素信号である
P相の画素信号の前記グレイコードから変換された前記バイナリコー
ドと、前記一時ラッチにラッチされている前記全ビットが0からなる
バイナリコードとの差分からなるバイナリコードを、前記P相の画素
信号のバイナリコードとして求め、前記一時ラッチにラッチさせる
請求項 1 に記載の撮像素子。

[請求項6] 前記演算部は、前記画素が受光した光量に応じた前記画素信号であ
るD相の画素信号の前記グレイコードから変換された前記バイナリコ
ードと、前記一時ラッチにラッチされている、前記P相の画素信号の
バイナリコードとの差分を、CDS（相関二重サンプリング）された画
素信号のバイナリコードとして出力する

請求項 5 に記載の撮像素子。

[請求項7] 前記変換部は、前記グレイコードラッチにラッチされているグレイ
コードの補数をバイナリコードに変換し、

前記演算部は、前記変換部の変換結果である前記バイナリコードと
、前記一時ラッチにラッチされている前記所定のバイナリコードとの
差分を求め、前記差分の補数を出力する

請求項 1 に記載の撮像素子。

[請求項8] 前記グレイコードを順次発生するグレイコードカウンタをさらに含
み、

前記グレイコードカウンタは、

クロック信号に基づいて、所定ビット数のグレイコードのうちの
前記所定ビットより下位のグレイコードを発生する下位グレイコード
発生部と、

前記クロック信号に基づいて、前記所定ビット数のグレイコードのうちの所定ビットより上位のグレイコードを発生する上位グレイコード発生部と、

前記下位ビットのグレイコードに基づいて、前記クロック信号を所定数分周した分周クロック信号を発生する分周クロック信号発生部とを含み、

前記上位グレイコード発生部は、前記分周クロックに基づいて、前記所定ビット数のグレイコードのうちの所定ビットより上位のグレイコードを発生する

請求項 1 に記載の撮像素子。

[請求項9]

画像を撮像する複数の画素からなる撮像部と、

前記画素の画素信号に対応するグレイコードをラッチするグレイコードラッチと、

前記グレイコードラッチにラッチされているグレイコードをバイナリコードに変換する変換部と、

所定のバイナリコードを一時的にラッチする一時ラッチと、

前記変換部により前記グレイコードから変換された前記バイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める演算部とを含む撮像素子の制御方法であって、

前記変換部が、前記グレイコードを前記バイナリコードに変換した後、前記演算部が、連続的に、前記変換部により変換された同一のビットのバイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める

撮像素子の制御方法。

[請求項10]

画像を撮像する複数の画素からなる撮像部と、

前記画素の画素信号に対応するグレイコードをラッチするグレイコードラッチと、

前記グレイコードラッチにラッチされているグレイコードをバイナ

リコードに変換する変換部と、

所定のバイナリコードを一時的にラッチする一時ラッチと、

前記変換部により前記グレイコードから変換された前記バイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める演算部とを含み、

前記変換部が、前記グレイコードを前記バイナリコードに変換した後、前記演算部が、連続的に、前記変換部により変換された同一のビットのバイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める

撮像装置。

[請求項11]

画像を撮像する複数の画素からなる撮像部と、

前記画素の画素信号に対応するグレイコードをラッチするグレイコードラッチと、

前記グレイコードラッチにラッチされているグレイコードをバイナリコードに変換する変換部と、

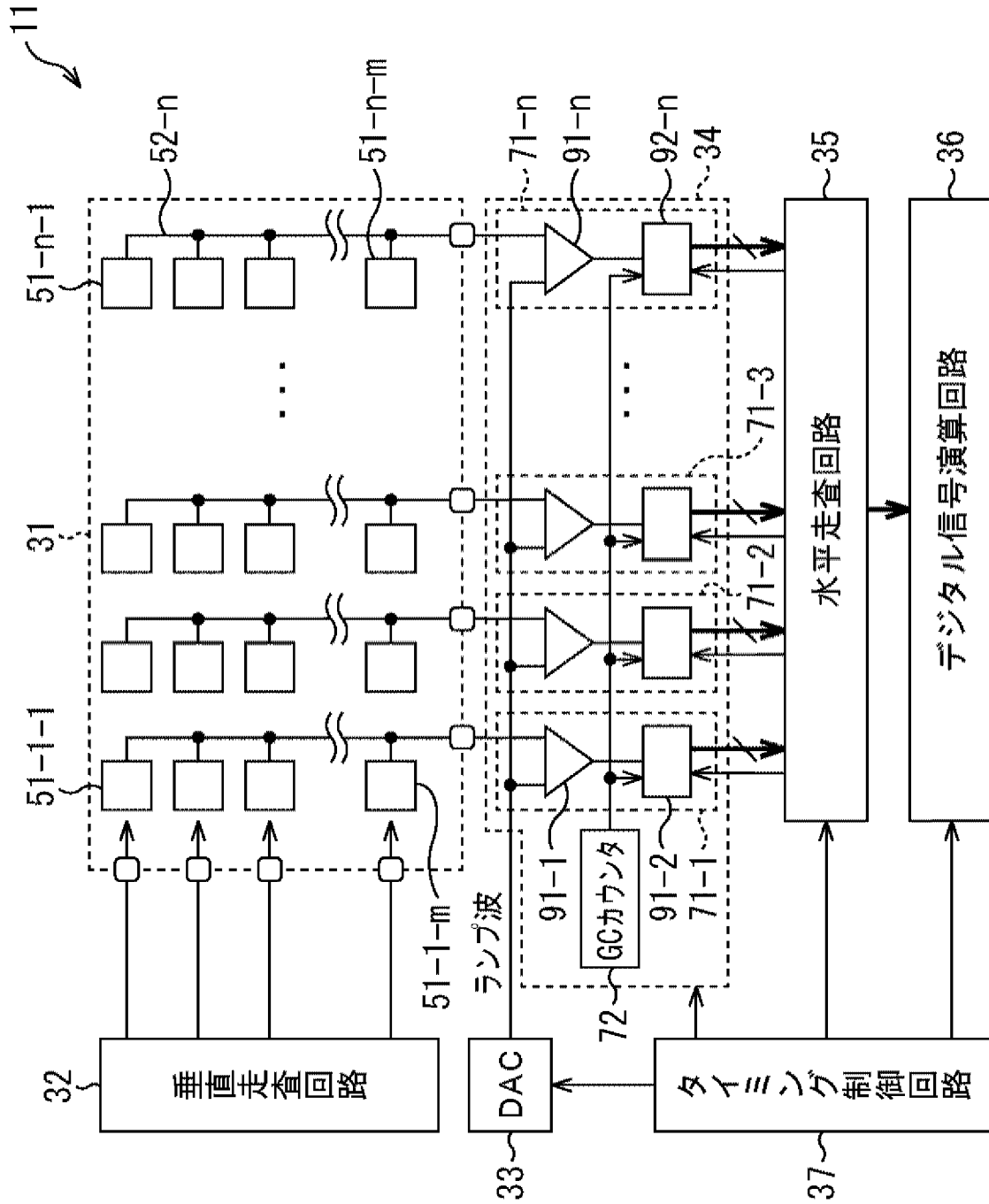
所定のバイナリコードを一時的にラッチする一時ラッチと、

前記変換部により前記グレイコードから変換された前記バイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める演算部とを含み、

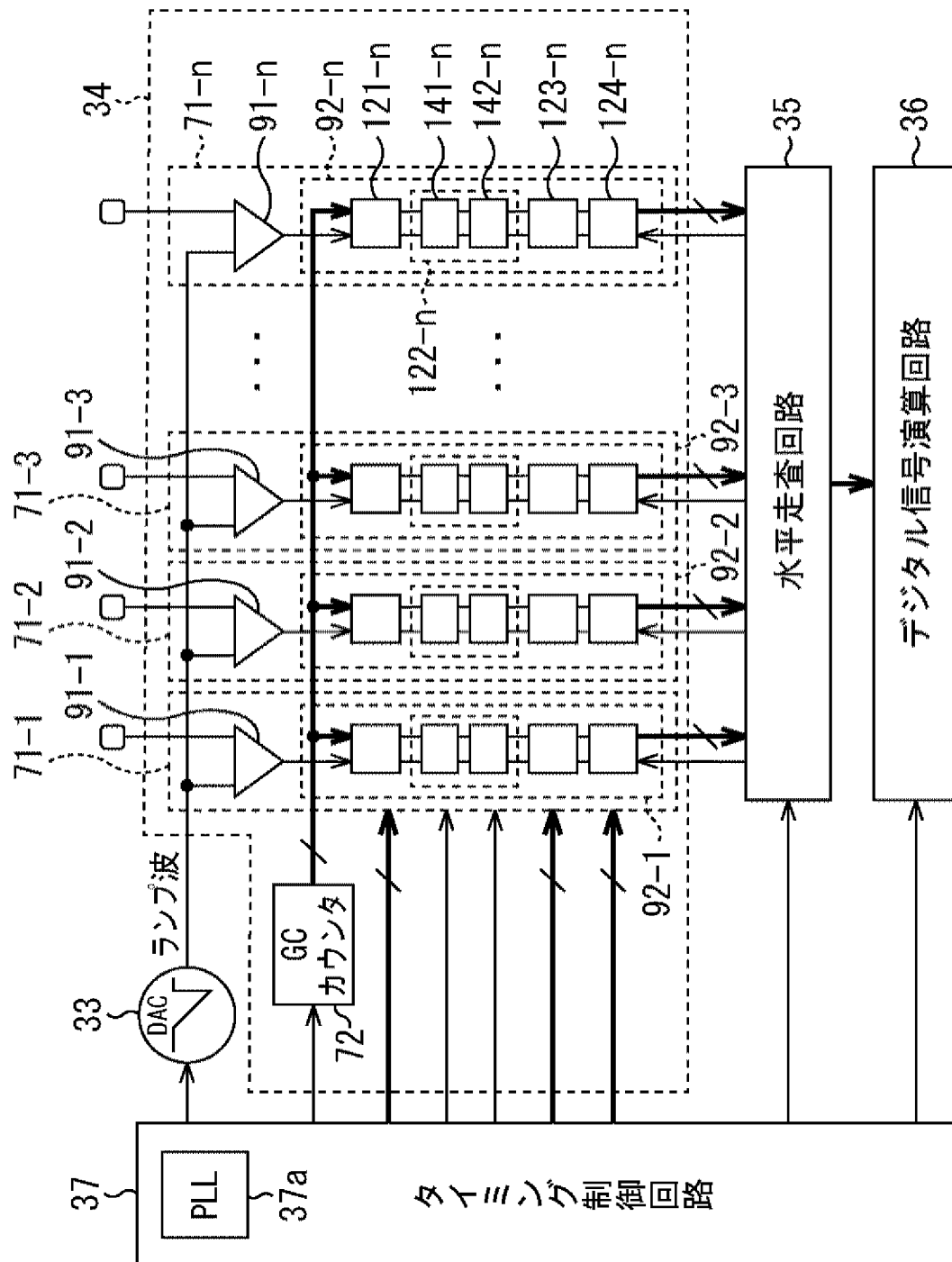
前記変換部が、前記グレイコードを前記バイナリコードに変換した後、前記演算部が、連続的に、前記変換部により変換された同一のビットのバイナリコードと、前記一時ラッチにラッチされている前記所定のバイナリコードとの差分を求める

電子機器。

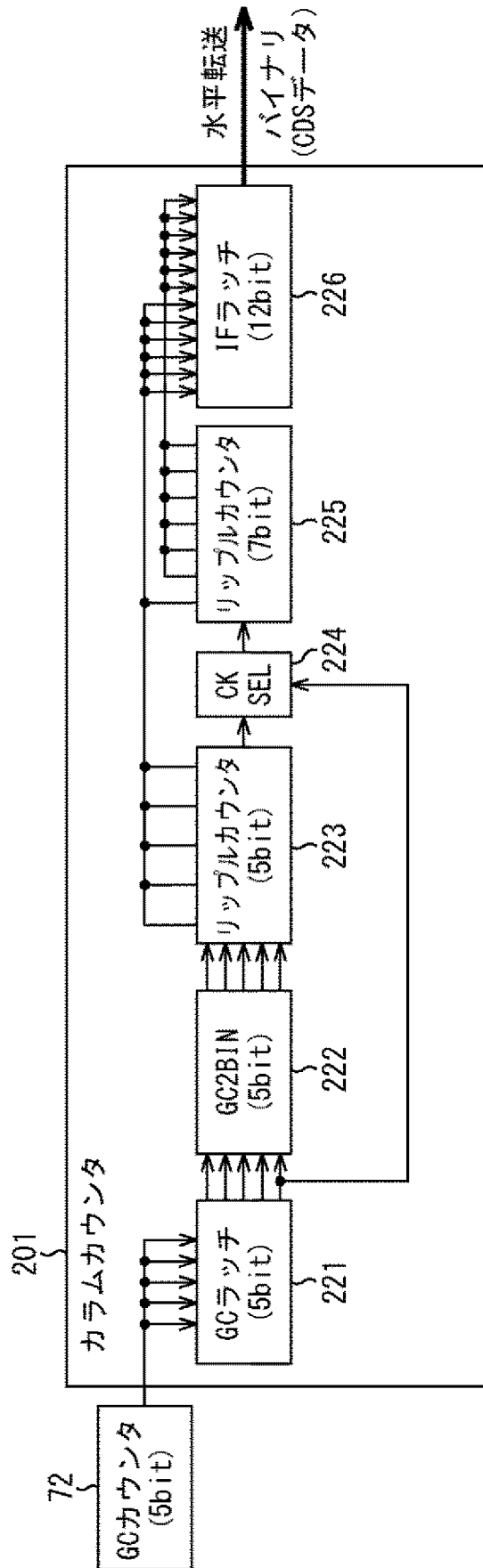
[図1]
FIG. 1



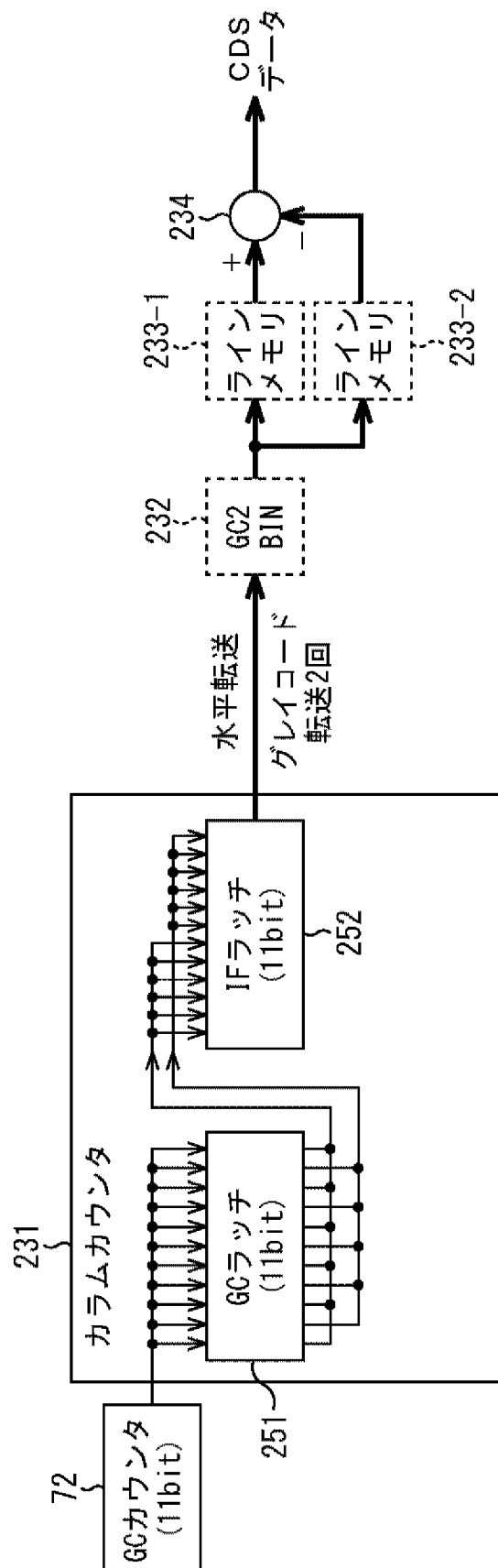
[図2]
FIG. 2



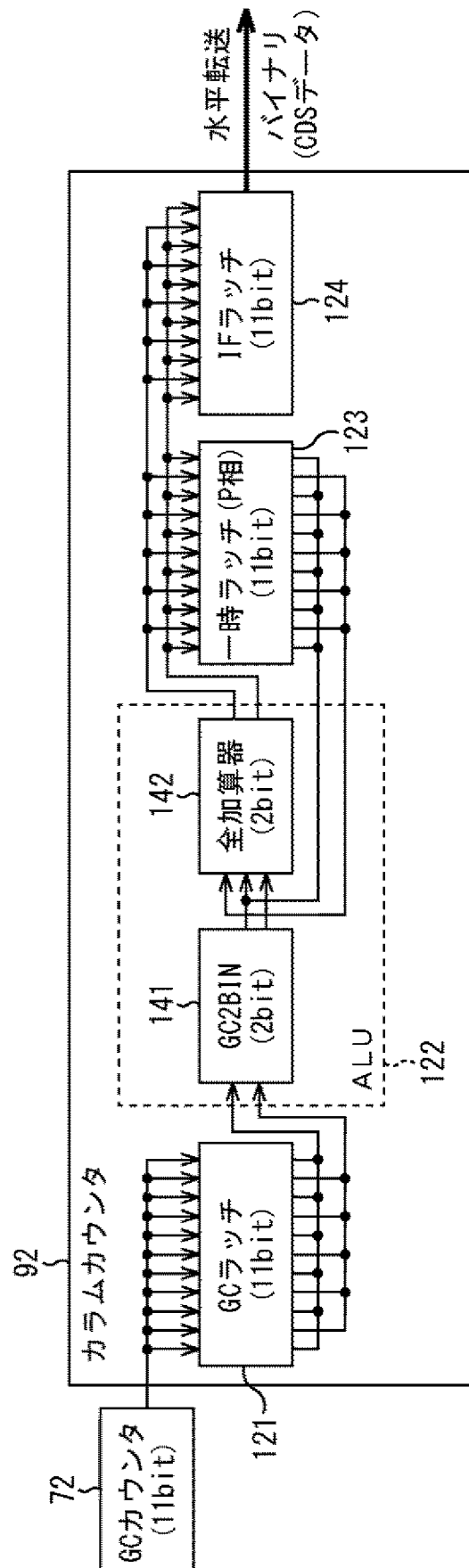
[図3]
FIG. 3



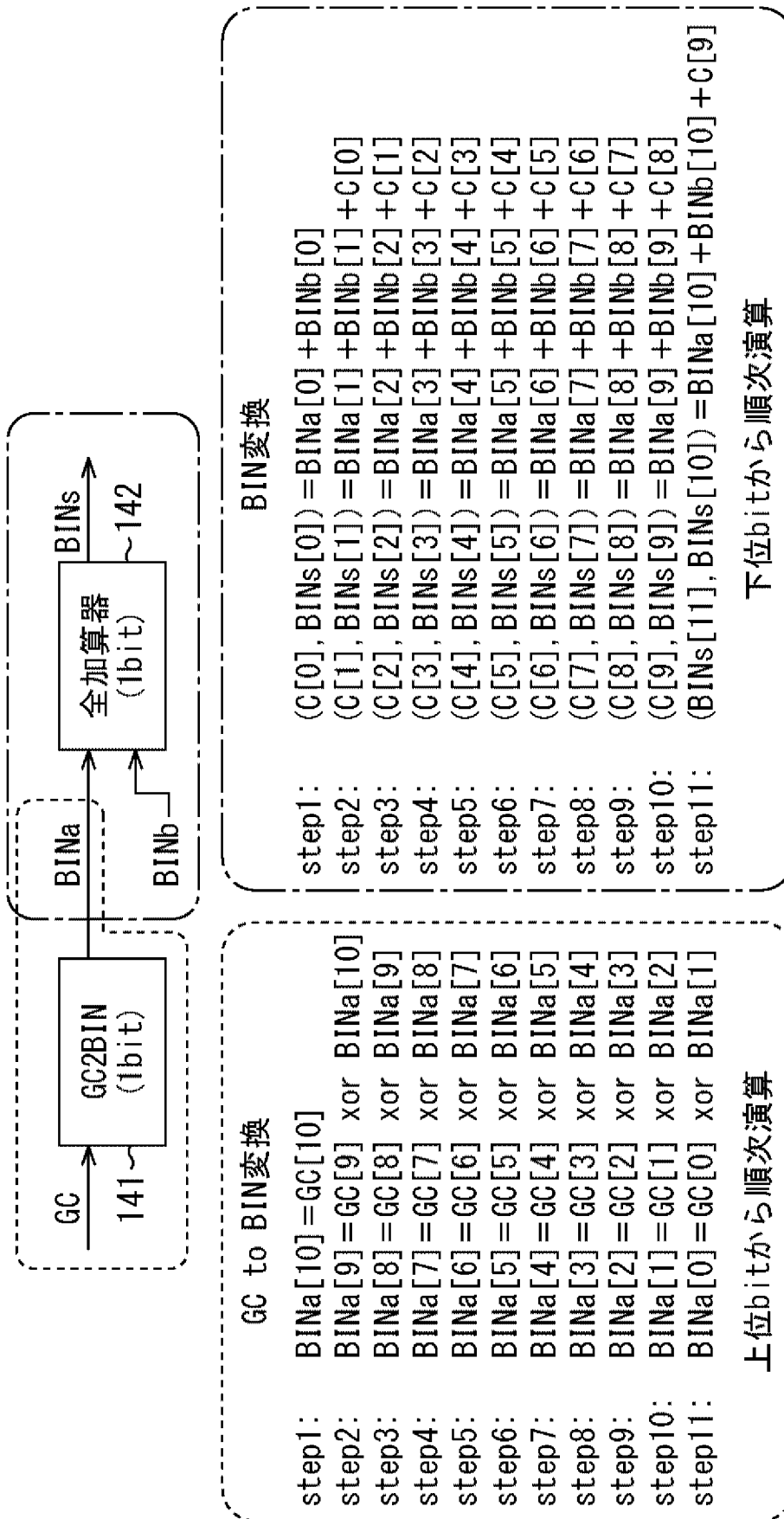
[図4]
FIG. 4



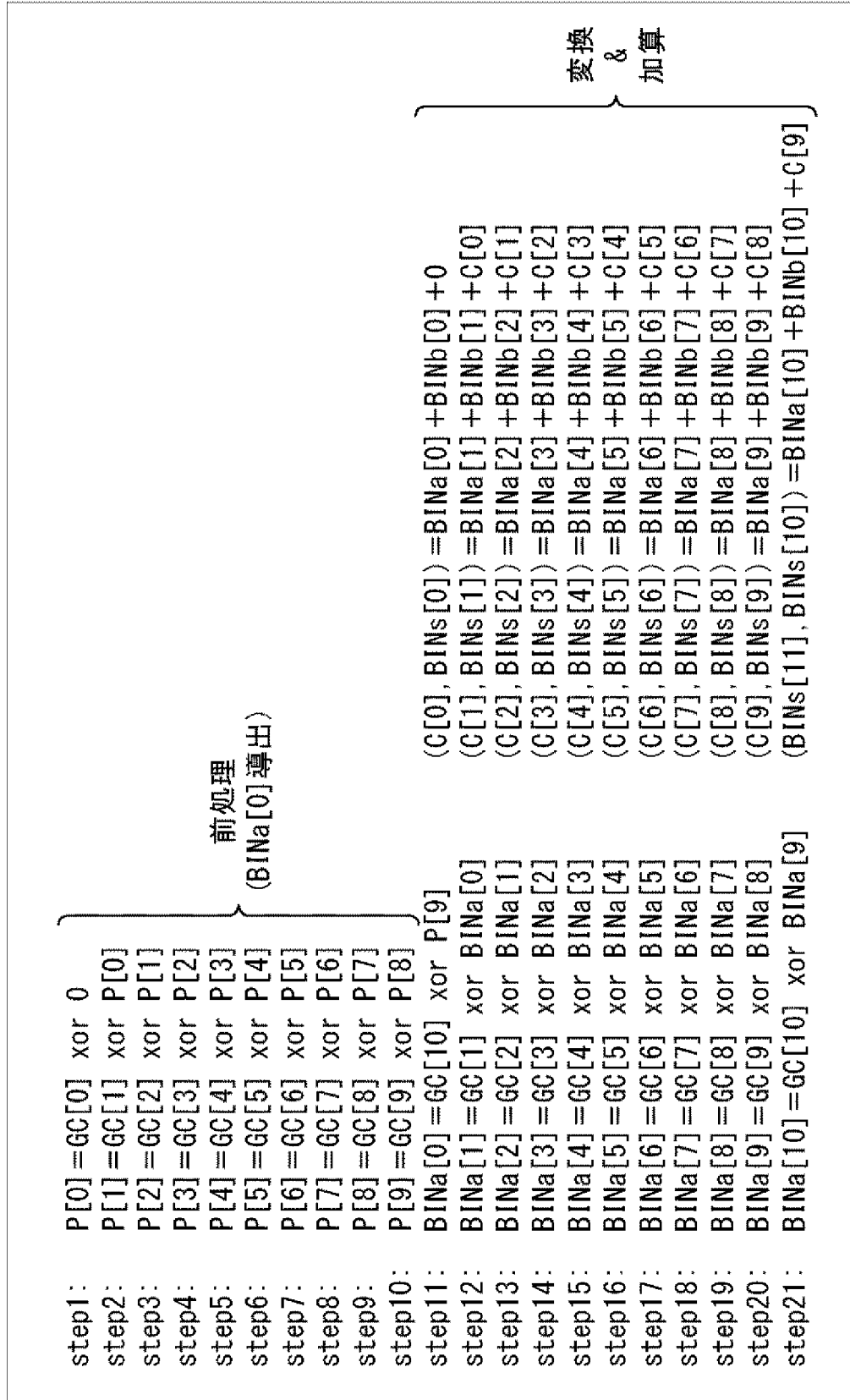
[図5]
FIG. 5



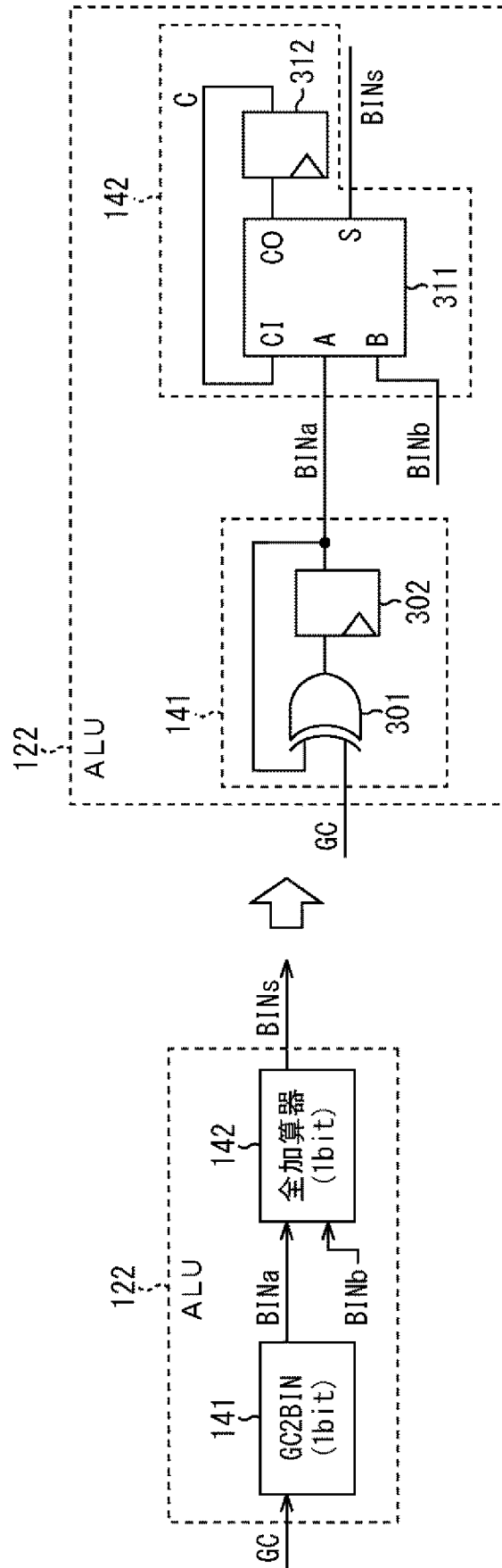
[図6]
FIG. 6



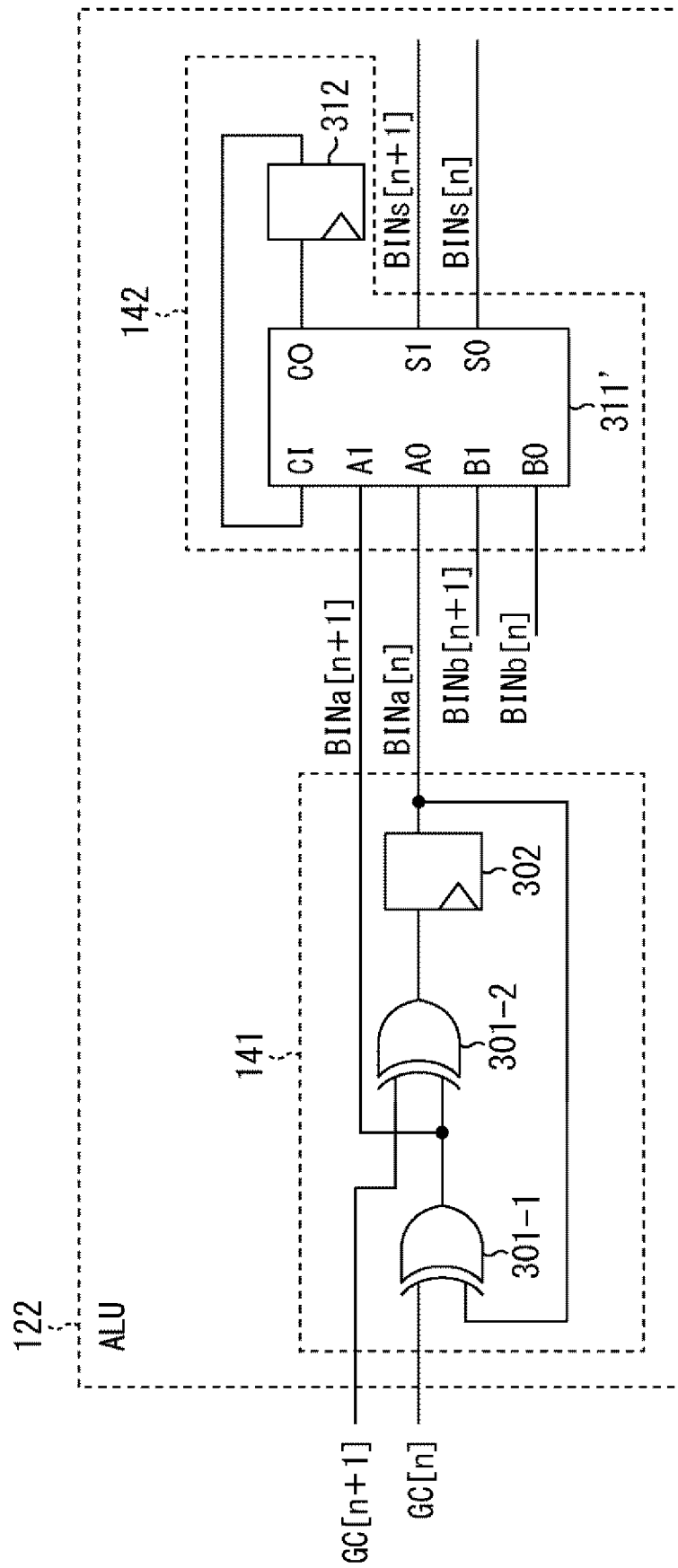
[図7]
FIG. 7



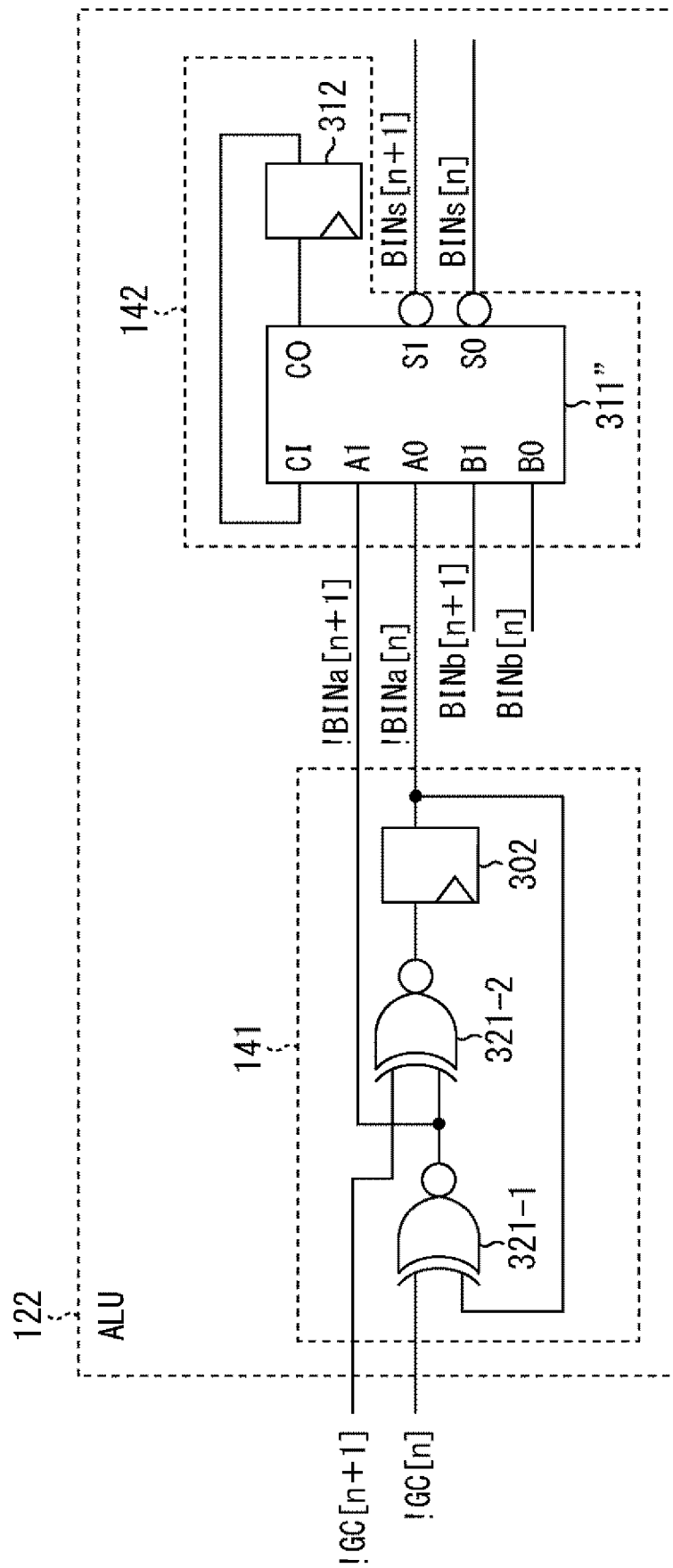
[図8]
FIG. 8



[図9]
FIG. 9



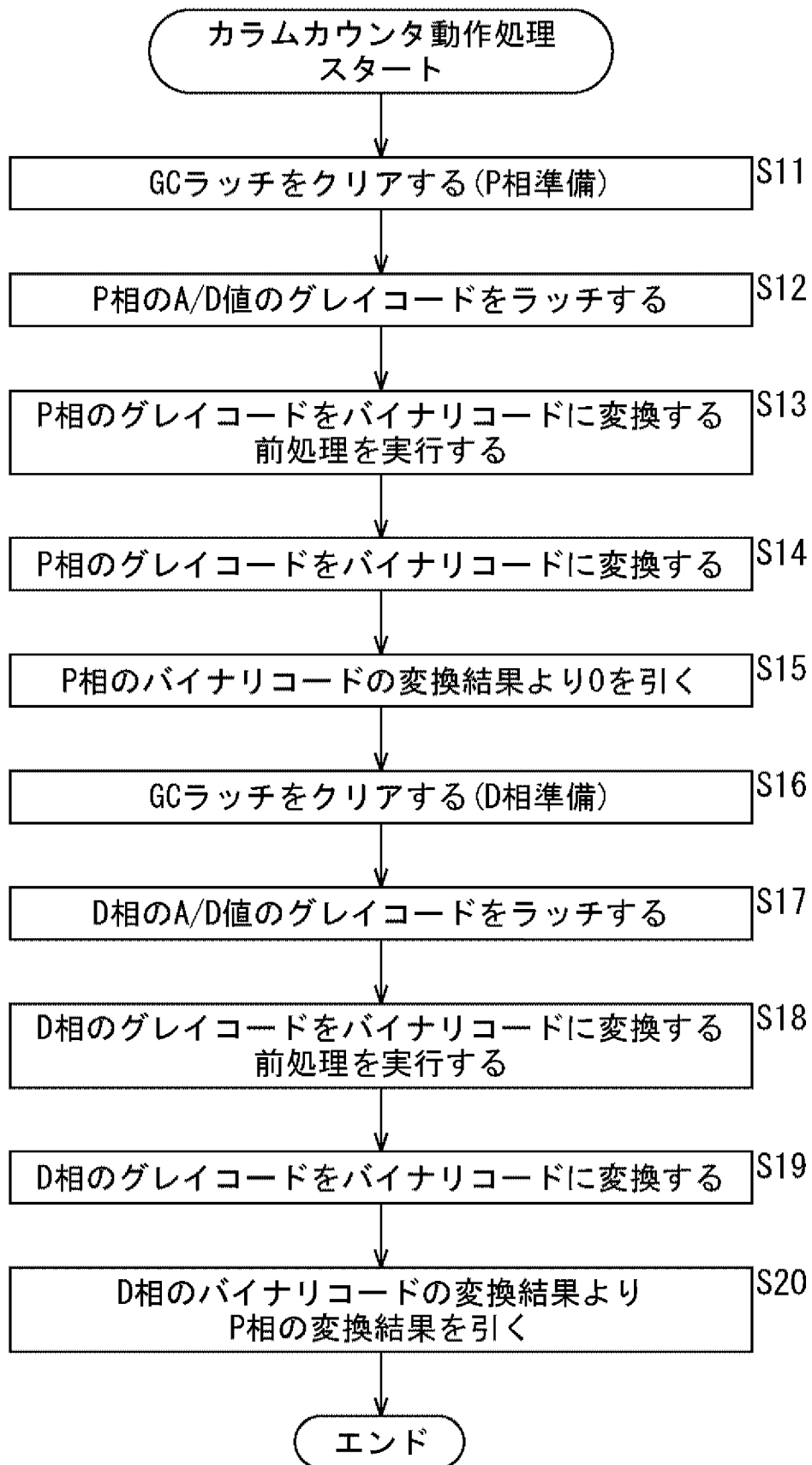
[図10]
FIG. 10



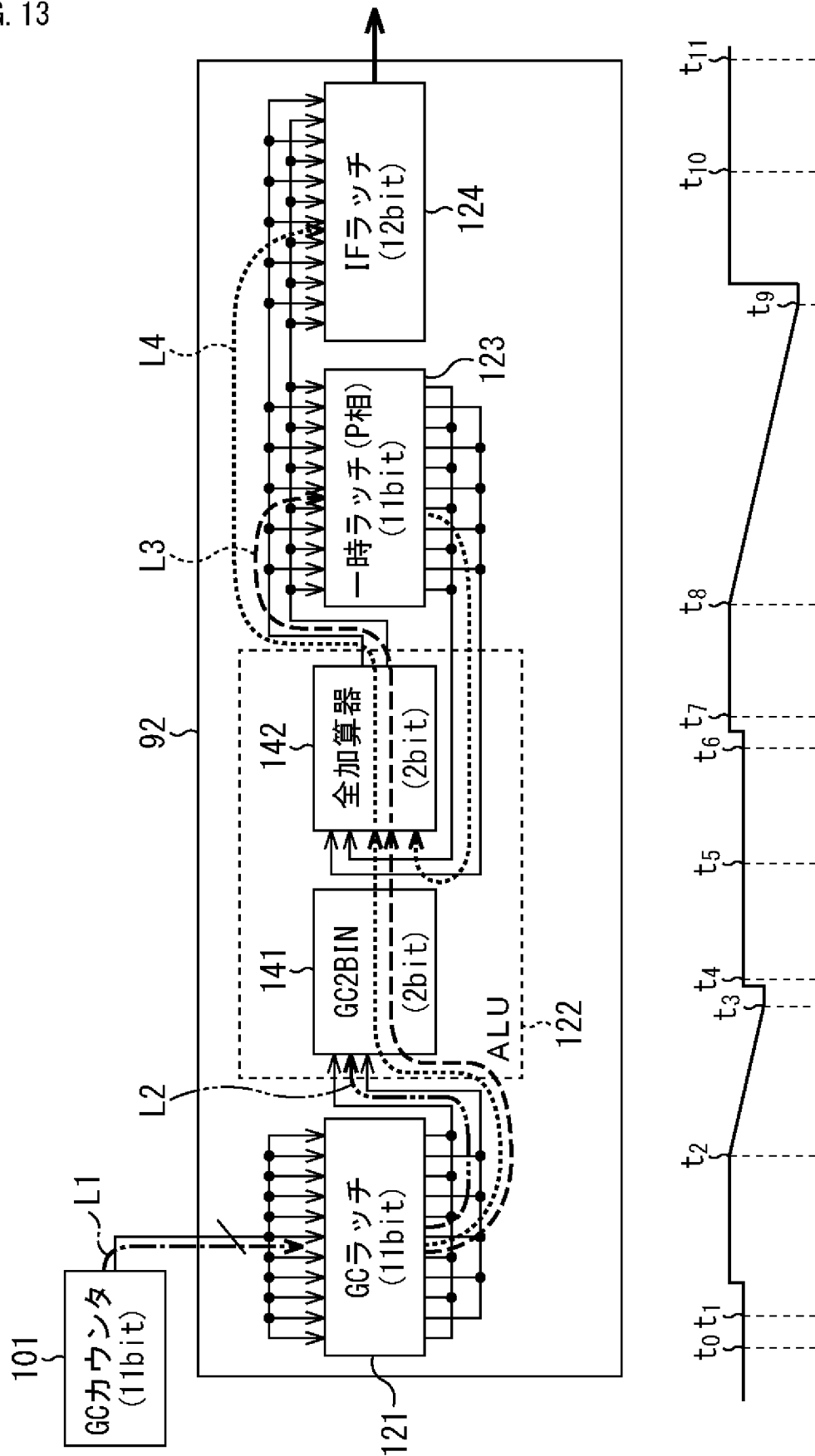
[図11]
FIG. 11

A/D State	ALU入力				ALU出力	IFラッチ	ALU演算内記 (1の補数演算を2の補数データで表現)
	GCラッチ	一時ラッチ	GCラッチ出力側	一時ラッチ出力側			
P相カウント	Pval_gc	↑	↑	↑	↑	↑	
P相ラッチ転送	↑	Pval	!Pval_gc	2'b00(Fix)	Pval	↑	!(1Pval+0)=Pval
D相カウント	Dval_gc	↑	↑	↑	↑	↑	
D相ラッチ転送 (QDS)	↑	↑	!Dval_gc	Pval	Dval-Pval	Dval-Pval	!(1Dval+Pval)=!((-Dval+1)+Pval) =-(-Dval+1+Pval)+1=Dval-Pval

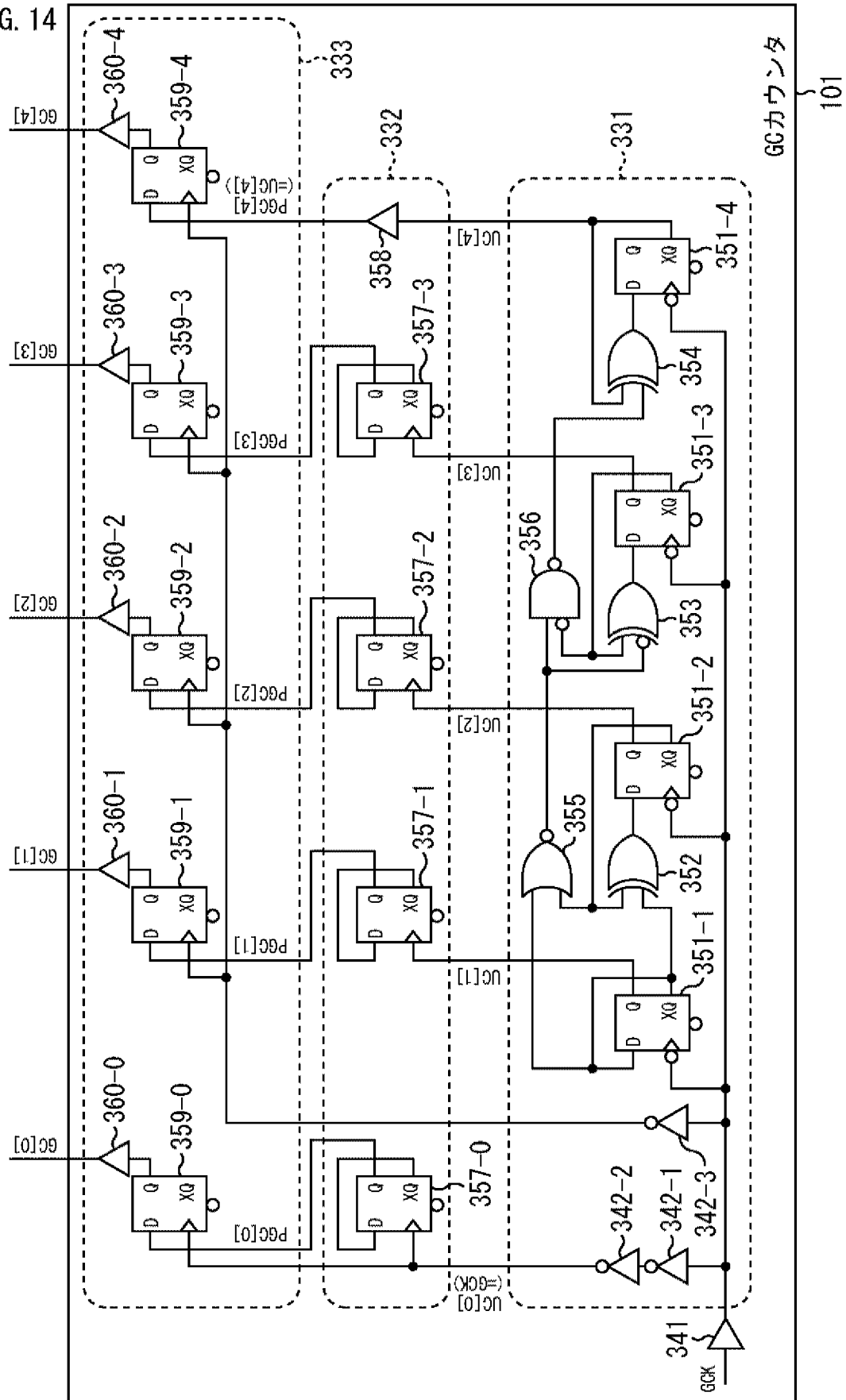
[図12]
FIG. 12



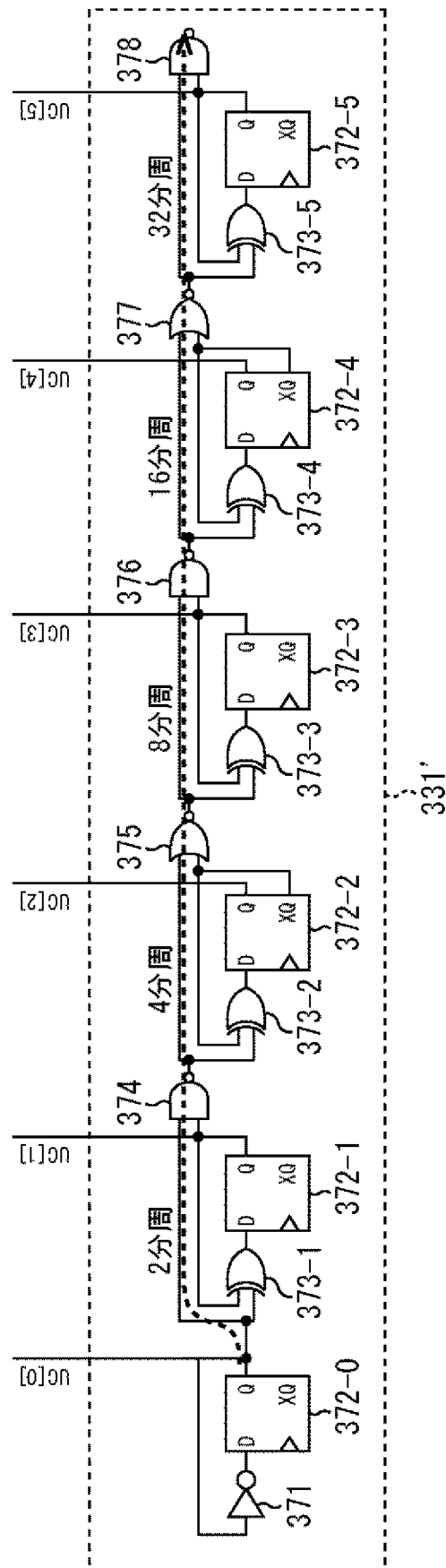
[図13]
FIG. 13



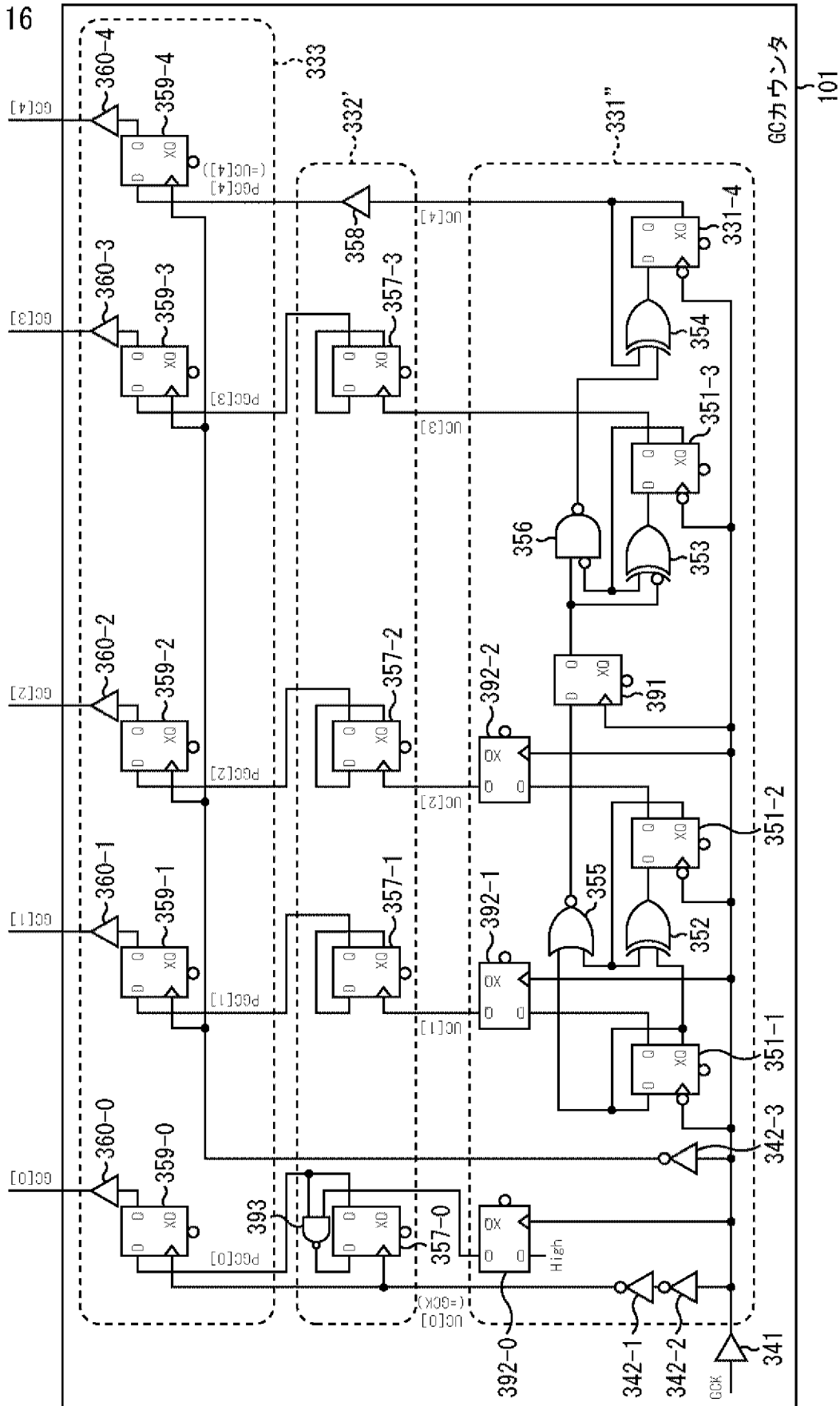
[図14]
FIG. 14



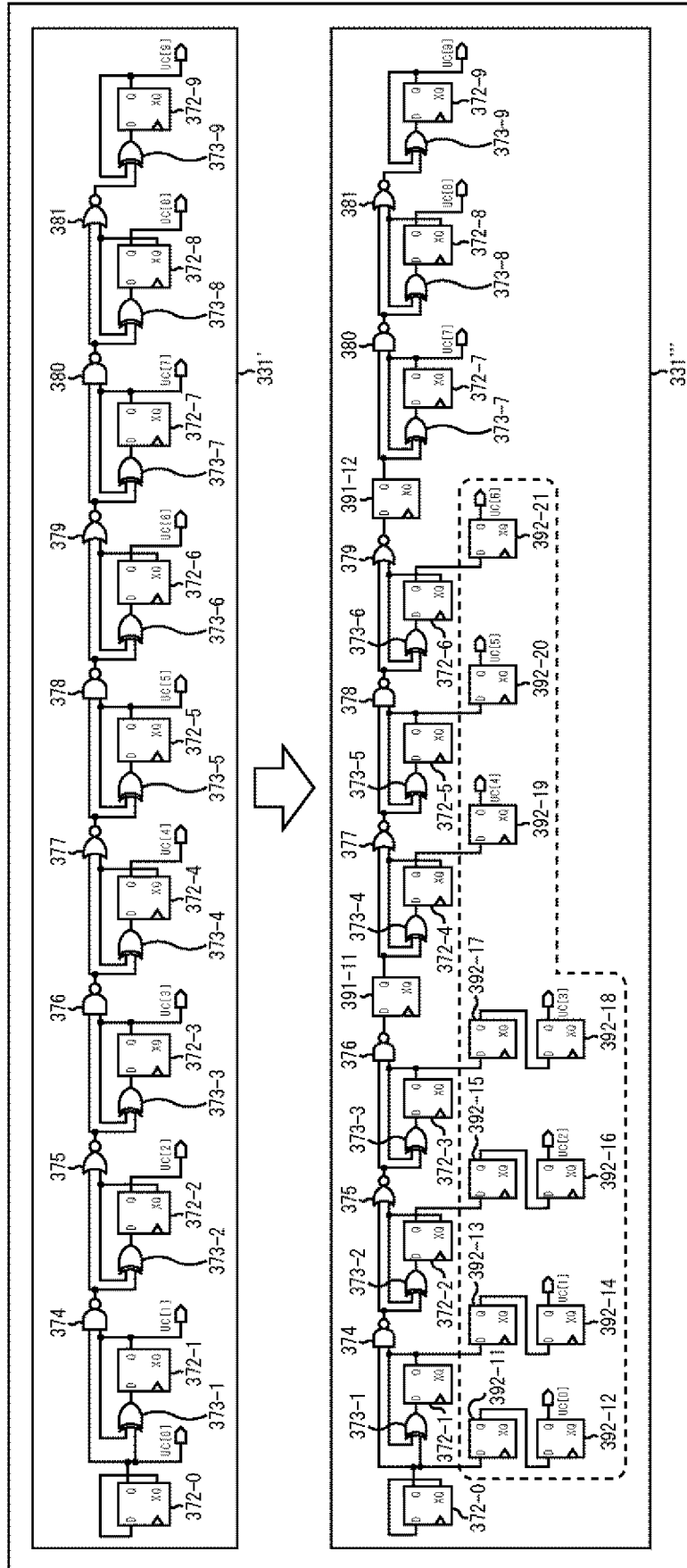
[図15]
FIG. 15



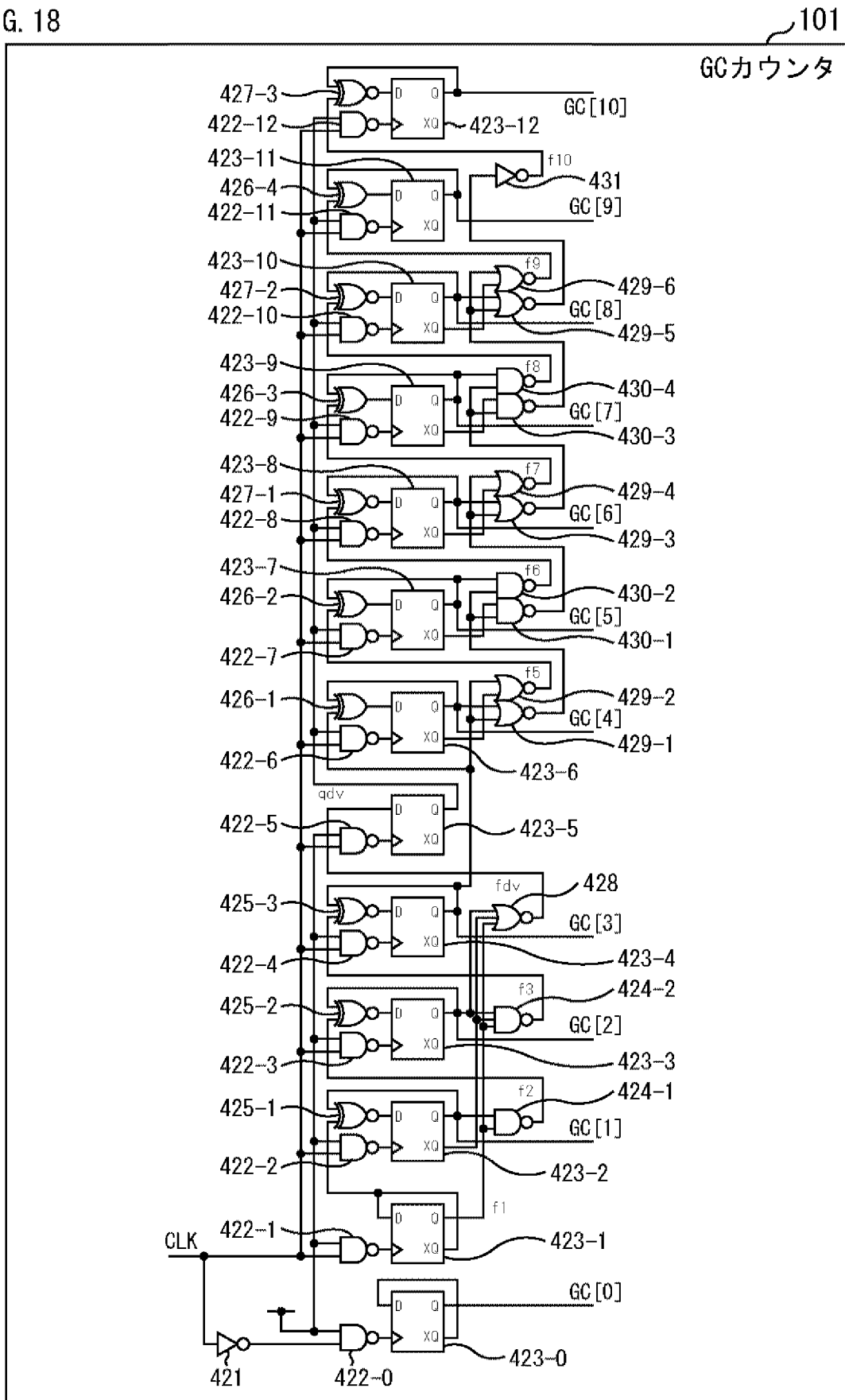
[図16]
FIG. 16



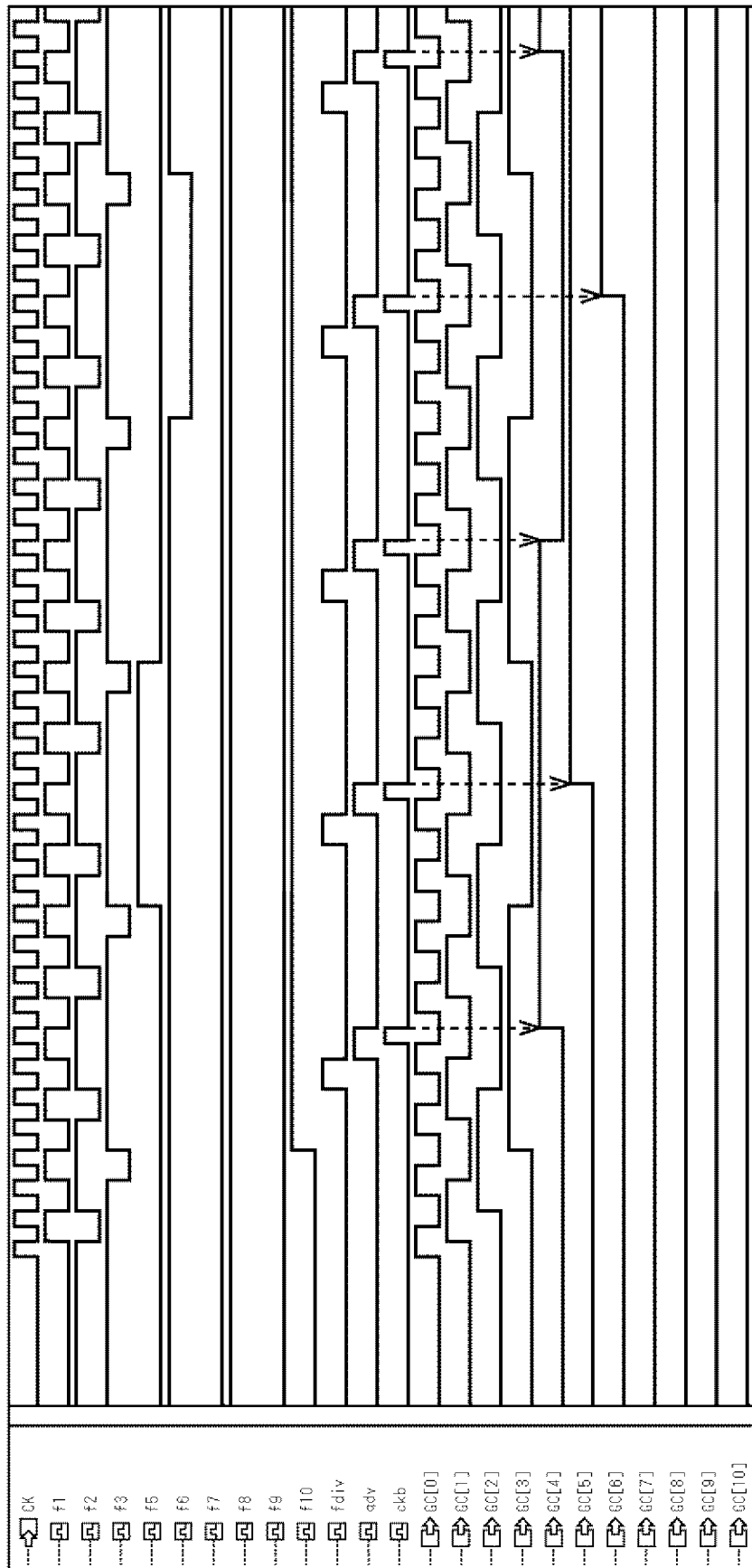
[図17]
FIG. 17



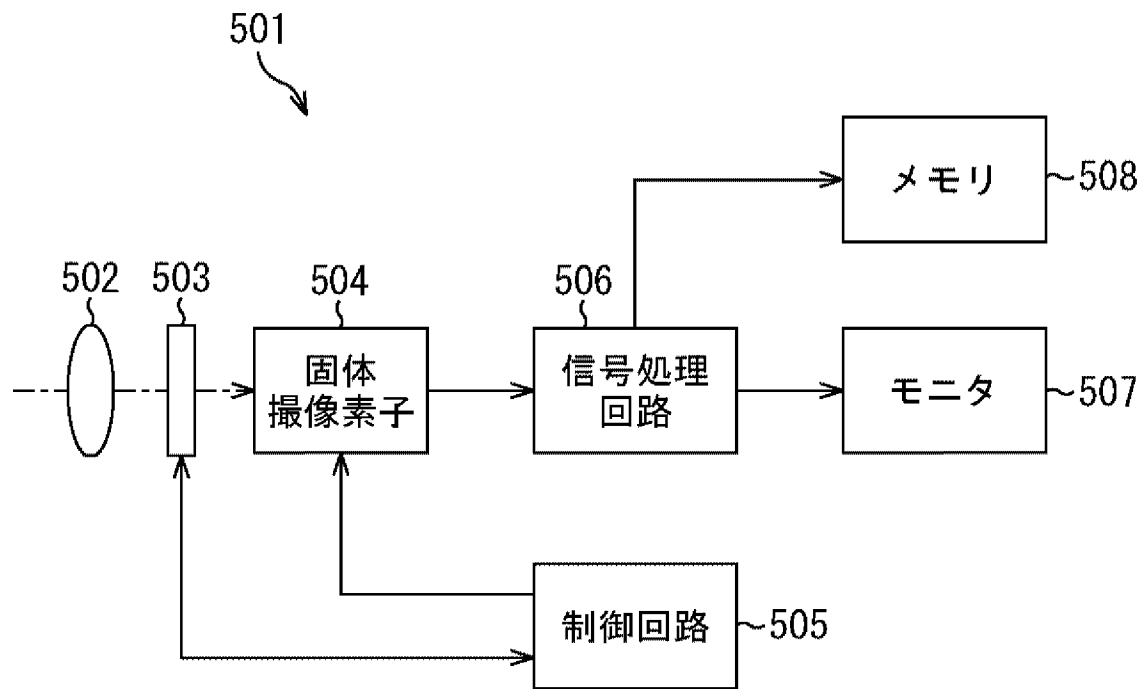
[図18]
FIG. 18



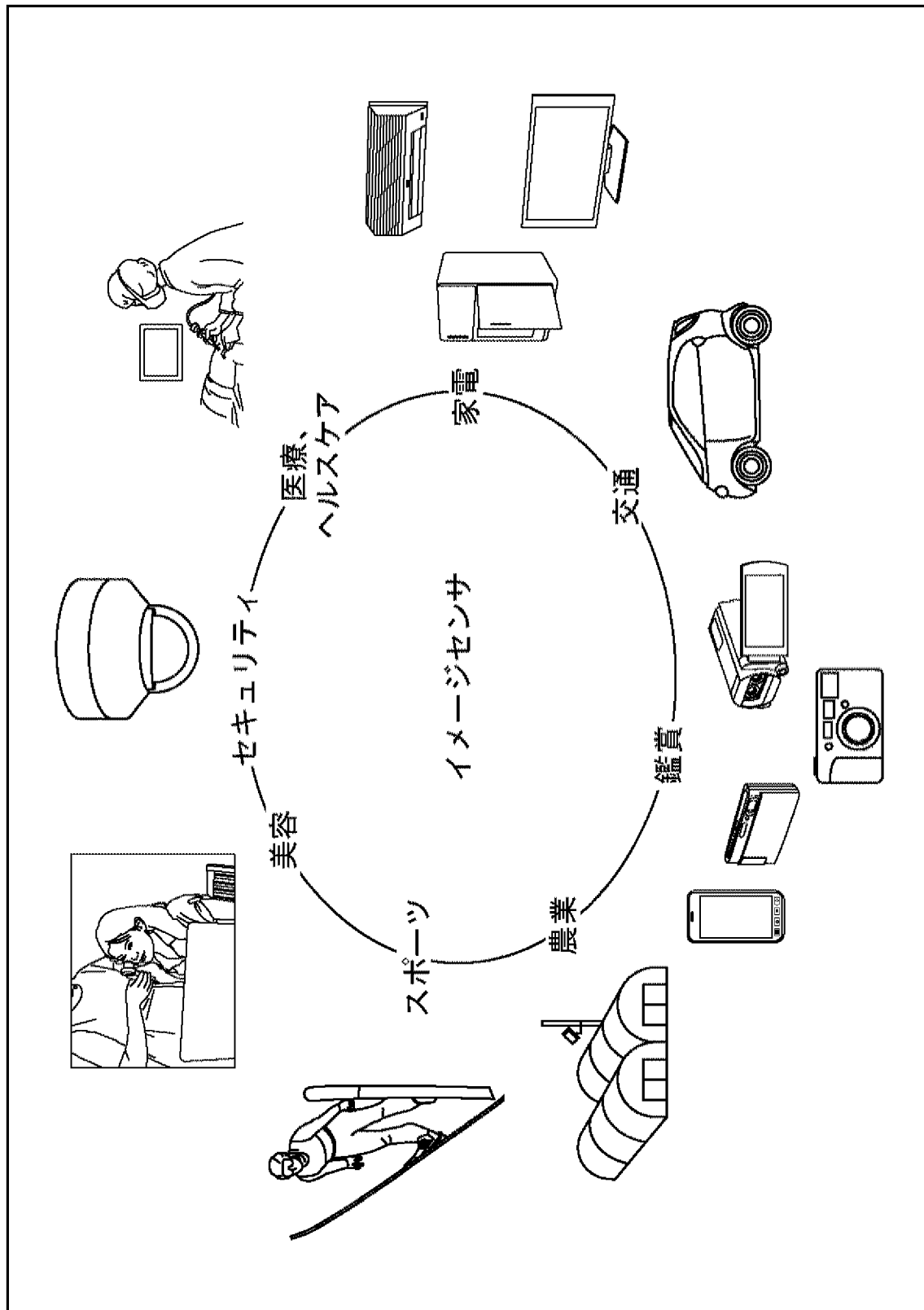
[図19]
FIG. 19



[図20]
FIG. 20



[図21]
FIG. 21



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/044849

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/378 (2011.01) i, H03M1/56 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/378, H03M1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2016/136500 A1 (SONY CORPORATION) 01 September 2016, paragraphs [0137], [0195], [0288]-[0574], fig. 10 (Family: none)	1-11
Y	JP 2015-126043 A (SONY CORPORATION) 06 July 2015, paragraphs [0105]-[0130], fig. 20-22 & US 2015/0189214 A1, paragraphs [0154]-[0178], fig. 20-22	1-11

☐ Further documents are listed in the continuation of Box C.	☐ See patent family annex.
---	---

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 16 January 2018	Date of mailing of the international search report 30 January 2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/378(2011.01)i, H03M1/56(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/378, H03M1/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2016/136500 A1（ソニー株式会社）2016.09.01, 段落 [0137][0195][0288]-[0574]、図10（ファミリーなし）	1-11
Y	JP 2015-126043 A（ソニー株式会社）2015.07.06, 段落 [0105]-[0130], 図20-22 & US 2015/0189214 A1, 段落[0154]-[0178]、 図20-22	1-11

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

16.01.2018

国際調査報告の発送日

30.01.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松永 隆志

5 V

4228

電話番号 03-3581-1101 内線 3571