(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G02F 1/136
G02F 1/1339

(45) 공고일자 2002년11월30일
(11) 등록번호 10-0328183
(24) 등록일자 2002년02월27일

(21) 출원번호 10-1997-0013537
(22) 출원일자 1997년04월12일

(65) 공개번호 특1997-0071100
(43) 공개일자 1997년11월07일

(30) 우선권주장 8-115673 1996년04월12일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 장홍용
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따 이 에네루기 켄큐쇼 내
후쿠나가 다케시
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따 이 에네루기 켄큐쇼 내

(74) 대리인 황의만

심사관 : 조경화

(54) 표시장치및그의제작방법

요약

고화질의 액정표시장치를 제작하는 기술을 제공한다. 액정층을 보유하기 위한 셀 갭의 설정범위가 화소 피치의 거리에 따라 한정된다. 구체적으로는, 셀 갭은 화소 피치의 10분의 1 이하의 거리로 설정된다. 그리하여, 디스클리네이션과 같은 전계 흐트러짐에 기인하는 화상표시 불량이 발생하지 않는 고화질의 액정표시 장치가 실현될 수 있다.

대표도

도 1(A) 및 도 1(B)

명세서

도면의 간단한 설명

도 1(A) 및 도 1(B)는 액정표시장치의 구성을 나타내는 도면.

도 2(A) 도 2(E)또는 액티브 매트릭스 기판의 제작공정을 나타내는 도면.

도 3(A) 도 3(D)는 셀 제작공정을 나타내는 도면.

도 4(A) 및 도 4(B)는 액정표시장치의 구성을 나타내는 도면.

* 도면의 주요부분에 대한 부호의 설명 *

101: 기판 102: 활성층 103: 게이트전극

104: 데이터선 105: 드레인전극 106: 층간절연막

107: 블랙 매트릭스 108: 화소전극 109: 배향막

110: 기판 111: 대향전극 112: 배향막

113: 액정재료 114: 게이트선 115: 스페이서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 동일 기판상에 매트릭스 형태로 배치된 화소영역을 가진 액정표시 장치에 관한 것으로, 특히, 반도체 박막을 이용한 반도체장치를 가진 액티브 매트릭스형 액정표시장치에 관한 것이다. 반도체 박막으로서는 규소막이 대표적으로 사용될 수 있다.

최근, 저렴한 유리기판상에 반도체 박막을 이용한 반도체장치, 예를 들어, 박막트랜지스터(TFT)를 제작하는 기술이 빠르게 발달되어 오고 있다. 그 이유는, 액티브 매트릭스형 액정표시장치의 수요가 증가되고 있기 때문이다.

액티브 매트릭스형 액정표시장치는, 매트릭스 형태로 배치된 수 십 내지 수 백만개의 화소영역들 각각에 TFT를 배치하고, 각각의 화소전극에 입출하는 전하를 TFT의 스위칭 기능에 의해 제어하는 것이다.

여기서, 도 1(A) 및 도 1(B)를 참조하여, 박막트랜지스터가 배치된 액티브 매트릭스형 액정표시장치의 기본 구성을 설명한다. 먼저, 도 1(A)는, 도 1(B)에 나타낸 액정표시장치를 기판에 수직인 방향으로 절단한 단면을 나타낸다. 이 단면은 도 1(B)의 선A-A'에 따른 단면에 대응한다.

부호 101은 절연막(도시되지 않은)이 표면에 형성된 투광성을 가진 기판을 나타내고, 102는 TFT의 활성층, 103은 게이트전극, 104는 데이터선, 105는 드레인 전극, 106은 층간절연막, 107은 블랙 매트릭스, 108은 투명 도전막으로 된 화소전극, 109는 배향막을 나타낸다.

상기한 바와 같이 구성된 TFT를 가지는 기판 전체를, 이후, 액티브 매트릭스기판이라 칭한다. 도 1(A)에서는 하나의 화소영역에만 주목하지만, 실제로는, 수십 내지 수 백만개의 화소영역과 그들 화소영역을 구동하는 구동회로로 액티브 매트릭스 기판이 구성된다.

한편, 부호 110은 투광성을 가진 기판을 나타내고, 111은 투명 도전막으로 된 대향전극, 112는 배향막을 나타낸다. 상기한 바와 같이 구성되고 액티브 매트릭스 기판에 대향하여 배치되는 기판 전체를, 이후, 대향기판이라 칭한다.

후의 공정에서 액정재료의 배향을 조절하기 위한 러빙(rubbing) 처리를 행한 후에, 시일(seal)부재(도시되지 않음)에 의해 액티브 매트릭스 기판과 대향기판을 서로 대향시켜 접합한다.

그때, 양 기판 사이에는 스페이서(도시되지 않음)를 균일한 밀도로 배치하여, 일정한 기판 간격(셀 갭(cell gap)이라 불린다)이 확보되게 한다. 도 1(A)에 나타낸 구조의 경우, 더 정확하게는, 액티브 매트릭스 기판측의 배향막(109)과 대향기판측의 배향막(112) 사이의 거리가 셀 갭이 된다.

시일부재는 양 기판을 서로 접합하기 위한 접착제로서 기능할 뿐만 아니라, 다수의 화소영역으로 이루어진 화상표시영역에서 양 기판 사이의 액정재료를 밀봉하기 위한 시일부재로서도 기능한다.

그리하여, 도 1(A)에 나타낸 바와 같이, 화상표시영역(다수의 화소영역들 각각)에서 액정재료(113)가 밀봉된다. 이렇게 하여, 도 1(A)에 나타낸 바와 같은 구성을 가지는 액티브 매트릭스형 액정표시장치가 형성된다.

도 1(A)에 나타낸 화소영역에서는, 박막트랜지스터에 의해 제어되는 화상신호가, 액정재료(113)를 절연층으로 하여 화소전극(108)과 대향전극(111) 사이에 형성된 콘덴서에 축적된다.

이때, 아날로그 계조(階調)방식의 경우는, 화소전극(108)과 대향전극(111) 사이에는 화상신호의 전압 레벨에 대응한 전계가 형성된다. 그리고, 인가전압의 변화에 따라 광학 응답이 변화하는 액정재료(113)의 특징을 이용하여 각종 계조의 화상표시가 행해질 수 있다.

액정재료로서는, 일반적으로, 네마틱계 액정재료(예를 들어, TN(트위스티드 네마틱)형 또는 STN(수퍼 트위스티드 네마틱)형 액정재료)가 자주 사용된다. 도 1(A)에 나타낸 바와 같은 액정표시장치에 있어서, 네마틱계 액정재료는, 전계가 인가되지 않은 때는 액정의 장축 방향이 기판에 대하여 대략 평행하고, 전계가 형성되면 그 장축 방향이 전계 방향으로 향하는 성질을 가진다.

즉, 그 장축 방향은 액정재료에 인가되는 전계의 유무에 따라 변한다. 그리하여, 장축 방향의 변화량에 의해 광투과량을 제어함으로써 화상표시가 행해진다.

그러나, 액정재료의 그러한 행동(behavior)은, 화소전극(108)과 대향전극(111) 사이에 형성되는 전계의 방향이 기판에 대하여 수직일 때만 적용될 수 있는 현상이다. 예를 들어, 전계 방향이 기판에 대하여 대략 평행한 횡방향 전계가 형성되는 영역에서는, 액정재료의 배향이 흐트러져, 배향불량이 야기되고, 소망의 화상이 얻어지지 않는다고 하는 문제가 발생한다.

통상, 화소전극(108)에의 인가전압에 적당한 셀 갭이 확보되어 있으면, 종방향 전계(기판에 수직인 전계)가 지배적으로 된다. 그러나, 셀 갭이 증가됨에 따라, 종방향 전계의 영향력이 약하게 되고, 횡방향 전계의 영향력이 강하게 된다.

여기서, 도 1(B)는, 횡방향 전계의 영향에 의해 액정재료의 배향불량이 발생된 경우의 화소영역을 상면으로부터 본 도면이다. 또한, 화상표시영역을 제외한 영역은 블랙 매트릭스(107)에 의해 차광되어 있다. 따라서, 블랙 매트릭스 아래에 위치하는 배선 등은 점선으로 나타내어져 있다.

도 1(B)에서, 화상표시영역(블랙 매트릭스(107)에 의해 차광되어 있지 않은 영역)에 형성된 백색 선은 액정재료의 배향불량에 의한 화상표시 흐트러짐을 나타낸다. 이것이 디스클리네이션(disclination)이라고 불리는 것이다. 이들 영역은, 액정분자의 본래의 배향상태와 다른 비정상적으로 일어나는 상태에 있다.

디스클리네이션 발생의 한가지 원인으로서는, 먼저, 배선들 사이나 박막트랜지스터들 사이의 크로스토크(crosstalk)에 의해 발생되는 횡방향 전계의 영향이 지적된다.

예를 들어, 본 발명자들의 실험에서는, 도 1(B)의 상단 화소영역에 나타난 것과 같은 형상의 디스클리네이션이 많이 관측되었다. 게이트전극(103)의 전방 단부와 게이트선(114)과 데이터선(104)의 교차부 사이의 전위차에 의해 횡방향 전계가 형성되는 것으로 생각된다.

이러한 현상은, 아주 미세한 화상표시를 위해 화소영역의 폭(화소 피치(pitch))을 좁게 함에 따라, 즉, 배선간 거리를 좁게 함에 따라 더욱 분명해진다. 또한, 화소 피치는 화소영역의 짧은 변으로 정의된다(도 1(B) 참조).

또한, 화소 피치의 좁아짐은 상대적으로 셀 갭의 확대를 의미하고, 화소 피치에 대응하여 셀 갭을 적절하게 변화시키지 않으면 횡방향 전계의 영향력이 더욱 증가될 것으로 예상된다.

상기한 경우 이외에도, 셀 갭을 확보하기 위해 배치된 스페이서(115) 부근의 액정재료의 배향 흐트러짐 때문에, 도 1(B)의 하단에 나타난 것과 같은 형상의 디스클리네이션이 관측되는 경우가 있다.

또한, 다른 원인으로서는, 배선이나 박막트랜지스터 주변에 생기는 화소전극(108)의 단차(段差)가 지적된다. 단차의 존재에 의해 러빙 처리시에 배향처리가 불완전하게 된 경우나, 또는 단차의 측면에 발생되는 횡방향 전계에 의해 단차 주변에 디스클리네이션이 발생하는 것도 문제이다.

이러한 단차 주변에 발생하는 디스클리네이션의 거의 모두는 블랙 매트릭스에 의해 차광되어 가려져 있다. 그러나, 활성층(102)과 화소전극(108)을 서로 접촉시키기 위한 콘택트부만은 블랙 매트릭스(107)에 의해 차광되지 않아서, 그곳에서 디스클리네이션이 관측되는 경우가 있다.

액정표시장치의 화소영역에 형성되는 디스클리네이션은, 표시화상을 전체적으로 흐리게 하는 것과 같은, 시각적으로 매우 불쾌한 느낌을 준다.

발명이 이루고자 하는 기술적 과제

본 발명은, 상기한 문제점을 고려하여 디스클리네이션의 발생이 없는 고화질의 화상을 제공하는 액정표시장치를 실현하고자 하는 것을 과제로 하는 것이다.

상기한 바와 같이, 디스클리네이션은, 화소 피치, 셀 갭, 박막트랜지스터 주변에 생기는 단차의 높이 등을 파라미터로 하여 나타나는 현상이다.

따라서, 본 발명자들은, 화소 피치와 셀 갭 사이에는 얼마간의 상관관계가 있고, 셀 갭에는 화소 피치에 대응한 허용값이 있다고 생각하였고, 또한, 러빙 처리시의 배향불량을 일으키는 원인이 되는 단차에 대해서도 허용가능한 한계가 있다고 생각하였다.

그리고, 액정표시장치를 실제로 제작하는 과정을 통해 본 발명자들이 행한 많은 연구의 결과, 하기의 식견을 얻게 되었다.

본 발명의 일 양태에 따르면, 동일 기판상에 매트릭스 형태로 배치된 게이트선 및 데이터선과, 인접한 2개의 게이트선과 인접한 2개의 데이터선에 의해 둘러싸인 화소영역에 배치된 박막트랜지스터와, 그 박막트랜지스터에 접속되는 화소전극을 포함하는 액티브 매트릭스 기판과; 표면에 대향전극을 가지고 이루어진 대향기판과; 액티브 매트릭스 기판과 대향기판 사이에 끼워져 있는 다수의 스페이서 및 액정재료를 포함하고, 여기서, 액티브 매트릭스 기판과 대향기판 사이의 간격은 화소영역의 화소 피치의 10분의 1 이하인 것을 특징으로 하는 액정표시장치가 제공된다.

예를 들어, 화소 피치의 값이 변경되어도, 그것에 대응하여 셀 갭의 허용 범위도 변경되기 때문에, 전체적인 규모(스케일)는 변하지 않고 유지된다. 즉, 액정표시장치의 구동전압을 조절하면, 액정층의 구동에 악영향을 미치는 일이 없다.

따라서, 본 발명은 화소 피치의 값에 좌우됨이 없이 적용될 수 있다. 그러나, 실제로는 현재의 기술의 한계로 인하여 화소 피치 또는 셀 갭의 채택가능한 값에 한계가 있다. 그에 관해서는 실시예 1에서 설명하기로 한다.

또한, 액티브 매트릭스 기판과 대향기판 사이의 간격은 그들 사이에 배치된 스페이서에 의해 결정된다. 따라서, 액티브 매트릭스 기판상에 산포(散布)된 다수의 스페이서의 평균직경(기판에 수직인 방향으로의 평균직경)은 화소 피치의 10분의 1 이하이어야 한다.

또한, 액티브 매트릭스 기판에는 그의 구조상 박막트랜지스터나 배선 주변에 단차가 존재하기 때문에, 상기한 간격 조건은 셀 갭의 최장 거리(화소영역의 평탄부에서의 셀 갭)에 의해 충족되어야 한다.

또한, 본 발명자들은 화소 피치와 단차 높이 사이에도 상관관계가 있음을 알았다. 본 발명자들의 연구에 의하면, 단차 높이가 0.3 ㎛ 이하일 때 문제가 없이 러빙 처리가 행해지고, 그리하여, 횡방향 전계의 영향도 적고, 디스클리네이션의 발생이 없는 액정표시장치가 제작될 수 있다.

본 발명의 다른 양태에 따르면, 동일 기판상에 매트릭스 형태로 배치된 게이트선 및 데이터선과, 인접한 2개의 게이트선과 인접한 2개의 데이터선에 의해 둘러싸인 화소영역에 배치된 박막트랜지스터와, 그 박막트랜지스터에 접속되는 화소전극을 포함하는 액티브 매트릭스 기판을 형성하는 공정과, 표면에 대향전극을 가지고 이루어진 대향기판을 형성하는 공정과, 액티브 매트릭스 기판과 대향기판 사이에 다수의 스페이서 및 액정재료를 배치하는 공정을 포함하고, 여기서, 상기 액티브 매트릭스 기판과 대향기판 사이의 간격은 화소영역의 화소 피치의 10분의 1 이하인 것을 특징으로 하는 액정표시장치 제작방법이 제공된다.

본 발명의 또 다른 양태에 따르면, 동일 기판상에 매트릭스 형태로 배치된 게이트선 및 데이터선과, 인접한 2개의 게이트선과 인접한 2개의 데이터선에 의해 둘러싸인 화소영역에 배치된 박막트랜지스터와, 그 박막트랜지스터에 접속되는 드레인전극과, 그 드레인전극을 덮는 층간절연막과, 그 층간절연막에 형성된 콘택트 홀을 통하여 드레인전극에 접속되는 화소전극을 포함하는 액티브 매트릭스 기판을 형성하는 공정과, 표면에 대향전극을 가지고 이루어즌 대향기판을 형성하는 공정과, 액티브 매트릭스 기판과 대향기판 사이에 액정재료를 배치하는 공정을 포함하고, 여기서, 드레인전극의 막 두께가 0.3 ㎛ 이하인 것을 특징으로 하는 액정표시 장치 제작방법이 제공된다.

이하, 실시예에 의해 본 발명을 상세히 설명한다.

발명의 구성 및 작용

[실시예 1]

본 실시예에서는 본 발명에 따른 액정표시장치의 제작공정을 상세히 설명한다. 도 2(A) 도 2(E)를 참조하여, 액티브 매트릭스 기판상에 배치된 회로 TFT와 화소 TFT의 제작공정을 설명하고, 도 3(A) 도 3(D)를 참조하여 액정표시장치의 제작공정(셀 제작공정)을 설명한다.

또한, 본 실시예에서는 주로 화소 피치와 셀 갭 사이의 상관관계에 주목하여 설명한다. 따라서, 본 실시예에서, 단차는 0.3 ㎛ 이하의 문제가 되지 않는 수준에 있는 것으로 하여, 그에 대한 설명은 하지 않는다.

먼저, 절연성을 가진 기판, 예를 들어, 코닝 7059, 코닝 1737 등으로 대표되는 유리기판(201)을 준비한다. 그 유리기판(201)상에 하지막(下地膜)(202)으로서 산화규소막을 2000 Å의 두께로 성막한다.

다음에, 비정질 규소막(도시되지 않음)을 500 Å의 두께로 성막한다. 그의 성막방법으로서는, 플라즈마 CVD법이나 감압 열 CVD법이 사용될 수 있다.

비정질 규소막이 형성된 후, 적당한 결정화방법에 의해 그 비정질 규소막을 결정화시켜, 결정성 규소막(도시되지 않음)을 형성한다. 예를 들어, 600℃ 정도의 가열처리, 엑시머 레이저를 사용한 어닐 등이 일반적으로 사용된다.

또한, 결정화 공정에서 비정질 규소막을 결정화시키는 것을 돕는 적어도 한 가지 금속원소를 비정질 규소막에 보유시키는 수단이 채택될 수도 있다. 그러한 수단의 상세한 것은 일본국 공개특허공고 평6-232059호와 일본국 공개특허공고 평7-321339호 공보에 설명되어 있다. 그 수단에 의하면, 우수한 결정성을 가지는 규소막이 비교적 낮은 온도에서 단시간의 가열처리에 의해 얻어질 수 있다.

상기한 수단에 의한 가열처리에 의해 결정성 규소막을 얻은 경우, 레이저 또는 레이저와 동등한 에너지를 가지는 강광(强光)을 사용하여 결정성 규소막에 대하여 어닐을 행하는 것이 효과적이다. 그리하여, 결정성 규소막의 결정성이 크게 개선될 수 있다.

다음에, 결정성 규소막을 패터닝하여, 회로 TFT의 활성층을 구성하는 섬형상의 반도체층(203)과, 화소 TFT의 활성층을 구성하는 섬형상의 반도체층(204)을 형성한다.(도 2(A) 참조)

활성층을 형성한 후, 플라즈마 CVD법에 의해 두께 1200 Å의 산화규소막(205)을 형성하여, 활성층을 덮는다. 이 산화규소막(205)은 후에 게이트 절연막으로서 기능한다. 또한, 그 산화규소막 대신에, 산화질화규소막(예를 들어, SiO_XN_Y로 표시되는 화합물)이나 질화규소막이 사용될 수도 있다.

다음에, 스칸듐이 0.2 중량% 첨가된 알루미늄막(206)을 스퍼터링법에 의해 2500 Å의 두께로 성막한다. 스칸듐의 첨가는 알루미늄막의 표면에 힐록이나 휘스커가 발생하는 것을 억제하는 효과가 있다. 그 알루미늄막(206)은 후에 게이트전극으로서 기능한다.

또한, 알루미늄막 대신에, 다른 금속재료, 예를 들어, Mo, Ti, Ta, Cr 등의 막이 사용될 수 있고, 폴리실리콘이나 실리사이드계 재료와 같은 도전성을 가진 막이 사용될 수도 있다.

다음에, 전해용액중에서 알루미늄막(206)을 양극으로 하여 양극산화를 행한다. 전해용액으로서는, 3% 주석산의 에틸렌 글리콜 용액을 암모니아수로 중화하고 pH를 6.92로 조절한 용액을 사용한다.

또한, 백금을 음극으로 하여 화성(化成)전류 5 mA, 도달전압 10 V의 조건하에 양극산화를 진행한다.

이렇게 하여 형성된 치밀한 양극산화막(도시되지 않음)은 후의 공정에서 포토레지스트에 대한 밀착성을 향상시키는 효과가 있다. 그 양극산화막의 막 두께는 전압인가시간을 제어함으로써 제어될 수 있다. (도 2(A))

이렇게 하여 도 2(A)의 상태가 얻어진 후, 알루미늄막(206)을 패터닝하여, 후의 공정에서 사용될 게이트전극의 원형과 게이트선(도시되지 않음)을 형성한다. 그리고, 두번째 양극산화를 행하여, 다공질의 양극산화막(207, 208)을 형성한다. 전해용액으로서는 3% 수산 수용액을 사용하고, 백금을 음극으로 하여 화성전류 2 mA, 도달전압 8 V의 조건하에 양극산화를 진행한다.

이때, 두번째 양극산화는 기판에 평행한 방향으로 진행한다. 다공질의 양극 산화막(207, 208)의 길이는 전압인가시간을 제어함으로써 제어될 수 있다.

다음에, 전용(專用)의 박리액을 사용하여 포토레지스트를 제거한 후에, 세번째 양극산화를 행한다. 이 경우, 전해용액으로서는, 3% 주석산의 에틸렌 글리콜 용액을 암모니아수로 중화하고 pH를 6.92로 조절한 용액을 사용하고, 백금을 음극으로 하여 화성전류 5 6 mA, 도달전압 100 V의 조건하에 양극산화를 진행한다.

그렇게 하여 형성된 양극산화막(209, 210)은 매우 치밀하고 강고하여, 도핑 공정 등과 같은 후의 공정에 의해 야기되는 손상에 대하여 게이트전극(211, 212)을 보호하는 효과를 가진다.

강고한 양극산화막(209, 210)은 에칭하기가 어렵기 때문에, 콘택트 홀을 형성하는데 있어서의 에칭시간이 길어지는 문제가 있다. 따라서, 그 양극산화막의 두께는 1000 Å 이하로 하는 것이 바람직하다.

다음에, 도 2(B)에 나타낸 바와 같은 상태에서, 이온 도핑법에 의해 활성층(203, 204)에 불순물을 주입한다. 예를 들어, N채널형 TFT를 제작할 때는, 인(P)이 불순물로서 사용될 수 있고, P채널형 TFT를 제작할 때는, 붕소(B)가 불순물로서 사용될 수 있다.

또한, 본 실시예에서는, N채널형 TFT를 제작하는 예만을 설명하지만, 공지의 기술을 사용하여 동일 기판상에 N채널형 TFT와 P채널형 TFT를 형성할 수도 있다.

이온 주입에 의해, 회로 TFT의 소스/드레인영역(213, 214)과 화소 TFT의 소스/드레인영역(215, 216)이 자기정합적으로 형성된다.

다음에, 다공질의 양극산화막(207, 208)을 제거하고, 이온 주입을 다시 행한다. 이때의 도즈량은 앞의 이온 주입에서의 것보다 낮다.

두번째 이온 주입에 의해, 회로 TFT의 저농도 불순물영역(217, 218)과 채널 형성영역(221) 및 화소 TFT의 저농도 불순물영역(219, 220)과 채널형성영역(222)이 자기정합적으로 형성된다.

도 2(C)에 나타낸 상태가 얻어진 후, 레이저광 조사와 열 어닐을 행한다. 본 실시예에서는, 레이저광의 에너지 밀도를 160 170 mJ/cm^{2}으로 하고, 열 어닐을 300 450℃에서 1시간 행하였다.

이 공정에 의해, 이온 도핑 공정에 의해 손상된 활성층(203, 204)의 결정성이 개선되고, 주입된 불순물 이온이 활성화된다.

다음에, 제1 층간절연막(223)으로서 질화규소막(산화규소막일 수도 있다)을 플라즈마 CVD법에 의해 3000 Å의 두께로 성막한다. 이 층간절연막(223)은 다층 구조일 수도 있다.

층간절연막(223)이 형성된 후, 전극 및 배선이 형성될 영역에 콘택트 홀을 형성한다. 그리고, 알루미늄을 주성분으로 하는 재료와 티탄으로 된 적층막으로, 회로 TFT의 소스배선(데이터선으로 불릴 수 있다)(224), 게이트배선(225), 및 드레인배선(226)과, 화소 TFT의 소스배선(227)과 드레인전극(228)을 형성한다.

이때, 화소 TFT의 게이트전극(212)은 화소영역의 외측으로 인출되는 게이트선(도시되지 않음)과 일체화되어 있어, 콘택트 홀이 형성될 필요가 없다. 또한, 드레인전극(228)은 후에 화소전극과 활성층을 접속하기 의한 리드선으로서 기능한다.

다음에, 플라즈마 CVB법에 의해 제2 층간절연막(229)을 0.5 5 ㎛의 두께로 성막한다. 이 층간절연막(229)으로서는, 산화규소막, 질화규소막, 유기 수지 등으로 이루어진 단일층 또는 적층막이 사용될 수 있다.

제2 층간절연막(229)으로서 폴리이미드 등과 같은 유기수지 재료가 사용되는 경우, 두꺼운 막두께가 쉽게 얻어질 수 있기 때문에, 제2 층간절연막(229)이 평탄화 막으로서의 기능을 가질 수 있다. 즉, 액티브 매트릭스 기판상의 단차(段差)를 가능한 한 작게 할 수 있다.

제2 층간절연막(229)이 형성된 후, 블랙 매트릭스(230)를 형성한다. 블랙 매트릭스(230)로서는, 크롬막, 티탄막 등과 같은 금속 박막, 또는 블랙 안료가 분산된 수지재료가 사용될 수 있다.

블랙 매트릭스(230)가 액티브 매트릭스 기판측에 형성되는 경우, 그의 형성은, 필요로 하는 최소한의 점유면적으로 차광영역을 덮을 수 있어 개구율이 악화되지 않기때문에 효과적이다.

제3 층간절연막(231)의 형성 후에, 화소 TFT의 드레인전극(228) 위의 제2 층간절연막(229)의 부분을 에칭하여 콘택트 홀을 형성하고, 드레인전극(228)에 전기적으로 접속되는 투명 도전막으로 된 화소전극(232)을 형성한다.

이렇게 하여, 도 2(E)에 나타낸 바와 같은 회로 TFT와 화소 TFT를 가진 액티브 매트릭스 기판이 형성된다. 실제로는, 수 십만개의 회로 TFT가 구동회로영역에 배치되어, CMOS(상보형 금속산화물 반도체)회로 등을 구성하고, 수 십 내지 수 백 만개의 화소 TFT가 화소영역에 배치된다.

또한, 본 실시예에서 제작된 액티브 매트릭스 기판의 화상표시영역에는 50 ㎛ 간격의 화소 피치로 화소영역이 형성되도록 설계된다. 일반적으로는, 액정표시장치의 용도에 따라 화소 피치가 다르다. 예를 들어, 노트북 컴퓨터에 사용되는 액정패널은 대략 110 ㎛의 화소 피치로 구성된다. 또한, 화소 피치가 필요 이상으로 크면, 표시화상이 거칠어진다.

다음에, 도 3(A) 도 3(D)를 참조하여 셀 조립공정을 상세히 설명한다. 셀을 조립하는데 있어서는, 상기한 공정들에 의해 형성된 액티브 매트릭스 기판 이외에, 대향전극과 배향막을 포함하는 투명한 대향기판을 준비한다.

또한, 컬러 화상을 표시하는 것이 필요한 경우에는, 도면에는 나타내지 않았지만 대향기판측에 컬러 필터가 설치될 수 있다. 컬러 필터는 편평하고, 균일한 두께를 가지며, 내열성, 내화학약품성 등이 우수하여야 한다.

액티브 매트릭스 기판과 대향기판이 각각 형성된 후, 양 기판에 대하여 러빙 처리를 행하여, 그들 기판의 배향막에 소망의 배향성이 제공되게 한다. 이 공정에 의해, 기판 근방에서의 액정재료의 배향성이 결정된다. (도 3(A))

러빙 처리가 끝난 후에, 구동회로영역과 화소영역을 둘러싸도록 대향기판에 시일(seal)부재(306)를 스크린 인쇄에 의해 형성한다. 시일부재(306)로서는, 에폭시계 수지와 페놀 경화제를 " 에틸셀솔브" 용매에 용해시킨 것이 사용될 수 있다. 그리고, 후에 액정재료를 주입하기 위한 개구부(액정 주입구)를 시일부재(306)의 일부에 형성한다.

시일부재(306)는 기판들을 함께 접착하는 효과 뿐만 아니라, 주입된 액정재료가 화상표시영역 근방으로부터 누출하는 것을 방지하는 효과도 가지고 있다.

이어서, 대향기판 위에 스페이서(307)를 산포시킨다. 스페이서(307)로서는 폴리머계, 유리계 또는 실리카계 재료의 구체(球體) 형상의 미립자가 사용되고, 그들 미립자를 노즐로부터 분사하여 대향기판 전면에 걸쳐 산포한다. (도 3(B))

스페이서(307)의 직경은 화소 피치의 10분의 1 이하이어야 한다. 즉, 기판들 사이의 셀 갭(cell gap)이 화소 피치의 10분의 1 이하인 것이 중요하다. 본 실시예에서는, 화소 피치가 50 ㎛이므로, 스페이서(307)의 직경은 다소의 마진을 고려하여 4 ㎛로 한다.

셀 갭이 과도하게 너무 좁으면, 유리기판의 표면 요철이나 스페이서 직경의 오차의 영향이 크게 되기 때문에, 현재에 있어서는 셀 갭의 최저 한계는 1 ㎛ 정도까지이다. 따라서, 본 발명은 대략 10 ㎛의 화소 피치를 가지는 액정표시장치까지가 적용 한계인 것으로 고려된다.

시일부재를 인쇄하는 공정과 스페이서를 산포시키는 공정을 대향기판측에 행하는 이점으로서는, TFT의 오염 및 정전파괴의 방지를 들 수 있다. 특히, 스페이서를 산포시키는 공정은 정전기의 발생을 수반하기 때문에 대향기판측에 행해지는 것이 바람직하다.

다음에, 액티브 매트릭스 기판과 대향기판을 접합한다. 그 접합 공정에서, 스페이서(307)가 양 기판 사이에 끼워져 배치되고, 셀 갭이 스페이서(307)의 직경에 의해 결정된다. (도 3(C))

상기한 바와 같이, 스페이서(307)의 직경은 4 ㎛이기 때문에, 기판들 사이의 셀 갭이 4 ㎛로 된다. 본 발명에서는, 셀 갭의 정확한 확보가 중요하기 때문에, 스페이서(307)를 균일하게 산포시키고 기판들을 정확하게 접합하는 기술이 요구된다.

액티브 매트릭스 기판과 대향기판의 접합이 끝난 후에, 시일부재(306)에 이미 형성된 개구부로부터 액정재료를 주입하여, 액정이 화소영역내에 보유되게 한다. 최종적으로, 개구부를 밀봉하여, 도 3(D)에 나타낸 바와 같은 액정표시장치를 완성한다.

상기한 공정들을 거쳐 형성된 액정표시장치는, 본 발명에 따라 셀 갭이 화소 피치(본 실시예에서는 50 ㎛)의 10분의 1 이하(본 실시예에서는 4 ㎛)로 되기 때문에, 디스클리네이션과 같은 화상불량의 발생이 없는 고화질을 제공한다.

본 실시예에서는 화소 피치가 50 ㎛인 경우에 대하여 설명하였지만, 실제로는, 상기한 바와 같이, 액정패널의 크기나 용도에 따라 화소 피치가 다르다. 예를 들어, 현재의 직시(直視)형 액정표시장치에서는, 수 백 ㎛ 정도의 화소 피치를 가지는 액정패널이 제작된다.

그러나, 수 백 ㎛의 화소 피치에서도 셀 갭이 과도하게 크게 되면, 화소전극과 대향전극 사이에 형성되는 전계가 약화된다. 실질적으로는 액정패널의 구동 전압 등을 고려하면 화상신호의 전압 레벨과 그에 따라 액정층에 형성되는 전계의 강도가 제한되므로, 셀 갭을 10 ㎛ 이하로 하는 것이 바람직하다.

또한, 일반적으로 제작되거나 시험적으로 제작되는 액정패널에서는 화소 피치와 무관하게 대략 5 6 ㎛의 셀 갭이 확보되는 것으로 보이지만, 매우 미세한 구조의 액정패널이 요구되고 화소 피치가 더욱 미세하게 만들어지는 경향이 강해질 것으로 예상된다.

예를 들어, 투영(投影)형(프로젝션형) 액정표시장치는, 패널 크기가 작기 때문에 가능한 한 미세한 화상을 표시하고 스크린상에 화상을 투영할 수 있는 구성을 가질 필요가 있다. 따라서, 이후, 대략 40 ㎛ 이하 또는 심지어 30 ㎛ 이하의 화소 피치를 가지는 액정표시장치를 제작할 필요성이 강하게 요구될 것이다.

이때, 셀 갭이 5 6 ㎛로 유지되면 횡방향 전계의 영향을 받아 디스클리네이션이 발생할 것으로 예상된다. 따라서, 화소 피치를 좁게 하는 것에 대응하여 셀 갭을 작게 하는 것으로 된다.

상기한 설명에 의하면, 화소 피치가 40 ㎛ 이하로 미세하게 만들어지는 경우에 본 발명의 유효성이 달성된다.

[실시예 2]

본 실시예는 본 발명에 따른 단차에 주목하여 설명한다. 본 실시예는, 활성층에 접속되는 드레인전극에 화소전극이 접속되는 구성을 가지는 박막트랜지스터를 사용한 액티브 매트릭스형 액정표시장치의 예이다.

상기한 바와 같이, 단차는 박막트랜지스터와 각 배선 주변에 형성되고, 러빙불량이나 단차 측면들에 발생되는 횡방향 전계를 생성함으로써 액정재료의 배향불량을 야기할 수 있다.

통상, 배선교차부 또는 박막트랜지스터에 단차에 의한 디스클리네이션이 발생할지라도, 그 디스클리네이션은 블랙 매트릭스에 의해 가려질 수 있기 때문에 문제가 되지 않는다. 또한, 블랙 매트릭스가 대향기판측에 설치된 경우에는, 단차가 발생되는 영역을 가림으로써 문제가 해결된다.

그러나, 실시예 1에서와 같이 블랙 매트릭스가 액티브 매트릭스 기판측에 설치되는 경우에는, 화소전극과 박막트랜지스터를 전기적으로 접속하는 콘택트부에서는 마스킹이 어렵기 때문에, 디스클리네이션이 문제가 된다.

따라서, 본 실시예에서는 콘택트부에 주목하여, 콘택트부 주변에 생기는 단차의 높이에 대하여 설명한다. 또한, 도 2(A) 도 2(E)에서 사용된 부호가 그대로 사용된 도 4(A) 및 도 4(B)를 참조하여 설명한다.

도 4(A)는 어떤 화소영역를 위에서 본 도면으로서, 부호 401로 표시된 점선으로 둘러싸인 영역은, 화소전극(232)과 화소 TFT의 활성층(204)(정확히 말하면, 드레인영역(216))을 접속하는 콘택트부이다. 또한, 부호 402는 콘택트 홀을 나타낸다.

도 4(B)는 본 실시예에서의 콘택트부(401)를 나타내는 확대단면도이다. 부호 204는 확성층을 나타내고, 205는 게이트 절연막, 223은 제1 층간절연막, 229는 제2 층간절연막을 나타낸다.

본 실시예는, 활성층(204)과 화소전극(232)이 드레인전극(228)을 통해 전기적으로 접속된 것을 특징으로 한다.

본 발명자들의 경험에 의하면, 화소전극(일반적으로, ITO(인듐 주석 산화물)막이 사용된다)(232)과 활성층(일반적으로, 규소막이 사용된다)(204) 사이에 생성되는 접촉저항이 비선형이기 때문에, 오믹 콘택트(ohmic contact)가 형성되기 어렵다는 것이 밝혀졌다.

따라서, 도전성 피막, 예를 들어, 티탄막과 알루미늄막의 적층막에 의해 오믹 콘택트가 형성되어, 오믹 콘택트가 용이하게 제공되게 하는 구성으로 하는 것이 효과적이다. 또한, 본 발명자들의 연구에 의해, 알루미늄막과 ITO막이 서로 접촉하면, 알루미늄막이 용해되는 것이 밝혀졌기 때문에, 본 실시예에서는, 도전성 피막을, 티탄막들 사이에 알루미늄막이 삽입된 구조로 하고 있다.

그러한 구성에서는, 콘택트 홀(402)의 내측에서 러빙 불량이 발생하더라도, 드레인전극(228)이 블랙 매트릭스의 것과 유사한 효과로 달성한다. 따라서, 디스클리네이션이 발생하더라도, 그것이 시각적으로 인지되지 않는다.

본 발명에 따르면, 도 4(B)에 나타낸 바와 같은 구조를 가지는 콘택트부를 형성하는 경우, 도 4(B)에 나타낸 바와 같은 단차의 높이(도 4(B)에서 드레인전극(228)의 막두께에 대응한다)를 0,3 ㎛ 이하로 제한하는 것이 필요하다.

따라서, 드레인전극(228)을 형성할 때, 그의 막두께를 0.3 ㎛ 이하, 바람직하게는, 0.25 ㎛ 이하로 함으로써, 단차의 높이를 0.3 ㎛ 이하로 제한할 수 있다.

본 실시예에서는, 알루미늄을 주성분으로 하는 재료와 티탄막으로 된 적층막으로 드레인전극(228)을 형성하고, 그의 막두께를 0.25 ㎛로 하고 있다. 또한, 드레인전극(228)을 테이퍼(taper)지게 형성하면, 단차 자체가 테이퍼 형상을 가지므로, 러빙 불량이 일어나기 어렵게 된다.

상기한 바와 같이, 본 실시예의 구성으로 된 콘택트부는 그의 주변에 생기는 단차의 높이가 0.3 ㎛ 이하로 된다. 따라서, 러빙 불량이나 횡방향 전계에 의한 디스클리네이션이 콘택트부 주변에 발생되는 것이 방지될 수 있다.

발명의 효과

본 발명에 따르면, 액정표시장치의 형성시 화소 피치에 대응하여 셀 갭을 규정한다. 즉, 화소 피치의 10분의 1 이하로 되도록 셀 갭을 규정한다.

또한, 박막트랜지스터와 화소전극 사이의 콘택트부에서는, 구조적인 이유로 발생되는 단차가 0.3 ㎛ 이하로 된다.

상기한 바와 같은 본 발명의 구성에 따라, 디스클리네이션과 같은 화상불량이 발생하지 않는 고도로 미세한 액정표시장치가 실현될 수 있다.

예를 들어, 2 인치의 대각선 길이를 가지는 EWS(엔지니어링 워크 스테이션) 규격의 액정표시장치를 제작하는데 있어서, 화상표시영역의 비율을 5:4(1280×1024 화소)로 할 때, 화소 피치는 대략 30 ㎛가 된다. 이 경우, 본 발명에 따르면, 셀 갭이 3 ㎛ 이하로 되고, 단차의 높이가 0.3 ㎛ 이하로 되어, 디스클리네이션의 발생이 억제될 수 있다.

또한, 본 발명은 상기 실시예들과 같은 투과형 액정표시장치 뿐만 아니라 반사형 액정표시장치에도 적용된다.

(57) 청구의 범위

청구항 1.

기판상에 매트릭스 형태로 배치된 다수의 게이트선 및 다수의 데이터 선과;

상기 기판 위에 제공되고, 인접한 2개의 상기 게이트선과 인접한 2개의 상기 데이터선에 의해 둘러싸인 화소영역에 각각 배치된 다수의 박막트랜지스터와;

대응하는 박막트랜지스터에 각각 접속되는 다수의 화소전극과;

표면에 적어도 대향전극을 가지고 이루어진 대향기판; 및

상기 기판과 상기 대향기판 사이에 끼워져 있는 액정재료를 포함하고,

여기서, 상기 화소영역의 화소 피치가 40 ㎛ 이하이고, 상기 기판과 상기 대향기판 사이의 간격이 상기 화소영역의 상기 화소 피치의 10분의 1 이하인 것을 특징으로 하는 표시장치.

청구항 2.

제 1 항에 있어서, 상기 기판이, 상기 박막트랜지스터 위와 상기 화소전극 아래에 배치된 적어도 하나의 블랙 매트릭스를 가지는 것을 특징으로 하는 표시장치.

청구항 3.

제 1 항에 있어서, 상기 화소 피치가 30 ㎛ 이하인 것을 특징으로 하는 표시장치.

청구항 4.

기판상에 매트릭스 형태로 배치된 다수의 게이트선 및 다수의 데이터선과;

상기 기판 위에 제공되고, 인접한 2개의 상기 게이트선과 인접한 2개의 상기 데이터선에 의해 둘러싸인 화소영역에 각각 배치된 다수의 박막트랜지스터와;

대응하는 박막트랜지스터에 각각 접속되는 다수의 화소전극과;

표면에 대향전극을 가지고 이루어진 대향기판; 및

상기 기판과 상기 대향기판 사이에 모두 끼워져 있는 적어도 하나의 스페이서와 액정재료를 포함하고;

여기서, 상기 화소영역의 화소 피치가 40 ㎛ 이하이고, 상기 기판 및 대향 기판에 대하여 수직인 방향으로의 상기 스페이서의 두께가 상기 화소영역의 상기 화소 피치의 10분의 1 이하인 것을 특징으로 하는 표시장치.

청구항 5.

제 4 항에 있어서, 상기 기판이, 상기 박막트랜지스터 위와 상기 화소전극 아래에 배치된 적어도 하나의 블랙 매트릭스를 가지는 것을 특징으로 하는 표시장치.

청구항 6.

제 4 항에 있어서, 상기 화소 피치가 30 ㎛ 이하인 것을 특징으로 하는 표시장치.

청구항 7.

동일 기판상에 매트릭스 형태로 배치된 게이트선 및 데이터선과,

인접한 2개의 상기 게이트선과 인접한 2개의 상기 데이터선에 의해 둘러싸인 화소영역에 배치된 박막트랜지스터와,

상기 박막트랜지스터에 접속된 드레인전극과,

적어도 상기 드레인전극을 덮는 층간절연막, 및

상기 층간절연막에 형성된 콘택트 홀을 통하여 상기 드레인전극에 접속된 화소전극을 포함하는 액티브 매트릭스 기판과;

표면에 대향전극을 가지고 이루어진 대향기판; 및

상기 액티브 매트릭스 기판과 상기 대향기판 사이에 끼워져 있는 다수의 스페이서와 액정재료를 포함하고;

여기서, 상기 드레인전극의 막두께가 0.3 ㎛ 이하인 것을 특징으로 하는 액정표시장치.

청구항 8.

기판상에 매트릭스 형태로 배치된 다수의 게이트선 및 다수의 데이터선을 형성하는 공정과;

인접한 2개의 상기 게이트선과 인접한 2개의 상기 데이터선에 의해 둘러싸인 화소영역에 각각 배치되는 다수의 박막트랜지스터를 상기 기판 위에 형성하는 공정과;

대응하는 박막트랜지스터에 각각 접속되는 다수의 화소전극을 형성하는 공정과;

표면에 대향전극을 가지고 이루어진 대향기판을 형성하는 공정; 및

상기 기판과 상기 대향기판 사이에 적어도 하나의 스페이서와 액정재료를 제공하는 공정을 포함하고;

여기서, 상기 화소영역의 화소 피치가 40 ㎛ 이하이고, 상기 기판과 상기 대향기판 사이의 간격이 상기 화소영역의 상기 화소 피치의 10분의 1인 것을 특징으로 하는 표시장치 제작방법.

청구항 9.

제 8 항에 있어서, 상기 기판이, 상기 박막트랜지스터 위와 상기 화소전극 아래에 배치된 적어도 하나의 블랙 매트릭스를 가지는 것을 특징으로 하는 표시장치 제작방법.

청구항 10.

제 8 항에 있어서, 상기 화소 피치가 30 ㎛ 이하인 것을 특징으로 하는 표시장치 제작방법.

청구항 11.

제 8 항에 있어서, 상기 기판 및 대향기판에 대하여 수직인 방향으로의 상기 스페이서의 두께가 상기 화소영역의 상기 화소 피치의 10분의 1인 것을 특징으로 하는 표시장치 제작방법.

청구항 12.

제 8 항에 있어서, 상기 스페이서가 구체(球體) 형상인 것을 특징으로 하는 표시장치 제작방법.

청구항 13.

제 8 항에 있어서, 상기 스페이서가, 폴리머계 재료, 유리계 재료 및 실리카계 재료로 이루어진 군으로부터 선택된 재료를 포함하는 것을 특징으로 하는 표시장치 제작방법.

청구항 14.

동일 기판상에 매트릭스 형태로 배치된 게이트선 및 데이터선과, 인접한 2개의 상기 게이트선과 인접한 2개의 상기 데이터선에 의해 둘러싸인 화소영역에 배치된 박막트랜지스터와, 그 박막트랜지스터에 접속된 드레인전극과, 적어도 상기 드레인전극을 덮는 층간절연막, 및 그 층간절연막에 형성되 콘택트 홀을 통하여 상기 드레인전극에 접속된 화소전극을 포함하는 액티브 매트릭스 기판을 형성하는 공정;

표면에 대향전극을 가지고 이루어진 대향기판을 형성하는 공정; 및

상기 액티브 매트릭스 기판과 상기 대향기판 사이에 액정재료를 제공하는 공정을 포함하고;

여기서, 상기 드레인전극의 막두께가 0.3 ㎛ 이하인 것을 특징으로 하는 표시장치 제작방법.

청구항 15.

제 14 항에 있어서, 상기 화소 피치가 10 100 ㎛인 것을 특징으로 하는 표시장치 제작방법.

청구항 16.

제 14 항에 있어서, 상기 화소 피치가 10 40 ㎛인 것을 특징으로 하는 표시장치 제작방법.

청구항 17.

기판상에 매트릭스 형태로 배치된 다수의 게이트선 및 다수의 데이터선과;

상기 기판 위에 제공되고, 인접한 2개의 상기 게이트선과 인접한 2개의 상기 데이터선에 의해 둘러싸인 화소영역에 각각 배치된 다수의 박막트랜지스터와;

상기 박막트랜지스터 위에 형성되고, 상기 박막트랜지스터의 드레인전극에 접속된 화소전극과;

표면에 적어도 대향전극을 가지고 이루어진 대향기판; 및

상기 기판과 상기 대향기판 사이에 끼워져 있는 액정재료를 포함하고;

여기서, 상기 기판과 상기 대향기판 사이의 간격이 상기 화소영역의 화소 피치의 10분의 1 이하이고, 층간절연막 위의 상기 드레인전극의 두께가 3 ㎛ 이하인 것을 특징으로 하는 액정표시장치.

청구항 18.

제 17 항에 있어서, 상기 화소 피치가 10 100 ㎛인 것을 특징으로 하는 액정표시장치.

청구항 19.

제 17 항에 있어서, 상기 화소 피치가 10 40 ㎛인 것을 특징으로 하는 액정표시장치.

청구항 20.

제 17 항에 있어서, 상기 액정표시장치가, 상기 기판과 상기 대향기판 사이의 상기 간격내에 배치된 다수의 스페이서를 더 포함하고,

상기 기판 및 대향기판에 대하여 수직인 방향으로의 상기 스페이서의 직경이 상기 화소영역의 화소 피치의 10분의 1 이하인 것을 특징으로 하는 액정표시장치.

청구항 21.

기판상에 매트릭스 형태로 배치된 다수의 게이트선 및 다수의 데이터선과;

상기 기판 위에 형성되고, 인접한 2개의 상기 게이트선과 인접한 2개의 상기 데이터선에 의해 둘러싸인 화소영역에 각각 배치된 다수의 박막트랜지스터와;

상기 박막트랜지스터 위에 형성된 블랙 매트릭스와;

상기 블랙 매트릭스상에 형성된 층간절연막과;

상기 층간절연막상에 형성되고, 상기 박막트랜지스터에 접속된 화소전극과;

표면에 적어도 대향전극을 가지고 이루어진 대향기판; 및

상기 기판과 상기 대향기판 사이에 끼워져 있는 액정재료를 포함하고;

여기서, 상기 기판과 상기 대향기판 사이의 간격이 상기 화소영역의 화소 피치의 10분의 1 이하인 것을 특징으로 하는 액정표시장치.

청구항 22.

제 21 항에 있어서, 상기 화소 피치가 10 100 ㎛인 것을 특징으로 하는 액정표시장치.

청구항 23.

제 21 항에 있어서, 상기 화소 피치가 10 40 ㎛인 것을 특징으로 하는 액정표시장치.

청구항 24.

제 21 항에 있어서, 상기 액정표시장치가, 상기 기판과 상기 대향기판 사이의 상기 간격내에 배치된 다수의 스페이서를 더 포함하고,

상기 기판 및 대향기판에 대하여 수직인 방향으로의 상기 스페이서의 직경이 상기 화소영역의 화소 피치의 10분의 1 이하인 것을 특징으로 하는 액정표시장치.

청구항 25.

제 8 항에 있어서, 상기 액정재료가, 트위스티드 네마틱형 액정재료와 수퍼 트위스티드 네마틱형 액정재료로 이루어진 군으로부터 선택되는 것을 특징으로 하는 표시장치 제작방법.

청구항 26.

제 8 항에 있어서, 상기 표시장치가, 적어도 하나의 액정패널을 포함하는 투영형 표시장치인 것을 특징으로 하는 표시장치 제작방법.

청구항 27.

제 1 항에 있어서, 상기 스페이서가 구체(球體) 형상인 것을 특징으로 하는 표시장치.

청구항 28.

제 1 항에 있어서, 상기 스페이서가, 폴리머계 재료, 유리계 재료 및 실리카계 재료로 이루어진 군으로부터 선택된 재료를 포함하는 것을 특징으로 하는 표시장치.

청구항 29.

제 1 항에 있어서, 상기 액정재료가, 트위스티드 네마틱형 액정재료와 수퍼 트위스티드 네마틱형 액정재료로 이루어진 군으로부터 선택되는 것을 특징으로 하는 표시장치.

청구항 30.

제 1 항에 있어서, 상기 표시장치가, 적어도 하나의 액정패널을 포함하는 투영형 표시장치인 것을 특징으로 하는 표시장치.

청구항 31.

제 4 항에 있어서, 상기 스페이서가 구체(球體) 형상인 것을 특징으로 하는 표시장치.

청구항 32.

제 4 항에 있어서, 상기 스페이서가, 폴리머계 재료, 유리계 재료 및 실리카계 재료로 이루어진 군으로부터 선택된 재료를 포함하는 것을 특징으로 하는 표시장치.

청구항 33.

제 4 항에 있어서, 상기 액정재료가, 트위스티드 네마틱형 액정재료와 수퍼 트위스티드 네마틱형 액정재료로 이루어진 군으로부터 선택되는 것을 특징으로 하는 표시장치.

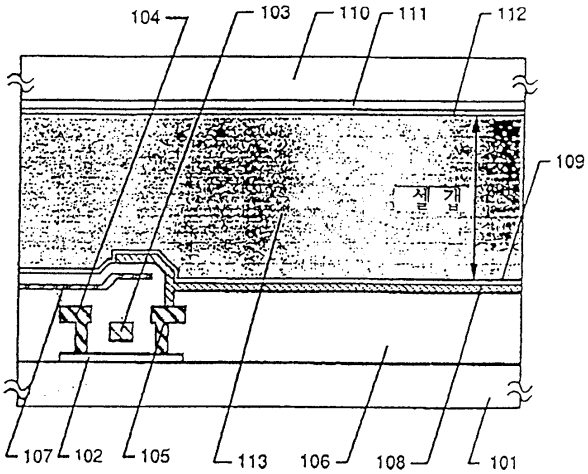
청구항 34.

제 4 항에 있어서, 상기 표시장치가, 적어도 하나의 액정패널을 포함하는 투영형 표시장치인 것을 특징으로 하는 표시장치.

도면

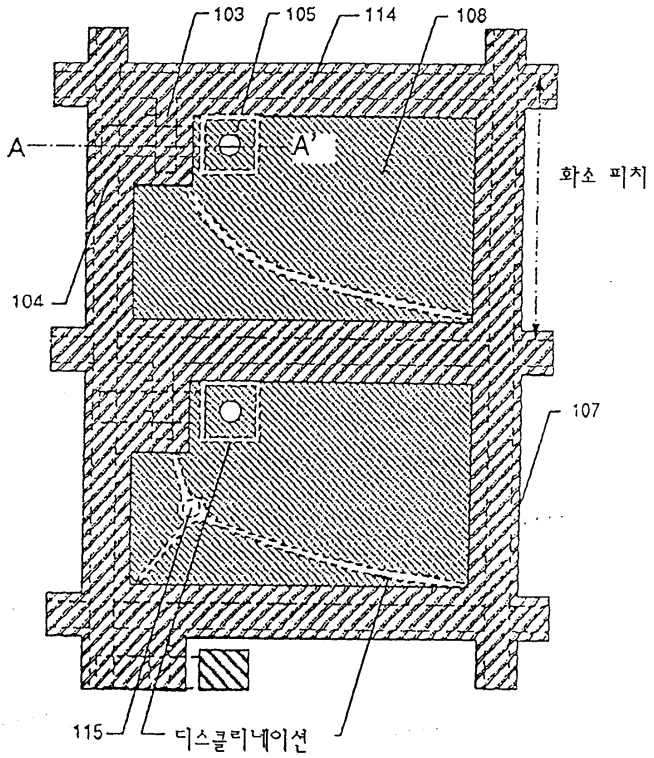
도면 1a

1(A)



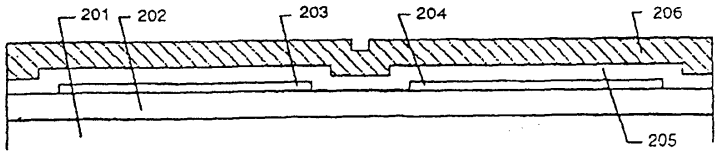
도면 1b

1(B)



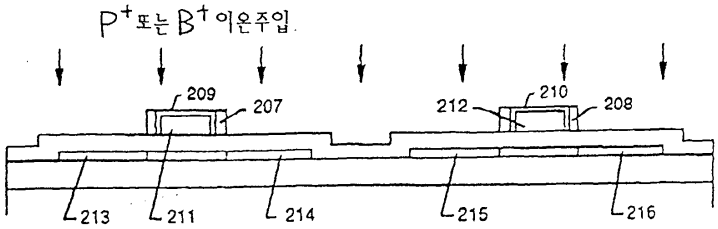
도면 2a

2(A)



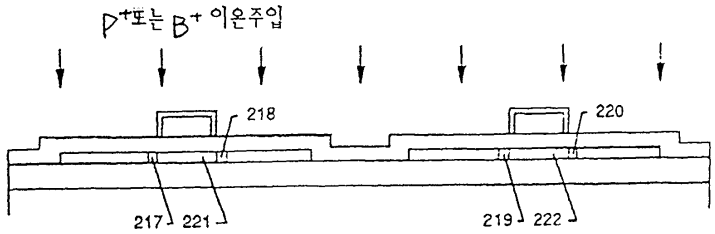
도면 2b

2(B)



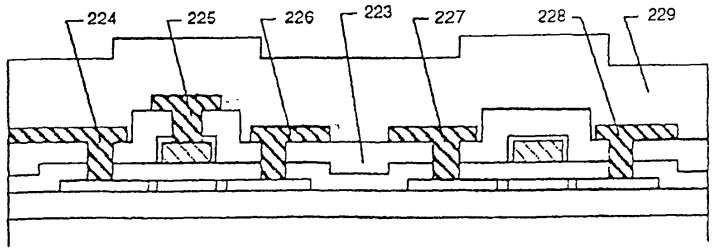
도면 2c

2(C)



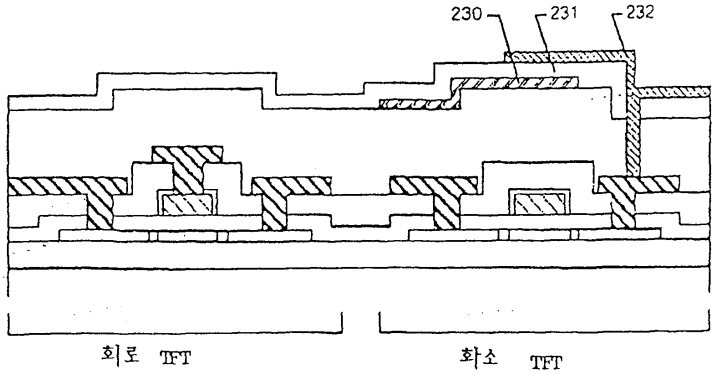
도면 2d

2(D)



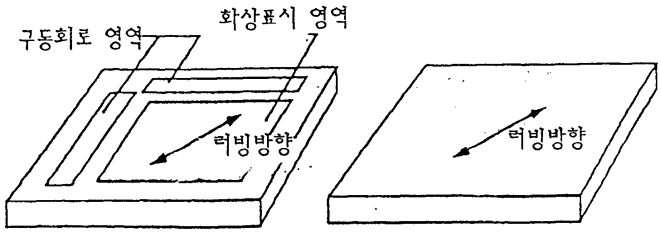
도면 2e

2(E)



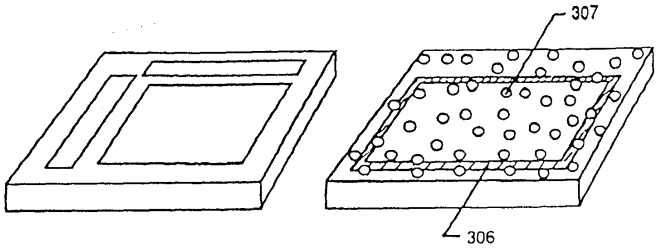
도면 3a

3(A)



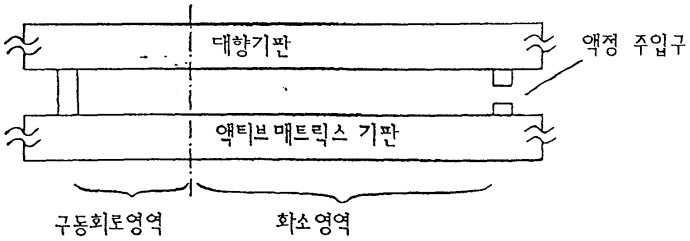
도면 3b

3(B)



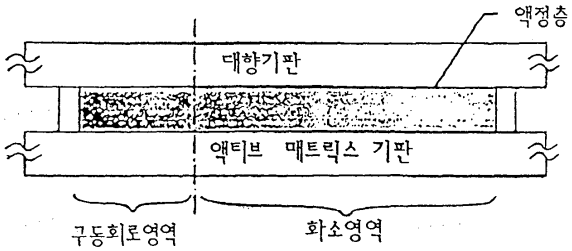
도면 3c

3(C)



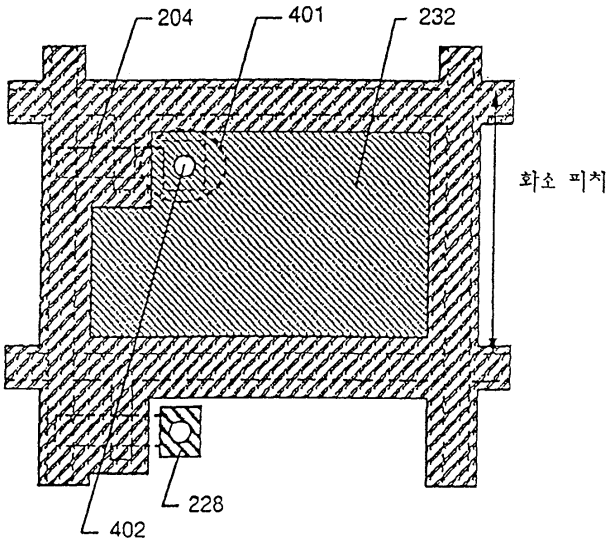
도면 3d

3(D)



도면 4a

4(A)



도면 4b

4(B)

