

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3992585号

(P3992585)

(45) 発行日 平成19年10月17日(2007.10.17)

(24) 登録日 平成19年8月3日(2007.8.3)

(51) Int. Cl.	F I
H03K 19/177 (2006.01)	H03K 19/177
H01L 21/82 (2006.01)	H01L 21/82 A
	H01L 21/82 R
	H01L 21/82 P

請求項の数 66 (全 77 頁)

(21) 出願番号	特願2002-301079 (P2002-301079)	(73) 特許権者	597154922
(22) 出願日	平成14年10月15日(2002.10.15)		アルテラ コーポレーション
(65) 公開番号	特開2003-188712 (P2003-188712A)		Altera Corporation
(43) 公開日	平成15年7月4日(2003.7.4)		アメリカ合衆国 95134 カリフォル
審査請求日	平成16年8月3日(2004.8.3)		ニア州 サン ホセ イノベーション ド
(31) 優先権主張番号	60/329,642		ライヴ IOI
(32) 優先日	平成13年10月15日(2001.10.15)	(74) 代理人	100078282
(33) 優先権主張国	米国 (US)		弁理士 山本 秀策
(31) 優先権主張番号	10/159,581	(74) 代理人	100062409
(32) 優先日	平成14年5月30日(2002.5.30)		弁理士 安村 高明
(33) 優先権主張国	米国 (US)	(74) 代理人	100113413
前置審査			弁理士 森下 夏樹
		最終頁に続く	

(54) 【発明の名称】 冗長回路を備えたプログラマブル論理回路

(57) 【特許請求の範囲】

【請求項 1】

プログラマブル論理デバイスであって、

複数の信号パスであって、該複数の信号パスの各々が複数の論理領域ロウに亘り、該複数の信号パスの各々が複数のラインを含む、複数の信号パスと、

該複数の信号パスの第1のラインを該複数の信号パスの第2のラインに結合するノーマルモードステッチ回路と、

該複数の信号パスの該第1のラインのテールを該複数の信号パスの該第2のラインに結合する冗長モードステッチ回路と

を含み、

該ノーマルモードステッチ回路は、該複数の信号パスのステッチマルチプレクサおよびステッチドライバを含み、該冗長モードステッチ回路は、該複数の信号パスの冗長モードステッチマルチプレクサおよび冗長モードステッチドライバを含む、プログラマブル論理デバイス。

【請求項 2】

少なくとも1つのノーマルモード接続を含む第1の組の接続であって、該第1の組の接続が前記複数の信号パスの前記第1のラインを結合して論理領域ロウを駆動する、第1の組の接続と、

少なくとも1つの冗長モード専用接続を含む第2の組の冗長モード専用接続であって、該第2の組の接続が該複数の信号パスの該第1のラインの前記テールを結合して他の論理

10

20

領域ロウを駆動し、該第 2 の組の接続が該第 1 の組の接続に対して冗長である、第 2 の組の冗長モード専用接続と

をさらに含む、請求項 1 に記載のプログラマブル論理デバイス。

【請求項 3】

それぞれの論理領域ロウを結合して前記複数の信号パスを駆動する少なくとも 1 つのノーマルモード接続を含む第 1 の組の接続と、

少なくとも 1 つの冗長モード接続を含む第 2 の組の接続であって、該第 2 の組の接続が他の論理領域ロウを結合して該複数の信号パスを駆動し、該第 2 の組の接続が該第 1 の組の接続について冗長である、第 2 の組の接続と

をさらに含む、請求項 1 に記載のプログラマブル論理デバイス。

10

【請求項 4】

前記第 2 の組の接続の全ての接続が冗長モード専用接続である、請求項 3 に記載のプログラマブル論理デバイス。

【請求項 5】

前記複数の信号パスは、第 1 の信号パスであり、

該第 1 の信号パスの前記冗長モードステッチマルチプレクサは、また、第 2 の信号パスのステッチマルチプレクサでもある、

請求項 1 に記載のプログラマブル論理デバイス。

【請求項 6】

前記プログラマブル論理デバイスの冗長モードが、ロウシフト方向を有し、

前記複数の信号パスのうちのいくつかが、該ロウシフト方向に対して下流にあり、

該複数の信号パスのうちの他のいくつかは、該ロウシフト方向と逆の上流にある、請求項 1 に記載のプログラマブル論理デバイス。

20

【請求項 7】

前記ノーマルモードステッチ回路が、前記複数の信号パスのステッチマルチプレクサおよびステッチドライバを含み、前記冗長モードステッチ回路が、該複数の信号パスの冗長モードステッチマルチプレクサおよび冗長モードステッチドライバを含み、

第 1 のロウにおいて、上流信号パスのステッチドライバおよび下流信号パスの冗長ステッチドライバが、第 1 のマルチプレクサの出力に結合され、該第 1 のマルチプレクサが、該上流信号パスのステッチマルチプレクサおよび該下流信号パスの冗長ステッチマルチプレクサであり、

30

第 2 のロウにおいて、該下流信号パスのステッチドライバおよび該上流信号パスの冗長ステッチドライバが、第 2 のマルチプレクサの出力に結合され、該第 2 のマルチプレクサが、該下流信号パスのステッチマルチプレクサおよび該上流信号パスの冗長ステッチマルチプレクサである、

請求項 6 に記載のプログラマブル論理デバイス。

【請求項 8】

前記第 1 のロウが前記第 2 のロウに隣接する、請求項 7 に記載のプログラマブル論理デバイス。

【請求項 9】

40

ノーマルモードステッチ回路が、前記複数の信号パスのステッチマルチプレクサおよびステッチドライバを含み、前記冗長モードステッチ回路が、該複数の信号パスの冗長モードステッチマルチプレクサおよび冗長モードステッチドライバを含む、請求項 3 に記載のプログラマブル論理デバイス。

【請求項 10】

前記複数の信号パスが第 1 の信号パスであり、

該第 1 の信号パスの前記冗長ステッチマルチプレクサは、第 2 の信号パスのステッチマルチプレクサでもある、

請求項 9 に記載のプログラマブル論理デバイス。

【請求項 11】

50

前記第2の組の接続の前記冗長モード接続のうちの少なくともいくつかは、前記第1の信号パスの前記冗長ステッチマルチプレクサを介して前記第2の信号パスを駆動するように結合されたノーマルモード接続でもある、請求項10に記載のプログラマブル論理デバイス。

【請求項12】

プログラマブル論理デバイス内にルーティングおよびロウ冗長性を提供する方法であって、

複数の論理領域のロウに亘る信号パスを提供するステップであって、該複数の信号パスが少なくとも1つの修復可能領域内で複数のラインに分かれる、ステップと、

該複数のラインのうちの第1のラインを、該複数のラインのうちの第2のラインに結合して、該信号パスのノーマルモードルーティングを提供するステップと、 10

該複数のラインのうちの該第1のラインのテールを、該複数のラインのうちの第2のラインに結合して、該信号パスの冗長モードルーティングを提供するステップとを含む方法。

【請求項13】

前記修復可能領域内の前記ロウの少なくとも所定のロウの、第1のロウからロウへの接続を提供するステップをさらに含み、

該第1の接続が信号パスを結合して、該ロウの少なくとも所定のロウ内の論理リソースを駆動し、

該ロウのうちの少なくとも所定のロウの、該第1のロウからロウへの接続のパターンは、1つのロウ内の該第1の接続のうちの少なくともいくつかは、別のロウ内の該第1の接続のうちの少なくともいくつかについて冗長となるように、オーバーラップを有する、請求項12に記載の方法。 20

【請求項14】

前記修復可能領域内の前記ロウの少なくとも所定のロウの、第1のロウからロウへの接続を提供するステップをさらに含み、

該第1の接続が該ロウの少なくとも所定のロウ内の論理リソースを結合して、信号パスを駆動し、

該ロウのうちの少なくとも所定のロウの、該第1のロウからロウへの接続のパターンは、1つのロウ内の該第1の接続のうちの少なくともいくつかは、別のロウ内の該第1の接続のうちの少なくともいくつかについて冗長となるように、オーバーラップを有する、請求項12に記載の方法。 30

【請求項15】

プログラマブル論理デバイスであって、

複数のラインであって、該複数のラインの各々が複数の論理領域ロウに亘る、複数のラインと、

少なくとも1つのノーマルモード接続を含む第1の組の接続であって、該第1の組の接続が該複数のラインを結合して論理領域ロウを駆動する、第1の組の接続と、

少なくとも1つの冗長モード専用接続を含む第2の組の接続であって、該第2の組の接続が信号パスの第1のラインのテールを結合して他の論理領域ロウを駆動し、該第2の組の接続が該第1の組の接続について冗長である、第2の組の接続と、 40

該第1のライン上の第1の位置から該複数のラインのうちの第2のラインへと該複数のラインのうちの第1のラインを結合してノーマルモード信号パスを提供する、ノーマルモードステッチ回路と、

該第1のライン上の第2の位置から該第2のラインへと該第1のラインを結合して、ノーマルモード信号パスについて冗長である信号パスを提供する、冗長モードステッチ回路と

を含む、プログラマブル論理デバイス。

【請求項16】

前記複数のラインが第3のラインをさらに含み、前記プログラマブル論理デバイスが、 50

前記第1のライン上の第3の位置から第3のラインへと該第1のラインを結合して、さらなるノーマルモード信号パスを提供する、さらなるノーマルモードステッチ回路と、

該第1のライン上の第4の位置から該第3のラインへと該第1のラインを結合して、さらなるノーマルモード信号パスについて冗長なさらなる信号パスを提供する、さらなる冗長モードステッチ回路と

をさらに含む、請求項15に記載のプログラマブル論理デバイス。

【請求項17】

前記第1のライン上の前記第1および第3の位置が同じであり、該第1のライン上の前記第2および第4の位置が同じである、請求項16に記載のプログラマブル論理デバイス。

【請求項18】

プログラマブル論理デバイスであって、

修復可能領域内で分かれた垂直ラインを含む相互接続手段と、

該垂直ラインを互いに接続するためのステッチ手段と、

論理領域と、

該相互接続手段を該論理領域に結合する手段と

を含み、

該相互接続手段を該論理領域に結合する手段が、該相互接続手段から論理領域に信号を運ぶ第1の結合手段と、該論理領域から該相互接続手段信号を運ぶ第2の結合手段とを含み、ロウからロウへと部分的に重なっている該第1の結合手段のパターンは、1つのロウ内の少なくともいくつかの接続が、別のロウ内の少なくともいくつかの接続について冗長性を提供するようになっている、プログラマブル論理デバイス。

【請求項19】

プログラマブル論理デバイスであって、

複数の信号パスのうちの第1の信号パスであって、該複数の信号パスの各々が複数の論理領域ロウに亘り、複数のラインを含み、該第1の信号パスが、第1のラインおよび第2のラインを含む複数のラインを含む、第1の信号パスと、

該第1のラインを該第2のラインに結合する第1のステッチ回路と、

該第1のラインのテールを該第2のラインに結合する第1の冗長ステッチ回路と、

該第1のラインを第1の論理領域ロウのルーティングリソースに結合する第1の組の接続と、

該第1のラインの該テールを第2の論理領域ロウのルーティングリソースに結合する第2の組の接続と、

複数の論理領域ロウに亘る第2の信号パスであって、該第2の信号パスが、第3のラインおよび第4のラインを含む複数のラインを含む、第2の信号パスと、

該第3のラインを該第4のラインに結合する第2のステッチ回路であって、該第2のステッチ回路の少なくとも一部分が、該第1の冗長ステッチ回路の少なくとも一部分を含む、第2のステッチ回路と、

該第3のラインの該テールを該第4のラインに結合する第2の冗長ステッチ回路と、

該第3のラインを該第2の論理領域ロウのルーティングリソースに結合する第3の組の接続と、

該第3のラインのテールを該第3の論理領域ロウのルーティングリソースに結合する第4の組の接続と

を含み、

該第2の組の接続のパターンおよび該第1の組の接続のパターンは、該第2の組の接続が、該第1の組の該接続のうちの少なくともいくつかについて冗長になるようにオーバーラップを有し、

該第4の組の接続のパターンおよび該第3の組の接続のパターンは、該第4の組の接続が、該第3の組の該接続のうちの少なくともいくつかについて冗長になるようにオーバーラップを有する、

10

20

30

40

50

プログラマブル論理デバイス。

【請求項 2 0】

複数の論理領域ロウに亘る第 3 の信号パスであって、該第 3 の信号パスが、第 5 のラインおよび第 6 のラインを含む複数のラインを含む、第 3 の信号パスと、

該第 5 のラインを該第 6 のラインに結合する第 3 のステッチ回路であって、該第 3 のステッチ回路の少なくとも一部分が前記第 2 の冗長ステッチ回路の少なくとも一部分を含む、第 3 のステッチ回路と

をさらに含む、請求項 1 9 に記載のプログラマブル論理デバイス。

【請求項 2 1】

前記第 1 のステッチ回路が、第 1 のドライバに結合された第 1 のマルチプレクサを含み、該第 1 のマルチプレクサの入力が前記第 1 のラインに結合され、該第 1 のドライバの出力が前記第 2 のラインに結合され、 10

前記第 1 の冗長ステッチ回路が、第 1 の冗長ドライバに結合された第 1 の冗長マルチプレクサを含み、該第 1 の冗長マルチプレクサの入力が該第 1 のラインの前記テールに結合され、該第 1 の冗長ドライバの出力が該第 2 のラインに結合され、

前記第 2 のステッチ回路が、第 2 のドライバに結合された第 2 のマルチプレクサを含み、該第 2 のマルチプレクサの入力が前記第 3 のラインに結合され、該第 2 のドライバの出力が前記第 4 のラインに結合され、該第 2 のマルチプレクサが該第 1 の冗長マルチプレクサであり、

前記第 2 の冗長ステッチ回路が、第 2 の冗長ドライバに結合された第 2 の冗長マルチプレクサを含み、該第 2 の冗長マルチプレクサの入力が該第 3 のラインの前記テールに結合され、該第 2 の冗長ドライバの出力が該第 4 のラインに結合され、 20

前記第 3 のステッチ回路が、第 3 のドライバに結合された第 3 のマルチプレクサを含み、該第 3 のマルチプレクサの入力が前記第 5 のラインに結合され、該第 3 のドライバの出力が前記第 6 のラインに結合され、該第 3 のマルチプレクサが該第 2 の冗長マルチプレクサである、

請求項 2 0 に記載のプログラマブル論理デバイス。

【請求項 2 2】

前記第 1 の論理領域ロウのルーティングリソースを前記第 1 のステッチ回路に結合する第 5 の組の接続と、 30

前記第 2 の論理領域ロウのルーティングリソースを前記第 1 の冗長ステッチ回路に結合する第 6 の組の接続と、

該第 2 の論理領域ロウのルーティングリソースを前記第 2 のステッチ回路に結合する第 7 の組の接続と、

前記第 3 の論理領域ロウのルーティングリソースを前記第 2 の冗長ステッチ回路に結合する第 8 の組の接続と、

該第 6 の組の該接続の少なくともいくつかが該第 5 の組の該接続のうちの少なくともいくつかについて冗長であるようなオーバーラップを有する、該第 6 の組の接続のパターンおよび該第 5 の組の接続のパターンと、

該第 8 の組の該接続の少なくともいくつかが該第 7 の組の該接続のうちの少なくともいくつかについて冗長であるようなオーバーラップを有する、該第 8 の組の接続のパターンおよび該第 7 の組の接続のパターンと 40

をさらに含む、請求項 2 0 に記載のプログラマブル論理デバイス。

【請求項 2 3】

前記第 1 の組の接続によって結合された前記ルーティングリソースおよび前記第 2 の組の接続によって結合された前記ルーティングリソースが結合されて、前記第 1 の信号パスからの信号によって駆動され、

前記第 3 の組の接続によって結合された前記ルーティングリソースおよび前記第 4 の組の接続によって結合された前記ルーティングリソースが結合されて、前記第 2 の信号パスからの信号によって駆動され、 50

前記第 5 の組の接続によって結合された前記ルーティングリソースおよび前記第 6 の組の接続によって結合された前記ルーティングリソースが結合されて、該第 1 または第 2 の信号パスへの信号を駆動し、

前記第 7 の組の接続によって結合された前記ルーティングリソースおよび前記第 8 の組の接続によって結合された前記ルーティングリソースが結合されて、該第 2 または第 3 の信号パスへの信号を駆動する、

請求項 2 2 に記載のプログラマブル論理デバイス。

【請求項 2 4】

前記第 6 の組の接続の前記パターンと前記第 5 の組の接続の前記パターンとのオーバーラップは、該第 6 の組の接続のいくつかが、該第 5 の組の接続のいくつかについて冗長となるように部分的であり、

10

前記第 8 の組の接続の前記パターンと前記第 7 の組の接続の前記パターンとのオーバーラップは、該第 8 の組の接続のいくつかが、該第 7 の組の接続のいくつかについて冗長となるように部分的である、

請求項 2 3 に記載のプログラマブル論理デバイス。

【請求項 2 5】

前記第 1 のロウが前記第 2 のロウに隣接し、該第 2 のロウが前記第 3 のロウに隣接する、請求項 1 9 に記載のプログラマブル論理デバイス。

【請求項 2 6】

複数のトラックバンドルのうちのトラックバンドルであって、該トラックバンドルが複数のトラックを含み、該トラックバンドル内の各トラックが複数のワイヤを含み、該トラックバンドル内の各トラックが複数の論理領域ロウに亘る、トラックバンドルと、

20

該トラックバンドル内の該トラックのうちのいくつかの中の第 1 のワイヤを、該トラックバンドル内の該複数のトラックのうちの別のいくつかの中の第 2 のワイヤを結合して、ノーマルモード信号パスを提供する、ステッチ回路と、

該トラックバンドル内の該複数のトラックのうちの該いくつかの中の該第 1 のワイヤのテールを、該トラックバンドル内の該複数のトラックのうちの該別のいくつかの中の該第 2 のワイヤに結合して、該ノーマルモード信号パスに対応する冗長モード信号パスを提供する、冗長ステッチ回路と

を備えた、プログラマブル論理デバイス。

30

【請求項 2 7】

前記ステッチ回路が、前記プログラマブル論理デバイスのノーマルモード動作中に、ノーマル信号パスに沿ってステッチングをイネーブルにするように、そして該プログラマブル論理デバイスの冗長モード動作中に、該ノーマル信号パスに沿ってステッチングをイネーブルにしないようにプログラム可能であり、

前記冗長ステッチ回路が、該プログラマブル論理デバイスの該ノーマルモード動作中に、冗長信号パスに沿ってステッチングをイネーブルにしないように、そして該プログラマブル論理デバイスの該冗長モード動作中に、該冗長信号パスに沿ってステッチングをイネーブルにするようにプログラム可能である、請求項 2 6 に記載のプログラマブル論理デバイス。

40

【請求項 2 8】

前記第 1 のワイヤと前記ステッチ回路との間に挟まれたノーマルモード接続と、

前記テールと該ステッチ回路との間に挟まれた冗長モード接続と

をさらに備え、

該ノーマルモード接続が、前記プログラマブル論理デバイスのノーマルモード動作中に該ステッチ回路への前記ノーマルモード信号パスを活性化させるようにプログラム可能であり、

該冗長モード接続が、該プログラマブル論理デバイスの冗長モード動作中に前記冗長ステッチ回路への前記冗長モード信号パスを活性化させるようにプログラム可能である、請求項 2 6 に記載のプログラマブル論理デバイス。

50

【請求項 2 9】

前記トラックバンドル内の前記トラックの数が、前記ノーマルモード信号パスの数よりも少なくとも 1 だけ大きい、請求項 2 6 に記載のプログラマブル論理デバイス。

【請求項 3 0】

前記トラックバンドル内の少なくともいくつかのトラックを前記複数の論理領域ロウのルーティングリソースに結合する、該複数の論理領域ロウ内の接続をさらに備え、

該複数の論理領域ロウの修復可能領域内の 1 つの論理領域ロウから別の論理領域ロウにかけて、該接続のパターンがオーバーラップしており、該トラックバンドルを 1 つの論理領域ロウのルーティングリソースに結合する少なくともいくつかの接続が、該トラックバンドルを別の論理領域ロウのルーティングリソースに結合する少なくともいくつかの接続に対して冗長であるようになっている、請求項 2 6 に記載のプログラマブル論理デバイス。

10

【請求項 3 1】

前記トラックバンドル内の少なくともいくつかのトラックを、前記接続を介して、前記複数の論理領域ロウの前記ルーティングリソースに結合する、該複数の論理領域ロウ内に設けられたスタブをさらに備えた、請求項 3 0 に記載のプログラマブル論理デバイス。

【請求項 3 2】

前記スタブの少なくともいくつかはさらに、前記トラックバンドル内の少なくともいくつかのトラックを前記ステッチ回路に結合し、該スタブの少なくとも他のいくつかはさらに、該トラックバンドル内の少なくともいくつかのトラックを前記冗長ステッチ回路に結合する、請求項 3 1 に記載のプログラマブル論理デバイス。

20

【請求項 3 3】

前記複数の論理領域ロウ内の前記スタブの数が、前記ノーマルモード信号パスの数よりも少なくとも 1 だけ大きい、請求項 3 2 に記載のプログラマブル論理デバイス。

【請求項 3 4】

前記複数の論理領域ロウ内の前記スタブの数が、前記ノーマルモード信号パスの数よりも少なくとも 2 だけ大きい、請求項 3 3 に記載のプログラマブル論理デバイス。

【請求項 3 5】

前記複数の論理領域ロウ内の前記スタブの数が、少なくとも前記トラックバンドル内の前記トラックの数に等しい、請求項 3 2 に記載のプログラマブル論理デバイス。

30

【請求項 3 6】

前記複数の論理領域ロウ内の前記スタブの数が、前記トラックバンドル内の前記トラックの数より少なくとも 1 だけ大きい、請求項 3 2 に記載のプログラマブル論理デバイス。

【請求項 3 7】

前記接続が、ノーマル接続と冗長接続とを含み、1 ロウ内の冗長接続が別のロウ内のノーマル接続に対して冗長である、請求項 3 0 に記載のプログラマブル論理デバイス。

【請求項 3 8】

1 ロウ内の前記冗長モード接続および少なくともいくつかのノーマルモード接続が、別のロウ内の前記ノーマルモード接続に対して冗長である、請求項 2 8 に記載のプログラマブル論理デバイス。

40

【請求項 3 9】

前記接続が、前記トラックバンドルからの信号で前記複数の論理領域ロウの前記ルーティングリソースを駆動するように結合された接続と、該複数の論理領域ロウの該ルーティングリソースからの信号で該トラックバンドルを駆動するように結合された接続とを含む、請求項 2 6 に記載のプログラマブル論理デバイス。

【請求項 4 0】

前記トラックバンドルを駆動するように結合された接続が、前記ステッチ回路を介して前記複数の論理領域ロウの前記ルーティングリソースを結合する、請求項 3 9 に記載のプログラマブル論理デバイス。

【請求項 4 1】

50

前記トラックバンドルを駆動するように結合された接続が、前記ノーマル接続と前記冗長接続とを含み、1 row内の該冗長接続および該ノーマル接続のうちの少なくともいくつかは、別のrow内の該ノーマル接続に対して冗長である、請求項 3 7 に記載のプログラマブル論理デバイス。

【請求項 4 2】

前記ステッチ回路がプログラマブルステッチドライバを含み、前記冗長ステッチ回路が冗長プログラマブルステッチドライバを含み、前記プログラマブル論理デバイスが、

該プログラマブルステッチドライバに結合されて、該プログラマブルステッチドライバを選択的にイネーブルにするか、イネーブルにしない、第1の構成エレメントと、

該冗長プログラマブルステッチドライバに結合されて、該冗長プログラマブルステッチドライバを選択的にイネーブルにするか、イネーブルにしない、第2の構成エレメントとを備え、

ノーマルドライバがイネーブルであり冗長ドライバがイネーブルでないときに、ノーマル信号パスが、該ステッチ回路によって1つのワイヤから別のワイヤにステッチングされた複数のワイヤによって提供され、

該ノーマルドライバがイネーブルでなく該冗長ドライバがイネーブルであるときに、冗長信号パスが、該冗長ステッチ回路によって1つのワイヤのテールから別のワイヤにステッチングされた複数のワイヤテールおよびワイヤによって提供される、請求項 2 6 に記載のプログラマブル論理デバイス。

【請求項 4 3】

前記複数のワイヤ上に提供された信号パスの数ならびに前記トラックバンドルの該複数のワイヤおよび前記複数のワイヤテール上に提供された冗長信号パスの数が、該トラックバンドル内の前記トラックの数より1だけ小さい、請求項 4 2 に記載のプログラマブル論理デバイス。

【請求項 4 4】

前記複数の論理領域row内で1以上の予備rowが規定され、

前記トラックバンドル内の前記複数のトラックのうちの少なくとも1つの中の前記複数のワイヤのうちの第1のワイヤが、少なくとも1つの予備rowと交差して、ノーマルモード動作中の信号を、該少なくとも1つの予備rowの各々の各側にある少なくとも1つのrowにルーティングし、

該トラックバンドル内の該複数のトラックのうちの少なくとも別の1つの中の該複数のワイヤのうちの第2のワイヤが、該第1のワイヤが交差するよりも少ない数の予備rowと交差し、

該第1のワイヤが、該第2のワイヤよりも長い物理長を有しており、該第1のワイヤの論理長が該第2のワイヤの論理長に等しい、請求項 2 6 に記載のプログラマブル論理デバイス。

【請求項 4 5】

前記第1のワイヤが1つの予備rowに交差し、前記第2のワイヤが予備rowに交差せず、該第1のワイヤの物理長が該第2のワイヤの物理長よりも1だけ長い、請求項 4 4 に記載のプログラマブル論理デバイス。

【請求項 4 6】

前記複数の論理領域row内で1以上の予備rowが規定され、

前記トラックバンドル内の前記複数のトラックのうちの少なくとも1つの中の前記複数のワイヤのうちの第1のワイヤが、少なくとも1つの予備rowと交差して、ノーマルモード動作中の信号を、該少なくとも1つの予備rowの両側にある少なくとも1つのrowにルーティングし、

該トラックバンドル内の該複数のトラックのうちの少なくとも1つの中の該複数のワイヤのうちの第2のワイヤが、該第1のワイヤが交差するよりも少ない数の予備rowと交差し、

該第1のワイヤが、該第2のワイヤと等しい物理長を有しており、該第1のワイヤの論

10

20

30

40

50

理長が該第 2 のワイヤの論理長よりも短い、請求項 2 6 に記載のプログラマブル論理デバイス。

【請求項 4 7】

ロウ内に設けられた複数の論理領域と、
マルチプレクサと
を備え、

該マルチプレクサの第 1 の入力、第 1 のロウの第 1 の論理領域に結合され、

該マルチプレクサの第 2 の入力、第 2 のロウの第 2 の論理領域に結合され、

該マルチプレクサの出力が、第 3 のロウの第 3 の論理領域に結合され、

該マルチプレクサが、該第 2 のロウがプログラマブル論理デバイスによって用いられないモードで、該第 1 の入力を選択するようにプログラムされ得る、プログラマブル論理デバイス。 10

【請求項 4 8】

前記第 1 のロウが前記第 2 のロウに隣接している、請求項 4 7 に記載のプログラマブル論理デバイス。

【請求項 4 9】

前記第 3 のロウが前記第 2 のロウに隣接している、請求項 4 8 に記載のプログラマブル論理デバイス。

【請求項 5 0】

前記プログラマブル論理デバイスの冗長モードが、ロウシフト方向を有し、 20

前記複数の論理領域のうちの論理領域が、該ロウシフト方向における下流方向に、1つの論理領域から別の論理領域に信号を提供する、請求項 4 7 に記載のプログラマブル論理デバイス。

【請求項 5 1】

前記プログラマブル論理デバイスの冗長モードが、ロウシフト方向を有し、

前記複数の論理領域のうちの論理領域が、該ロウシフト方向と反対の上流方向に、1つの論理領域から別の論理領域に信号を提供する、請求項 4 7 に記載のプログラマブル論理デバイス。

【請求項 5 2】

前記プログラマブル論理デバイスの冗長モードが、ロウシフト方向を有し、 30

前記複数の論理領域が、第 1 の複数の論理領域と、第 2 の複数の論理領域とを含み、

該第 1 の複数の論理領域の論理領域が、該ロウシフト方向における下流方向に、1つの論理領域から別の論理領域に信号を提供し、

該第 2 の複数の論理領域の論理領域が、該ロウシフト方向と反対の上流方向に、1つの論理領域から別の論理領域に信号を提供する、請求項 4 7 に記載のプログラマブル論理デバイス。

【請求項 5 3】

論理領域間に専用のルーティングおよび冗長ルーティングを提供する方法であって、

複数のロウを横切って、1つの論理領域を別の論理領域に結合する第 1 の接続を提供するステップと、 40

複数のロウを横切って、1つの論理領域を別の論理領域に結合する第 2 の接続を提供するステップと

を備え、

該第 1 の接続が、第 1 の論理領域を第 2 の論理領域に結合し、

該第 2 の接続が、該第 1 の論理領域を第 3 の論理領域に結合し、

該第 2 の論理領域が予備ロウでありノーマルモードが有効である場合に、該第 2 の接続が該第 2 の論理領域を迂回するために用いられ得るか、該第 2 の論理領域が不良ロウであり冗長モードが有効である場合に、該第 2 の接続が該第 2 の論理領域を迂回するために用いられ得る、方法。

【請求項 5 4】

請求項 1 に記載のプログラマブル論理デバイスを備えた電子システム。

【請求項 5 5】

請求項 1 5 に記載のプログラマブル論理デバイスを備えた電子システム。

【請求項 5 6】

請求項 1 9 に記載のプログラマブル論理デバイスを備えた電子システム。

【請求項 5 7】

請求項 2 6 に記載のプログラマブル論理デバイスを備えた電子システム。

【請求項 5 8】

プログラマブル論理デバイス内にルーティングおよびロウ冗長性を提供する方法であって、

複数の論理領域のロウに亘る信号パスを提供するステップであって、該信号パスが少なくとも 1 つの修復可能領域内で複数のラインに分かれる、ステップと、

修復可能領域のロウの底部に予備ロウを提供するステップと、

ノーマル動作モードにおいて該予備ロウに依存することなく該プログラマブル論理デバイスを利用するように結合された回路を提供するステップと、

該予備ロウを利用し、冗長動作モードの間に該修復可能領域内の不良ロウを回避するように結合された回路を提供するステップと、

ノーマルモードにおいて、第 1 のライン上の第 1 の位置から該複数のラインの第 2 のラインへと該複数のラインの第 1 のラインを結合し、そして第 1 のライン上の第 2 の位置から第 3 のラインへと第 1 のラインを結合するステップと、

冗長モードにおいて、該第 1 のライン上の第 3 の位置から該第 2 のラインへと該第 1 のラインを結合し、そして該第 1 のライン上の第 4 の位置から該第 2 のラインへと該第 1 のラインを結合するステップと

を含む方法。

【請求項 5 9】

プログラマブル論理デバイスであって、

論理領域のロウ内およびカラム内に提供される複数の論理領域と、

複数の水平チャネルであって、該複数の水平チャネルの各々が論理領域の複数の該カラムに亘る、複数の水平チャネルと、

複数の垂直チャネルであって、該複数の垂直チャネルの各々が論理領域の複数の該ロウに亘る、複数の垂直チャネルと

を含み、

第 1 のロウにおいて、垂直チャネルが、第 1 のノーマルモード接続によって、第 1 のカラムの論理領域および第 2 のカラムの論理領域に結合され；

水平チャネルが、第 2 のノーマルモード接続によって、該第 1 のロウの論理領域に結合され；

第 2 のロウにおいて、垂直チャネルが、該第 1 のノーマルモード接続に対して冗長な第 1 の冗長モード接続によって、該第 1 のカラムの論理領域および該第 2 のカラムの論理領域に結合され；そして

水平チャネルが、該第 2 のノーマルモード接続について冗長な第 2 の冗長モード接続によって、該第 2 のロウの論理領域に結合されている、プログラマブル論理デバイス。

【請求項 6 0】

前記冗長モード接続のうちの少なくともいくつかがまた、ノーマルモード接続である、請求項 5 9 に記載のプログラマブル論理デバイス。

【請求項 6 1】

ロウからロウへの接続のパターンが、部分的なオーバーラップを有し、その結果、前記冗長モード接続のいくらかがまた、ノーマルモード接続であり、そして該冗長モード接続のうちのいくらかが、冗長モードのみの接続である、請求項 5 9 に記載のプログラマブル論理デバイス。

10

20

30

40

50

【請求項 6 2】

プログラマブル論理デバイスであって、

複数のトラックバンドルのうちのトラックバンドルであって、該トラックバンドルは、複数のトラックを備え、該トラックバンドルにおける各トラックバンドルは、複数のワイヤ、および複数の論理領域ロウに亘るトラックバンドルにおける各トラックを含む、トラックバンドルと、

1つのトラックのワイヤを別のトラックのワイヤに結合して、ノーマルモード信号パスを提供する、ノーマルモードステッチ回路と、

1つのトラックにおけるワイヤのテールを別のトラックにおけるワイヤに結合して、冗長モード信号パスを提供する、冗長モードステッチ回路と、
を備える、プログラマブル論理デバイス。

10

【請求項 6 3】

前記ノーマルモードステッチ回路の少なくともいくらかが、前記冗長モードステッチ回路の少なくともいくらかを含む、請求項 6 2 に記載のプログラマブル論理デバイス。

【請求項 6 4】

信号パスが、上流信号パスおよび下流信号パスを含み、

上流信号パスのノーマルモードステッチ回路が、下流信号パスの冗長モードステッチ回路の少なくとも一部分を含み、そして下流信号パスのノーマルモードステッチ回路が、上流信号パスの冗長モードステッチ回路の少なくとも一部分を含む、請求項 6 2 に記載のプログラマブル論理デバイス。

20

【請求項 6 5】

ステッチ回路が、ステッチマルチプレクサおよびステッチデバイスを備え、上流信号パスのノーマルモードステッチドライバが、下流信号パスの冗長モードステッチドライバであり、そして下流信号パスのノーマルモードステッチドライバが、上流信号パスの冗長モードステッチドライバである、請求項 6 4 に記載のプログラマブル論理デバイス。

【請求項 6 6】

前記第 2 の結合手段のパターンが、ロウからロウへの重なりを部分的に意味し、その結果、1つのロウにおける少なくともいくらかの接続が、別のロウにおける少なくともいくらかの接続のための冗長性を提供する、請求項 1 8 に記載のプログラマブル論理デバイス。

30

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、冗長回路を有するプログラマブル論理回路に関する。

【0002】**【従来の技術】**

プログラマブル論理回路（“PLD”）（これは、しばしばPAL、PLA、FPLA、EPLD、EEPLD、LCA、またはFPGAとも呼ばれる）は、固定集積回路の利点にカスタム集積回路の柔軟性を提供する周知の集積回路である。このようなデバイスは当該分野で周知であり、通常、ユーザの特定の要求を満たすように電氣的にプログラムされ得る少なくとも一部分を有する「既製の」デバイスを提供する。特定用途向け集積回路（“ASIC”）は、伝統的には固定集積回路である。しかし、プログラマブルである部分（単数または複数）を有するASICを提供することは可能である。従って、集積回路デバイスがASICおよびPLDの両方の品質を有することが可能である。本明細書中で用いられる用語PLDは、上記のようなデバイスを必然的に排除しないように十分に広いと考えられる。

40

【0003】

あらゆる集積回路と同様に、プログラマブル論理回路は、製造上の欠陥に影響を受けやすい。歩留まりを向上させるために、プログラマブル論理回路に予備回路または冗長回路が設けられ得る。修復可能な領域において、不良のロウ（予備ロウを含む）の下にある各ロ

50

ウは、その各ロウの上にあるロウに接続パターンを複製するために使用され得るプログラマブル接続を有する（例えば、特許文献1および特許文献2参照。）。

【0004】

プログラマブル論理回路は、通常論理アレイブロック（LAB）（これは、順番に論理要素を含む）のような論理領域から構成される。信号パスを形成する垂直方向および水平方向の導体にわたって論理領域へ、および論理領域から信号のルーティングがなされる。例えば、パスゲート、マルチプレクサ（複数）（“muxes”）、およびドライバを含む特定の回路を用いて結合し、そして信号を水平方向または垂直方向のワイヤ上に駆動する。あるいは、水平方向または垂直方向のワイヤから信号を受信し、それらを論理領域に駆動する。水平方向のワイヤ、垂直方向のワイヤ、および論理領域の間で接続を形成する回路は、プログラマブルであってもよい。プログラマブル接続の1つの例は、ランダムアクセスメモリビット回路に結合されたパスゲートである。このパスゲートは、垂直方向のワイヤを論理領域の入力マルチプレクサにプログラマブルに接続している。パスゲートは、メモリビットのデータに依存して開いたり閉じたりする。しかし、これは正に1つの例に過ぎない。いくつかの例は、スタティックランダムアクセスメモリまたはダイナミックランダムアクセスメモリに基づいた接続、電氣的に消去可能なリードオンリーメモリ、フラッシュ、ヒューズ、およびアンチヒューズプログラマブル接続を含み得る。プログラマブル接続はまた、デバイスの作製中にマスクプログラミングを介して実行され得る。マスクプログラミングは、既に列挙したいくつかのフィールドプログラマブルオプションに対して欠点を有し得る。その一方で、マスクプログラミングは、ある高容量の用途には有益であり得る。

10

20

【0005】

水平方向のワイヤは、特定の論理領域ロウ内に通常存在する、または特定の論理領域ロウに関連する信号パスを形成し得る。従って、ロウベースの冗長スキームにおいて、予備ロウが使用される場合、水平方向のワイヤおよび予備ロウの上にあるロウの論理領域への、およびロウの論理領域からの関連した接続が、予備ロウの水平方向のワイヤおよび論理領域への、および論理領域からの関連した接続で置き換えられる。垂直方向のワイヤは、通常数個のロウにかかり、あるいはデバイス上のすべてのロウにかかっている。冗長性を有する以前のPLDは、デバイスの全部または半分にかかる垂直方向のワイヤを有していた。垂直方向のワイヤの長さよりも長くない修復可能な領域は、その修復可能な領域内の各ロウにおいて同じ垂直方向のワイヤへ、および垂直方向のワイヤからの接続に頼る。

30

【0006】

【特許文献1】

米国特許第6,201,404号明細書

【0007】

【特許文献2】

米国特許第6,344,755号明細書

【0008】

【発明が解決しようとする課題】

40

柔軟性のルーティング、そして特定の因子に対して最適化することについて、デバイスの大部分にわたる水平方向および垂直方向のワイヤに頼らないルーティングアーキテクチャを提供することは、ある状況においては有益であり得る。特に、ルーティングアーキテクチャを提供し、それにより例えば垂直方向の信号パスが信号パスそれ自身よりもかなり短い複数のいくつかのワイヤから構成されることが望ましくあり得る。このようなアーキテクチャのある局面が、2002年1月25日に出願された“System and Method for Asymmetric Routing Lines”というタイトルの同時係属出願（シリアル番号10/057,232）に記載されており、この出願は本願と共通の譲渡証書をもとにしている。セグメント化されたルーティングアーキテクチャにおいて、垂直方向の信号パスは、デバイスの上下のいくつかの場所で、2つ以上のロ

50

ウの間で複数のワイヤに割り込まれ得る。さらに、たとえ特定の信号パスが2つの特定のロウの間で複数のワイヤに割り込まれないとしても、セグメント化されたルーティングアーキテクチャはまた互い違いに配列されると（すなわち、隣接する垂直方向の信号パスは、同じ垂直方向の位置ではなく異なる位置で開始および停止するワイヤを有する）、いくつかの異なる信号パスに触れられたロウを横切り、任意の所与のロウについて、垂直方向の信号パスの少なくとも1つは、当該ロウと隣接するロウとの間に複数のロウを含むようである。このようなルーティングアーキテクチャは、冗長性の実行に対する特定の説明の要求を示した。例えば、このようなアーキテクチャに適応させるために、修復可能領域内で開始および停止する垂直方向のワイヤを有する修復可能領域を提供する必要性がある。冗長性に適応する回路をも有する互い違いに配列されセグメント化されたルーティングアーキテクチャをPLDに提供する必要性がある。

10

【0009】

互い違いに配列されセグメント化されたIOルーティングアーキテクチャは、入力／出力（“IO”）パス上で信号をルーティングするために有用であり得る。PLDのサイドにおいて、論理領域のロウの終端でのIOは、水平方向のIO（“HIO”）と呼ばれ得る。IO回路（HIO回路を含む）は、ユニットにおいて組織化され得、しばしばブロックと呼ばれ得る（これらのユニットは、しばしば他の名称（例えば、セル、セグメント、領域、または正に“IO”）と呼ばれ得る）。HIOパスの垂直方向の信号パスは、IOブロックのいくつかのロウにかかり得る。IOパス上でルーティングされた信号は、しばしば高いファンアウト信号であり、これは、例えば同じ信号がいくつかの異なるIOに送達されることを意味する。互い違いに配列されセグメント化されたルーティング構造に適応し、そしてIO信号の特定の必要性にも適応し得るIOパスの冗長性スキームに対する必要性がある。

20

【0010】

いくつかの状況において、特定のロウまたはカラムの論理領域を直接リンクすることだけを行うルーティングスキームを提供することは有用である。このようなLAB間専用ルーティングスキームは、PLDのより一般的なルーティングアーキテクチャとは独立して、かつそれらに加えて存在し得る。例えば、米国特許第5,260,611号を参照のこと。これらのLAB間ルーティングスキームにより、LABのグループが、例えば特定のタイプの機能を実行するためのより大きな機能ブロックを提供するためにリンクされることが可能となる。キャリーチェーン（carry chain）は、このような専用のブロックによって有用に実行される機能の1つのタイプであるが、しかし専用のLAB間ルーティングは他のルーティング目的に有用であり得る。ロウベースの冗長性スキームのうち複数のロウにかかる垂直方向のLAB間ルーティングアーキテクチャについての冗長性を実行する必要性がある。

30

【0011】

【課題を解決するための手段】

本発明によるプログラマブル論理回路は、複数の信号パスであって、該複数の信号パスの各々が複数の論理領域ロウに亘り、該複数の信号パスの各々が複数のラインを含む、複数の信号パスと、該複数の信号パスの第1のラインを該複数の信号パスの第2のラインに結合するノーマルモードステッチ回路と、該複数の信号パスの該第1のラインのテールを該複数の信号パスの該第2のラインに結合する冗長モードステッチ回路とを含み、これにより上記目的を達成する。

40

【0012】

少なくとも1つのノーマルモード接続を含む第1の組の接続であって、該第1の組の接続が該複数の信号パスの該第1のラインを結合して論理領域ロウを駆動する、第1の組の接続と、少なくとも1つの冗長モード専用接続を含む第2の組の接続であって、該第2の組の接続が該複数の信号パスの該第1のラインの前記テールを結合して他の論理領域ロウを駆動し、該第2の組の接続が該第1の組の接続について冗長である、第2の組の接続とをさらに含んでもよい。

50

【0013】

それぞれの論理領域ロウを結合して前記複数の信号パスを駆動する少なくとも1つのノーマルモード接続を含む第1の組の接続と、少なくとも1つの冗長モード接続を含む第2の組の接続であって、該第2の組の接続が他の論理領域ロウを結合して該複数の信号パスを駆動し、該第2の組の接続が該第1の組の接続について冗長である、第2の組の接続とをさらに含んでもよい。

【0014】

前記第2の組の接続内の全ての接続が冗長モード専用接続であってもよい。

【0015】

前記ノーマルモードステッチ回路は、前記複数の信号パスのステッチマルチプレクサおよびステッチドライバを含み、前記冗長モードステッチ回路は、該複数の信号パスの冗長モードステッチマルチプレクサおよび冗長モードステッチドライバを含んでもよい。

10

【0016】

前記複数の信号パスは、第1の信号パスであり、該第1の信号パスの前記冗長モードステッチマルチプレクサは、また、第2の信号パスのステッチマルチプレクサでもあってもよい。

【0017】

前記プログラマブル論理回路の冗長モードが、ロウシフト方向を有し、前記複数の信号パスのうちのいくつかは、該ロウシフト方向に対して下流にあり、該複数の信号パスのうちの他のいくつかは、該ロウシフト方向と逆の上流にあってもよい。

20

【0018】

前記ノーマルモードステッチ回路が、前記複数の信号パスのステッチマルチプレクサおよびステッチドライバを含み、前記冗長モードステッチ回路が、該複数の信号パスの冗長モードステッチマルチプレクサおよび冗長モードステッチドライバを含み、第1のロウにおいて、上流信号パスのステッチドライバおよび下流信号パスの冗長ステッチドライバが、第1のマルチプレクサの出力に結合され、該第1のマルチプレクサが、該上流信号パスのステッチマルチプレクサおよび該下流信号パスの冗長ステッチマルチプレクサであり、第2のロウにおいて、該下流信号パスのステッチドライバおよび該上流信号パスの冗長ステッチドライバが、第2のマルチプレクサの出力に結合され、該第2のマルチプレクサが、該下流信号パスのステッチマルチプレクサおよび該上流信号パスの冗長ステッチマルチプレクサであってもよい。

30

【0019】

前記第1のロウが前記第2のロウに隣接してもよい。

【0020】

ノーマルモードステッチ回路が、前記複数の信号パスのステッチマルチプレクサおよびステッチドライバを含み、前記冗長モードステッチ回路が、該複数の信号パスの冗長モードステッチマルチプレクサおよび冗長モードステッチドライバを含んでもよい。

【0021】

前記複数の信号パスが第1の信号パスであり、該第1の信号パスの前記冗長ステッチマルチプレクサは、第2の信号パスのステッチマルチプレクサでもあってもよい。

40

【0022】

前記第2の組の接続の前記冗長モード接続のうちの少なくともいくつかは、前記第1の信号パスの前記冗長ステッチマルチプレクサを介して前記第2の信号パスを駆動するように結合されたノーマルモード接続でもあってもよい。

【0023】

本発明によるプログラマブル論理回路内にルーティングおよびロウ冗長性を提供する方法は、複数の論理領域のロウに亘る信号パスを提供するステップであって、該信号パスが少なくとも1つの修復可能領域内で複数のラインに分かれる、ステップと、修復可能領域のロウの底部に予備ロウを提供するステップと、ノーマル動作モードにおいて該予備ロウに依存することなく該プログラマブル論理回路を利用するように結合された回路を提供する

50

ステップと、該予備ロウを利用し、冗長動作モードにおいて該修復可能領域内の不良を回避するように結合された回路を提供するステップと、ステッチングが、該冗長動作モードにおいて該不良ロウの下に該修復可能領域の少なくとも一部分内においてシフトされるように、冗長ステッチ回路を介して該複数のラインのうちの第1のラインを該複数のラインのうちの第2のラインに結合する該複数のラインのうちの該第1のラインのテール部分を提供するステップとを含み、これにより上記目的を達成する。

【0024】

前記修復可能領域内の前記ロウの少なくとも所定のロウの、第1のロウからロウへの接続を提供するステップをさらに含み、該第1の接続が信号パスを結合して、該ロウの少なくとも所定のロウ内の論理リソースを駆動し、前記ロウのうちの少なくとも所定のロウの、該第1のロウからロウへの接続のパターンは、1つのロウ内の該第1の接続のうちの少なくともいくつか、別のロウ内の該第1の接続のうちの少なくともいくつかについて冗長となるように、オーバーラップを有してもよい。

10

【0025】

前記修復可能領域内の前記ロウの少なくとも所定のロウの、第1のロウからロウへの接続を提供するステップをさらに含み、該第1の接続が該ロウの少なくとも所定のロウ内の論理リソースを結合して、信号パスを駆動し、該ロウのうちの少なくとも所定のロウの、該第1のロウからロウへの接続のパターンは、1つのロウ内の該第1の接続のうちの少なくともいくつか、別のロウ内の該第1の接続のうちの少なくともいくつかについて冗長となるように、オーバーラップを有してもよい。

20

【0026】

本発明によるプログラマブル論理回路は、修復可能領域内で分かれた垂直ラインを含む相互接続手段と、論理領域と、該相互接続手段を該論理領域に結合する手段と、ノーマルモードにおいて、該相互接続手段の垂直ライン間の切り換えを行う第1の手段と、冗長モードにおいて、該相互接続手段の垂直ライン間の切り換えを行う第2の手段とを含み、これにより上記目的を達成する。

【0027】

前記相互接続手段を前記論理領域に結合する手段が、該相互接続手段から論理領域を駆動する第1の結合手段と、該論理領域から相互接続手段を駆動する第2の結合手段とを含み、ロウからロウへの結合を行う該第1および第2の手段のパターンは、1つのロウ内の少なくともいくつかの接続が、別のロウ内の少なくともいくつかの接続について冗長性を提供するようになっているもよい。

30

【0028】

本発明によるプログラマブル論理回路は、複数のラインであって、該複数のラインの各々が複数の論理領域ロウに亘る、複数のラインと、少なくとも1つのノーマルモード接続を含む第1の組の接続であって、該第1の組の接続が該複数のラインを結合して論理領域ロウを駆動する、第1の組の接続と、少なくとも1つの冗長モード専用接続を含む第2の組の接続であって、該第2の組の接続が信号パスの第1のラインのテールを結合して他の論理領域ロウを駆動し、該第2の組の接続が該第1の組の接続について冗長である、第2の組の接続とを含み、これにより上記目的を達成する。

40

【0029】

前記複数のラインが第1のラインおよび第2のラインを含み、前記プログラマブル論理回路が、該第1のライン上の第1の位置から該第2のラインへと該第1のラインを結合してノーマルモード信号パスを提供する、ノーマルモードステッチ回路と、該第1のライン上の第2の位置から該第2のラインへと該第1のラインを結合して、ノーマルモード信号パスについて冗長である信号パスを提供する、冗長モードステッチ回路とをさらに含んでもよい。

【0030】

前記複数のラインが第3のラインをさらに含み、前記プログラマブル論理回路が、前記第1のライン上の第3の位置から第3のラインへと該第1のラインを結合して、さらなるノ

50

ーマルモード信号パスを提供する、さらなるノーマルモードステッチ回路と、第4の位置から該第3のラインへと該第1のラインを結合して、さらなるノーマルモード信号パスについて冗長なさらなる信号パスを提供する、さらなる冗長モードステッチ回路とをさらに含んでもよい。

【0031】

前記第1のライン上の前記第1および第3の位置が同じであり、該第1のライン上の前記第2および第4の位置が同じであってもよい。

【0032】

本発明によるプログラマブル論理回路は、複数のラインであって、該複数のラインの各々が複数の論理領域ロウに亘り、該複数のラインが第1のラインおよび第2のラインを含む、複数のラインと、論理領域ロウを結合して該第1のラインを駆動する少なくとも1つのノーマルモード接続を含む第1の組の接続と、少なくとも1つの冗長モード接続を含む第2の組の接続であって、該第2の組の接続が他の論理領域ロウを結合して該第2のラインを駆動し、該第2の組の接続が該第1の組の接続について冗長である、第2の組の接続とを含み、これにより上記目的を達成する。

10

【0033】

前記第1のライン上の第1の位置から前記第2のラインへと該第1のラインを結合して、ノーマルモード信号パスを提供するノーマルモードステッチ回路と、該第1のライン上の第2の位置から該第2のラインへと該第1のラインを結合して、該ノーマルモード信号パスについて冗長である信号パスを提供する冗長モードステッチ回路とをさらに含んでもよい。

20

【0034】

前記複数のラインが第3のラインをさらに含み、前記プログラマブル論理回路が、前記第1のライン上の第3の位置から第3のラインへと該第1のラインを結合して、さらなるノーマルモード信号パスを提供する、さらなるノーマルモードステッチ回路と、該第1のライン上の第4の位置から該第3のラインへと該第1のラインを結合して、該さらなるノーマルモード信号パスについて冗長なさらなる信号パスを提供する、さらなる冗長モードステッチ回路とをさらに含んでもよい。

【0035】

前記第1のライン上の前記第1および第3の位置が同じであり、該第1のライン上の前記第2および第4の位置が同じであってもよい。

30

【0036】

本発明によるプログラム可能論理内にルーティングおよびロウ冗長性を提供する方法は、論理領域の複数のロウに亘る信号パスを提供するステップであって、該信号パスが少なくとも1つの修復可能領域内で複数のラインに分かれる、ステップと、修復可能領域のロウの底部に予備ロウを提供するステップと、ノーマル動作モードにおいて該予備ロウに依存することなく該プログラマブル論理回路を利用するように結合された回路を提供するステップと、該予備ロウを利用し、冗長動作モードの間に該修復可能領域内の不良を回避するように結合された回路を提供するステップと、該修復可能領域内の該ロウの少なくとも所定のロウの、第1のロウからロウへの接続を提供するステップとを含み、該第1の接続が信号パスを結合して、該ロウの少なくとも所定のロウ内の論理リソースを駆動し、該ロウのうちの少なくとも所定のロウの、該第1のロウからロウへの接続のパターンは、1つのロウ内の該第1の接続のうちの少なくともいくつか、別のロウ内の該第1の接続のうちの少なくともいくつかについて冗長となるように、オーバーラップを有し、これにより上記目的を達成する。

40

【0037】

前記修復可能領域内の前記ロウの少なくとも所定のロウの、第2のロウからロウへの接続を提供するステップをさらに含み、該第2の接続が該ロウの少なくとも所定のロウ内の論理リソースを結合して、信号パスを駆動し、該ロウのうちの少なくとも所定のロウの、該第2のロウからロウへの接続のパターンは、1つのロウ内の前記第1の接続のうちの少な

50

くともいくつか、別のロウ内の該第1の接続のうちの少なくともいくつかについて冗長となるように、オーバーラップを有してもよい。

【0038】

本発明によるプログラム可能論理内にルーティングおよびロウ冗長性を提供する方法は、論理領域の複数のロウに亘る信号パスを提供するステップであって、該信号パスが少なくとも1つの修復可能領域内で複数のラインに分かれる、ステップと、修復可能領域のロウの底部に予備ロウを提供するステップと、ノーマル動作モードにおいて該予備ロウに依存することなく該プログラマブル論理回路を利用するように結合された回路を提供するステップと、該予備ロウを利用し、冗長動作モードの間に該修復可能領域内の不良を回避するように結合された回路を提供するステップと、ノーマルモードにおいて、第1のライン上の第1の位置から該複数のラインの第2のラインへと該複数のラインの第1のラインを結合するステップと、冗長モードにおいて、該第1のライン上の第2の位置から該第2のラインへと該第1のラインを結合するステップとを含み、これにより上記目的を達成する。

10

【0039】

前記第1のラインを第3のラインに結合するステップをさらに含んでもよい。

【0040】

ノーマルモードにおいて、前記第1のラインが、該第1のライン上の第3の位置から前記第3のラインに結合され、冗長モードにおいて、該第1のラインが、該第1のライン上の第4の位置から前記第3のラインに結合されてもよい。

【0041】

前記第1のライン上の前記第1および第3の位置が同じであり、該第1のライン上の前記第2および第4の位置が同じであってもよい。

20

【0042】

本発明によるプログラマブル論理回路は、修復可能領域内で分かれた垂直ラインを含む相互接続手段と、論理領域と、該相互接続手段を該論理領域に結合する手段とを含み、該相互接続手段を該論理領域に結合する手段が、該相互接続手段から論理領域を駆動する第1の結合手段と、該論理領域から該相互接続手段を駆動する第2の結合手段とを含み、ロウからロウへの結合を行う該第1および第2の手段のパターンは、1つのロウ内の少なくともいくつかの接続が、別のロウ内の少なくともいくつかの接続について冗長性を提供するようになっており、これにより上記目的を達成する。

30

【0043】

本発明によるプログラマブル論理回路は、複数の信号パスのうちの第1の信号パスであって、該複数の信号パスの各々が複数の論理領域ロウに亘り、複数のラインを含み、該第1の信号パスが、第1のラインおよび第2のラインを含む複数のラインを含む、第1の信号パスと、該第1のラインを該第2のラインに結合する第1のステッチ回路と、該第1のラインのテールを該第2のラインに結合する第1の冗長ステッチ回路と、該第1のラインを第1の論理領域ロウのルーティングリソースに結合する第1の組の接続と、該第1のラインの該テールを第2の論理領域ロウのルーティングリソースに結合する第2の組の接続と、複数の論理領域ロウに亘る第2の信号パスであって、該第2の信号パスが、第3のラインおよび第4のラインを含む複数のラインを含む、第2の信号パスと、該第3のラインを該第4のラインに結合する第2のステッチ回路であって、該第2のステッチ回路の少なくとも一部分が、該第1の冗長ステッチ回路の少なくとも一部分を含む、第2のステッチ回路と、該第3のラインのテールを該第4のラインに結合する第2の冗長ステッチ回路と、該第3のラインを該第2の論理領域ロウのルーティングリソースに結合する第3の組の接続と、該第3のラインのテールを該第3の論理領域ロウのルーティングリソースに結合する第4の組の接続とを含み、該第2の組の接続のパターンおよび該第1の組の接続のパターンは、該第2の組の接続が、該第1の組の該接続のうちの少なくともいくつかについて冗長になるようにオーバーラップを有し、該第4の組の接続のパターンおよび該第3の組の接続のパターンは、該第4の組の接続が、該第3の組の該接続のうちの少なくともいくつかについて冗長になるようにオーバーラップを有し、これにより上記目的を達成する。

40

50

【0044】

複数の論理領域ロウに亘る第3の信号パスであって、該第3の信号パスが、第5のラインおよび第6のラインを含む複数のラインを含む、第3の信号パスと、該第5のラインを該第6のラインに結合する第3のステッチ回路であって、該第3のステッチ回路の少なくとも一部分が前記第2の冗長ステッチ回路の少なくとも一部分を含む、第3のステッチ回路とをさらに含んでもよい。

【0045】

前記第1のステッチ回路が、第1のドライバに結合された第1のマルチプレクサを含み、該第1のマルチプレクサの入力が前記第1のラインに結合され、該第1のドライバの出力が前記第2のラインに結合され、前記第1の冗長ステッチ回路が、第1の冗長ドライバに結合された第1の冗長マルチプレクサを含み、該第1の冗長マルチプレクサの入力が該第1のラインの前記テールに結合され、該第1の冗長ドライバの出力が該第2のラインに結合され、前記第2のステッチ回路が、第2のドライバに結合された第2のマルチプレクサを含み、該第2のマルチプレクサの入力が前記第3のラインに結合され、該第2のドライバの出力が前記第4のラインに結合され、該第2のマルチプレクサが該第1の冗長マルチプレクサであり、前記第2の冗長ステッチ回路が、第2の冗長ドライバに結合された第2の冗長マルチプレクサを含み、該第2の冗長マルチプレクサの入力が該第3のラインの前記テールに結合され、該第2の冗長ドライバの出力が該第4のラインに結合され、前記第3のステッチ回路が、第3のドライバに結合された第3のマルチプレクサを含み、該第3のマルチプレクサの入力が前記第5のラインに結合され、該第3のドライバの出力が前記第6のラインに結合され、該第3のマルチプレクサが該第2の冗長マルチプレクサであってもよい。

【0046】

前記第1の論理領域ロウのルーティングリソースを前記第1のステッチ回路に結合する第5の組の接続と、前記第2の論理領域ロウのルーティングリソースを前記第1の冗長ステッチ回路に結合する第6の組の接続と、該第2の論理領域ロウのルーティングリソースを前記第2のステッチ回路に結合する第7の組の接続と、前記第3の論理領域ロウのルーティングリソースを前記第2の冗長ステッチ回路に結合する第8の組の接続と、該第6の組の該接続の少なくともいくつかが該第5の組の該接続のうちの少なくともいくつかについて冗長であるようなオーバーラップを有する、該第6の組の接続のパターンおよび該第5の組の接続のパターンと、該第8の組の該接続の少なくともいくつかが該第7の組の該接続のうちの少なくともいくつかについて冗長であるようなオーバーラップを有する、該第8の組の接続のパターンおよび該第7の組の接続のパターンとをさらに含んでもよい。

【0047】

前記第1の組の接続によって結合された前記ルーティングリソースおよび前記第2の組の接続によって結合された前記ルーティングリソースが結合されて、前記第1の信号パスからの信号によって駆動され、前記第3の組の接続によって結合された前記ルーティングリソースおよび前記第4の組の接続によって結合された前記ルーティングリソースが結合されて、前記第2の信号パスからの信号によって駆動され、前記第5の組の接続によって結合された前記ルーティングリソースおよび前記第6の組の接続によって結合された前記ルーティングリソースが結合されて、該第1または第2の信号パスへの信号を駆動し、前記第7の組の接続によって結合された前記ルーティングリソースおよび前記第8の組の接続によって結合された前記ルーティングリソースが結合されて、該第2または第3の信号パスへの信号を駆動してもよい。

【0048】

前記第6の組の接続の前記パターンと前記第5の組の接続の前記パターンとのオーバーラップは、該第6の組の接続のいくつか、該第5の組の接続のいくつかについて冗長となるように部分的であり、前記第8の組の接続の前記パターンと前記第7の組の接続の前記パターンとのオーバーラップは、該第8の組の接続のいくつか、該第7の組の接続のいくつかについて冗長となるように部分的であってもよい。

10

20

30

40

50

【0049】

前記第1のロウが前記第2のロウに隣接し、該第2のロウが前記第3のロウに隣接してもよい。

【0050】

本発明によるプログラマブル論理回路は、1つの信号パスのルーティングライン間のステッチを行うノーマルモード手段と、別の信号パスのルーティングライン間のステッチを行う冗長モード手段とを含み、該ノーマルモード手段の一部分が、該冗長モード手段の一部分でもあり、これにより上記目的を達成する。

【0051】

本発明によるプログラマブル論理回路は、論理領域のロウ内に提供される複数の論理領域と、論理領域の該ロウ内に提供される複数の水平チャンネルと、複数の垂直チャンネルであって、該複数の垂直チャンネルの各々が論理領域の複数の該ロウに亘る、複数の垂直チャンネルとを含み、第1のロウの論理領域が、ノーマルモード接続の組によって、該第1のロウの第1の垂直チャンネル、第2の垂直チャンネル、および第1の水平チャンネルに結合され、冗長モード接続の組がノーマルモード接続の該組について冗長となるように、第2のロウ内の論理領域が、冗長モード接続の該組によって、該第2のロウの、該第1の垂直チャンネル、該第2の垂直チャンネル、および第1の水平チャンネルに結合され、これにより上記目的を達成する。

10

【0052】

冗長モード接続の群内の少なくともいくつかの接続が、ノーマルモード接続であってもよい。

20

【0053】

前記第1のロウが前記第2のロウに隣接してもよい。

【0054】

本発明によるプログラマブル論理回路は、論理領域に結合された、3面ルーティング手段と、論理領域に結合された、3面冗長ルーティング手段とを含み、これにより上記目的を達成する。

【0055】

本発明による集積回路は、ロウおよびカラム状に配列された論理リソースのアレイと、該論理リソースのうちの少なくともいくつかの論理リソースを互いに結合する相互接続であって、該相互接続が、該集積回路の修復可能領域内で分かれた相互接続を含む、相互接続と、適切に機能しない論理の一部分が置換可能である、1つ以上の修復可能領域を提供する冗長論理リソースおよび冗長相互接続とを含み、これにより上記目的を達成する。

30

【0056】

ロウの論理リソースまたは相互接続が適切に機能しない場合、該ロウが不良ロウになり、ロウ内の冗長リソースおよび予備ロウから不良ロウへの相互接続が、ロウのシフティングを調整して、該不良ロウを置換して、該予備ロウを利用してもよい。

【0057】

ノーマル動作において相互接続ラインを結合するために使用されるノーマル切り換えリソースが、冗長動作において他の相互接続ラインを結合するために用いられる冗長切り換えリソースと共有されてもよい。

40

【0058】

前記冗長相互接続が、該相互接続ラインの物理長を延ばす該相互接続ラインのテールを含み、それにより、該相互接続ラインの論理長が、ノーマルから冗長動作への変化を行わなくてもよい。

【0059】

任意の数の予備ロウを用いて、任意の数の修復可能領域を規定してもよい。

【0060】

前記相互接続が、3つの側部の上の前記論理リソースに結合されて、信号が該論理リソースに入力され且つ信号が該論理リソースから出力されることを可能にしてもよい。

50

【0061】

本発明による集積回路にルーティングおよび冗長性を提供する方法は、該集積回路の少なくともいくつかの論理リソースを互いに結合する相互接続であって、該集積回路の修復可能領域内で分かれた相互接続ラインを含む相互接続を提供するステップと、1以上の修復可能領域を提供する冗長論理リソースおよび冗長相互接続を提供するステップと、いずれかの論理が適切に機能していないかどうかを判定するステップと、該冗長論理リソースおよび冗長相互接続を用いて適切に機能していない論理を取り換えるするステップとを包含し、これにより上記目的を達成する。

【0062】

ロウの論理リソースまたは相互接続が適切に機能しておらず該ロウが不良ロウとなっている場合に、前記冗長論理リソースおよび冗長相互接続を用いるステップが、該不良ロウから予備ロウまで1ロウ毎に、ロウのプログラミングを該不良ロウから1ロウ分予備ロウ方向にシフトさせ、ノーマルモードにおける場合と同数のロウが冗長モードで提供されるようにするステップと、各ロウ内において冗長であるリソースを、別のロウ内のリソース用に用いるステップとを包含してもよい。

10

【0063】

前記冗長論理リソースおよび冗長相互接続を用いるステップが、前記不良ロウから予備ロウまで1ロウ毎に、第1の相互接続ラインのテールを用いて該第1の相互接続ラインと第2の相互接続ラインとの間の接続を、1ロウから別のロウにシフトするステップをさらに包含してもよい。

20

【0064】

前記相互接続ラインは、ノーマルモードロウの回路を置換する任意の数の予備ロウが、必要な冗長回路を提供することによって限界まで規定され得、該限界が、前記集積回路上のリソースアレイ内のノーマルモードロウの数に等しくなるように配置されていてもよい。

【0065】

本発明によるプログラマブル論理回路は、複数のトラックバンドルのうちのトラックバンドルであって、該トラックバンドルが複数のトラックを含み、該トラックバンドル内の各トラックが複数のワイヤを含み、該トラックバンドル内の各トラックが複数の論理領域ロウに亘る、トラックバンドルと、該トラックバンドル内の該トラックのうちのいくつかの中の第1のワイヤを、該トラックバンドル内の該複数のトラックのうちの別のいくつかの中の第2のワイヤを結合して、ノーマルモード信号パスを提供する、ステッチ回路と、該トラックバンドル内の該複数のトラックのうちの該いくつかの中の該第1のワイヤのテールを、該トラックバンドル内の該複数のトラックのうちの該別のいくつかの中の該第2のワイヤに結合して、該ノーマルモード信号パスに対応する冗長モード信号パスを提供する、冗長ステッチ回路とを備え、これにより上記目的を達成する。

30

【0066】

前記ステッチ回路が、前記プログラマブル論理回路のノーマルモード動作中に、ノーマル信号パスに沿ってステッチングをイネーブルにするように、そして該プログラマブル論理回路の冗長モード動作中に、該ノーマル信号パスに沿ってステッチングをイネーブルにしないようにプログラム可能であり、前記冗長ステッチ回路が、該プログラマブル論理回路の該ノーマルモード動作中に、冗長信号パスに沿ってステッチングをイネーブルにしないように、そして該プログラマブル論理回路の該冗長モード動作中に、該冗長信号パスに沿ってステッチングをイネーブルにするようにプログラム可能であってもよい。

40

【0067】

前記第1のワイヤと前記ステッチ回路との間に挟まれたノーマルモード接続と、前記テールと該ステッチ回路との間に挟まれた冗長モード接続とをさらに備え、該ノーマルモード接続が、前記プログラマブル論理回路のノーマルモード動作中に該ステッチ回路への前記ノーマルモード信号パスを活性化させるようにプログラム可能であり、該冗長モード接続が、該プログラマブル論理回路の冗長モード動作中に前記冗長ステッチ回路への前記冗長モード信号パスを活性化させるようにプログラム可能であってもよい。

50

【0068】

前記トラックバンドル内の前記トラックの数が、前記ノーマルモード信号パスの数よりも少なくとも1だけ大きくてもよい。

【0069】

前記トラックバンドル内の少なくともいくつかのトラックを前記複数の論理領域ロウのルーティングリソースに結合する、該複数の論理領域ロウ内の接続をさらに備え、該複数の論理領域ロウの修復可能領域内の1つの論理領域ロウから別の論理領域ロウにかけて、該接続のパターンがオーバーラップしており、該トラックバンドルを1つの論理領域ロウのルーティングリソースに結合する少なくともいくつかの接続が、該トラックバンドルを別の論理領域ロウのルーティングリソースに結合する少なくともいくつかの接続に対して冗長であるようになっていてもよい。

10

【0070】

前記トラックバンドル内の少なくともいくつかのトラックを、前記接続を介して、前記複数の論理領域ロウの前記ルーティングリソースに結合する、該複数の論理領域ロウ内に設けられたスタブをさらに備えてもよい。

【0071】

前記スタブの少なくともいくつかはさらに、前記トラックバンドル内の少なくともいくつかのトラックを前記ステッチ回路に結合し、該スタブの少なくとも他のいくつかはさらに、該トラックバンドル内の少なくともいくつかのトラックを前記冗長ステッチ回路に結合してもよい。

20

【0072】

前記複数の論理領域ロウ内の前記スタブの数が、前記ノーマルモード信号パスの数よりも少なくとも1だけ大きくてもよい。

【0073】

前記複数の論理領域ロウ内の前記スタブの数が、前記ノーマルモード信号パスの数よりも少なくとも2だけ大きくてもよい。

【0074】

前記複数の論理領域ロウ内の前記スタブの数が、少なくとも前記トラックバンドル内の前記トラックの数に等しくてもよい。

【0075】

前記複数の論理領域ロウ内の前記スタブの数が、前記トラックバンドル内の前記トラックの数より少なくとも1だけ大きくてもよい。

30

【0076】

前記接続が、ノーマル接続と冗長接続とを含み、1ロウ内の冗長接続が別のロウ内のノーマル接続に対して冗長であってもよい。

【0077】

1ロウ内の前記冗長モード接続および少なくともいくつかのノーマルモード接続が、別のロウ内の前記ノーマルモード接続に対して冗長であってもよい。

【0078】

前記接続が、前記トラックバンドルからの信号で前記複数の論理領域ロウの前記ルーティングリソースを駆動するように結合された接続と、該複数の論理領域ロウの該ルーティングリソースからの信号で該トラックバンドルを駆動するように結合された接続とを含んでもよい。

40

【0079】

前記トラックバンドルを駆動するように結合された接続が、前記ステッチ回路を介して前記複数の論理領域ロウの前記ルーティングリソースを結合してもよい。

【0080】

前記トラックバンドルを駆動するように結合された接続が、前記ノーマル接続と前記冗長接続とを含み、1ロウ内の該冗長接続および該ノーマル接続のうちの少なくともいくつかは、別のロウ内の該ノーマル接続に対して冗長であってもよい。

50

【0081】

前記ステッチ回路がプログラマブルステッチドライバを含み、前記冗長ステッチ回路が冗長プログラマブルステッチドライバを含み、前記プログラマブル論理回路が、該プログラマブルステッチドライバに結合されて、該プログラマブルステッチドライバを選択的にイネーブルにするか、イネーブルにしない、第1の構成エレメントと、該冗長プログラマブルステッチドライバに結合されて、該冗長プログラマブルステッチドライバを選択的にイネーブルにするか、イネーブルにしない、第2の構成エレメントとを備え、ノーマルドライバがイネーブルであり冗長ドライバがイネーブルでないときに、ノーマル信号パスが、該ステッチ回路によって1つのワイヤから別のワイヤにステッチングされた複数のワイヤによって提供され、該ノーマルドライバがイネーブルでなく該冗長ドライバがイネーブルであるときに、冗長信号パスが、該冗長ステッチ回路によって1つのワイヤのテールから別のワイヤにステッチングされた複数のワイヤテールおよびワイヤによって提供されてもよい。

10

【0082】

前記複数のワイヤ上に提供された信号パスの数ならびに前記トラックバンドルの該複数のワイヤおよび前記複数のワイヤテール上に提供された冗長信号パスの数が、該トラックバンドル内の前記トラックの数より1だけ小さくてもよい。

【0083】

前記複数の論理領域ロウ内で1以上の予備ロウが規定され、前記トラックバンドル内の前記複数のトラックのうちの少なくとも1つの中の前記複数のワイヤのうちの第1のワイヤが、少なくとも1つの予備ロウと交差して、ノーマルモード動作中の信号を、該少なくとも1つの予備ロウの各々の各側にある少なくとも1つのロウにルーティングし、該トラックバンドル内の該複数のトラックのうちの少なくとも別の1つの中の該複数のワイヤのうちの第2のワイヤが、該第1のワイヤが交差するよりも少ない数の予備ロウと交差し、該第1のワイヤが、該第2のワイヤよりも長い物理長を有しており、該第1のワイヤの論理長が該第2のワイヤの論理長に等しくてもよい。

20

【0084】

前記第1のワイヤが1つの予備ロウに交差し、前記第2のワイヤが予備ロウに交差せず、該第1のワイヤの物理長が該第2のワイヤの物理長よりも1だけ長くてもよい。

【0085】

前記複数の論理領域ロウ内で1以上の予備ロウが規定され、前記トラックバンドル内の前記複数のトラックのうちの少なくとも1つの中の前記複数のワイヤのうちの第1のワイヤが、少なくとも1つの予備ロウと交差して、ノーマルモード動作中の信号を、該少なくとも1つの予備ロウの両側にある少なくとも1つのロウにルーティングし、該トラックバンドル内の該複数のトラックのうちの少なくとも1つの中の該複数のワイヤのうちの第2のワイヤが、該第1のワイヤが交差するよりも少ない数の予備ロウと交差し、該第1のワイヤが、該第2のワイヤと等しい物理長を有しており、該第1のワイヤの論理長が該第2のワイヤの論理長よりも短くてもよい。

30

【0086】

本発明によるプログラマブル論理回路にルーティングおよび冗長性を提供する方法は、予備ロウを含む複数の論理領域ロウを提供するステップと、少なくとも第1のラインと第2のラインとを含む複数のルーティングラインを提供するステップであって、該第1のラインが少なくとも1つの予備ロウと交差して、ノーマルモード動作における信号を、該少なくとも1つの予備ロウの各々の各側にある少なくとも1つのロウにルーティングするようにし、該第2のラインが、該第1のラインが交差するよりも少ない数の予備ロウに交差する、ステップと、該第1のラインの物理長が該第2のラインの物理長よりも長いことを証明して、該第1のラインの論理長が該第2の論理長に等しくなるようにするステップとを包含し、これにより上記目的を達成する。

40

【0087】

前記第1のラインが1つの予備ロウと交差し、前記第2のロウが予備ロウと交差せず、該

50

第1のラインの物理長が該第2のラインの物理長よりも1だけ長くてもよい。

【0088】

本発明によるプログラマブル論理回路は、ノーマルモード信号パスと冗長モード信号パスとを提供する手段であって、該冗長モード信号パスが該ノーマルモード信号パスの一部を含む、手段と、該ノーマルモード信号パスと該冗長モード信号パスとのいずれかを選択する手段とを備え、これにより上記目的を達成する。

【0089】

本発明によるIO回路は、IOバス信号パスであって、該IOバス信号パスの各々が複数のIOロウに亘り、IOバス信号パスの各々がテールを有する複数のバスラインを含む、IOバス信号パスと、該複数のIOロウに対応し、該IOバス信号パスのうちの少なくともある信号パスから信号を受け取るように結合されている、IO入力エレメント群と、該複数のIOロウに対応し、該IOバス信号パスのうちの少なくともある信号パスに信号を提供するように結合されている、IO出力エレメント群とを備え、該IOバス信号パスの第1のバスラインが、少なくともあるIO入力エレメントおよびIO出力エレメントを介して、同一のIOバス信号パスの第2のバスラインにステッチングされており、該少なくともあるIO入力エレメントおよびIO出力エレメントが、第1のロウに対応しており、該第1のバスラインのテールが、少なくともあるIO入力エレメントおよびIO出力エレメントを介して、該第2のバスラインにステッチングされており、該少なくともあるIO入力エレメントおよびIO出力エレメントが、第2のロウに対応しており、これにより上記目的を達成する。

【0090】

前記複数のIOロウに対応し、前記IOバス信号パスのうちの少なくともある信号パスを該複数のIOロウ内の前記IO入力エレメントのうちの少なくともあるIO入力エレメントに結合する第1の接続をさらに備え、ウの修復可能領域内で、1つのロウに対応する少なくともいくつかの該第1の接続が、別のロウに対応する少なくともいくつかの該第1の接続に対して冗長性を提供してもよい。

【0091】

前記複数のIOロウに対応し、前記IOバス信号パスのうちの少なくともある信号パスを該複数のIOロウ内の前記IO出力エレメントのうちの少なくともあるIO出力エレメントに結合する第2の接続をさらに備え、ロウの修復可能領域内で、1つのロウに対応する少なくともいくつかの該第2の接続が、別のロウに対応する少なくともいくつかの該第2の接続に対して冗長性を提供してもよい。

【0092】

少なくともある信号パスを、前記IO入力エレメント群のうちの前記複数のIOロウに対応する、少なくともあるIO入力エレメントに結合する、接続のセットをさらに備え、該IO入力エレメントの各群内の前記IO入力エレメントの数が、信号パスの数よりも少なくとも2つだけ大きく、該IO入力エレメントが、該IOエレメントの群内に位置を有し、少なくとも2m個のロウに亘って、信号パスを該IO入力エレメントに結合するm個のロウ毎のm-1番目のロウにおいて、該信号パスが同一の位置を有するIO入力エレメントに結合され、mは該信号パスを提供するIOバスラインの論理長であってもよい。

【0093】

前記IOバス信号パスの前記複数のバスラインがトラック上に提供され、前記第1のバスラインが第1のトラック上に提供され、前記第2のバスラインが第2のトラック上に提供され、該トラックの数が該IOバス信号パスの数よりも少なくとも1だけ大きくてもよい。

【0094】

前記IOバス信号パスの前記複数のバスラインがトラック上に提供され、前記第1のバスラインが第1のトラック上に提供され、前記第2のバスラインが第2のトラック上に提供され、該トラックの数が該IOバス信号パスの数よりも少なくとも2だけ大きくてもよい。

10

20

30

40

50

【0095】

上記 I O 回路を備えたプログラマブル論理回路により、上記目的を達成する。

【0096】

本発明による集積回路の H I O 部内にルーティングおよび冗長性を提供する方法は、スタック状の、分かれたパターンの複数の H I O バスラインを提供するステップと、 I O ロウに対応する I O 入力バッファ群を提供するステップと、該複数の H I O バスライン間で信号を切り換えるように結合された回路を提供するステップと、該複数の H I O バスライン間で信号を切り換えるように結合された冗長回路を提供するステップとを包含し、これにより上記目的を達成する。

【0097】

複数のバスラインが信号パスという形態で互いに結合されており、前記 I O バッファ群内の I O バッファが位置を有しており、信号パスが、ロウ毎に、ステッチングロウの後のロウ以外のすべてのロウにおいて同一の位置を有する I O バッファによって従われてもよい。

10

【0098】

本発明による I O 回路は、 I O 信号を I O ロウに、および該 I O ロウから、ルーティングする手段と、 I O 信号を該 I O ロウに、および該 I O ロウから、ルーティングする冗長手段とを備え、これにより上記目的を達成する。

【0099】

本発明によるプログラマブル論理回路は、ロウ内に設けられた複数の論理領域と、マルチプレクサとを備え、該マルチプレクサの第 1 の入力、第 1 のロウの第 1 の論理領域に結合され、該マルチプレクサの第 2 の入力、第 2 のロウの第 2 の論理領域に結合され、該マルチプレクサの出力が、第 3 のロウの第 3 の論理領域に結合され、該マルチプレクサが、該第 2 のロウがプログラマブル論理回路によって用いられないモードで、該第 1 の入力を選択するようにプログラムされ得、これにより上記目的を達成する。

20

【0100】

前記第 1 のロウが前記第 2 のロウに隣接していてもよい。

【0101】

前記第 3 のロウが前記第 2 のロウに隣接していてもよい。

【0102】

前記プログラマブル論理回路の冗長モードが、ロウシフト方向を有し、前記複数の論理領域のうちの論理領域が、該ロウシフト方向における下流方向に、1つの論理領域から別の論理領域に信号を提供してもよい。

30

【0103】

前記プログラマブル論理回路の冗長モードが、ロウシフト方向を有し、前記複数の論理領域のうちの論理領域が、該ロウシフト方向と反対の上流方向に、1つの論理領域から別の論理領域に信号を提供してもよい。

【0104】

前記プログラマブル論理回路の冗長モードが、ロウシフト方向を有し、前記複数の論理領域が、第 1 の複数の論理領域と、第 2 の複数の論理領域とを含み、該第 1 の複数の論理領域の論理領域が、該ロウシフト方向における下流方向に、1つの論理領域から別の論理領域に信号を提供し、該第 2 の複数の論理領域の論理領域が、該ロウシフト方向と反対の上流方向に、1つの論理領域から別の論理領域に信号を提供してもよい。

40

【0105】

本発明による論理領域間に専用のルーティングおよび冗長ルーティングを提供する方法は、複数のロウを横切って、1つの論理領域を別の論理領域に結合する第 1 の接続を提供するステップと、複数のロウを横切って、1つの論理領域を別の論理領域に結合する第 2 の接続を提供するステップとを備え、該第 1 の接続が、第 1 の論理領域を第 2 の論理領域に結合し、該第 2 の接続が、該第 1 の論理領域を第 3 の論理領域に結合し、該第 2 の論理領域が予備ロウでありノーマルモードが有効である場合に、該第 2 の接続が該第 2 の論理領

50

域を迂回するために用いられ得るか、該第2の論理領域が不良ロウであり冗長モードが有効である場合に、該第2の接続が該第2の論理領域を迂回するために用いられ得、これにより上記目的を達成する。

【0106】

本発明によるプログラマブル論理回路は、論理領域間の専用ルーティング手段と、該論理領域間の冗長専用ルーティング手段とを備え、これにより上記目的を達成する。

【0107】

本発明によるプログラマブル論理回路は、ルーティング手段と、冗長ルーティング手段とを備え、これにより上記目的を達成する。

【0108】

上記プログラマブル論理回路を備えた電子システムにより、上記目的を達成する。

【0109】

上記集積回路を備えた電子システムにより、上記目的を達成する。

【0110】

ある実施形態では、本発明は、論理領域ロウと複数の論理領域ロウにかかる信号パスとの間の接続のための冗長回路を含むプログラマブル論理回路を提供する。各信号パスは、それぞれ複数のラインを含んでいる。ある実施形態では、冗長回路は論理領域ロウとそれぞれの複数の論理領域ロウにかかる各ラインとの間の接続のために提供される。ここで、各ラインは、予備ロウの上にある規定された修復可能領域に含まれるロウよりもより少ないロウにかかっている。ある実施形態では、ノーマル回路および冗長ステッチ回路は、それぞれ複数のラインを含む信号パスにわたるルーティングおよび冗長ルーティングを提供する。ある特定の実施形態では、第1の信号パスのステッチマルチプレクサが第2の信号パスによる冗長ルーティングに使用され、ステッチマルチプレクサを介して第2の信号パスを駆動するための1つの論理領域ロウのためのノーマルモード接続は、ステッチマルチプレクサを介して第1の信号パスを駆動するための冗長モード接続とオーバーラップし得る。ある実施形態では、複数のラインを有する上流信号パスおよび下流信号パスの双方が、同じトラックバンドルまたは異なるトラックバンドルのいずれかの上で冗長性を提供される。ある特定の実施形態では、物理ラインのトラックおよび関連のステッチ回路、ならびに冗長ステッチ回路は、一方のトラックからあるロウの別のトラックにステッチし得る信号パスを提供する。ある実施形態では、スタブはラインと論理領域ロウのルーティングリソースとの間、およびラインとステッチ回路との間に経路を設ける。ある実施形態では、本発明は、IOバス信号パスの冗長性を提供する。ここで、信号パスは、それぞれ複数のラインを含む。ある実施形態では、たとえIOバス信号パスが信号パスの長さによって異なる物理ライン上に提供されたとしても、大部分のロウにおいて同じIOバッファにわたって特定のIOバス信号パスに従うように、IO回路が設けられる。ある実施形態では、異なるロウの論理領域の間の専用のルーティングが、ノーマルモードおよび冗長モードで必要な場合にロウのバイパスを達成するために回路に設けられる。

【0111】

【発明の実施の形態】

以下の説明は、当業者が本発明を為し、そして使用することが可能となるように提示される。そして、以下の説明は、特定の用途の状況およびそれらの要求において提供される。開示される実施形態に対する種々の変更は当業者に容易に明らかとなり、そして本明細書中で規定される一般的な原理は、本発明の意図および範囲から逸脱することなく他の実施形態および用途に適用することが可能である。従って、本発明は、示される実施形態（これらは、単に本発明の原理および特徴を示すいくつかの特定の実施形態を説明するに過ぎない）に限定されることを意図しない。

【0112】

図1aは、プログラマブル論理回路のPLDセクション10を示す。PLDセクション10は、論理アレイブロック(LAB)C1-1、C2-1、C3-1、C1-2、C2-2、C3-2、C1-3、C2-3、およびC3-3を含む論理領域を含む。セクション

10

20

30

40

50

10の各LABは、論理要素(LE)110を有する。いくつかのLE110がLABC1-1について個々に示されるが、他のLABについては示されていない。示される各LABは、論理領域ロウの一部である。PLDセクション10は、3つの論理領域ロウ(R1、R2、およびR3)の部分を含む。PLDセクション10の各論理領域ロウはロウのLABを含み、かつ導体の水平方向のチャンネルをさらに含む。例えば、論理領域ロウR1は、水平方向のワイヤの2つの例示されたトラックを含む水平方向のチャンネルA_Hをさらに含む。第1のトラックは水平方向のワイヤ(「H-ライン」)であるH1aおよびH1bを含み、第2のトラックはH-ラインであるH2aおよびH2bを含む。論理領域ロウの水平方向のチャンネルは、通常いくつかのさらなる水平方向のトラック(これは、ワイヤの「バンドル」においてグループ化され得る)を含む。しかし、PLDセクション10の論理領域ロウにおける水平方向のチャンネルは、不必要な詳細のために図面が複雑になり過ぎないように2つのトラックのみが示される。PLDセクション10の各論理領域ロウは、各LABのLEに接続するためのルーティングリソース、または水平方向のチャンネルに接続するためのルーティングリソースをさらに含む。例えば、論理領域ロウR1の示された部分は、LAB C2-1のLEへのルーティングについて選択され得る信号を受信するためのLAB入力マルチプレクサ(「LIM」)131、132、133、および134を含むルーティングリソースを示す(LIMとLEとの間でマルチプレクサする(muxing)さらなるレイヤは示されていない)。さらなるLIM131および132がまた、LAB C3-1のLEへのルーティングについて示される。示された他のルーティングリソースは、それぞれH-ラインH1bおよびH2a上への駆動について選択され得る信号を受信するためのドライバ入力マルチプレクサ(「DIM」)141および142を含む。

【0113】

PLDセクション10はまた、垂直方向のチャンネル(「V-チャンネル」)Av、Bv、およびCvを含む。各チャンネルは、複数のワイヤのトラックを含む。例えば、示されるように、垂直方向のチャンネルAvは、垂直方向のワイヤ(「V-ライン」)V1aおよびV1bを含む第1のトラックと、V-ラインV2aおよびV2bを含む第2のトラックと、V-ラインV3aを含む第3のトラックとを含む。PLDにおける垂直方向のチャンネルは、通常多くのさらなるV-ラインのトラックを含む。「バンドル」は4つのトラック(または異なる数のトラック)を含み得るが、「チャンネル」は通常いくつかのバンドルを含む。垂直方向のチャンネルBvおよびCvは、不必要な詳細のために図面が複雑になり過ぎないように4つのトラックの単一のバンドルのみがそれぞれ示される。

【0114】

示されるように、PLDセクション10のV-チャンネルは、3サイド化したルーティングをサポートする態様で、示されたLABに結合する。言い換えると、PLDセクション10のLABはH-チャンネルに結合され、そしてV-チャンネルにも結合される。PLDセクション10の少なくともいくつかのV-ラインは、同じ論理領域ロウの2つの異なるLABに結合する。例えば、V-ラインV9aはLAB C3-1のLIM131および132に結合され、そしてV-ラインV9aはLAB C2-1のLIM133および134にも結合される。3サイド化されたルーティングアーキテクチャが、2002年5月5日に出願された“Routing Architecture for a Programmable Logic Device”というタイトルの同時係属出願(シリアル番号_____)により詳細に記載され、この出願は本願と共通の譲渡証書をもとにしている。そしてこの出願は本明細書中で参考として援用される。本発明の1つの局面は、下記のような3サイドのルーティングアーキテクチャに適合する冗長性を提供する。

【0115】

PLDセクション10のルーティングアーキテクチャは、互い違いに配列されセグメント化されたルーティングアーキテクチャである。このセグメント化されたルーティングアーキテクチャの局面は、それぞれ垂直方向のチャンネルおよび水平方向のチャンネルに示さ

れる複数のVラインおよびHラインによって示される。この互い違いに配列されたルーティングアーキテクチャの局面は、同じチャンネルの2つの異なるトラック上のワイヤが、同じ相対的な位置で停止および開始する必要がないという事実によって示される。例えば、VラインV1aはR1とR2との間で終結し、VラインV2aはロウR2とR3との間で終結する。

【0116】

示されるVラインおよびHラインは、示される論理ソースのアレイ（例えば、論理領域、ならびに論理要素へのおよび論理要素からの関連したルーティング）を結合する相互接続を形成する。

【0117】

ステッチ回路がVチャンネルB_vおよびC_vについて示されるが、VチャンネルA_vのVラインについては別々に示されていない。ステッチ回路は、HチャンネルA_H、B_H、およびC_HのHラインについても示されていない。

【0118】

VチャンネルB_vおよびC_vにおいて、ステッチ回路は、マルチプレクサ160と、ドライバ120とを含む。冗長ステッチ回路は、説明するように、マルチプレクサ160と、冗長ドライバ121とを含む。VラインV5aは、示されるように、マルチプレクサ160およびドライバ120によってVラインV5bにステッチ（stitched）される。VラインV5aは、また、テールV5a-tを含む。テールV5a-tは、図示されるように、異なるマルチプレクサ160および冗長ドライバ121を介してVラインV5bにステッチされる。テールV4a-t（ロウR1の上で終端するVラインに関連し、別に示さない）は、示されるように、マルチプレクサ160および冗長ドライバ121によってVラインV4bにステッチされる。VラインV6aは、示されるように、マルチプレクサ160およびドライバ120によってVラインV6bにステッチされる。テールV8a-t（ロウR1の上で終端するVラインに関連し、別に示さない）は、示されるように、マルチプレクサ160および冗長ドライバ121によってVラインV8bにステッチされる。VラインV9aは、示されるように、マルチプレクサ160およびドライバ120によってVラインV9bにステッチされる。VラインV9aは、また、テールV9a-tを含む。テールV9a-tは、図示されるように、マルチプレクサ160および冗長ドライバ121によってVラインV9bにステッチされる。VラインV10aは、図示されるように、マルチプレクサ160およびドライバ120を介してVラインV10bにステッチされる。

【0119】

図示されるように、接続101および接続102は、特定の論理領域ロウのルーティングリソースにVラインを結合する。図面および説明を過度に複雑にすることなく、これらの接続を図示および説明するために、論理領域ロウR1のLAB C2-1およびC3-1ならびに論理領域ロウR2のLAB C2-2およびC3-2における選択されたルーティングリソースへの選択された接続の詳細のみを示す。これらの接続は、論理領域ロウR2にルーティング回路を提供する観点から説明される。冗長性が関与すべきであり、ロウ2がロウ3に置換するようにロウデータが下方にシフトされる場合、論理領域ロウR2は論理領域ロウR1に対する冗長回路として機能し得る。メモリ素子105は、PLDセクション10の各ロウをプログラミングするためにデータを保持する。ノーマルモードおよび冗長モードにおける特定のロウに関連するデータの実際のシフトを、図2および図3に関してさらに詳細に説明する。

【0120】

図1aの説明を続けて、ロウR-1から始める。VラインV5aは、信号をHラインH1bにルーティングするために、コネクタ101によって、ドライバ入力マルチプレクサ（DIM）141（および関連するドライバ）に結合される。VラインV5aは、また、接続101によって、LAB入力マルチプレクサ（LIM）131およびLIM132（および関連するドライバ）を介してLAB C2-1のLEルーティングに結合される。ロ

10

20

30

40

50

ウ R 1 を続けると、V ライン V 6 a は、接続 1 0 1 によって、それぞれ、D I M 1 4 1、1 4 2（および関連するドライバ）に、結合される。V ライン V 6 a は、また、接続 1 0 1 によって、L I M 1 3 1（および関連するドライバ）を介して L A B C 2-1 の L E ルーティングに、結合される。V ライン V 7 a は、接続 1 0 1 によって、D I M 1 4 2（および関連するドライバ）に結合される。V ライン V 7 a は、また、接続 1 0 1 によって、L I M 1 3 1（および関連するドライバ）を介して L A B C 2-1 の L E ルーティングに、結合される。V ライン V 9 a は、接続 1 0 1 によって、L I M 1 3 3、1 3 4（および関連するドライバ）を介して L A B C 2-1 の L E ルーティング、および、L I M 1 3 1、1 3 2（および関連するドライバ）を介して L A B C 3-1 の L E ルーティングの両方に、結合される。V ライン V 1 0 a は、L I M 1 3 1（および関連するドライバ）を介して L A B C 3-1 の L E ルーティングの両方に、結合される。

10

【0121】

ロウ R 2 における図示された接続を説明する前に、「ノーマルモード」接続 1 0 1 と「冗長モード」1 0 2 との間の関係をここで説明する。接続 1 0 1 は、欠陥ロウが存在しないという仮定で特定のロウにルーティングオプションを提供するという意味で「ノーマルモード」接続である。接続 1 0 2 は、例えば、冗長モードに関与すると仮定する第 2 のロウにルーティングオプションを提供し、その第 2 の論理領域ロウは、例えば、第 1 の論理領域ロウにおいて利用可能なルーティングオプションを提供する必要があるという意味で「冗長モード」接続である。ある例において、第 2 のロウの「ノーマルモード」接続は、その第 2 のロウの同じルーティングリソースにノーマルモード接続によって提供されたオプションを提供する場合、第 1 のロウの冗長接続を提供し得る。したがって、接続は、ある例において、ノーマルモード接続および冗長モード接続の両方として提供され得る。これらの原理を、ここで、ロウ R 1 について図示され、既に説明された接続 1 0 1 に対して、ロウ R 2 において図示された接続 1 0 1、1 0 2 について説明する。

20

【0122】

ロウ R 2 において、V ライン V 5 b は、接続 1 0 1 によって、H ライン H 3 b にルーティングするために、D I M 1 4 1（および関連するドライバ）に結合される。テール V 5 a-t は、接続 1 0 2 によって、H ライン H 3 b にルーティングするために、D I M 1 4 1（および関連するドライバ）に結合される。テール V 5 a-t は、また、接続 1 0 2 によって、それぞれ、L I M 1 3 1、1 3 2（および関連するドライバ）を介して、L A B C 2-2 の L E へのルーティングに結合される。冗長性に関与する場合、ロウ R 2 は、ロウ R 2 に置換され、それにより、テール V 5 a-t と論理領域ロウ R 2 のルーティングリソースとの間の接続は、V ライン V 5 a とロウ R 1 のルーティングリソースとの間の接続の複製である。例えば、テール V 5 a-t を L A B C 2-2 の D I M 1 4 1、L I M 1 3 1 および L I M 1 3 2 のそれぞれに結合することをここで説明する接続 1 0 2 は、V ライン V 5 a を L A B C 2-1 の D I M 1 4 1、L I M 1 3 1 および L I M 1 3 2 のそれぞれに結合することを上述した接続 1 0 1 についての冗長性を提供する。

30

【0123】

ロウ R 2 を続けると、V ライン V 6 a は、接続 1 0 2 によって、H ライン H 3 b にルーティングするために D I M 1 4 1 に結合される。V ライン V 6 a は、また、接続 1 0 1 によって、H ライン H 4 a にルーティングするために、D I M 1 4 2（および関連するドライバ）に結合される。V ライン V 6 a は、接続 1 0 2 によって、L I M 1 3 1（および関連するドライバ）を介して L A B C 2-2 の L E ルーティングに結合され、接続 1 0 1 によって、L I M 1 3 2（および関連するドライバ）を介して L A B C 2-2 の L E ルーティングに結合される。V ライン V 6 a を論理領域ロウ R 1 のルーティングリソースに結合する全ての接続 1 0 1 は、V ライン V 6 a を論理領域ロウ R 2 のルーティングリソースに結合する接続 1 0 1 および 1 0 2 によって複製されることに留意されたい。ある例において、ロウ R 2 の接続 1 0 1 は、ロウ R 1 の対応する接続 1 0 1 に対する冗長性を提供するが、別の例において、ロウ R 2 の接続 1 0 2 は、ロウ R 1 の接続 1 0 1 に対する冗長性を提供することにさらに留意されたい。例えば、V ライン V 6 を L A B C 2-2 の D I

40

50

M142に結合するロウ2の接続101は、ノーマルモード接続として存在するが、しかしながら、それは、また、VラインV6aをLAB C2-1のDIM142に結合するロウR1の接続101を複製する場合、冗長モード接続を提供し得る。しかしながら、ロウR2のVラインV6aと、LAB C2-2のLIM131との間を結合する場合、ノーマルモード接続101は、VラインV6aをLIM131に結合する、ロウR1のノーマルモード接続101を複製するために存在せず、したがって、示されるように、ロウR2において、VラインV6aをロウR2 LAB C2-2のLIM131に結合する冗長モードのみの接続102が提供される。

【0124】

ロウR2を続けると、VラインV7aは、接続101によって、HラインH3bおよびH4aにそれぞれルーティングするために、DIM141、DIM142（および関連するドライバ）に結合される。VラインV7aは、また、示されるように、接続101によって、LIM131（および関連するドライバ）を介してLEルーティングに結合される。VラインV7aとルーティングリソースとの間のロウR-1に存在する接続は、また、R2における対応する形態において提供される。特に、VラインV7aをロウR1のHラインH2aにルーティングするためにDIM142に結合する接続101は、VラインV7aをHラインH4aにルーティングするためにDIM142（および関連するドライバ）に結合する接続101によってロウR2において複製される。同様に、VラインV-7aをロウR1のLIM131を介してLAB C2-1のLEルーティングに結合する接続101は、LIM131（および関連するドライバ）を介してLAB C2-2のLEルーティングに結合する接続101によって、ロウ2において整合する。VラインV-7aをロウ1のLIM132を介してLAB C2-1のLEルーティングに結合する接続102は、その接続がノーマルモード動作に関与しないが、冗長モードのみに関与するので（その接続は、先のロウの接続に対する冗長性を提供し、先のロウおよび接続は別に示さない）、ロウR2において複製される必要が必ずしもないことに留意されたい。ここで図示されている実施形態において、ロウR2の接続は、ロウR1の冗長モードのみの接続102に対してではなく、ロウR1のノーマルモード接続101に対する冗長性を提供する必要がある。

【0125】

ロウR2を続けると、VラインV9aのテールV9a-tは、図示されるように、接続102によって、LIM133、LIM134（および関連するドライバ）を介してLAB C2-2のLEルーティングに結合される。テールV9a-tは、また、接続102によって、LIM131およびLIM132をそれぞれ介してLAB C3-2のLEルーティングに結合される。ロウR2のLAB C2-2のLIM133、134およびLAB C3-2のLIM131、132を介するこれらの接続は、LAB C2-1のLIM131、132およびLAB C3-1のLIM133、134をそれぞれ介してVラインV9aに結合するロウR1の接続に対する冗長性を提供する。

【0126】

ロウR2を続けると、VラインV10aは、示されるように、接続101によって、LIM131（および関連するドライバ）を介してLAB C3-2のLEルーティングに結合され、LIM134（および関連するドライバ）を介してLAB C2-2のLEルーティングに結合される。ロウ2のこれらの「ノーマルモード」接続は、LAB C3-1のLIM131およびLAB C2-1のLIM134をそれぞれ介してVラインV10aに結合するロウR1の接続に対する冗長性を提供する。VチャンネルC_Vと、ロウR1のLAB C2-1およびC3-1との両方との間の接続、および、ロウR1のLAB C2-2およびC3-2の両方をVチャンネルC_Vに結合するロウR2のこれらの接続に対する冗長性を提供する接続を設けることを図示する本実施形態の局面は、3-側面ルーティングアーキテクチャの局面を支援する冗長性のある例を提供する。

【0127】

図1bは、図1aのPLDセクション10のさらなる接続およびルーティングを図示し、

10

20

30

40

50

3-側面ルーティングアーキテクチャのさらなる局面を支援する冗長性の例のさらなる局面を強調する。図1bは、論理領域ロウR1およびR2のそれぞれのLAB C2-1およびC2-2を示す。図1bは、また、図1aおよびそれに伴う文章において先に図示および説明された、垂直チャンネルB_V、C_Vおよび水平チャンネルB_H、C_Hの一部を示す。図1bに図示されるように、水平チャンネルB_H、C_Hは、それぞれ、VラインH1-5bおよびH3-5bをさらに含む。図1bは、各ロウの2つの垂直チャンネルおよび1つの水平チャンネルに、および、2つの垂直チャンネルおよび1つの水平チャンネルからのLEルーティングを含む3側面ルーティングアーキテクチャの局面を示し、本発明のある局面が3側面ルーティングアーキテクチャの状況内で冗長性をどのように支援するかの一例を示す。論理領域ロウR1およびR2、LAB C2-1、C2-2は、それぞれ、LE出力181、182、183、184をさらに含む。

10

【0128】

図1aおよびそれに伴う文書において図示および説明されたPLDセクション10の一部について説明したように、(図1aに伴う文書にまだ説明されていない範囲の)図1bのさらなる接続およびルーティング回路を、冗長性が関与し、ロウR2がロウR3を置換するようにロウデータが下方にシフトされる場合に、論理領域ロウR1に対する冗長性回路として機能し得る論理領域ロウR2にルーティング回路を提供する観点から説明する。論理領域ロウR1から始めると、示されるように、LAB C2-1のLE出力181および182は、それぞれ、それぞれの接続101によって、DIM191(および関連するドライバ)、および、ステッチマルチプレクサ160およびステッチドライバ120を介してVラインV5bに結合される。LAB C2-1のLE出力183は、示されるように、接続101によって、DIM141(および関連するドライバ)を介してHラインH1bへのルーティングに結合される。LAB C2-1のLE出力184は、示されるように、接続102によって、DIM142(および関連するドライバ)を介してHラインH2aへのルーティングに結合される。LE出力183および184は、それぞれ、示されるように、それぞれの接続101によって、DIM191(および関連するドライバ)、および、ステッチマルチプレクサ160およびステッチドライバ120を介して、VラインV9bに結合される。また、ロウR1において、HラインH1-5bおよびH2aは、それぞれ、それぞれの接続101によって、LIM131およびLIM132(および関連するトランジスタ)をそれぞれ介して、LAB C2-1のLEルーティングに結合される。

20

30

【0129】

ロウR2に対して、LAB C2-2のLE出力181、182は、示されるように、それぞれ接続101および接続102によって、DIM191(および関連するドライバ)、および、ステッチマルチプレクサ160、冗長ステッチドライバ121を介してVラインV5bに結合される。LAB C2-2のLE出力183は、示されるように、接続101によって、DIM142(および関連するドライバ)を介して、HラインH3bへのルーティングに結合される。LAB C2-2のLE出力184は、示されるように、接続102によって、DIM142(および関連するドライバ)を介して、HラインH4aへのルーティングに結合される。LE出力183および184は、示されるように、それぞれ、接続102および接続101によって、DIM191(および関連するドライバ)、および、ステッチマルチプレクサ160、冗長ステッチドライバ121を介して、VラインV9bに結合される。また、ロウR2において、HラインH3-5bおよびH4aは、それぞれ接続101および接続102によって、LIM131および132(ならびに、関連するドライバ)をそれぞれ介してLAB C2-2のLEルーティングに結合される。

40

【0130】

ロウR1のLAB C2-1のそれぞれのチャンネルとルーティングリソースとの間の、「ノーマルモード」接続101を介する結合は、また、ロウR2の対応する結合として、ノーマルモード接続101または冗長モード接続102のいずれかを介して、存在するの

50

で、冗長性に関与する場合、ロウ R 2 は、ロウ R 1 の置換として使用され得る。

【0131】

図 2 は、コンフィギュレーションデータをシフトするために使用されるレジスタ部 20 を図示し、これは、予備ロウ内に冗長回路を有する PLD をプログラミングする。レジスタ部 20 は、シフトレジスタセグメント 21 を含み、各シフトレジスタセグメント 21 は、プログラミングされるロウに対応している。ロウ n 、 $n+1$ 、 $n+2$ 、 $n+3$ 、 $n+4$ 、 $n+5$ にそれぞれ対応するシフトレジスタセグメント 21 が示されている。データは、示されるように、ステアリングマルチプレクサ 22 への接続によってシフトレジスタセグメント 21 間にルーティングされる。ステアリングマルチプレクサ 22 は、特定のシフトレジスタセグメントがコンフィギュレーションデータストリームからのデータを受け取るかどうかを判定するために、イネーブル入力 22-s においてステアリングデータを受け取る。図示されるように、データパスは、イネーブル入力 22-s において受け取られたステアリングデータに基づいて、ボールドライン 25 上のシフトレジスタセグメント 21 間を規定する。イネーブル入力 22-s は、特定のシフトレジスタセグメント 21 に出力するために、2 つのマルチプレクサ入力のいずれかにおいて、または、2 つのマルチプレクサ入力のいずれでもなく、データを選択するように、各マルチプレクサ 22 に命令する。図 2 において、不良なロウは、予備ロウ $n+4$ の上のロウによって規定される修復可能領域に存在しない。したがって、コンフィギュレーションデータは、予備ロウ $n+4$ の上の各ロウ n 、 $n+1$ 、 $n+2$ 、 $n+3$ に対応するシフトレジスタセグメント 21 の各々にライン 25 にそって向けられる。しかしながら、ここで、修復が必要とされるので、予備ロウ $n+4$ に対応するセグメント 21 のちょうど上に示されるマルチプレクサ 22 の入力 22-s におけるステアリングデータは、そのセグメント 21 を回避するように、そのマルチプレクサ 22 に向けられる。置換されるロウがないので、図 2 に示される特定の具体例において、予備ロウ $n+4$ においてプログラマブル接続を活性化する必要がなく、したがって、レジスタセグメント 21 に対応するそのロウは、コンフィギュレーションデータのストリームから回避され得る。

【0132】

図 3 は、不良ロウを回避し、予備ロウを使用するように再構成された図 2 に図示される同じレジスタ部 20 を図示する。特に、図 2 に示された、ロウ $n+1$ は不良ロウである。不良ロウ $n+1$ に対応するセグメント 21 のちょうど上に示されるマルチプレクサ 22 の入力 22-s におけるステアリングデータは、そのセグメント 21 を回避するようにそのマルチプレクサ 22 に向けられ、それにより、不良ロウに提供されるコンフィギュレーションデータはない。代わりに、ロウ置換が不良ロウ $n+1$ の下から予備ロウ $n+5$ までで始まる。特に、さもなければロウ $n+1$ に向けられているコンフィギュレーションデータのストリームからのデータは、ロウ $n+2$ にシフトされる。さらに、予備ロウ $n+4$ に対応するセグメント 21 のちょうど上のマルチプレクサ 22 は、そのイネーブル入力 22 において提供されたデータによって、予備ロウに対応するセグメント 21 にデータを向けるように指示する。この態様において、コンフィギュレーションデータストリームがシフトを停止し、予備ロウ $n+4$ のセグメント 21 は、さもなければロウ $n+3$ のセグメント 21 にあるコンフィギュレーションデータを有し、ロウ $n+3$ はさもなければ $n+2$ のセグメント 21 にあるコンフィギュレーションデータを有し、ロウ $n+2$ はさもなければ $n+1$ のセグメント 21 にあるコンフィギュレーションデータを有し、ロウ $n+1$ は不良ロウであると判定されない。もしあるのであれば、修復領域内のどのロウが不良であるかを判定するデータが、ヒューズレジスタ（ヒューズレジスタは別個に示されない）などの別のレジスタに保持され、そのヒューズレジスタはマルチプレクサ 22 の入力 22-s にステアリングデータを提供する。

【0133】

図 4 は、冗長回路を有するルーティングアーキテクチャ 40 を図示し、論理領域カラムにおいて、3 つの論理領域ロウ（ロウ x 、 $x+1$ 、 $x+2$ ）のプログラマブルルーティングを図示する。図示された各ロウは、そのロウ内の論理アレイブロック（LAB）の 1 つと

10

20

30

40

50

関連するロウの一部を示している（L A Bを別に示さない）。メモリ素子405は、図示された各ロウに対するプログラミングデータを保持する。垂直信号バス41、42、43、44を含む4つの垂直信号バスは、それぞれが図示された3つのすべてのロウにわたっているように図示されている。垂直信号バス41はライン41aを含み、垂直信号バス42はライン42a、テール42a-t、ライン42bを含み、垂直信号バス43はライン43a、テール43a-t、ライン43bを含み、垂直信号バス44はライン44a、テール44a-t、ライン44bを含む。複数のラインを有するように図示された信号バスに対して、各信号バスのラインは、ステッチ回路または冗長ステッチ回路によってともにステッチされる。ライン42aは、ステッチマルチプレクサ410およびステッチドライバ461を含むステッチ回路によってライン42bにステッチされる。テール42a-tは、冗長マルチプレクサ411および冗長ステッチドライバ462によってライン42bにステッチされる。ライン43aは、ステッチマルチプレクサ410およびステッチドライバ461を含むステッチ回路によってライン43bにステッチされる。テール43a-tは、冗長マルチプレクサ411および冗長ステッチドライバ462によってライン43bにステッチされる。ライン44aは、ステッチマルチプレクサ410およびステッチドライバ461を含むステッチ回路によってライン44bにステッチされる。

10

【0134】

各ロウに対して一般的な形態のルーティングリソースが示される。各ロウは、Hライン411、412、413、414、L E入力421、422、423、424、HラインD I M 441、442、443、444およびL E出力431、432、433、434を含む論理領域ルーティングリソースを含む。異なるルーティングリソースのそれぞれは、図面を簡略化し、ロウ毎に接続と冗長接続のパターンをよりよく図示することができるように水平線によって表されている。

20

【0135】

ルーティングリソース、および、ルーティングリソースを特定の垂直線に結合する関連する接続401、402は、メモリセル405内のデータに基づいてプログラムされ得る、フィールドプログラマブル接続の特定の組み合わせを含む。例えば、各ルーティングリソースに対する接続401および接続402は、パスゲートとして実装される。表された各L E入力（421、422、423、424）は、特定のL A B入力マルチプレクサ（L I M）である。信号が個々のL Eに実際に到達する前に、さらなるレベルの多重化が、L E入力マルチプレクサ（L E I M）（L E I Mは別に示されない）の形態のL I Mの後ろで生じる。表された各HラインD I M（441、442、443、444）は、Hライン自身に接続された特定のドライバ入力マルチプレクサである。HラインD I Mの1つによって駆動されるHラインは、Hライン411、412、413および414の1つであってもよく、異なるHラインであってもよい（異なるHラインは別に示さない）。L E出力431、432、433、434は、図示されるように、ステッチマルチプレクサ410または冗長ステッチマルチプレクサ411を介してVラインを駆動するように接続されたラインを駆動するために、接続100または101によって、D I Mに結合される（D I Mは別に示さない）。図示された実施形態において使用されたフィールドプログラマブル接続のこれらのタイプ（すなわち、マルチプレクサおよびパスゲート）は、Vラインを特定の論理領域ロウのリソースに結合するために使用され得る接続のタイプの単なる具体例である。例えば、代替の実施形態において、特例のロウのリソースへの接続は、フィールド再プログラマブルであるか、ハードワイヤードであるか、ヒューズプログラマブルであるか、または、トリステートまたは他のドライバ回路を含んでも、含まなくてもよい、間接的または直接的な他のタイプの接続の様々な組み合わせを表し得る。

30

40

【0136】

図示されるように、接続401および／または402の2つのタイプの群が示される。接続401および402の群440は、Vラインから論理領域ロウのルーティングリソースに信号を駆動するように接続される。接続401および402の群450は、論理領域ロウのルーティングリソースから特定のVラインに信号を駆動するように接続される。

50

ロウ間では、特定のロウにおける接続４０１および／または４０２のパターンは、前のロウにおける同様な接続４０１に対して冗長性を提供する。ここで、各ロウが図示され（すなわち、ロウ x 、ロウ $x+1$ 、およびロウ $x+2$ ）、これらのロウは、修復可能領域内の予備のロウの上にあるロウである。冗長モードが関与する場合、ロウ $x+2$ は、ロウ $x+1$ に置き換えられ、ロウ $x+1$ はロウ x に置き換えられる。これを以下により詳細に説明する。

【０１３７】

信号パス４１から開始して、ロウ x において、Ｖ－ライン４１ a は、接続４０１によってＬＥ入力４２１および４２２に結合される。あるいは、ロウ x において、Ｖ－ライン４１ a は、接続４０１によってＨ－ラインＤＩＭ４４１およびＨ－ラインＤＩＭ４４２に結合

10

【０１３８】

ロウ $x+1$ において、Ｖ－ライン４１ a は、接続４０１によってＬＥ入力４２１に結合され、接続４０２によってＬＥ入力４２２に結合され、そして接続４０１によってＬＥ入力４２３に結合される。接続４０１によるＬＥ入力４２１への結合および接続４０２によるＬＥ入力４２２への結合は、冗長性が、ロウ x において接続４０１による信号パス４１のＬＥ入力４２１および４２２への結合のためにロウ $x+1$ において提供されることを可能にすることに留意されたい。あるいは、ロウ $x+1$ において、信号パス４１が、接続４０１によってＨ－ラインＤＩＭ４４１に結合され、接続４０２によってＨ－ラインＤＩＭ４４２に接続され、そして接続４０１によってＨ－ラインＤＩＭ４４３に接続される。Ｈ－

20

【０１３９】

ロウ $x+2$ では、Ｖ－ライン４１ a は、接続４０１によってＬＥ入力４２１に接続され、接続４０２によってＬＥ入力４２３に接続され、そして接続４０１によってＬＥ入力４２４に接続される。ロウ $x+2$ において、接続４０１による信号パス４１のＬＥ入力４２１への結合および接続４０２によるＬＥ入力４２３への結合は、冗長性が、ロウ $x+1$ において接続４０１による信号パス４１のＬＥ入力４２１および４２３への結合のためにロウ $x+2$ において提供されることを可能にすることに留意されたい。あるいは、ロウ $x+2$ において、信号パス４１は、接続４０１によってＨ－ラインＤＩＭ４４１に接続され、接続４０２によってＨ－ラインＤＩＭ４４３に接続され、そして接続４０１によってＨ－ラインＤＩＭ４４４に接続される。ロウ $x+2$ において、接続４０１による信号パスのＨ－ラインＤＩＭ４４１への結合および接続４０２による信号パス４１のＨ－ラインＤＩＭ４４３への結合は、冗長性が、ロウ $x+1$ において接続４０１によるＨ－ラインＤＩＭ４４１および４４３への結合によって提供されることを可能にする。

30

【０１４０】

ここで、信号パス４２を参照して、ロウ x において、信号パス４２のライン４２ a は、接続４０１によってＬＥ入力４２２および４２３に接続され、接続４０２ b によってＬＥ入力４２４に接続される。あるいは、ロウ x において、ライン４２ a は、接続４０１によってＨ－ラインＤＩＭ４４２およびＨ－ラインＤＩＭ４４３に接続され、接続４０２によってＨ－ラインＤＩＭ４４４に接続される。上述したように、ライン４２ a はマルチプレクサ４１０およびドライバ４６１を介してライン４２ b にステッチされる。さらにロウ x において、Ｈライン４１１およびＨライン４１４は、接続４０１によって結合され、図示されるようにステッチングマルチプレクサ４１０およびステッチングドライバ４６１を介して信号を信号パス４２に供給する。ＬＥ出力４３２および４３３は接続４０１によって結合され、図示されるようにステッチングマルチプレクサ４１０およびステッチングドライバ４６１を介して信号を信号パス４２に供給する。

40

【０１４１】

信号パス４２を続けると、ロウ $x+1$ において、信号パス４２のライン４２ b は、接続４

50

01によりLE入力422およびLE入力423に結合される。信号ライン42aのテール42a-tは、接続402によってLE入力422およびLE入力423に結合される。上述のように、テール42a-tは、示されるように冗長ステッチングマルチプレクサ420および冗長ステッチングドライバ462を介してライン42bにステッチングされる。冗長性が関与する場合、ロウxとロウx+1との間のステッチングドライバ410がトライステートされ、冗長ステッチングドライバ462がイネーブルされる。ロウx+1において、テール42a-tをLE入力422およびLE入力423、ならびにテール42a-tをHーラインDIM442およびHーラインDIM443に結合させる接続402は、ロウxにおいて、接続401によるライン42aのLE入力422およびLE入力423への結合、ならびに接続401によるライン42aのHーラインDIM442およびHーラインDIM443への結合に対して冗長性を提供する。さらに、ロウx+1において、Hライン411およびHライン414は、接続402によって結合され、冗長ステッチングマルチプレクサ411および冗長ステッチングドライバ462を介して信号を信号パス42に供給する。ロウx+1におけるこれらの結合は、ロウxにおける信号パス42を、接続401によってHライン411およびHライン414に結合するために冗長性を可能にする。あるいは、ロウx+1において、LE出力432および433は、接続402によって結合され、示されるように冗長ステッチングマルチプレクサ411および冗長ステッチングドライバ462を介して信号を信号パス42に供給する。ロウx+1におけるこれらの結合は、ロウxにおいて、接続401によるLE出力432およびLE出力433の信号パス42への結合に対して冗長性を可能にする。

10

20

【0142】

信号パス42の説明をさらに続けると、ロウx+2において、ライン42bは、接続401によってLE入力422に結合され、接続402によってLE入力423に結合され、そして接続401によってLE入力424に結合される。ロウx+2において、接続402による信号パス42のLE入力423への結合および接続401による信号パス42のLE入力424への結合は、冗長性が、ロウx+1において接続401によって信号パス42のLE入力423およびLE入力424への結合のためにロウx+2において提供されることを可能にすることに留意されたい。あるいは、ロウx+2において、信号パス42は、接続401によってHーラインDIM442に結合され、接続402によってHーラインDIM443に結合され、そして接続401によってHーラインDIM444に結合される。ロウx+2において、信号パス42の接続402および401によるHーラインDIM443およびHーラインDIM444への結合は、冗長が、ロウx+1において接続401によるHーラインDIM443およびHーラインDIM444への結合に対して提供されることを可能にする。

30

【0143】

ここで、信号パス43を参照して、ロウxでは、信号パス43のライン43aは、接続401によってLE出力421に結合され、接続402によってLE出力423に結合され、接続401によってLE出力424に結合される。あるいは、ロウxでは、ライン43aが接続401によってHーラインDIM441に結合され、接続402によってHーラインDIM443に結合され、そして接続401によってHーラインDIM444に結合される。

40

【0144】

信号パス43の説明を続けると、ロウx+1において、信号パス43のライン43aは、接続401によってLE入力421および422に結合され、そして接続402によってLE入力424に結合される。ロウx+2において接続401による信号パス43のLE入力421への結合および接続402による信号パス43のLE入力424への結合は、冗長性が、ロウx+1において接続401による信号パス43のLE入力421およびLE入力424への結合に対してロウx+2において提供されることを可能にすることに留意されたい。また、ロウx+1において、ライン43aは、接続401によってHーラインDIM441およびHーラインDIM442に結合され、接続402によってHーライ

50

ンDIM444に結合される。ロウx+2において、接続401による信号パス43のHーラインDIM441への結合および接続402による信号パス43のHーラインDIM444への結合は、冗長性が、ロウx+1において接続401による信号パス43のHーラインDIM441およびHーラインDIM444への結合に対してロウx+2において提供されることを可能にすることに留意されたい。

【0145】

さらに、ロウx+1において、Hライン413およびHライン414は、接続401によって結合され、示されるようにステッチングマルチプレクサ410およびステッチングドライバ461を介して信号を信号パス43に供給する。LE出力432および434は、接続401によって結合され、示されるようにステッチングマルチプレクサ410およびステッチングドライバ461を介して信号を信号パス43に供給する。

10

【0146】

信号パス43の説明を続けると、ロウx+2において、信号パス43のライン43bは、接続401によってLE入力421およびLE入力422に結合される。ライン43aのテール43a-tは、接続402によってLE入力421およびLE入力422に結合される。上述したように、テール43a-tは、示されるように冗長ステッチングマルチプレクサ411および冗長ステッチングドライバ462を介してライン43bにステッチングされる。冗長性が関与する場合、ロウx+1とロウx+2との間のステッチングドライバ461がトライステートされ、信号パス43上の冗長ステッチングドライバ462がイネーブルされる。ロウx+2において、テール43a-tとLE入力421およびLE入力422とを結合させ、テール43a-tとHーラインDIM441およびHーラインDIM442を結合させる接続402は、ロウx+1において接続401によるライン43aのLE入力421およびLE入力422への結合および接続401によるライン43aのHーラインDIM441およびHーラインDIM442への結合に対して冗長性を提供する。さらに、ロウx+2では、Hライン413およびHライン414が接続402によって結合され、示されるように冗長ステッチングマルチプレクサ411および冗長ステッチングドライバ462を介して信号を信号パス43に供給する。ロウx+2におけるこれらの結合は、ロウx+1において、接続401によるHライン413およびHライン414の信号パス43への結合に対する冗長性を可能にする。

20

【0147】

ここで信号パス44を参照すると、ロウxにおいて、ライン44aは、接続401によってLE入力421に結合され、接続402によってLE入力422に結合され、そして接続401によってLE入力423に結合される。あるいは、ロウxにおいて、Vーライン44aは、接続401によってHーラインDIM441に結合され、接続402によってHーラインDIM442に結合され、そして接続440によってHーラインDIM443に結合される。

30

【0148】

ロウx+1において、Vーライン44aは、接続401によってLE入力421に結合され、接続402によってLE入力423に結合され、そして接続401によってLE入力424に結合される。接続401によるLE入力421の結合および接続402によるLE入力423の結合は、冗長性がロウxにおける信号パス44のLE入力421およびLE入力423への結合に対してロウx+1において提供されることを可能にすることに留意されたい。また、ロウx+1において信号パス44は、接続401によってHーラインDIM441に結合され、接続402によってHーラインDIM443に結合され、そして接続401によってHーラインDIM444に結合される。ロウx+1において、接続401による信号パス44のHーラインDIM441への結合および接続402による信号パス44のHーラインDIM443への結合は、ロウxにおいて、接続401による信号パス44のHーラインDIM441およびHーラインDIM443への結合に対して冗長性を提供する。

40

【0149】

50

ロウ $x+2$ では、V-ライン44aは、接続401によってLE入力421に結合され、接続401によってLE入力422に結合され、そして接続402によってLE入力424に結合される。ロウ $x+2$ では、接続401による信号パス44のLE入力421への結合および接続402による信号パス44のLE入力424への結合は、ロウ $x+1$ における接続401による信号パス44のLE入力421およびLE入力424への結合に対してロウ $x+2$ において冗長性が提供されることを可能にすることに留意されたい。また、ロウ $x+2$ において、信号パス44は、接続401によってH-ラインDIM441に結合され、接続401によってH-ラインDIM442に結合され、そして接続402によってH-ラインDIM444に結合される。ロウ $x+2$ において、接続401による信号パス44のH-ラインDIM441への結合および接続402による信号パス44のH-ラインDIM444の結合は、ロウ $x+1$ において、接続401による信号パス44のH-ラインDIM441およびH-ラインDIM444への結合に対して冗長性が提供されることを可能にする。さらに、ロウ $x+2$ において、Hライン411およびHライン413は、接続401によって結合され、示されるようにステッチングマルチプレクサ410およびドライバ461を介して信号パス44に信号を供給する。さらに、ロウ $x+2$ において、LE出力432および433は、接続401によって結合され、示されるようにステッチングマルチプレクサ410およびドライバ461を介して信号パス44に信号を供給する。既に上述したように、示されるようにライン44aは、ライン44bにスティッチングされる。テール44a-tは、次のロウ（次のロウは図示せず）に冗長パスを提供する。

【0150】

図示されたアーキテクチャ40の信号パス41-44は、信号が冗長モードの実施のためのロウシフト方向と同じ方向で駆動されることを意味する「ダウンストリーム」である。冗長性が関与する場合、図示された各ロウに対するデータは、シフトダウンし、その結果、ロウ x はロウ $x+1$ に置換され、ロウ $x+1$ はロウ $x+2$ に置換される。換言すれば、アーキテクチャ40に対するロウシフト方向は、ロウ x からロウ $x+1$ 、ロウ $x+2$ にページをダウンする。同様に、ステッチングマルチプレクサ410およびドライバ420、ならびに冗長ステッチングマルチプレクサは、ロウ x からロウ $x+1$ 、ロウ $x+2$ に信号を各垂直信号パスに下方向に駆動するように結合される。信号パス41-44は、垂直チャネル内のワイヤのバンドル上に設けられる。アップストリームバンドル上およびアップストリームパスおよびダウンストリームパスを組み合わせたバンドル上に冗長性を提供するためのアーキテクチャは、以後の図面および添付の文書（図7、図11～図13および添付文書を参照）に図示され、記載される。

【0151】

図5は、論理領域カラムにおける3つの論理領域ロウ（ロウ y 、ロウ $y+1$ 、ロウ $y+2$ ）におけるプログラム可能なルーティングを示す冗長回路を有するルーティングアーキテクチャ60を示す。図示された各ロウは、このロウ（個別に分離して図示しない）における論理アレイブロック（LAB）の1つに関連するロウの一部を示す（LAB）。垂直信号パス61、62、63、および64を含む4つの垂直信号パス（各垂直信号パスは、全3つの図示されたロウにわたる）が図示される。垂直信号ライン61はライン61aを含み、垂直信号パス62はライン62a、テール62a-t、およびライン62bを含み、垂直信号パス63はライン63a、テール63a-t、ライン63bを含み、垂直信号パス64はライン64a、テール64a-t、ライン64bを含む。複数のラインを有する図示されたこれらの信号パスに対して、各信号パスのラインは、ステッチング回路または冗長スティッチング回路によって共にスティッチングされる。ライン62aはステッチングマルチプレクサ610および冗長ステッチングドライバ661を含むスティッチング回路によってライン62bにスティッチングされる。テール62a-tは、ステッチングマルチプレクサ610および冗長ステッチングドライバ662によってライン62bにスティッチングされる。ライン63aはステッチングマルチプレクサ610および冗長ステッチングドライバ662を含むスティッチング回路によってライン63bにスティッチング

される。テール 6 3 a - t は、ステッチングマルチプレクサ 6 1 0 および冗長ステッチングドライバ 6 6 2 によってライン 6 3 b にスティッチングされる。ライン 6 4 a はステッチングマルチプレクサ 6 1 0 およびステッチングドライバ 6 6 1 を含むスティッチング回路によってライン 6 4 b にスティッチングされる。

【0152】

図 5 の実施形態の 1 局面では、1 つの信号パスの「ノーマルモード」ステッチングマルチプレクサは、また別の信号パスの「冗長モード」ステッチングマルチプレクサである。例えば、テール 6 2 a - t (冗長性において使用される) は、スティッチング回路のスティッチングライン 6 3 a ~ ライン 6 3 b の一部である同じステッチングマルチプレクサ 6 1 0 を介してライン 6 2 b にスティッチングされる。

10

【0153】

図 4 のアーキテクチャ 4 0 の図示および説明した場合のように、図 5 に図示されたアーキテクチャ 6 0 では、ルーティングリソースが各ロウに対して一般の形態で示される。各ロウは、H-ライン 6 1 1、6 1 2、6 1 3、6 1 4 と、LE 入力 6 2 1、6 2 2、6 2 3、6 2 4 と、H-ライン DIM 6 4 1、6 4 2、6 4 3、および 6 4 4 と、LE 出力 6 3 1、6 3 2、6 3 3、および 6 3 4 とを含む論理領域ルーティングリソースを含む。各別個のルーティングリソースは、図面を簡略化し、接続パターンおよびロウ間の接続および冗長接続のパターンの良好な図示を可能にするために水平ラインによって示される。

【0154】

示されるように、接続 6 0 1 および / または 6 0 2 の 2 つのタイプの群が図示される。接続 6 0 1 および 6 0 2 の群 6 4 0 は、V-ラインから論理領域ロウのルーティングリソースに信号を供給するように結合される。接続 6 0 1 および 6 0 2 の群 6 5 0 は、論理領域ロウのルーティングリソースから特定の V-ラインに信号を供給するように結合される。ロウ間において、特定のロウにおける接続 6 0 1 および / または 6 0 2 のパターンは、前のロウにおける同様な接続 6 0 1 に対する冗長性を提供する。図示された各ロウ (すなわち、ロウ y、ロウ y + 1、ロウ y + 2) は、修復可能な領域内で予備ロウの上にあるロウである。冗長モードが関与する場合、ロウ y + 2 はロウ y + 1 に置換され、ロウ y + 1 はロウ y に置換される。これは以下でより詳細に説明される。

20

【0155】

信号パス 6 1 から開始して、ロウ y において、V-ライン 6 1 a は、接続 6 0 1 によって LE 入力 6 2 1 および LE 入力 6 2 2 に結合される。あるいは、ロウ y において、V-ライン 6 1 a は、接続 6 0 1 によって H-ライン DIM 6 4 1 および H-ライン DIM 6 4 2 に結合される。

30

【0156】

ロウ y + 1 において、V-ライン 6 1 a は、接続 6 0 1 によって LE 入力 6 2 1 に結合され、接続 6 0 2 によって LE 入力 6 2 2 に結合され、そして接続 6 0 1 によって LE 入力 6 2 3 に結合される。ロウ y + 1 において、接続 6 0 1 による LE 入力 6 2 1 への結合および接続 6 0 2 による LE 入力 6 2 2 への結合は、冗長性が、ロウ y において、接続 6 0 1 により信号パス 6 1 の LE 入力 6 2 1 および 6 2 2 への結合に対してロウ y + 1 において提供されることを可能にする。あるいは、ロウ y + 1 において、信号パス 6 1 は、接続 6 0 1 によって H-ライン DIM 6 4 1 に結合され、接続 6 0 2 によって H-ライン DIM 6 4 2 に結合され、そして接続 6 0 1 によって H-ライン DIM 6 4 3 に結合される。ロウ y + 1 において、信号パス 6 1 の H-ライン DIM 6 4 1 および H-ライン DIM 6 4 2 への結合は、ロウ y において接続 6 0 1 による H-ライン DIM 6 4 1 および H-ライン DIM 6 4 2 への結合に対する冗長性を提供する。

40

【0157】

ロウ y + 2 において、V-ライン 6 1 a は、接続 6 0 1 によって LE 入力 6 2 1 に結合され、接続 6 0 2 によって LE 入力 6 2 3 に結合され、そして接続 6 0 1 によって LE 入力 6 2 4 に結合される。ロウ y + 2 において、接続 6 0 1 による信号パス 6 1 の LE 入力 6 2 1 への結合および接続 6 0 2 による信号パス 6 1 の LE 入力 6 2 3 への結合は、冗長性

50

が、ロウ y + 1 において、接続 6 0 1 による信号パス 6 1 の L E 入力 6 2 1 への結合および L E 入力 6 2 2 への結合に対して提供されることを可能にする。あるいは、ロウ y + 2 において、信号パス 6 1 は、接続 6 0 1 によって H-ライン D I M 6 4 1 に結合され、接続 6 0 2 によって H-ライン D I M 6 4 3 に結合され、そして接続 6 0 1 によって H-ライン D I M 6 4 4 に結合される。ロウ y + 2 において、接続 6 0 1 および 6 0 2 における信号パス 6 1 の H-ライン D I M 6 4 1 および H-ライン 6 4 3 への結合は、ロウ y + 1 において接続 6 0 1 による信号パス 6 1 の H-ライン D I M 6 4 1 および H-ライン D I M 6 4 3 への結合に対する冗長性をロウ y + 2 において提供されることを可能にする。

【0158】

ここで、信号パス 6 2 を参照すると、ロウ y において、信号パス 6 2 のライン 6 2 a は、
接続 6 0 1 によって L E 入力 6 2 2 および L E 入力 6 2 3 に結合され、接続 6 0 2 によって L E 入力 6 2 4 に結合される。また、ロウ y において、ライン 6 2 a は、接続 6 0 1 によって H-ライン D I M 6 4 2 および H-ライン D I M 6 4 3 に結合され、接続 6 0 2 によって H-ライン D I M 6 4 4 に結合される。以前に説明したように、ライン 6 2 a は、ステッチングマルチプレクサ 6 1 0 およびステッチングドライバ 6 6 1 を介してライン 6 2 b にスティッチングされる。さらにロウ y において、H ライン D I M 6 1 1 および H ライン 6 1 2 は、接続 6 0 1 によって結合され、H ライン 6 1 3 は接続 6 0 2 によって結合されて、図示されるようにステッチングマルチプレクサ 6 1 0 およびステッチングドライバ 6 6 1 を介して信号を信号パス 6 2 に供給する。L E 出力 6 3 1 および L E 出力 6 3 3 は、接続 6 0 1 によって結合され、L E 出力 6 3 4 は、接続 6 0 2 によって結合されて、
図示されるようにステッチングマルチプレクサ 6 1 0 およびステッチングドライバ 6 6 1 を介して信号を信号パス 6 2 に供給する。

【0159】

信号パス 6 2 の説明を続けると、ロウ y + 1 において、信号パス 6 2 のライン 6 2 b は、接続 6 0 1 によって L E 入力 6 2 3 および L E 入力 6 2 4 に結合される。ライン 6 2 a のテール 6 2 a - t は、接続 6 0 2 によって L E 入力 6 2 2 および L E 入力 6 2 3 に結合され、接続 6 0 2 によって H-ライン D I M 6 4 2 および H-ライン D I M 6 4 3 に結合される。上述したように、図示のようにテール 6 2 a - t は、冗長ステッチングマルチプレクサ 6 1 0 および冗長ステッチングドライバ 6 6 2 を介してライン 6 2 b にスティッチされる。冗長が関与する場合、ロウ y とロウ y + 1 との間のステッチングドライバ 6 6 1 は
トライステートされ、ロウ y + 1 とロウ y + 2 との間の冗長ステッチングドライバ 6 6 2 がイネーブルされる。ロウ y + 1 において、テール 6 2 a - t を L E 入力 6 2 2 および L E 入力 6 2 3 に結合し、テール 6 2 a - t を H-ライン D I M 6 4 2 および H-ライン D I M 6 4 3 に結合する接続 6 0 2 は、ロウ y において接続 6 0 1 による V-ライン 6 2 a の L E 入力 6 2 2 および L E 入力 6 2 3 への結合および接続 6 0 1 による V-ライン 6 2 a の H-ライン D I M 6 4 2 および H-ライン D I M 6 4 3 への結合に対して冗長性を提供する。信号パス 6 2 に関連するロウ y に対する、ロウ y + 1 におけるさらなる冗長接続は、信号パス 6 3 を説明する意味で以後説明される。

【0160】

信号パス 6 2 の説明を続けると、ロウ y + 2 において、ライン 6 2 b は、接続 6 0 1 によって L E 入力 6 2 2 に結合され、接続 6 0 2 によって L E 入力 6 2 3 に結合され、接続 6 0 1 によって L E 入力 6 2 4 に結合され、接続 6 0 1 によって H-ライン D I M 6 4 2 に結合され、接続 6 0 2 によって H ライン D I M 6 4 3 に結合され、そして接続 6 0 2 によって H-ライン D I M 6 4 4 に結合される。接続 6 0 2 による L E 入力 6 2 3 へのライン 6 2 b の結合、接続 6 0 2 による L E 入力 6 2 4 へのライン 6 2 b の結合、接続 6 0 2 による H-ライン D I M 6 4 3 へのライン 6 2 b の結合、接続 6 0 1 による H-ライン D I M 6 4 4 へのライン 6 2 b の結合は、ロウ y + 1 において、接続 6 0 1 によるライン 6 2 b の L E 入力 6 2 3 および L E 入力 6 2 4 への結合および H-ライン D I M 6 4 3 および H-ライン D I M 6 4 4 への結合は、ロウ y + 2 において冗長性を提供する。

【0161】

ここで、信号パス 6 3 に結合され、ロウ y において、ライン 6 3 a は、接続 6 0 1 によって L E 入力 6 2 1 に結合され、接続 6 0 2 によって L E 入力 6 2 3 に結合され、接続 6 0 1 によって L E 入力 6 2 4 に結合され、接続 6 0 1 によって H-ライン D I M 6 4 1 に結合され、接続 6 0 1 によって H-ライン D I M 6 4 4 に結合される。

【0162】

信号パス 6 3 の説明を続けると、ロウ y + 1 において、ライン 6 3 a は、接続 6 0 1 によって L E 入力 6 2 1 および L E 入力 6 2 2 に結合され、接続 6 0 2 によって L E 入力 6 2 4 に結合され、接続 6 0 1 によって H-ライン D I M 6 4 1 および H-ライン D I M 6 4 2 に結合され、そして接続 6 0 2 によって H-ライン D I M 6 4 4 に結合される。全ロウ y + 1 において、接続 6 0 1 による L E 入力 6 2 1 へのライン 6 3 a の結合、接続 6 0 2 による L E 入力 6 2 4 へのライン 6 3 a の結合、接続 6 0 1 による H-ライン D I M 6 4 1 へのライン 6 3 a の結合、接続 6 0 2 による H-ライン D I M 6 4 4 へのライン 6 3 a の結合は、ロウ y において、ライン 6 3 a の L E 入力 6 2 1 および L E 入力 6 2 4 への結合、ならびに、ライン 6 3 a の H-ライン D I M 6 4 1 および H-ライン D I M 6 4 4 への結合に対して冗長性を提供する。

【0163】

ロウ y + 1 とロウ y + 2 との間のステッチングマルチプレクサ 6 1 0 と、信号パス 6 3 を駆動するステッチングドライバ 6 6 1 および駆動信号パス 6 2 を駆動する冗長ステッチングドライバ 6 6 2 の両方との結合は、ロウ y + 1 において、ルーティングリソースから信号パス 6 3 にノーマルモードで信号を提供するために結合されたいくつかの例示の接続 6 0 1 が、またロウ y において信号パス 6 2 に信号を供給するように結合された所定の接続に対して冗長接続を提供することを可能にする。ここで、これはさらに詳細に説明される。

【0164】

図示されるように、ロウ y + 1 において、Hライン 6 1 1 および 6 1 3 は、ステッチマルチプレクサ 6 1 0 およびステッチドライバ 6 6 1 を介して、接続 6 0 1 により「ノーマルモード」動作を信号パス 6 3 に提供するように結合される。図示されるように、接続 6 0 1 による Hライン 6 1 1 の結合はまた、ステッチマルチプレクサ 6 1 0 および冗長ドライバ 6 6 2 を介して「冗長モード」結合を信号パス 6 2 に提供する；この結合は、ロウ y の接続 6 0 1 による信号パス 6 2 に対する Hライン 6 1 1 の結合にロウ y + 1 の冗長性を提供する。図示されるように、ロウ y + 1 においても、Hライン 6 1 2 は、ステッチマルチプレクサ 6 1 0 および冗長ドライバ 6 6 2 を介して冗長モード動作の信号を信号パス 6 2 に提供するように接続 6 0 2 により結合される。この結合は、ロウ y の接続 6 0 1 によって信号パス 6 2 に対する Hライン 6 1 2 の結合にロウ Y + 1 の冗長性を提供する。図示されるように、ロウ y + 1 においても、L E 出力 6 3 1 および 6 3 2 は、ステッチマルチプレクサ 6 1 0 およびステッチドライバ 6 6 1 を介して、信号パス 6 3 に「ノーマルモード」動作の信号を提供するように接続 6 0 1 により結合される。図示されるように、接続 6 0 1 による L E 出力 6 3 1 の結合はまた、ステッチマルチプレクサ 6 1 0 および冗長ドライバ 6 6 2 を介して、「冗長モード」結合を信号パス 6 2 に提供する；この結合は、ロウ y の接続 6 0 1 による信号パス 6 2 に対する L E 出力 6 3 1 の結合にロウ y + 1 の冗長性を提供する。図示されるように、ロウ y + 1 においても、L E 出力 6 3 3 は、ステッチマルチプレクサ 6 1 0 および冗長ドライバ 6 6 2 を介して、接続 6 0 2 によって信号パス 6 2 に冗長モード動作の信号を提供するように結合される。この結合は、ロウ y の接続 6 0 1 により信号パス 6 2 に対する L E 出力 6 3 3 の結合にロウ y + 1 の冗長性を提供する。

【0165】

信号パス 6 3 に続いて、ロウ y + 2 において、ライン 6 3 b は、接続 6 0 1 により、L E 入力 6 2 1 および 6 2 2 ならびに Hライン D I M 6 4 1 および 6 4 2 に結合される。

【0166】

ここで、信号パス 6 4 を参照すると、ロウ y において、信号パス 6 3 のライン 6 4 a は、接続 6 0 1 により L E 入力 6 2 1 に結合され、接続 6 0 2 により L E 入力 6 2 2 に結合さ

10

20

30

40

50

れ、接続 6 0 1 により L E 入力 6 2 3 に結合される。ロウ y においても、ライン 6 3 a は、接続 6 0 1 により H ライン D I M 6 4 1 に結合され、接続 6 0 2 により H ライン D I M 6 4 2 に結合され、接続 6 0 1 により H ライン D I M 6 4 3 に結合される。

【0167】

信号パス 6 4 に続いて、ロウ y + 1 において、V ライン 6 4 a は、L E 入力 6 2 1 に結合され、接続 6 0 2 により L E 入力 6 2 3 に結合され、接続 6 0 1 により L E 入力 6 2 4 に結合される。L E 入力 6 2 1 に対する接続 6 0 1 による結合および L E 入力 6 2 3 に対する接続 6 0 2 による結合により、冗長性がロウ y の接続 6 0 1 による L E 入力 6 2 1 および 6 2 3 に対する信号パス 6 4 の結合にロウ y + 1 内にて提供され得ることに留意する。また、ロウ y + 1 において、信号パス 6 4 は、接続 6 0 1 によって H ライン D I M 6 4 1 に結合され、接続 6 0 2 によって H ライン D I M 6 4 3 に結合され、接続 6 0 1 によって H ライン D I M 6 4 4 に結合される。ロウ y + 1 の接続 6 0 1 による H ライン D I M 6 4 1 に対する信号パス 6 4 の結合および接続 6 0 2 による H ライン D I M 6 4 3 に対する信号パス 6 4 の結合は、ロウ y の H ライン D I M 6 4 1 および 6 4 3 に対する接続 6 0 1 による信号パス 6 4 の結合に、冗長性を提供する。

10

【0168】

信号パス 6 4 に続いて、ロウ y + 2 において、V ライン 6 4 a は、接続 6 0 1 によって L E 入力 6 2 1 に結合され、接続 6 0 1 によって L E 入力 6 2 2 に結合され、接続 6 0 2 によって L E 入力 6 2 4 に結合される。ロウ y + 2 の L E 入力 6 2 1 に対する接続 6 0 1 による結合および L E 入力 6 2 4 に対する接続 6 0 2 による結合により、冗長性がロウ y の接続 6 0 1 による L E 入力 6 2 1 および 6 2 4 に対する信号パス 6 4 の結合にロウ y + 1 内にて提供され得ることに留意する。また、ロウ y + 2 において、信号パス 6 4 は、接続 6 0 1 によって H ライン D I M 6 4 1 および 6 4 2 に結合され、接続 6 0 2 によって H ライン D I M 6 4 2 に結合される。ロウ y + 2 の接続 6 0 1 による H ライン D I M 6 4 1 に対する信号パス 6 4 の結合および接続 6 0 2 による H ライン D I M 6 4 4 に対する信号パス 6 4 の結合は、ロウ y + 1 の H ライン D I M 6 4 1 および 6 4 4 に対する接続 6 0 1 による信号パス 6 4 の結合に、冗長性を提供する。

20

【0169】

図示されるように、信号パス 6 4 に続いて、ロウ y + 2 において、H ライン 6 1 1 および 6 1 4 は、ステッチマルチプレクサ 6 1 0 およびステッチドライバ 6 6 1 を介して、接続 6 0 1 により「ノーマルモード」動作を信号パス 6 4 に提供するように結合される。図示されるように、接続 6 0 1 による H ライン 6 1 1 の結合はまた、ステッチマルチプレクサ 6 1 0 および冗長ドライバ 6 6 2 を介して「冗長モード」結合を信号パス 6 3 に提供する；この結合は、ロウ y + 1 の接続 6 0 1 による信号パス 6 3 に対する H ライン 6 1 1 の結合にロウ y + 2 の冗長性を提供する。図示されるように、ロウ y + 2 においても、H ライン 6 1 3 は、ステッチマルチプレクサ 6 1 0 および冗長ドライバ 6 6 2 を介して冗長モード動作の信号を信号パス 6 3 に提供するように接続 6 0 2 により結合される。この結合は、ロウ y + 1 の接続 6 0 1 によって信号パス 6 3 に対する H ライン 6 1 3 の結合にロウ y + 2 の冗長性を提供する。図示されるように、ロウ y + 2 においても、L E 出力 6 3 1 および 6 3 4 は、ステッチマルチプレクサ 6 1 0 およびステッチドライバ 6 6 1 を介して、信号パス 6 4 に「ノーマルモード」動作の信号を提供するように接続 6 0 1 により結合される。図示されるように、接続 6 0 1 による L E 出力 6 3 1 の結合はまた、ステッチマルチプレクサ 6 1 0 および冗長ドライバ 6 6 2 を介して、「冗長モード」結合を信号パス 6 3 に提供する；この結合は、ロウ y + 1 の接続 6 0 1 による信号パス 6 2 に対する L E 出力 6 3 1 の結合にロウ y + 2 の冗長性を提供する。図示されるように、ロウ y + 2 においても、L E 出力 6 3 2 は、ステッチマルチプレクサ 6 1 0 および冗長ドライバ 6 6 2 を介して、信号パス 6 3 に冗長モード動作の信号を提供するように結合される。この結合は、ロウ y + 1 の接続 6 0 1 による信号パス 6 3 に対する L E 出力 6 3 2 の結合にロウ y + 2 の冗長性を提供する。

30

40

【0170】

50

図4および図5の例示的な実施形態は、一方から他方へのVラインステッチを示す。別の実施形態において、特定のVラインは、複数のVラインにステッチし得る。例示的な実施形態はまた、冗長モードのテールの前の最低のロウから、または、冗長モードのテールからVラインステッチを示す。しかし、別の実施形態において、特定のVラインは、Vライン上の別の位置から他の位置（例えば、Vラインの中間部）にステッチし得る。冗長性の透視図（perspective）から、別のVラインへの接続は、特定の論理領域のルーティングリソース等の他のルーティングリソースへの接続と類似しているように見える。次いで、本明細書中で用いられる単語「ステッチ」は、Vライン間のスイッチ接続（すなわち、一方のVラインを他方のVラインに結合する接続）について記載する利便性の高いラベルを提供することを意味しているに過ぎず、この用語は、このような接続が他の実施形態で生じ得る方法を限定することを意味しない。別の実施形態において、特定のVラインが任意の他のVラインにステッチせず、駆動しないことも可能である。そのような様々な代替物において、テールは、通常ノードで用いられていない冗長モードのVラインの部分を超えて、ルーティングおよび接続を提供するようにまだ用いられ得る。これらの様々な代替物は、物理的な実施に関する例示的な実施形態に対する代替物として（図8～10およびその添付されているテキストを参照）関連し、図4および図5に示されているより一般的な模式図に対する代替物として関連する。

10

【0171】

図6Aは、ステッチドライバ720（図5の実施形態のドライバ661に匹敵する）および冗長ステッチドライバ721（図5の実施形態のドライバ621に匹敵する）がイネーブルにされるか、またはオフ状態にされるかどうかを決定するように用いられる論理70の実施例を示す。図示されるように、ステッチドライバ720および冗長ステッチドライバ721は、ステッチマルチプレクサ710（図5の実施形態のステッチマルチプレクサ610に匹敵する）の出力から信号を受信するように結合される。論理70は、BAD信号生成器71、SHIFT信号生成器72、ANDゲート74、およびインバータ75を含む。第1のインバータ75は、図示されるように、BAD信号を受信し、反転出力をANDゲート74の第1の入力に提供するように結合される。第2のインバータ75およびANDゲート74の第2の入力は、図示されるように、SHIFT信号を受信するように結合される。第2のインバータ75は、図示されるように、ステッチドライバ720のイネーブル入力720ENに反転出力を提供するように結合される。ANDゲート74は、図示されるように、冗長ステッチドライバ721のイネーブル入力721ENにANDゲート74の出力を提供するように結合される。

20

30

【0172】

high「1」がイネーブル入力720ENまたは721ENに提供される場合、個々のドライバ720または冗長ドライバ721は、オン状態にされる。low「0」がイネーブル入力720ENまたは721ENに提供される場合、個々のドライバ720または冗長ドライバ721は、トライステートをとる。

【0173】

BAD信号生成器71およびSHIFT信号生成器72は、high値またはlow値のいずれかを維持する構成要素として実施される。したがって、これらの構成要素は、論理70の残りの要素を介して個別のドライバ720および冗長ドライバ721にそれぞれ結合される。当業者は、論理70が個別のドライバおよび冗長ドライバを選択的にイネーブルにするか、またはイネーブルにしないように利用され得る論理の一例に過ぎないと認識する。さらに、当業者は、別の実施形態において、構成要素が、中間的な論理回路部を用いることなく、個別のステッチドライバおよび冗長ステッチドライバに結合され得ることを認識する。そのような実施形態において、構成データは、ロウが予備ロウであるかどうか、予備ロウの下位にあるかどうか、BADロウであるかどうか、または、BADロウと予備ロウの間にあるかどうかを説明するために必要である。

40

【0174】

図6B、6Cおよび6Dは、信号生成器71および72によって個別に提供されたBAD

50

信号およびSHIFT信号の値を示す表である。「GOOD」ロウ（すなわち、欠陥物として規定されていないロウ）の、完全な部分内で、図6Bに示されるように、ステッチドライバ720は、オン状態にされ、冗長ドライバ721はトライステートにされる。これは、図示されるように、lowの「SHIFT」信号および「BAD」信号を提供することによって達成される。完全な部分において、冗長性は、関与しておらず、予備ロウは、ステッチドライバ720および冗長ステッチドライバ721がトライステートをとることにより、回避される。これは、highのSHIFT信号およびBAD信号を提供することによって達成される（SHIFTがlowである場合、冗長ドライバ721は、BADもlowであろうとなかろうと、トライステートをとる）。トライステートをとるステッチドライバ720および冗長ステッチドライバ662を備える予備ロウにおいて、VラインXZ上に提供された任意の信号がロウのステッチ回路部を介してパスされないが、そのような信号は、テールXZtにより、次のロウに提供される。

10

【0175】

図6Cは、各修復可能領域のBADロウを示す。第1の修復可能領域は、ロウr3の上方に存在する。第2の修復可能領域は、ロウr6の上方に存在する。両方の修復可能領域において、不良ロウが存在し、このような冗長性が少なくとも両方の領域の部分に関与する。図6Cにおいて、ロウr2およびr4は、BADである。ロウr1が良いロウである。ロウr1がロウr3の上方に規定されている修復可能領域にBADロウr2の上方であるので、冗長性のロウシフトがロウr1に関与する必要がない。したがって、GOODロウr1において、ステッチドライバ720は、イネーブルになり、冗長ステッチドライバ721は、lowSHIFT信号およびBAD信号を提供することによってトライステートをとる。ロウr2は、回避される必要のあるBADロウであり、ロウr2の、このようなステッチドライバ720および冗長ステッチドライバ721の両方は、highのSHIFT信号およびlowのBAD信号を提供することによってトライステートをとる。SPAREロウr3は、ロウr2の代用であるように利用され、ロウr3において、冗長ステッチドライバ721は、イネーブルにされ、ステッチドライバ720は、highのSHIFT信号およびlowのBAD信号を提供することによって、トライステートをとる。ロウr4は、不良であり、ロウr2に示される同じように回避される。ロウr5は良好である。ロウr5は、BADロウr4の下方にあり、冗長性に関与するGOODロウr5は、トライステートをとるステッチドライバ720を有するBADロウr4と取り代わり、これは、highのSHIFT信号およびlowのBAD信号を提供することによって達成される。SPAREロウr6は、ロウr5と取り代わり、ステッチドライバ720は、トライステートをとる、冗長ステッチドライバ721は、イネーブルにされる。

20

30

【0176】

図6Dは、修復可能領域の全体でなく、一部のみにて、不良のロウを示す。図6Cに示されるように、2つの修復可能領域（ロウr3の上方の第1の領域およびロウr6の上方の第2の領域）が規定される。図6Cに示されるように、ロウr2が不良である。ロウr1、r2およびr3は、SHIFTシグナリングおよびBADシグナリングに関して、図6Cと図6Dとにおいて、同様の処理が為される。しかし、ロウr6の上方およびロウr3の下方の修復可能領域において、BADロウは存在しない。したがって、ロウr4、r5、およびr6は、欠損なしの部分の規定した、SHIFTシグナリングおよびBADシグナリングに関して、図6Dと図6Bとにおいて、同様の処理が為される。

40

【0177】

図7は、冗長回路にルーティングアーキテクチャ部分80の信号パスを提供する上流ワイヤおよび関連する回路を示す。ワイヤおよび関連する回路は、ロウシフト方向に対して駆動されるアーキテクチャ部分80の信号パスを提供する。図7は、3つの論理領域ロウ（論理領域カラム内のw、w+1、およびw+2）にプログラム可能ルーティングを示す。信号がページの上に駆動されるが、冗長モードが関与する場合、ロウシフト方向は、ページ下になる。図示された各ロウは、そのロウ（LABは特に図示されていない）の論理アレイブロック（LAB）に関連するロウの部分を示す。

50

【0178】

4つの垂直な信号パスは、それぞれが3つ全ての図示されたロウにわたっており、垂直な信号パス81、82、83および84を含んで示され、各信号パスは、複数の垂直なラインを含む。垂直な信号パス81は、ライン81bおよびテール81a~81tを含む；垂直な信号パス82は、ライン82a、テール82a~82t、およびライン82bを含む；垂直な信号パス83は、ライン83a、テール83a~83t、およびライン82bを含む；垂直な信号パス84は、ライン84aおよびライン84bを含む。図示される複数のラインを有するこれらの信号パスは、各信号パスのラインがステッチ回路または冗長ステッチ回路により共にステッチされる。ステッチ接続は、ラインが信号を上流に駆動する、アーキテクチャ部分80の底部から上部までが説明される。ライン81bは、図示されるように、マルチプレクサ810および冗長ドライバ821（ロウwとロウw+1との間のマルチプレクサおよびドライバ）によってテール81a~81tにステッチされる。ライン82bは、図示されるように、ステッチマルチプレクサ810およびステッチドライバ820を含むステッチ回路によってライン82aにステッチされる。ライン82bはまた、図示されるように、マルチプレクサ810および冗長ステッチドライバ821（ロウw+1とロウw+2との間のマルチプレクサおよびドライバ）によってテール82a~82tにステッチされる。ライン83bはまた、図示されるように、ステッチマルチプレクサ810およびステッチドライバ820（ロウw+1とロウw+2との間のマルチプレクサおよびドライバ）を含むステッチ回路によってライン83aにステッチされる。ライン83bはまた、図示されるように、マルチプレクサ810および冗長ステッチドライバ821（ロウw+2のマルチプレクサおよび冗長ドライバ）を含むステッチ回路によってテール83a~83tにステッチされる。ライン84bはまた、図示されるように、ステッチマルチプレクサ810およびステッチドライバ820（底部またはロウw+2のマルチプレクサおよびドライバ）によってライン84aにステッチされる。

10

20

【0179】

図5の実施形態の議論された局面と同様に、図7の実施形態の1局面は、1信号パスの「ノーマルモード」ステッチマルチプレクサはまた、別の信号パスの「冗長モード」ステッチマルチプレクサである。例えば、ロウw+1とw+2との間に示されたステッチ回路を参照して、テール82a~82t（冗長状態にて利用される）は、ノーマルモードドライバ820を介してライン83bをライン83aに結合するように用いられる同じステッチマルチプレクサ810を通じ、冗長ドライバ821を介して、ライン82bから信号を受信するようにステッチされる。

30

【0180】

図4のアーキテクチャ40と、図5のアーキテクチャ60とを示し、説明する場合には、ルーティングリソースは、アーキテクチャ80が示されている図7において、各ロウに対して、一般的な形式で示される。各ロウは、Hライン811、812、813、814、LE入力821、822、823、824、HラインDIM841、842、843、および844、およびLE出力831、832、833、834（ロウwに対してのみ個別に示された番号）を含む論理領域ルーティングリソースを含む。各離散ルーティングリソースは、図面を単純化し、ロウからロウまでの接続のパターンのより良い例示および冗長な接続を可能にするように水平ラインによって表される。

40

【0181】

図示されるように、接続801および／または802の2つのグループが、示される。接続801および／または802のグループ840は、論理領域ロウのルーティングリソースにVラインから信号を提供するように結合される。接続801および802のグループ850は、論理領域ロウのルーティングリソースから特定のVラインに信号を提供するように結合される。ロウからロウまでの、特定のロウの接続801および／または802のパターンは、前のロウの同様の接続801に冗長性を提供する。例示されたロウそれぞれ、すなわち、ロウw、w+1およびw+2は、修復可能領域内に予備ロウの上方のロウである。冗長モードが関与している場合、ロウw+2は、ロウw+1と取り代わり、ロウw

50

+1は、ロウwと取り代わる。これは、ここで、より詳細に説明される。

【0182】

Vライン81bは、ロウw内の信号パス81で始まり、LE入力821および822に、接続801によって結合される。ロウwにおいても、Vライン81bは、HラインDIM841および842に、接続801によって結合される。

【0183】

ロウw+1において、Vライン81bは、接続801により、LE入力821に結合され、接続802により、LE入力822に結合され、接続801により、LE入力823に結合される。ロウw+1の、LE入力821に対する接続801による結合およびLE入力822に対する接続802による結合により、冗長性は、ロウw+1において、ロウwの接続801によるLE入力821および822に対する信号パス81の結合に提供され得る。ロウw+1においても、信号パス81は、接続801によってHラインDIM841に結合され、接続802によってHラインDIM842に結合され、接続801によってHラインDIM843に結合される。ロウw+1の、HラインDIM841（接続801）および842（接続802）に対する信号パス81の結合は、ロウwの、HラインDIM841および842に対する接続801による結合に冗長性を提供する。

10

【0184】

ロウw+2において、Vライン81bは、接続801によってLE入力821に結合され、接続802によってLE入力823に結合され、接続801によってLE入力824に結合される。ロウw+2の、LE入力821に対する信号パス81の、接続801による結合およびLE入力823に対する信号パス81の、接続802による結合により、冗長性は、ロウw+1において、ロウw+1の接続801によるLE入力821および823に対する信号パス81の結合に提供され得る。ロウw+2において、信号パス81は、接続801によってHラインDIM841に結合され、接続802によってHラインDIM843に結合され、接続801によってLE入力844に結合される。ロウw+2の、HラインDIM841に対する接続801による信号パス81の結合およびHラインDIM843に対する接続802による信号パス81の結合により、冗長性は、ロウw+2において、ロウw+1の接続801によるHラインDIM841および843に対する信号パス81の結合に提供され得る。

20

【0185】

信号パス82を参照すると、ロウwにおいて、信号パス82のライン82aは、接続801によってLE入力822および823に結合され、接続802によってLE入力824に結合される。ロウwにおいても、ライン82aは、接続801によってHラインDIM842および843に結合され、接続802によってHラインDIM844に結合される。上述したように、ライン82bは、図示されるように、ステッチマルチプレクサ810およびステッチドライバ820を介して、ライン82aにステッチされる。さらに、ロウwにおいて、Hライン811および812は、接続801によって結合され、Hライン813は、接続802により結合され、これにより、図示されるように、ステッチマルチプレクサ810およびステッチドライバ820を介して、信号を信号パス82（ライン82aで駆動する）に提供する。LE出力831および833は、接続801によって接続され、LE出力834は、接続802に結合され、これにより、図示されるように、ステッチマルチプレクサ810およびステッチドライバ820を介して、信号パス82（ライン82aで駆動する）に信号を提供する。

30

40

【0186】

ロウw+1の、信号パス82に続いて、信号パス82のライン82bは、接続801によってLE入力823および824に結合される。ライン82aのテール82a~82tは、接続802により、LE入力822および823に結合され、HラインDIM832および833に結合される。上述したように、ライン82bは、図示されるように、ステッチマルチプレクサ810および冗長ステッチドライバ821を介して、テール82a~82tにステッチする。冗長性が関与する場合、ロウwとロウw+1との間のステッチドラ

50

イバ８２０は、トリアステートを取り、ロウw+1とロウw+2との間の冗長ステッチドライバ８２１は、イネーブルとされる。次いで、ライン８２aは、ノーマルモード動作のロウwの底部からではなく、テール８２a～８２tを介するロウw+1の底部から、冗長状態に駆動される。ロウw+1の、テール８２a～８２tをL E入力８２２および８２３ならびにHラインD I M 8 4 2および8 4 3に結合する接続８０２は、ロウwの、L E入力８２２および８２３に対する接続８０１によるVライン８２aの結合およびHラインD I M 8 4 2および8 4 3に対する接続８０１によるVライン８２aの結合に冗長性を提供する。次に、信号パス８２に関連するロウwに対する、ロウw+1のさらなる冗長接続は、信号パス８３を説明するコンテキスト内にて説明される。

【０１８７】

10

ロウw+2の、信号パス８２に続いて、信号パス８２のライン８２bは、接続８０１によってL E入力８２２に結合され、接続８０２によってL E入力８２３に結合され、接続８０１によってHラインD I M 8 4 2に結合され、接続８０２によってHラインD I M 8 4 3に結合され、接続８０１によってHラインD I M 8 4 4に結合される。接続８０２によってL E入力８２３に結合され、接続８０１によってL E入力８２４に結合され、接続８０２によってHラインD I M 8 4 3に結合され、接続８０１によってHラインD I M 8 4 4に結合されるライン８２bの結合は、ロウw+2において、ロウw+1の、L E入力８２３および８２４およびHラインD I M 8 4 3および8 4 4に対する接続８０１によるライン８２bの結合に、ロウw+2において冗長性を提供する。

【０１８８】

20

ここで、信号パス８３を振り返ると、ロウwにおいて、ライン８３aは、接続８０１によってL E入力８２１に結合され、接続８０２によってL E入力８２３に結合され、接続８０１によってL E入力８２４に結合され、接続８０１によってHラインD I M 8 4 1に結合され、接続８０２によってHラインD I M 8 4 3に結合され、接続８０１によってHラインD I M 8 4 4に結合される。

【０１８９】

信号パス８３を続けて、ロウw+1において、ライン８３aは、接続８０１によりL E入力８２１および８２２に結合され、接続８０２によりL E入力８２４に結合され、接続８０１によりHラインD I M 8 4 1および8 4 2に結合され、接続８０２によりHラインD I M 8 4 4に結合される。ライン８３aの、接続８０１によるL E入力８２１への結合、接続８０２によるL E入力８２４への結合、接続８０１によるHラインD I M 8 4 1への結合、接続８０２によるHラインD I M 8 4 4への結合、ロウw+1におけるすべての結合は、ロウwにおけるL E入力８２１および８２４、ならびにHラインD I M 8 4 1および8 4 4の結合へのライン８３aの結合に冗長を提供する。

30

【０１９０】

ロウw+1とw+2との間のステッチマルチプレクサ（s t i t c h i n g m u x）８１０を、信号パス８３を駆動するためのステッチドライバ８２０および信号パス８２を駆動するための冗長ステッチドライバ８２１の両方に結合する。これは、ルーティングリソースから、ロウw+1における信号パス８３へ、ノーマルモードの信号を提供するために結合される、図示された接続８０１のいくつかは、ロウwにおける信号パス８２に信号を提供するように結合された特定の接続に対して、冗長接続も提供することを可能にする。これは、次に、さらに詳細に説明される。

40

【０１９１】

ロウw+1において、Hライン８１１および８１３は、接続８０１により結合され、示されるように、ステッチマルチプレクサ８１０およびステッチドライバ８２０を介して、ノーマル動作モードにおける信号を信号パス８３に提供する（ライン８３a上で動いている（d r i v i n g o n t o））。接続８０１によるHライン８１１の結合は、冗長モードも提供する。この冗長モードは、示されるように、ステッチマルチプレクサ８１０、およびテール８２a～tを通じてライン８２a上で動く冗長ドライバ８２１を介する信号パス８２の冗長モード結合も提供する。この結合は、ロウwにおける接続８０１による、信

50

号パス82へのHライン811の結合に、ロウw+1における冗長を提供する。さらに、ロウw+1において、Hライン812は、接続802により結合され、示されるように、冗長動作モードにおける信号を、ステッチマルチプレクサ810および冗長ドライバ821を介して、テール82a-tを通じてライン82a上で動く信号パス82に提供する。この結合は、ロウw+1における冗長を、ロウwにおける接続801による信号パス82へのHライン812の結合に提供する。さらにロウw+1において、LE出力831および832は、接続801により結合され、示されるように、ノーマル動作モードにおける信号を、ステッチマルチプレクサ810およびステッチドライバ820を介して、ライン83a上で動く信号パス83に提供する。接続801によるLE出力831の結合は、さらに、示されるように、ステッチマルチプレクサ810および冗長ドライバ821を介して、テール82a-tを通じてライン82a上で動く信号パス82に冗長モード結合を提供する。この結合は、ロウw+1における冗長を、ロウwにおける接続801による信号パス82へのLE出力831の結合に提供する。さらに、ロウw+1において、LE出力833は、接続802により結合され、示されるように、冗長動作モードにおける信号を、ステッチマルチプレクサ810および冗長ドライバ821を介して信号パス82に提供する。この結合は、ロウw+1における冗長を、ロウwにおける接続801による、信号パス82へのLE出力833の結合に提供する。

10

【0192】

信号パス83を続けて、ロウw+2において、ライン83bは、接続801により、LE入力821および822に、ならびにHラインDIM841および842に結合される。これらの結合は、ロウw+1における接続801による結合と同様の結合に冗長を提供する。

20

【0193】

ここで、信号パス84を参照して、ロウwにおいて、信号パス84のライン84aは、接続801によりLE入力821に、接続802によりLE入力822に、および接続801によりLE入力823に結合される。さらに、ロウwにおいて、ライン83aは、接続801によりHラインDIM841に、接続802によりHラインDIM842、および接続801によりHラインDIM843に結合される。

【0194】

信号パス84を続けて、ロウw+1において、Vライン84aは、接続801によりLE入力821に、接続802によりLE入力823に、および接続801によりLE入力824に結合される。接続801によるLE入力821への結合、および接続802によるLE入力823への結合は、冗長がロウw+1において、ロウwにおける接続801によりLE入力821および823への信号パス84の結合に提供されることを可能にすることに留意されたい。さらに、ロウw+1において、信号パス84は、接続801によるHラインDIM841に、接続802によるHラインDIM843に、および接続801によるHラインDIM844に結合される。ロウw+1における接続801によるHラインDIM841への信号パス84、および接続802によるHラインDIM843への信号パス84の結合は、ロウwにおける接続801によるHラインDIM841および843への信号パス84の結合に冗長を提供する。

30

40

【0195】

信号パス84を続けて、ロウw+2において、Vライン84aは、接続801によりLE入力821に、接続801によりLE入力822に、および接続802によりLE入力824に結合される。ロウw+2における接続801によるLE入力821への信号パス84、および接続802によるLE入力824への信号パス84の結合は、ロウw+1における接続801によるLE入力821および824への信号パス84の結合に冗長が提供されることを可能にすることに留意されたい。さらに、ロウw+2において、信号パス84は、接続801によりHラインDIM841および842に、ならびに接続802によりHラインDIM844に結合される。接続801によるHラインDIM841への、およびロウw+2における接続802によるHラインDIM844への信号パス84の結合

50

は、ロウw+1における接続801によるHラインDIM841および844への信号パス84の結合に冗長が提供されることを可能にする。

【0196】

信号パス84を続けて、ロウw+2において、Hライン811および814は、示されるように、ノーマル動作モードにおける信号を、ステッチマルチプレクサ810およびステッチドライバ820を介する、ライン84a上で動く信号パス84に提供する。接続801によるHライン811の結合は、さらに、示されるように、ステッチマルチプレクサ810および冗長ドライバ821を介して、テール83a～tを通じてライン83a上で動く信号パス83に冗長モード結合を提供する。この結合は、ロウw+2における冗長を、ロウw+1における接続801による信号パス83へのHライン811の結合に提供する。さらに、ロウw+2において、Hライン813は、接続802により結合され、示されるように、冗長動作モードにおける信号を、ステッチマルチプレクサ810および冗長ドライバ821を介して、テール83a～tを通じてライン83a上で動く信号パス83に提供する。この結合は、ロウw+2における冗長を、ロウw+1における接続801による、信号パス83へのHライン813の結合に提供する。さらに、ロウw+2において、LE出力831および834は、接続801により結合され、示されるように、ノーマル動作モードにおける信号を、ステッチマルチプレクサ810およびステッチドライバ820を介して、ライン84a上で動く信号パス84に提供する。接続801によるLE出力831の結合は、さらに、示されるように、ステッチマルチプレクサ810および冗長ドライバ821を介して、テール83a～tを通じてライン83a上で動く信号パス83に冗長モード結合を提供する。この結合は、ロウw+2における冗長を、ロウw+1における接続801による信号パス83へのLE出力831の結合に提供する。さらに、ロウw+2において、LE出力832は、接続802により結合され、示されるように、冗長動作モードにおける信号を、ステッチマルチプレクサ810および冗長ドライバ821を介して信号パス83に提供する。この結合は、ロウw+2における冗長を、ロウw+1における接続801による信号パス83へのLE出力832の結合に提供する。

10

20

【0197】

図8～図10は、PLDにおいて複数のロウを含む部分700を図示する。部分700は、LABの12個のロウ、LAB1～LAB12を含む。

【0198】

デバイスの製作において、拡散プロセスの必要条件の範囲内で、一般に最も効率的であるのは、いくぶん近接した位置にドライバを提供することである。従って、図8に示されるように、部分700は、ドライバ751および752の垂直のカラム780にステッチドライバ751および冗長ステッチドライバ752を提供する。

30

【0199】

図8をさらに参照して、部分700は、垂直トラック1、2、3、4および5をさらに含む。各トラックは、複数の個別ワイヤまたはVラインを含む。示されるように、図8の上から下まで、トラック1は、Vラインテール1a～t、Vライン1bおよびテール1b～t、ならびにVライン1cおよびテール1c～tを含む。トラック2は、Vライン2aおよびテール2a～t、Vライン2bおよびテール2bおよびテール2b～tならびにVライン2cを含む。トラック3は、Vライン3aおよびテール3a～t、Vライン3bおよびテール3b～tならびにVライン3cを含む。トラック4は、Vライン4aおよびテール4a～t、Vライン4bおよびテール4b～tならびにVライン4cを含む。トラック5は、Vライン5aおよびテール5a～t、Vライン5bおよびテール5b～tならびにVライン5cを含む。

40

【0200】

図示された実施形態において、各テールは、その関連するVラインと同じワイヤの1部分であり、単に、ノーマル動作モード中に用いられないワイヤの部分（例えば、テール3a～tは、Vライン3aを提供する同じワイヤの1部分）である。しかしながら、代替的实施形態において、このようなテールは、本発明の他の局面の趣旨および範囲から必ずしも

50

逸脱することなく、関連するVライン（例えば、Vラインワイヤに結合されるワイヤ）を提供するワイヤとは異なるワイヤ上に提供され得る。

【0201】

部分700は、水平のスタブH-1、H-2、H-3、H-4、H-5およびH-6をさらに含む。接続731および732は、示されるように、Vラインを水平スタブに結合し、示されるように、ドライバ出力を水平スタブに結合する。

【0202】

部分700は、接続701および702の群710、720および740をさらに含む。群710は、Hライン（HラインDIM、関連するドライバ、およびHラインは、個別には示されない）を駆動するための、DIMへの接続701および702を含み、群720は、DIMおよびドライバ751または752を介してVライン間をステッチする（stitch）ための接続701および702を含み、群740は、LEヘルパーティングするためのLIMへの接続701および702を含む（LIMおよびLEは、個別には図示されない）。群720を参照して、群720が接続701および接続702の両方を有する、これらのロウに関して、これらの接続は、それぞれのスタブから接続し、同じVラインDIM（VラインDIMの残部は、個別には図示されず）の異なった入力を提供し、そのVラインDIMの出力は、ドライバ751および冗長ドライバ752の両方に接続する。これは、図5のマルチプレクサ610に関して図示および説明された原理と同様であり、この中で、図5に示されるこれらのロウに関して、マルチプレクサ610は1つの信号パスのノーマル動作モード、および別の信号パスの冗長モード部分の両方から入力を受け取る。マルチプレクサをインプリメントする1つの方法は、一般的な出力に結合されるパステートのコレクションとしてのインプリメントであり、および構成エレメントにおけるデータに基づいてオンまたはオフになるようにプログラマブルである（出力が1つのマルチプレクサの場合、1つのパステートのみが任意の所与の時間に「オン」であるようにプログラミングされる。この図示された例において、ドライバ751および752に接続された他のパステートは、個別に図示されない）ことに留意されたい。

【0203】

図8～図10に示されるように、ノーマルモード接続701および冗長モード接続702のパターンは、一般に、ロウ間の接続701に冗長を提供する。例えば、図8に示されるように、ロウLAB2およびLAB3におけるLIM群740における接続のパターンを考察する。ロウLAB2において、接続701は、示されるように、接続731を介してロウLAB2のスタブH-5、H-3、H-2およびH-1それぞれによりVライン1b、3a、4aおよび5aに結合されるLIM接続を提供する。ロウLAB3において、接続701および接続702は、LIM接続（群740）を提供し、このLIM接続は、ロウLAB2におけるLIMへの接続701の冗長になり得る。特に、ロウLAB3において、接続701および接続702は、示されるように、接続731および接続732を介して、ロウLAB3のスタブH-5、H-3、H-2およびH-1それぞれにより、Vライン1b（接続701）、テール3a～t（接続702）、Vライン4a（接続701）およびVライン5a（接続701）に結合される冗長LIM接続を提供する。これらのロウLAB3 LIM接続は、冗長モードで用いられ得、上述のロウLAB2 LIMを置換する。

【0204】

同様に、図8に示されるように、ロウLAB2およびロウLAB3におけるDIM群710における接続のパターンを考察する。ロウLAB2において、接続701は、示されるように、接続731を介して、ロウLAB2のスタブH-2によるVライン4aに結合されるDIM接続を提供する。ロウLAB3において、接続702は、DIM接続（群710）を提供し、DIM接続は、ロウLAB2におけるDIMに接続701の冗長になり得る。特に、ロウLAB3において、接続702は、示されるように、接続731を介して、ロウLAB3のスタブH-2により、Vライン4aに結合される冗長DIM接続を提供する。このロウLAB3 DIM接続は、冗長モードで用いられ得、上述のように、ロウ

10

20

30

40

50

LAB2 DIM接続を置換する。

【0205】

1つのロウにおける接続を別のロウにおける接続と置換するパターンについての2つの変形は以下の通りである。予備ロウLAB6において、冗長モード接続702および732のみが存在する。なぜなら、ロウLAB6は、ノーマル動作モード中は利用されないからである。さらに、ロウLAB7において、予備ロウLAB6の下方に冗長専用モード接続702および732は存在しない。なぜなら、ロウLAB7は、予備ロウLAB6を置換するために用いられないからである。ロウLAB6は、ノーマル動作モードで用いられないので、その種々の接続は、冗長動作モードのためにロウLAB7において複製される必要がない。

10

【0206】

Vラインは、各トラックにおけるそれぞれのテールと一緒に、LABロウにわたって測定される（用いられるか否かを問わない）実際の長さ、および特定のモードで実際に用いられるLABロウにおいて測定される論理長さを有する。本明細書中で用いられる実際の長さは、最初にラインが存在するロウを含まない、Vラインが到達するロウの数のことである。例えば、Vライン1cおよびテール1c～tは、一緒に、実際の長さ5を有する（ロウLAB8、LAB9、LAB10、LAB11およびLAB12を数に入れる）。対照的に、Vライン2bおよびテール2b～tは、共に、LABロウの実際の長さ6を有する（LAB3、LAB4、LAB5、LAB6、LAB7およびLAB8を数に入れる）。対照的に、論理長さは、特定のモードで動作するための、デバイス上の構成およびルーティングの目的のために考慮されるラインの長さである。論理長さは、ラインが最初に駆動されるロウの後の第1のロウから開始され、ラインにわたるアクティブロウを数えることにより測定される（すなわち、ノーマルモードで、ラインのテールに接触するだけの予備ロウおよびロウは数えず、冗長モードで、ラインの必要とされる部分に接触する予備ロウ（単数または複数）を数えるが、不良のロウは数えない）。

20

【0207】

図8～図10に示される実施形態の1局面において、予備ロウ（例えば、予備ロウLAB6）と交差しないテールを有するVラインに関しては、実際の長さは5であり、予備ロウと交差するテールを有するVラインに関しては、実際の長さが6である。この局面は、テールを含むすべてのVラインの論理長さが、特定の動作モードで、長さ4で不変であることを可能にする。例えば、上述のように、テール1c～tを有するVライン1cは、実際の長さ5、およびノーマル動作モードで論理長さ4を有する。ノーマル動作モードにおいて、VラインテールVc～tは利用されず、従って、その中にテールが拡張されるロウは、論理長さで数えられない。従って、4つの論理長さは、ロウLAB8、LAB9、LAB10およびLAB11を含む。テール2b～tをとまなうVライン2bは、6の実際の長さを有し、ノーマル動作モードで、論理長さ4を有する。ノーマル動作モードで、テールV2b～tは利用されず、従って、論理長さについて数えられない。さらに、予備ロウは利用されず、従って、さらに、論理長さで数えられない。ノーマル動作モードの論理長さ4は、ロウLAB3、LAB4、LAB5およびLAB7を含む。

30

【0208】

冗長モードが使用されると、ラインの論理長さは、図10に図示および議論され、テキストをとまなう。しかしながら、一般に、図示された実施形態の、この局面のもとで、予備ロウの範囲と交差しないコンダクタの実際の長さは、所望の論理長さよりも論理単位1だけ大きく、他方、予備ロウの範囲と交差するコンダクタの実際の長さは、所望の論理長さよりも、論理単位2だけ大きい。物理長さは、冗長回路の周波数および配向ならびに他の要因に基づいて、ラインの論理長さを一致させるために必要なだけ拡張され得る。さらに、図8は、論理長さ4を有するラインの状況における例を図示するが、予備ロウが交差するか否かを問わず一致する、より長いまたはより短い論理長さを有するラインが提供され得、長さ4のラインに関して図示および説明されたライン等の原理を利用する。

40

【0209】

50

Vラインテールを有する予備ロウと交差するだけのVラインを参照して、テールをともなうVラインの実際の長さは、5または6であり得（すなわち、所望の論理長さよりも1大きい、または2大きい）、図8の実施形態の、この局面と依然として合致する。例えば、図示されるように、Vライン1bは、予備ロウLAB6の中に達しないが、Vライン1bのテール1b～tは、予備ロウLAB6の中に達する。示されるように、テール1b～tをともなうVライン1bの実際の長さは6である。しかしながら、ロウLAB7の中に達するテール1b～tの部分は必要ではない。なぜなら、まさに冗長動作モードで利用されないからである。

【0210】

代替的实施形態において、実際の長さが全部同じであるVラインが提供され得る。このような実施形態は、状況に依存して、予備ロウの前のロウにおいて限定されたステッチ機能を計算することを必要とし得る。このような実施形態は、さらに、いくつかのVラインが予備ロウと交差し、他のVラインが予備ロウと交差しない場合、異なった論理長さを有する同様のVラインに関して計算することを必要とする。ルーティングアルゴリズムを設計するために、図示された実施形態の局面において提供されたもののようなレイアウトを提供することは、特定の状況において有用であり得る。この実施形態のもとで、論理長さは、予備ロウと交差するか否かを問わずワイヤにわたって不変である。

10

【0211】

図9は、ノーマル動作モードにロウLAB6における予備ロウ、ならびに4つの信号パス76、77、78および79にルーティングを提供するように構成される図8の部分700を示す。示されるように、5つの物理トラックは、4つの信号パスにルーティングを提供するために用いられる。これは、各トラックの部分が、冗長動作モードで用いられるように確保されることを可能にする。示されるように、各ロウにおける接続群720における接続701を介して1つのトラックから別のトラックへ信号パスをステッチする。従って、特定の信号パスにおける1つのVラインは、同じ信号パスにおける別のVラインと必ずしも同じ物理トラックにない。これらのステッチ接続は、次に、より詳細に説明される。

20

【0212】

信号パス76で開始して、ロウLAB1において、信号パス76はトラック2上に提供される。しかしながら、ロウLAB1において、信号パス76は、以下のように、1つのVラインから別のVラインをステッチする。この信号パスは、接続731によりスタブH-4に結合される。このパスは、スタブH-4から、示されるように、接続701によりドライバ751入力に結合される。このパスは、ドライバ751の出力から、接続731によりスタブH-6に結合され、示されるように、スタブH-6から、別の接続731によりトラック1におけるVラインに結合される。信号パス76は、トラック1において、ロウLAB5まで続く。ここで、このパスは、接続731によりスタブH-5に結合され、これは、次に、接続701によりドライバ751入力に結合される。ドライバ751の出力は、接続731によりスタブH-6に結合され、次に、示されるように、別の接続731により、トラック5におけるVラインに結合される。信号パス76は、トラック5においてロウLAB10まで続く。ここで、パスは、接続731によりスタブH-1に結合され、次に、接続701によりドライバ751入力に結合される。ロウLAB10におけるドライバ751の出力は、接続731によりスタブH-6に結合され、次に、別の接続731によりトラック4におけるVラインに結合される。

30

40

【0213】

ここで、信号パス77を参照して、ロウLAB1において、信号パスはトラック3上に提供される。ロウLAB2において、信号パス77は、以下のように、1つのVラインから別のVラインをステッチする。この信号パスは、接続731によりスタブH-3に結合される。スタブH-3から、信号パスは、示されるように、接続701によりドライバ751入力に結合される。ロウLAB2におけるドライバ751出力から、信号パスは、接続731によりスタブH-6に結合され、スタブH-6から、信号パスは、示されるように

50

、別の接続731によりトラック2におけるVラインに結合される。信号パス77は、トラック2において、ロウLAB7まで続き、ここで、信号パスは、接続731によりスタブH-4に結合され、次に、接続701によりドライバ751入力に結合される。ロウLAB7におけるドライバ751の出力は、接続731によりスタブH-6に結合され、次に、別の接続731により、示されるように、トラック1におけるVラインに結合される。信号パス77は、トラック1において、ロウLAB11まで続き、ここで、パスは接続731によりスタブH-5に結合され、次に接続701によりドライバ751入力に結合される。ロウLAB11におけるドライバ751の出力は、接続731によりスタブH-6に結合され、次に、接続731によりトラック5におけるVラインに結合される。

【0214】

ここでロウLAB1内の信号パス78に進むと、信号パスはトラック4上に提供される。ロウLAB3内において、信号パス78は、以下のようにあるVラインから別のVラインまでをステッチする。信号パス78は、接続731によってスタブH-2に結合される。スタブH-2から、信号パス78は、図示するように、接続701によってドライバ751の入力部に結合される。ロウLAB3内のドライバ751の出力部から、信号パス78は、接続731によってスタブH-6に結合される。そしてスタブH-6から、信号パス78は、図示するように、別の接続731によってトラック3内のVラインに結合される。信号パス78は、ロウLAB8までトラック3内で続行する。ロウLAB8において、信号パス78は、接続731によってスタブH-3に結合される。次いで、スタブH-3は、接続701によってドライバ751の入力部に結合される。ロウLAB8内のドライバ751の出力部は、接続731によってスタブH-6に結合される。次いで、スタブH-6は、図示するように、別の接続731によってトラック2内のVラインに結合される。信号パス78は、ロウLAB12までトラック2内で続行する。ロウLAB12において、信号パス78は、接続731によってスタブH-4に結合される。次いで、スタブH-4は、接続701によってドライバ751の入力部に結合される。ロウLAB12内のドライバ751の出力部は、接続731によってスタブH-6に結合される。次いで、スタブH-6は、図示するように、別の接続731によってトラック1内のVラインに結合される。

【0215】

ここでロウLAB1内の信号パス79に進むと、信号パスはトラック5上に提供される。ロウLAB4内において、信号パス79は、以下のようにあるVラインから別のVラインまでをステッチする。信号パス79は、接続731によってスタブH-1に結合される。スタブH-1から、信号パス79は、図示するように、接続701によってドライバ751の入力部に結合される。ロウLAB4内のドライバ751の出力部から、信号パス79は、接続731によってスタブH-6に結合される。そしてスタブH-6から、信号パス79は、図示するように、別の接続731によってトラック4内のVラインに結合される。信号パス79は、ロウLAB9までトラック4内で続行する。ロウLAB9において、信号パス79は、接続731によってスタブH-2に結合される。次いで、スタブH-2は、接続701によってドライバ751の入力部に結合される。ロウLAB9内のドライバ751の出力部は、接続731によってスタブH-6に結合される。次いで、スタブH-6は、図示するように、別の接続によってトラック3内のVラインに結合される。

【0216】

ノーマル動作モードにおいて、接続は予備ロウLAB6内では用いられない。したがって、ドライバ751および752はこのロウ内でトライステートされて、すべての4つの信号パスが、接続をステッチすることなくロウまで達する。

【0217】

例示の実施形態において、群740内の少なくとも1つの接続701は、水平スタブおよび接続731を介して各信号パスに提供される。さらに、LIM接続群740内の少なくとも1つの接続702は、水平スタブを介した水平トラックのテールと接続732との間に提供される。さらに、信号パス論理長が4の長さであると仮定すると、4つの信号パス

10

20

30

40

50

があり、互い違いになったルーティングアーキテクチャが用いられ、各ロウは1つのステッチ接続を有する。このような接続数は、ロウあたり6つの水平スタブ、または信号パス数より2つ多いスタブを用いることによって助長される。ロウLAB1を一例にとると、信号パス76、77、78および79はそれぞれ、ノーマルモードの接続731を介して、それぞれスタブH-4、H-3、H-2およびH-1を介して、LIM接続群740内の接続701に結合する。テール1a～tは、スタブH-5および冗長モード接続732を介して、LIM接続群740内の冗長モード接続702に結合する。最後に、スタブH-6をロウLAB1内に用いて、これにより、信号パス76が、図示するようにトラック2からトラック1までステッチし、ライン1bが、図示するようにスタブH-6を介して、ロウLAB1内のドライバ751からノーマルモードで駆動される。

10

【0218】

例示の実施形態において、6個のスタブ（すなわち、「 $n+2$ 」、但し、 n は信号パスの数である）を各ロウ内に用いるが、同じ数または異なる数の水平スタブを用いることによって、ロウごとに同じ数の接続、またはロウごとに異なる数の接続が得られ得る。一例を挙げると、例示の実施形態を改変して8個のスタブを提供し得、そしてさらなるスタブを用いて、さらなるLIM接続にさらなる結合を提供し得る。あるいは、また他の例を挙げると、同じロウ内のスタブにVラインあたりさらなる接続を提供するように例示の実施形態を改変することによって、例示の同じ数のスタブを用いて、VラインからLIM接続までのさらなる結合を提供し得る（例えば、同じロウ内の異なるLIMに接続するための、2つの異なるスタブに同じVラインを結合するさらなる接続）。

20

【0219】

図10は、不良ロウLAB2およびLAB7を修復するために特定の領域において冗長動作モードを実施するように構成された図8の部分700を示す。

【0220】

冗長動作モードで動作する場合、不良ロウLAB2から予備ロウLAB6までのルーティングに影響が及ぼされる。冗長動作モードで動作する場合も、不良ロウLAB7からロウLAB12までのルーティングに影響が及ぼされる。予備ロウは、ロウLAB12より下に存在するが、別には示さない。したがって、図8～図10は、2つの修復可能領域（これはそれぞれ、不良ロウの修復を適応し得る）の一部を表す。別の実施形態において、より多い数またはより少ない数の修復可能領域は、所望数の修復可能領域により、予備ロウを提供することによって、同様のセクション上に規定され得る。

30

【0221】

図10に図示するように、冗長で動作する場合、図9のノーマル動作モードにおいて例示される同じ4つの信号パス（76、77、78および79）が提供される。しかし、図10に例示する冗長動作において、各Vラインのテールを用いて、不良ロウから予備ロウまでの領域内で、接続を1つのロウだけ下にシフトする。

【0222】

ロウLAB1において、図10に示すすべての接続は図9に示す接続と同一であることに留意されたい。ロウLAB1は不良ロウLAB2の上であるため、ノーマルモードに関して、ロウLAB1からの接続のシフトは必要ではない。しかし、ロウLAB2から開始して、接続は不良ロウLAB2を回避するように下方へシフトされ、予備ロウLAB6を用いて、接続群720内の同じ信号パスおよび対応するステッチ接続、接続群710内のDIM接続、および接続群740内のLIM接続を適応する。

40

【0223】

ステッチ接続は、以下のように下方にシフトされる。すなわち、不良ロウのLAB2内において、ドライバ751および752はトラিসテートされる。信号パス77は、図9に示すようにロウLAB2内でトラック3からトラック2までステッチされる代わりに、図10に示すようにロウLAB3内でトラック3からトラック2までステッチされる。信号パス77は、テール3a～tをスタブH-3に結合するロウLAB3内の冗長モード接続732に、テール3a～tを介して接続する。次いで、スタブH-3は、冗長モード接続

50

702によって冗長ドライバ752に結合される。図示するように、冗長ドライバ752は、スタブH-4への冗長モード接続732およびトラック2内のVライン2bにスタブH-4を結合する接続731を介して、トラック2内のVラインを駆動する。

【0224】

図10にさらに図示するように、図9に示すノーマル動作モードに対して、冗長動作モードで、以下のさらなるステッチ接続を下方にシフトする。信号パス78は、ロウLAB3内でトラック4からトラック3までステッチされる代わりに、図示するように、ロウLAB4内でトラック4からトラック3までステッチするように、テール4a~tを介して接続する。信号パス79は、ロウLAB4内でトラック5からトラック4までステッチされる代わりに、図示するように、ロウLAB5内でトラック5からトラック4までステッチするように、テール5a~tを介して接続する。信号パス76は、ロウLAB5内でトラック1からトラック5までステッチされる代わりに、図示するように、予備ロウLAB6内でトラック1からトラック5までステッチするように、テール1b~tを介して接続する。予備ロウLAB6から不良ロウLAB7までにおいて接続の下方シフトは生じないが、不良ロウLAB7からロウLAB12までは、図9に示すノーマルモードに対して、図10に示す冗長モードにおいてステッチ接続の下方シフトは以下のように続く。信号パス77は、ロウLAB7内でトラック2からトラック1までステッチされる代わりに、図示するように、ロウLAB8内でトラック2からトラック1までステッチするように、テール2b~tを介して接続する。信号パス78は、ロウLAB8内でトラック3からトラック2までステッチされる代わりに、図示するように、ロウLAB9内でトラック3からトラック2までステッチするように、テール3b~tを介して接続する。信号パス79は、ロウLAB9内でトラック4からトラック3までステッチされる代わりに、図示するように、ロウLAB10内でトラック4からトラック3までステッチするように、テール4b~tを介して接続する。信号パス79は、ロウLAB10内でトラック5からトラック4までステッチされる代わりに、図示するように、ロウLAB11内でトラック5からトラック4までステッチするように、テール5b~tを介して接続する。信号パス76は、ロウLAB11内でトラック1からトラック5までステッチされる代わりに、図示するように、ロウLAB12内でトラック1からトラック5までステッチするように、テール1c~tを介して接続する。

【0225】

図10に図示するように、図8に関して記載するVラインおよび各テールに関する実際の長さ（すなわち、予備ロウを越えないラインの場合、所望の論理長+1であり、予備ロウを越えるラインの場合、所望の論理長+2であり、テールを介して予備ロウ内へ達するのみのラインの場合、所望の論理長+1または+2である）を選択すると、予備ロウを越えているか否かに関わらず、ノーマル動作モードおよび冗長動作モードの両方で、一貫した論理長を維持することが可能になる。例えば、Vライン2bは、テール2b~tと共に、予備ロウLAB6を越え、そして実際の長さ6を有する。冗長モードにおいて、Vライン2bおよびテール2b~tの論理長は4である。冗長動作モードにおいて、Vライン2bは、ロウLAB3から駆動され、4である論理長はロウLAB4、LAB5、予備ロウLAB6およびロウLAB8を数える（ロウLAB7は不良であり、数えられない）。これは、テール2b~tと共にライン2bが、図9に示すノーマル動作モードで有した論理長と同じ論理長である。ここで、ライン2bは、ロウLAB2から駆動され、予備ロウLAB6は用いられないため、4である論理長はロウLAB3、LAB4、LAB5およびLAB7を数える。ライン2bはさらに、予備ロウを越えない物理的により短いラインの論理長と同じ論理長である。例えば、テール1c~tと共にライン1cは、実際の長さが5であり、ロウLAB8、LAB9、LAB10、LAB11およびLAB12を数える。しかし、その論理長は4である。図10に示す冗長動作において、ライン1cはロウLAB8から駆動され、したがって、4である論理長はロウLAB9、LAB10、LAB11およびLAB12を数える。これは、テール1c~tと共にライン1cが、図9に示すノーマル動作モードで有する論理長と同じ論理長である。ここで、ライン1cは、ロウL

10

20

30

40

50

A B 7から駆動され、しかしテールはノーマル動作モードで用いられないため、4である論理長はロウ L A B 8、L A B 9、L A B 10およびL A B 11を数える。

【0226】

他の一例として、図10に示す冗長モードにおけるVライン1bは、冗長動作モード（図10）およびノーマル動作モード（図9）の両方において、ロウ L A B 1から駆動される。不良ロウ L A B 2はロウ L A B 1より下であり、したがって、接続およびロウ L A B 1の駆動点は、ロウ L A B 2を修復するために冗長で動作する場合には、シフトする必要はない。しかし、テール1b～tと共にライン1bの論理長は維持される。特に、冗長動作における論理長は4であり、ロウ L A B 3、L A B 4、L A B 5および予備ロウ L A B 6を数える（不良ロウ L A B 2は数えない）。これは、テール1b～tと共にライン1bが、図9に示すノーマル動作モードで有する論理長と同じ論理長である。ここで、ライン1bも、ロウ L A B 1から駆動され（ロウ L A B 2はノーマル動作で良好であると想定され、したがって、論理長に数えられる）、しかしテールはノーマル動作モードで用いられないため、4である論理長が、ロウ L A B 2、L A B 3、L A B 4およびL A B 5を数える（予備ロウ L A B 6はノーマル動作モードで用いられないことに留意されたい）。

10

【0227】

図11～図12は、PLD内に複数のロウを含む部分800を示す。部分800は、8つのL A Bのロウ、ロウ L A B 1～L A B 8を含む。部分800は、ワイヤの6つのトラック、トラックA、B、C、D、EおよびFを含む。ドライバカラム780内のドライバを用いる例示のワイヤが、同じ相対方向（例えば、下流）において全て駆動信号であった、図8～図10の部分700とは対照的に、図11～図12の部分800は上流ワイヤおよび下流ワイヤの両方を含む。ワイヤの6つのトラックは、3つの下流トラックA、BおよびC、ならびに3つの上流トラックD、EおよびFを含む。さらに図示するのは、上流ドライバ871および下流ドライバ872である。

20

【0228】

図11に示す部分において、トラックAは、VラインA1およびテールA1～tならびにVラインA2を含む。トラックBは、VラインB1およびテールB1～tならびにVラインB2を含む。トラックCは、VラインC1およびテールC1～tならびにVラインC2を含む。トラックDは、VラインD1およびテールD1～tならびにVラインD2を含む。トラックEは、VラインE1およびテールE1～tならびにVラインE2を含む。トラックFは、テールF1～tならびにVラインF2およびテールF2～tを含む。

30

【0229】

部分800は、水平スタブh1、h2、h3、h4、h5およびh6をさらに含む。接続831および832は、図示するように、Vラインを水平スタブに結合し、そしてさらに、ドライバ出力部を水平スタブに結合する。

【0230】

部分800は、接続801および802の群810、820および840をさらに含む。群810は、Hラインを駆動するDIMへの接続801および802を含む（DIMおよびHラインは別個に図示しない）。群820は、DIMを介したVラインと、ドライバ871または872との間をステッチする接続801および802を含む（VラインDIMとは別個に図示しない）。群840は、LEへのルーティング用のLIMへの接続801および802を含む（LIMおよびLEは別個に図示しない）。群820に関して、群820が接続801および接続802の両方を有するロウの場合、これらの接続は、各スタブから接続して、同じVラインDIMの異なる入力部（VラインDIMの残りは別個に図示しない）およびVラインDIMがドライバ871およびドライバ872の両方に接続する出力部を形成する。

40

【0231】

図11～図13に図示するように、冗長モード接続802のパターンは通常、ロウからロウまでの接続801に冗長を提供する。例えば、図11に示すロウ L A B 2およびL A B 3内のLIM群840内の接続のパターンを考えられたい。ロウ L A B 2において、接続

50

801は、図示するように、接続831を介して、ロウLAB2のスタブh2およびh1それぞれによって、VラインE1およびF2に結合されたLIM接続を提供する。ロウLAB3において、接続802は、接続801にとって冗長となり得るLIM接続（群840）をロウLAB2内のLIMに提供する。特に、ロウLAB3において、接続802は、接続831を介して、ロウLAB3のスタブh2およびh1それぞれによって、VラインE1およびF2に結合された冗長LIM接続を提供する。これらのロウLAB3のLIM接続を冗長モードで用いて、ちょうど記載したロウLAB2のLIM接続に置換し得る。

【0232】

同様の様態で、図11に示すロウLAB2およびLAB3内のDIM群810内の接続の10
パターンを考えられたい。ロウLAB2において、接続801は、図示するように、接続831を介して、ロウLAB2のスタブh4によって、VラインC1に結合されたDIM接続を提供する。ロウLAB3において、接続802は、接続801にとって冗長となり得るDIM接続（群810）をロウLAB2内のDIMに提供する。特に、ロウLAB3において、接続802は、図示するように、接続831を介して、ロウLAB3のスタブh4によって、VラインC1に結合された冗長DIM接続を提供する。このロウLAB3のDIM接続を冗長モードで用いて、ちょうど記載したロウLAB2のDIM接続に置換し得る。

【0233】

予備ロウLAB6において、ロウLAB6がノーマル動作モードの間に用いられないため20
、冗長モードのみの接続802が存在する。さらに、予備ロウLAB6の下のロウLAB7において、ロウLAB7を用いずに予備ロウLAB6を置換するため、冗長モードのみの接続802および832が存在する必要はない。ロウLAB6がノーマル動作モードで用いられないため、その種々の接続は、冗長動作モード用に、ロウLAB7において複製される必要はない。

【0234】

図11～図13に示す部分800において、上流ドライバ871および下流ドライバ872の役割は、ロウごと、そしてノーマルモードドライバと冗長モードドライバとの間で交代する。例えば、ロウLAB3において、ドライバ872はノーマル動作モードで用いられ、ドライバ871は冗長動作モードで用いられる。対照的に、ロウLAB4において、30
ドライバ871はノーマル動作モードで用いられ、ドライバ872は冗長動作モードで用いられる。ロウの間のこのようなドライバの交代を、図12および図13ならびに添付のテキストに関して、さらに例示および説明をする。

【0235】

図12は、ノーマル動作モードに、ロウLAB6における予備ロウ、ならびに4つの信号パス81、82、83および84に対するルーティングを提供するように構成された図11の部分800を示す。信号パス81および82は下流信号パスであり（すなわち、信号は冗長モードロウシフト方向と順方向に駆動される）、信号パス83および84は上流である（すなわち、信号は冗長モードロウシフト方向と逆方向に駆動される）。3つの物理トラック、トラックA、BおよびCを用いて、2つの下流信号パス81および82に対する40
ルーティングを提供する。3つの他の物理トラック、トラックD、EおよびFを用いて、2つの上流信号パス83および84に対するルーティングを提供する。

【0236】

ロウLAB1内の信号パス81から開始して、信号パス81はトラックB上に提供される。しかし、ロウLAB1内において、信号パス81は以下のようにあるVラインから別のVラインにステッチする。信号パス81は接続831によってスタブh5に結合される。図示するように、スタブh5から、信号パス81は、接続801によって下流ドライバ872に結合される。ドライバ872から、信号パス81は接続831によってスタブh6に結合される。図示するように、スタブh6から、信号パス81は別の接続831によってトラックA内のVラインに結合される。信号パス81は、ロウLAB5までトラック50

A内で続行する。ロウLAB5において、信号パス81は接続831によってスタブh6に結合される。次いで、スタブh6は、接続801によってドライバ872の入力部に結合される。図示するように、ドライバ872の出力部は、接続831によってスタブh4に結合される。次いで、スタブh4において、信号パス81は別の接続831によってトラックC内のVラインに結合される。

【0237】

ここでロウLAB1内の信号パス82に進むと、信号パスはトラックC上に提供される。ロウLAB3内において、信号パス82は以下のようにあるVラインから別のVラインにステッチする。信号パス82は接続831によってスタブh4に結合される。図示するように、スタブh-4から、信号パス82は、接続801によってドライバ872の入力部に結合される。図示するように、ロウLAB3内のドライバ872の出力部から、信号パス82は接続831によってスタブh5に結合される。スタブh5から、信号パス82は別の接続831によってトラックB内のVラインに結合される。信号パス82は、ロウLAB8までトラックB内で続行する。ロウLAB8において、信号パス82は接続831によってスタブh5に結合される。次いで、スタブh5は、接続801によってドライバ872の入力部に結合される。図示するように、ロウLAB8内のドライバ872の出力部は、接続831によってスタブh6に結合される。次いで、スタブh6は別の接続831によってトラックA内のVラインに結合される。

【0238】

上流信号パス83および84用のステッチを、ページの下から上まで記載する。ロウLAB8内の信号パス83に進むと、信号パスはトラックE上に提供される。ロウLAB7内において、信号パス83は以下のようにあるVラインから別のVラインにステッチする。信号パス83は接続831によってスタブh2に結合される。図示するように、スタブh2から、信号パス83は、接続801によってドライバ871の入力部に結合される。図示するように、ロウLAB7内のドライバ871の出力部から、信号パス83は接続831によってスタブh1に結合される。スタブh1から、信号パス83は別の接続831によってトラックF内のVラインに結合される。信号パス83は、ロウLAB2までトラックF内を進む。ロウLAB2において、信号パス83は接続831によってスタブh1に結合される。次いで、スタブh1は、接続801によってドライバ871の入力部に結合される。図示するように、ロウLAB2内のドライバ871の出力部は、接続831によってスタブh3に結合される。次いで、スタブh3において、信号パス83は別の接続831によってトラックD内のVラインに結合される。

【0239】

ロウLAB8内の信号パス84に進むと、信号パスはトラックD上に提供される。ロウLAB4内において、信号パス84は以下のようにあるVラインから別のVラインにステッチする。信号パス84は接続831によってスタブh3に結合される。図示するように、スタブh3から、信号パス84は、接続801によってドライバ871の入力部に結合される。図示するように、ロウLAB4内のドライバ871の出力部から、信号パス84は接続831によってスタブh2に結合される。スタブh2から、信号パス84は別の接続831によってトラックE内のVラインに結合される。

【0240】

ノーマル動作モードにおいて、接続は予備ロウLAB6内で用いられない。したがって、ロウおよび信号パスがステッチ接続せずにロウを延びるように、下流ドライバ872がトライステートされる。他の冗長ドライバも、ノーマル動作モードの間にトライステートされる。特に、ロウLAB1内の上流ドライバ871、ロウLAB2内の下流ドライバ872、ロウLAB3内の上流ドライバ871、ロウLAB4内の下流ドライバ872、ロウLAB5内の上流ドライバ871およびロウLAB8内の上流ドライバ871も冗長であり、したがって、ノーマル動作モードにおいてオフにされる。

【0241】

図13は、図11の部分800を示す。部分800は、特定領域において冗長モード動作

10

20

30

40

50

を実施して不良ロウLAB2を修復するように構成される。

【0242】

冗長モード動作になると、不良ロウLAB2から予備ロウLAB6へのルーティングに影響する。図13に示すように、冗長になると、図12のノーマルモード動作に例示されたのと同じ4つの信号パス(81、82、83、および84)に提供がなされる。しかし、図13において例示される冗長動作において、各V-ラインのテールを利用して、不良ロウから予備ロウへ領域において1ロウ下ヘステッチ接続をシフトする。

【0243】

ロウLAB1において、図13に例示したすべての接続は、図12において示した接続と同一であることに留意されたい。ロウLAB1は不良ロウLAB2より上にあるので、ノーマルモードについてロウLAB1からの接続のシフトは全く必要でない。しかし、ロウLAB2から始まって、接続を下方ヘシフトして不良ロウLAB2をバイパスし、そして予備ロウLAB6を利用し、接続グループ820中に同じ信号パスおよび対応のステッチ接続、接続グループ810中にDIM接続、およびLIM接続を接続グループ840中に収納する。

【0244】

図13において例示するように、ステッチ接続を図12において例示されるノーマルモード動作に対して下方に、以下のようにシフトされる。不良ロウLAB2において、ドライバ871および872がトリステート(tristate)にされる。図12において例示されるようにロウLAB2においてトラックFからトラックDヘステッチされる代わりに、上流信号パス83は、図13において例示されるようにロウLAB3においてトラックFからトラックDヘステッチされる。ロウLAB3において、信号パス84は、スタブh1に接続831を介して接続し、次いでスタブh1は、図示されるように冗長モード接続802によって上流ドライバ871の入力に結合される。ドライバ871の出力は冗長接続832によってスタブh3に結合され、上流のV-ラインD1へ続くために、次いでスタブh3は別の接続832によってトラックDにおけるテールD1-tに結合される。図12において例示するようにロウLAB3においてトラックCからトラックBヘステッチされる代わりに、下流信号パス82は、図13に示すようにLAB4においてトラックCからトラックBヘステッチされる。信号パス82は、ロウLAB4においてテールC1-tを介して冗長モード接続832に接続し、テールC1-tをスタブh4に結合し、次いでスタブh4は冗長モード接続802によってドライバ872に結合される。ドライバ872は、トラックBにおけるV-ラインを冗長モード接続832を介してスタブh5および接続831へ駆動する。接続831は、図示されるように、トラックBにおいてスタブh5をV-ラインB2に結合する。

【0245】

図13にさらに例示するように、以下のさらなるステッチ接続は、図12において例示されるノーマルモード動作に対して、冗長モード動作において下方ヘシフトされる。ロウLAB4においてトラックDからトラックEにステッチされる代わりに(図12)、上流信号パス84は、例示のように(図13)ロウLAB5におけるテールE1-tを利用してトラックDからトラックEにステッチされる。ロウLAB5においてトラックAからトラックCにステッチされる代わりに(図12)、下流信号パス81は、例示されるようにロウLAB6におけるテールA1-tを利用してトラックAからトラックCヘステッチされる。

【0246】

図14は、HIO回路部分900を示す。HIO回路部分900は、HIOバス部分910およびHIOリスニング/駆動部分920を含む。「HIO」は、デバイスの両側にあるIOと通信するための回路をいう。HIOバス部分910は、垂直HIOトラックJ、K、L、M、N、O、およびPを有し、各トラックは複数のHIOロウにかかる。例示のように、例示されるHIOトラックはロウRn、Rn+1、Rn+2、Rn+3、Rn+4、Rn+5、Rn+6、予備ロウRn+7、およびロウRn+8にかかる。本例示の実

10

20

30

40

50

施形態において、例示のH I Oロウは、デバイスの論理領域ロウに対応する。デバイスのH I O回路部分9 0 0は一部である。しかし、別の実施形態においては、そのような対応は、本発明の精神および範囲を必ず逸脱せずには存在しないこともある。

【0 2 4 7】

各トラックの例示の部分は、複数のラインを含む。トラックJは、ラインJ 1、テールJ 1ー t、およびラインJ 2を含む。トラックKは、テールK 1ー t、ラインK 2、およびテールK 2ー tを含む。トラックLは、ラインL 1、テールL 1ー 2、ならびにラインL 2およびテールL 2ー tを含む。トラックMは、ラインM 1、テールM 1ー t、およびラインM 2を含む。トラックNは、ラインN 1、テールN 1ー t、およびラインN 2を含む。トラックOは、ラインO 1、テールO 1ー t、およびラインO 2を含む。トラックPは、ラインP 1、テールP 1ー t、およびラインP 2を含む。

10

【0 2 4 8】

例示の実施形態において、予備ロウを横切るトラックラインは、かかるロウによって測定して、予備ロウを横切らないトラックラインよりも1物理長より長い。例えば、ラインJ 1およびテールJ 1ー tは、合わせて、物理的に6単位長であり、ロウR n+1〜R n+6をカウントする。対照的に、ラインL 2およびテールL 2ー tは、合わせて、物理的に7単位長であり、ロウR n+3〜R n+9をカウントする（ロウR n+9は分けて図示されないが、図示のように、テールL 2ー tはロウR n+8で終了しない。むしろ、次のロウとなるロウR n+9の方へ拡張する）。ノーマルおよび冗長モードにおいて、テールJ 1ー tと合わさったラインJ 1およびテールL 2ー tに合わさったL 2の両方とも論理長5を有する。例えば、ノーマルモードにおいて、いずれのラインもそれぞれのテールを使用せず、そして予備ロウR n+7を横切るラインL 2の部分は論理長にカウントされない。なぜなら、その部分はノーマル動作モードにおいてバイパスされるからである。テールK 2ー tと合わさったラインK 2はまた、物理長7を有するが、一貫した論理長の局面は、K 2ー tがロウR n+8へ拡張しない場合（テールK 2ー tのその部分が必要でないため）でさえ、ラインK 2およびテールK 2ー tについて提供される。図8〜10において例示した実施形態に関して検討したように、別の実施形態は、例示の実施形態の他の局面から必ずしも逸脱せずに同じ物理長を有するラインを提供し得る。しかし、そのような別の実施形態は、状況に依存して、予備ロウの上で終了するラインのステッチの制限に対応する必要がある、そしてまた、予備ロウが横切られるかどうかによって異なる論理長に対応する必要がある。

20

30

【0 2 4 9】

リスニング／駆動部分9 2 0は、各ロウにおいて、H I Oリスニング（入力）バッファ9 1 1、9 1 2、9 1 3、9 1 4、9 1 5、9 1 6、および9 1 7、H I O出力マルチプレクサ9 4 1、9 4 2、9 4 3、および9 4 4ならびにH I O出力バッファ9 3 1、9 3 2、9 3 3、および9 3 4を含むH I O出力回路を含む。図示されるように、H I O出力マルチプレクサはそれぞれH I O出力バッファに結合される。また、各ロウにはステッチライン9 6 1が含まれる。

【0 2 5 0】

H I O回路部分9 0 0は、外部連絡のためのデバイスピン（分けて図示されないさらなるI O回路およびピン）を介してさらなるI O回路に接続される。H I O回路部分9 0 0はまた、デバイスコア（分けて図示されないデバイスコア）へおよびデバイスコアから信号を連絡するように結合される。

40

【0 2 5 1】

H I O回路部分9 0 0はさらに、接続9 0 1および接続9 0 2を含む。図15〜16およびそれに対応する本文においてより詳細に例示および記載するように、接続9 0 1は、H I Oバス部分9 1 0からH I Oリスニング／駆動部分9 2 0へのノーマルモード経路を提供して、H I O信号をバスからH I Oへ提供する。いくつかの接続9 0 1はまた、H I Oバス部分9 1 0におけるトラックのためのノーマルモード経路を提供して、1つのトラックラインを別のトラックラインへステッチライン9 6 1を通してH I Oリスニング／駆動

50

部分920における特定のHIO出力マルチプレクサ941～944およびHIO出力バッファ931～934を介してステッチする。いくつかの接続901はまた、HIOバス部分910におけるトラックのためのノーマルモード経路を提供し、特定のトラックがステッチしないロウにおけるHIO出力バッファ931～934から信号を受信する。いくつかのノーマル接続901は、いくつかの接続902と共に、HIOバス部分910からHIOリスニング／駆動部分920への冗長モード経路を提供する。他の接続902は、HIOバス部分920におけるトラックのための冗長モード経路を提供して、1つのトラックラインを別のトラックラインへステッチライン961を通して特定のHIO出力マルチプレクサ941～944およびHIO出力バッファ931～934を介してステッチする。他の接続901および902は、HIO部分910のための冗長モード経路を提供して、ステッチ以外の目的のためにHIOバス部分920のトラックを駆動する。

10

【0252】

例示の実施形態において、接続901および902は、配線され、そして構成要素中へロードされたデータに基づいてフィールドプログラムされない。これらの接続のいくつかは、構成要素（分けて図示されない構成要素）から提供されるプログラミングデータに基づいて活性化されるステッチ経路オプションを、ステッチライン961からの入力を選択するようにプログラムされ得るHIO出力マルチプレクサ941～944に提供する。これらの接続のいくつかはまた、構成要素（分けて図示されない構成要素）から提供されるプログラミングデータに基づいて活性化される構成経路オプションを、リスニングバッファ911～917へ提供する。しかし、別の実施形態において、構成要素、融合またはアンチ融合要素へロードされたデータに基づいてフィールドプログラムされた接続は、接続901および902などの配線された接続に置換され得る。

20

【0253】

図15は、5つのノーマルモード信号パス91、92、93、94、および95を提供するように構成されたHIO回路部分900を示す。太字ラインは、各垂直パスを示し、そして各信号パスに関連するリスニングおよびステッチ経路を示す。

【0254】

信号パス91に始まり、ロウRnにおいて、信号パス91はトラックLにおいてラインL1上に提供される。ロウRnにおいて、パス91は、図示のようにHIOリスニングバッファ913を通してリスニングされる。バッファ913への経路オプションは、図示のように接続901によって提供され得る。また、ロウRnにおいて、信号パス91は、以下のように、トラックLにおけるラインL1からトラックJにおけるラインJ1へステッチする。信号パス91は、図示のように、リスニングバッファ913を通して接続901によって結合される（リスニングに使用される同じ接続はまた、ステッチ経路の一部のために使用される）。別の接続901は、図示のように信号パス91をステッチライン961に結合する。マルチプレクサ941（ロウRn）は、入力としてステッチライン961を選択するようにプログラム可能であり、そして図示のように出力をバッファ931へ提供する。次いで、バッファ931は、図示のように信号パスをトラックJにおけるラインJ1に接続901を通して提供するように結合される。

30

【0255】

信号パス91は、ラインJ1上をロウRn+1、Rn+2、Rn+3、およびRn+4～ロウRn+5を通して続く。ロウRn+1において、信号パス91は、図示のように接続901によってラインJ1に結合されたリスニングバッファ911を通してリスニングされる。ロウRn+2、Rn+3、Rn+4、およびRn+5において、信号パス91は、図示のように接続901によって各ロウにおけるラインJ1に結合されたリスニングバッファ913を通してリスニングされる。ロウRn+5において、パス91は、以下のように、トラックLにおけるラインJ1からトラックOにおけるラインO2へステッチする。パス91は、図示のようにリスニングバッファ913を通して接続901によって結合される（リスニングのために使用された同じ接続がまたステッチ経路の一部のために使用される）。別の接続901は、図示のように信号パス91をステッチライン961へ結合す

40

50

る。マルチプレクサ 942 (ロウ R_{n+5}) は、入力としてステッチライン 961 を選択するようにプログラム可能であり、そして図示のように出力をバッファ 932 へ提供する。次いで、バッファ 932 は、図示のように信号パスをトラック O におけるライン O 2 に接続 901 を通って提供するように結合される。

【0256】

信号パス 91 は、ライン O 2 上をロウ R_{n+6} 、 R_{n+7} 、および R_{n+8} を通って続く。ロウ R_{n+6} において、信号パス 91 は、図示されるように接続 901 によってライン O 2 に結合されたリスニングバッファ 912 を通ってリスニングされる。ロウ R_{n+7} において、信号パス 91 はリスニングされない。なお、ロウ R_{n+7} は予備ロウであり、かつロウ R_{n+7} における入力バッファ 911 ~ 917 はノーマルモード動作においてリス

10

【0257】

ともにパス 91 が 1 つのトラックから別のトラックへステッチされるロウの後の第 1 のロウであるロウ R_{n+1} および R_{n+6} を除いて、信号パス 91 はリスニングバッファ 913 上でリスニングされる。このことは、多くの I/O 信号の高いファンアウト要求と一貫する。別の実施形態において、ステッチロウのパーセンテージ、およびしたがって特定の信号パスがリスニングされる特定のバッファが変更されるロウのパーセンテージは、より長いラインを使用することによって低減され得る。例示の実施形態は、論理長 5 を有するラ

20

【0258】

さらなる接続 901 は、信号パス 91 がノーマルモード動作において、図示のようにロウ R_{n+1} (バッファ 931 を通る)、ロウ R_{n+2} (バッファ 931 を通る)、ロウ R_{n+6} (バッファ 932 を通る)、およびロウ R_{n+8} (バッファ 932 を通る) において HIO 回路部分 920 から信号を受信するオプションを提供する。

【0259】

信号パス 92 に戻って、ロウ R_n において、信号パス 92 は、トラック M においてライン M1 上に提供される。ロウ R_n および R_{n+1} において、図示されるように、信号パス 92 は、各ロウにおいて接続 901 によってライン M1 に結合される HIO リスニングバッファ 914 を通ってリスニングされる。ロウ R_{n+1} において、信号パス 92 は、トラック M におけるライン M1 からトラック K におけるライン K2 に以下のようにステッチする。信号パス 92 は、図示のようにリスニングバッファ 914 を通って接続 901 によって結合される。別の接続 901 は、図示のように信号パス 92 をステッチライン 961 に結合する。マルチプレクサ 942 (ロウ R_{n+1}) は、入力としてステッチライン 961 を選択するようにプログラム可能であり、そして図示のようにバッファ 932 へ出力を提供する。次いで、バッファ 932 は、図示のように信号パスを接続 901 を通ってトラック K におけるライン K2 へ提供するように結合される。

30

40

【0260】

信号パス 92 は、ライン K2 上をロウ R_{n+2} 、 R_{n+3} 、 R_{n+4} 、および R_{n+5} を通ってロウ R_{n+6} へ続く。ロウ R_{n+2} において、信号パス 92 は、図示のように接続 901 によってライン K2 に結合されたリスニングバッファ 912 を通ってリスニングされる。ロウ R_{n+3} 、 R_{n+4} 、 R_{n+5} 、および R_{n+6} において、信号パス 92 は、図示のように接続 901 によって各ロウにおいてライン K2 に結合されたリスニングバッファ 914 を通ってリスニングされる。ロウ R_{n+6} において、パス 92 は、以下のようにトラック K におけるライン K2 からトラック P におけるライン P2 にステッチする。信号パス 92 は、図示のようにリスニングバッファ 914 を通って接続 901 によって結合

50

る。マルチプレクサ 943 (ロウ R_n+6) は、入力としてステッチライン 961 を選択するようにプログラム可能であり、そして図示のようにバッファ 933 へ出力を提供する。次いで、バッファ 933 は、図示のように信号パスを接続 901 を通ってトラック P におけるライン P2 へ提供するように結合される。

【0261】

信号パス 92 は、ライン P2 上をロウ R_n+7 および R_n+8 を通って続く。予備ロウ R_n+7 において、信号パス 92 はリスニングされない。ロウ R_n+8 において、信号パスは、図示のように接続 901 によってライン P2 に結合されたリスニングバッファ 911 を通ってリスニングされる。

【0262】

さらなる接続 901 は、信号パス 92 が図示のように信号をノーマルモード動作においてロウ R_n+2 (バッファ 932 を通る)、R_n+3 (バッファ 932 を通る) および R_n+8 (バッファ 933 を通る) における HIO 回路部分 920 から受信するオプションを提供する。

【0263】

信号パス 93 に戻って、ロウ R_n において、信号パス 93 は、トラック N においてライン N1 上に提供される。ロウ R_n、R_n+1 および R_n+2 において、図示されるように信号パス 93 は、各ロウにおいて接続 901 によってライン N1 に結合される HIO リスニングバッファ 915 を通ってリスニングされる。ロウ R_n+2 において、信号パス 93 は、以下のようにトラック N におけるライン N1 からトラック L におけるライン L2 にステッチする。信号パス 93 は、図示のようにリスニングバッファ 915 を通って接続 901 によって結合される。別の接続 901 は、図示のように信号パス 93 をステッチライン 961 に結合する。マルチプレクサ 943 (ロウ R_n+2) は、入力としてステッチライン 961 を選択するようにプログラム可能であり、そして図示のようにバッファ 933 へ出力を提供する。次いで、バッファ 933 は、図示のように信号パスを接続 901 を通ってトラック L におけるライン L2 へ提供するように結合される。

【0264】

信号パス 93 は、ライン L2 上をロウ R_n+3、R_n+4、R_n+5、および R_n+6 および R_n+7 を通ってロウ R_n+8 へ続く。ロウ R_n+3 において、パス 93 は、図示のように接続 901 によってライン L2 に結合されたリスニングバッファ 911 を通ってリスニングされる。ロウ R_n+4、R_n+5、R_n+6、および R_n+8 において、信号パス 93 は、図示のように接続 901 によって各ロウにおいてライン L2 に結合されたリスニングバッファ 915 を通ってリスニングされる。予備ロウ R_n+7 において、信号パス 93 は、リスニングされない。ロウ R_n+8 において、パス 92 は、以下のようにトラック L におけるライン L2 からトラック J におけるライン J2 にステッチする。信号パス 93 は、図示のようにリスニングバッファ 915 を通って接続 901 によって結合される。別の接続 901 は、図示のように信号パス 93 をステッチライン 961 に結合する。マルチプレクサ 944 (ロウ R_n+8) は、入力としてステッチライン 961 を選択するようにプログラム可能であり、そして図示のようにバッファ 934 へ出力を提供する。次いで、バッファ 934 は、図示のように信号パスを接続 901 を通ってトラック J におけるライン J2 へ提供するように結合される。

【0265】

さらなる接続 901 は、信号パス 93 が図示のように信号をノーマルモード動作においてロウ R_n+3 (バッファ 933 を通る) および R_n+4 (バッファ 933 を通る) における HIO 回路部分 920 から受信するオプションを提供する。

【0266】

信号パス 94 に戻って、ロウ R_n において、信号パス 94 は、トラック O においてライン O1 上に提供される。ロウ R_n、R_n+1、R_n+2、および R_n+3 において、図示されるように信号パス 94 は、各ロウにおいて接続 901 によってライン O1 に結合される HIO リスニングバッファ 916 を通ってリスニングされる。ロウ R_n+3 において、信

10

20

30

40

50

号パス94は、以下のようにトラックOにおけるラインO1からトラックMにおけるラインM2にステッチする。信号パス94は、図示のようにリスニングバッファ916を通過して接続901によって結合される。別の接続901は、図示のように信号パス94をステッチライン961に結合する。マルチプレクサ944（ロウRn+3）は、入力としてステッチライン961を選択するようにプログラム可能であり、そして図示のようにバッファ934へ出力を提供する。次いで、バッファ934は、図示のように信号パスを接続901を通過してトラックMにおけるラインM2へ提供するように結合される。

【0267】

信号パス94は、ラインM2上をロウRn+4、Rn+5、Rn+6、Rn+7、およびロウRn+8を通過して続く。ロウRn+4において、パス94は、図示のように接続901によってラインM2に結合されたリスニングバッファ912を通過してリスニングされる。ロウRn+5、Rn+6、およびRn+8において、信号パス94は、図示のように接続901によって各ロウにおいてラインM2に結合されたリスニングバッファ916を通過してリスニングされる。予備ロウRn+7において、信号パス93は、リスニングされない。

10

【0268】

さらなる接続901は、信号パス94が図示のように信号をノーマルモード動作においてロウRn（バッファ933を通過）、Rn+4（バッファ934を通過）、およびRn+5（バッファ934を通過）におけるHIO回路部分920から受信するオプションを提供する。

20

【0269】

信号パス95に戻って、ロウRnにおいて、信号パス95は、トラックPにおいてラインP1上に提供される。ロウRn+1、Rn+2、Rn+3、およびRn+4において、図示されるように信号パス95は、各ロウにおいて接続901によってラインP1に結合されるHIOリスニングバッファ917を通過してリスニングされる。ロウRn+4において、信号パス95は、以下のようにトラックPにおけるラインP1からトラックNにおけるラインN2にステッチする。信号パス95は、図示のようにリスニングバッファ917を通過して接続901によって結合される。別の接続901は、図示のように信号パス95をステッチライン961に結合する。マルチプレクサ941（ロウRn+4）は、入力としてステッチライン961を選択するようにプログラム可能であり、そして図示のようにバッファ931へ出力を提供する。次いで、バッファ931は、図示のように信号パスを接続901を通過してトラックNにおけるラインN2へ提供するように結合される。

30

【0270】

信号パス95は、ラインN2上をロウRn+5、Rn+6、Rn+7、およびロウRn+8を通過して続く。ロウRn+5において、パス94は、図示のように接続901によってラインN2に結合されたリスニングバッファ911を通過してリスニングされる。ロウRn+6およびRn+8において、信号パス95は、図示のように接続901によって各ロウにおいてラインN2に結合されたリスニングバッファ917を通過してリスニングされる。予備ロウRn+7において、信号パス95は、リスニングされない。

【0271】

40

さらなる接続901は、信号パス95が図示のように信号をノーマルモード動作においてロウRn（バッファ934を通過）、Rn+1（バッファ934を通過）、Rn+5（バッファ931を通過）、およびRn+6（バッファ931を通過）におけるHIO回路部分920から受信するオプションを提供する。

【0272】

図16は、図14のHIO回路部分900を例示する。HIO回路部分900は、図15において例示される信号パスの冗長モードバージョンを提供して不良ロウRn+1を修復するように構成される。図16に例示するように、冗長モード動作に入ると、不良ロウRn+1と予備ロウRn+7との間のロウからロウへの各接続は、特定のロウにおけるノーマルモードおよび冗長モード接続を利用してその特定のロウの上方のロウにおけるノーマ

50

ルモード接続のための冗長性を提供する。ここで、それについてより詳細に記載する。まずステッチ接続について、次にH I OがH I Oバスをリスニングする接続について、そして最後にH I OバスがH I O出力をリスニングする出力接続について記載する。

【0273】

ロウR_nにおいて、信号パスは、図15において例示されるノーマルモード動作において提供されたのと同じトラックにおいて提供される。R_n+1において、リスニングバッファ911~917はリスニングされない。H I Oバッファ931~934は、冗長モード動作のために不良ロウR_n+1においてトリステートとなり、そしてH I Oバスを駆動しない。

【0274】

図16において例示するように、ロウR_n+1において始まり、予備ロウR_n+7に続き、冗長モード動作におけるステッチ接続は、以下のようにノーマルモード動作に対して下方にシフトされる。

【0275】

ロウR_n+1においてラインM1からラインK2へステッチする代わりに、信号パス92は、テールM1-tを利用して、ロウR_n+2におけるラインK2へステッチのための接続をする。テールM1-tは、冗長モード接続902によってロウR_n+2におけるリスニングバッファ914に結合される。リスニングバッファ914は、接続902によってステッチライン961に結合される。ステッチライン961は、マルチプレクサ942（ロウR_n+2における）によってプログラム可能に選択され、信号パス92をH I O出力バッファ932に提供し得る。H I O出力バッファ932は、図示されるように接続901によってラインK2に接続される。

【0276】

ロウR_n+2でラインN1からラインL2へとステッチする代わりに、信号パス93は、テールN1-tを利用して、ロウR_n+3のラインL2へのステッチのための接続を行う。図示されるように、テールN1-tは、冗長モード接続902により、ロウR_n+3のリスニングバッファ915に結合され、このリスニングバッファは、接続902により、ステッチライン961に結合され、このステッチラインは、（ロウR_n+3の）マルチプレクサ943によりプログラム可能に選択されることにより、接続901によりラインL2に結合されるH I O出力バッファ933への信号パス93を提供し得る。

【0277】

ロウR_n+4でラインO1からラインM2へとステッチする代わりに、信号パス94は、テールO1-tを利用して、ロウR_n+3のラインM2へのステッチのための接続を行う。図示されるように、テールO1-tは、冗長モード接続902により、ロウR_n+4のリスニングバッファ916に結合され、このリスニングバッファは、接続902により、ステッチライン961に結合され、このステッチラインは、（ロウR_n+4の）マルチプレクサ944によりプログラム可能に選択されることにより、接続901によりラインM2に結合されるH I O出力バッファ934への信号パス94を提供し得る。

【0278】

ロウR_n+4でラインP1からラインN2へとステッチする代わりに、信号パス95は、テールP1-tを利用して、ロウR_n+5のラインN2へのステッチのための接続を行う。図示されるように、テールP1-tは、冗長モード接続902により、ロウR_n+5のリスニングバッファ917に結合され、このリスニングバッファ917は、接続902により、ステッチライン961に結合され、このステッチライン961は、（ロウR_n+5の）マルチプレクサ941によりプログラム可能に選択されることにより、接続901によりラインN2に結合されるH I O出力バッファ931への信号パス95を提供し得る。

【0279】

ロウR_n+5でラインJ1からラインO2へとステッチする代わりに、信号パス91は、テールJ1-tを利用して、ロウR_n+6のラインO2へのステッチのための接続を行う。図示されるように、テールJ1-tは、冗長モード接続902により、ロウR_n+6の

10

20

30

40

50

リスニングバッファ913に結合され、このリスニングバッファ913は、接続902により、ステッチライン961に結合され、このステッチライン916は、(ロウRn+6の)マルチプレクサ942によりプログラム可能に選択されることにより、接続901によりラインO2に結合されるHIO出力バッファ932への信号パス91を提供し得る。

【0280】

ロウRn+6でラインK2からラインP2へとステッチする代わりに、信号パス92は、テールK2-tを利用して、予備ロウRn+7のラインP2へのステッチのための接続を行う。図示されるように、テールK2-tは、冗長モード接続902により、ロウRn+7のリスニングバッファ914に結合され、このリスニングバッファは、接続902により、ステッチライン961に結合され、このステッチラインは、(ロウRn+7の)マルチプレクサ943によりプログラム可能に選択されることにより、接続902によりラインP2に結合されるHIO出力バッファ933への信号パス92を提供し得る。

10

【0281】

ロウRn+8では、接続は、ノーマルモード動作と同じままである。ロウRn+7は予備ロウであり、ノーマルモード接続を必要としない。ロウRn+8は、冗長モードでは、ロウRn+7と置換するためには用いられない。

【0282】

さらに図16に示すように、ロウRn+1~Rn+7まで、リスニング経路も、ノーマルモード動作に応じてシフトダウンする。図示するように、接続901および902は、ノーマルモード動作で存在する、既述したHIOリスニング経路に、冗長モードオプションを提供する。信号パス91で始まり、ノーマルモード動作と同様に、それぞれの接続901を介した、ロウRn+1のバッファ911、ならびにロウRn+2、Rn+3、Rn+4およびRn+5のそれぞれのバッファ913により、ラインJ1からリスニングされる代わりに、図示されるように、信号パス91は、冗長モード動作では、(接続902を介した)ロウRn+2のバッファ911、ならびに(接続901を介した)ロウRn+3、(接続901を介した)ロウRn+4、および(接続901を介した)ロウRn+5のそれぞれのバッファ913によりラインJ1からリスニングされ、かつ(接続902を介した)ロウRn+6のバッファ913により、テールJ1-tからリスニングされる。さらに、ノーマルモード動作と同様に、接続901を介した、ロウRn+6のバッファ912により、ラインO2からリスニングされる代わりに、図示されるように、信号パス91は、冗長モードでは、接続902を介した、予備ロウRn+7のバッファ912によりリスニングされる。

20

30

【0283】

信号パス92に注目すると、ノーマルモード動作と同様に、接続901を介した、ロウRn+1のバッファ914により、ラインM1からリスニングされる代わりに、信号パス92は、冗長モード動作では、(接続902を介した)ロウRn+2のバッファ914により、テールM1-tからリスニングされる。さらに、ノーマルモード動作と同様に、接続901を介した、ロウRn+2のバッファ912により、ラインK2からリスニングされる代わりに、図示されるように、信号パス92は、冗長モードでは、接続902を介した、ロウRn+3のバッファ912によりリスニングされる。ノーマルモード動作と同様に、それぞれの接続901を介した、ロウRn+3、Rn+4、Rn+5およびRn+6のそれぞれのバッファ914により、ラインK2からリスニングされる代わりに、図示されるように、信号パス92は、冗長モードでは、それぞれの接続901を介した、ロウRn+4、Rn+5、およびRn+6のそれぞれのバッファ914によりリスニングされ、かつ接続902を介した、予備ロウRn+7のバッファ914により、テールK2-tからリスニングされる。

40

【0284】

信号パス93に注目すると、ノーマルモード動作と同様に、それぞれの接続901を介した、ロウRn+1およびRn+2のそれぞれのバッファ915により、ラインN1からリスニングされる代わりに、図示されるように、信号パス93は、冗長モード動作では、接

50

続 901 を介した、ロウ R_{n+2} のバッファ 915 により、ライン $N1$ からリスニングされ、かつ接続 902 を介した、ロウ R_{n+3} のバッファ 915 により、テール $N1-t$ からリスニングされる。さらに、ノーマルモード動作と同様に、接続 901 を介した、ロウ R_{n+3} のバッファ 911 により、ライン $L2$ からリスニングされる代わりに、図示されるように、信号パス 93 は、冗長モードでは、接続 902 を介した、ロウ R_{n+4} のバッファ 911 によりリスニングされる。ノーマルモード動作と同様に、それぞれの接続 901 により、ロウ R_{n+4} 、 R_{n+5} および R_{n+6} のそれぞれのバッファ 915 により、ライン $L2$ からリスニングされる代わりに、信号パス 93 は、それぞれの接続 901 を介した、ロウ R_{n+5} および R_{n+6} のそれぞれのバッファ 915 により、ライン $L2$ からリスニングされ、かつ接続 902 を介した、予備ロウ R_{n+7} のバッファ 915 によりテール $L2-t$ からリスニングされる。

10

【0285】

信号パス 94 に注目すると、ノーマルモード動作と同様に、それぞれの接続 901 を介した、ロウ R_{n+1} 、 R_{n+2} 、および R_{n+3} のそれぞれのバッファ 916 により、ライン $O1$ からリスニングされる代わりに、信号パス 94 は、冗長モード動作では、それぞれの接続 901 を介した、ロウ R_{n+2} および R_{n+3} のそれぞれのバッファ 916 によりライン $O1$ からリスニングされ、かつ接続 902 を介した、ロウ R_{n+4} のバッファ 916 により、テール $O1-t$ からリスニングされる。さらに、ノーマルモード動作と同様に、接続 901 を介した、ロウ R_{n+4} のバッファ 912 により、ライン $M2$ からリスニングされる代わりに、図示されるように、信号パス 94 は、冗長モードでは、接続 902 を介した、ロウ R_{n+5} のバッファ 912 によりリスニングされる。ノーマルモード動作と同様に、ロウ R_{n+5} および R_{n+6} のそれぞれのバッファ 916 により、ライン $M2$ からリスニングされる代わりに、図示されるように、信号パス 94 は、冗長モード動作では、接続 901 を介した、ロウ R_{n+6} 、および接続 902 を介した、予備ロウ R_{n+7} のそれぞれのバッファ 916 により、ライン $M2$ からリスニングされる。

20

【0286】

信号パス 95 に注目すると、ノーマルモード動作と同様に、それぞれの接続 901 を介した、ロウ R_{n+1} 、 R_{n+2} 、 R_{n+3} 、および R_{n+4} のそれぞれのバッファ 917 により、ライン $P1$ からリスニングされる代わりに、信号パス 95 は、冗長モード動作では、それぞれの接続 901 を介した、ロウ R_{n+2} 、 R_{n+3} 、および R_{n+4} のそれぞれのバッファ 917 により、ライン $P1$ からリスニングされ、かつ接続 902 を介した、ロウ R_{n+5} のバッファ 917 により、テール $P1-t$ からリスニングされる。さらに、ノーマルモード動作と同様に、接続 901 を介した、ロウ R_{n+5} のバッファ 911 により、ライン $N2$ からリスニングされる代わりに、図示されるように、信号パス 95 は、冗長モードでは、接続 902 を介した、ロウ R_{n+6} のバッファ 911 により、ライン $N2$ からリスニングされる。ノーマルモード動作と同様に、接続 901 を介した、ロウ R_{n+6} のバッファ 917 により、ライン $N2$ からリスニングされる代わりに、図示されるように、信号パス 95 は、冗長モード動作では、接続 902 を介した、予備ロウ R_{n+7} のバッファ 917 により、ライン $N2$ からリスニングされる。

30

【0287】

次に、ステッチのコンテキストで既述したものに加えて、信号パス 91～95 が出力バッファ 931～934 を介して、HIO 回路部 920 から信号を受け取るためのオプションを提供する接続 901 および 902 に注目すると、ロウからロウへと、接続 901 および 902 が、HIO バス部分 910 の信号パスが HIO 出力ドライバ 931～934 から信号を受け取るためのオプションを提供する、手前のロウの接続 901 に冗長性を提供する。ロウ R_{n+2} では、図 16 に示すように、接続 901 および 902 は、それぞれの出力バッファ 931 および 934 からそれぞれの信号パス 91 および 95 への冗長経路を提供し、これらの信号パスは、図 15 に示すように、ロウ R_{n+1} で同様の経路を提供する接続 901 に冗長性を提供する。ロウ R_{n+3} では、図 16 に示すように、接続 902 および 901 は、それぞれの出力バッファ 931 および 932 からそれぞれの信号パス 91 およ

40

50

よび 92 への冗長経路を提供し、これらの信号パスは、図 15 に示すように、ロウ R_{n+2} で同様の経路を提供する接続 901 に冗長性を提供する。ロウ R_{n+4} では、図 16 に示すように、接続 902 および 901 は、それぞれの出力バッファ 932 および 933 からそれぞれの信号パス 92 および 93 への冗長経路を提供し、これらの信号パスは、図 15 に示すように、ロウ R_{n+3} で同様の経路を提供する接続 901 に冗長性を提供する。ロウ R_{n+5} では、図 16 に示すように、接続 902 および 901 は、それぞれの出力バッファ 933 および 934 からそれぞれの信号パス 93 および 94 への冗長経路を提供し、これらの信号パスは、図 15 に示すように、ロウ R_{n+4} で同様の経路を提供する接続 901 に冗長性を提供する。ロウ R_{n+6} では、図 16 に示すように、接続 902 および 901 は、それぞれの出力バッファ 934 および 931 からそれぞれの信号パス 94 および 91 への冗長経路を提供し、これらの信号パスは、図 15 に示すように、ロウ R_{n+5} で同様の経路を提供する接続 901 に冗長性を提供する。ロウ R_{n+7} では、図 16 に示すように、接続 902 は、それぞれの出力バッファ 931 および 932 からそれぞれの信号パス 95 および 91 への冗長経路を提供し、これらの信号パスは、図 15 に示すように、ロウ R_{n+6} で同様の経路を提供する接続 901 に冗長性を提供する。

【0288】

不良ロウ R_{n+1} のリスニングバッファ 911～917 から信号を受け取るように結合された、出力バッファ 931～934、マルチプレクサ 941～944、およびさらなる I/O マルチプレクサ（さらなる I/O マルチプレクサは、図示された回路の左側にあり、個別には示されていない）に、そのロウをディアクティベートする、プログラミングデータを 20 提供することにより、冗長モード動作が得られる。冗長モード動作は、さらに、ノーマルモード構成データを 1 つのロウだけシフトダウンし、ロウ $R_{n+2} \sim R_{n+7}$ のそれぞれの素子をプログラムすることにより得られ、そのデータは、これ以外の場合には、ロウ $R_{n+1} \sim R_{n+6}$ のそれぞれのプログラム可能な素子（すなわち、リスニングバッファ 911～917 から信号を受け取るように結合される、出力バッファ 931～934、マルチプレクサ 941～944、および個別には示していない、さらなる I/O マルチプレクサ）に提供される。すでに説明したとおり、代替的な実施形態では、パスゲート等の接続は、（有線接続された）図示される接続 901 および 902 と置換され得、そして、そのような接続に対するプログラミングデータもまた、同様の方法でシフトされる。また、代替的な実施形態では、I/O 入力バッファが、図示されるバッファ 911～917 と置換され 30 得、そのような置換バッファは、また次にシフトされ得る、プログラミングデータに基づいて、トリステート可能として提供され得る。

【0289】

図 17 は、本発明の 1 つの局面の実施形態に従って、ノーマルモード動作のために構成された冗長回路を備えた、LAB-LAB 専用ルーティング構造部 500 を示す。専用 LAB-LAB ルーティングは、キャリーチェーン (carry chain) 機能または他の機能を実行するために利用され得る。例えば、このような構造は、ある値にある LAB の論理が作用し、次いで、別の LAB の論理等によるさらなる演算のために、複数の LAB のチェーンを通過させることを可能にする。

【0290】

LAB-LAB 構造部 500 は、それぞれ、論理領域ロウ N 、 $N+1$ 、 $N+2$ 、および $N+3$ に設けられた、LAB N 、LAB $N+1$ 、LAB $N+2$ 、および LAB $N+3$ を含む。マルチプレクサ 510 は、図示するように、LAB の LE に結合された出力 511 および関連づけられたルーティングを有する。マルチプレクサ 510 は、第 1 の入力 591、および第 2 の入力 592 を有する。第 1 の入力 591 は、隣接するロウの LAB 論理の出力 583 に結合される。例えば、ロウ $N+1$ のマルチプレクサ 510 の第 1 の入力 591 は、隣接する論理領域ロウ N の LAB N の論理から信号を選択的に受け取るように結合される。第 2 の入力 592 は、2 つのロウだけ離れた論理領域の出力 583 から信号を選択的に受け取るように結合される。例えば、ロウ $N+3$ のマルチプレクサ 510 の入力 592 は、図示するように、ロウ $N+1$ の出力 583 から選択的に信号を受け取るように結合 40 50

される。

【0291】

マルチプレクサ510は、入力591または入力592からの入力を選択するか、もしくはそれらのいずれからの入力も選択しないようにプログラム可能である。ノーマルモードでは、これにより、専用LAB-LABルーティングのチェーンを壊す必要なく、1つ以上の予備ロウを定義することが可能になる。図17に示す例では、マルチプレクサ510は、太字で示す、LABからLABへのパスを定義するようにプログラムされた。ロウNでは、マルチプレクサ510は、入力591を選択し、その入力の信号をLABNのLEおよび関連づけられたルーティングに提供する。LABNの論理は、出力583で出力を生成するために演算を実行し得る。ロウNの出力583からの出力は、次いで、LABN+1の論理(LEおよび関連づけられたルーティング)に提供する入力を選択する、ロウN+1のマルチプレクサ510の入力591に提供される。ロウN+2は、予備ロウとして定義されるため、ノーマルモード動作では回避される。予備ロウN+2のマルチプレクサ510は、入力591または入力592のいずれも選択しないようにプログラムされる。LABN+1の出力583からの出力は、パス555上を、ロウN+3のマルチプレクサ510の入力592へと提供される。次いで、このマルチプレクサは、LABN+3の論理に提供するためにその入力592を選択する。

10

【0292】

図18は、ロウNを修復するように構成された、図17の構造部500を示す。ロウNが不良であると判定されると、ロウNのマルチプレクサ510は、入力591および592のいずれも選択しないようにプログラムされ得、LABNは、構造部500により回避され得る。LABNの上のロウ(LABNの上のロウは個別に図示していない)のLABからの出力は、経路555上を、ロウN+1のマルチプレクサ510の入力592に提供される。このマルチプレクサは、LABN+1の論理に提供するためにその入力を選択する。ここで、予備ロウN+2は、利用するためにプログラムされる。ロウN+1の出力583からの出力は、ロウN+2のマルチプレクサ510の入力591に提供される。ここで、このマルチプレクサは、その入力を選択し、それをLABN+2の論理に提供するようにプログラムされる。ロウN+2の出力583からの出力は、ロウN+3のマルチプレクサ510の入力591に提供される。このマルチプレクサは、その入力を選択し、それをLABN+3の論理に提供するようにプログラムされる。

20

30

【0293】

図19は、ロウN+2の上に定義された修復可能領域が必ずしも不良であるロウを有さない場合のロウN+3の不良ロウの修復に適応するように構成された構造500を示す。ロウR+3は不良であるため、冗長モード動作では、入力591および入力592のいずれも選択しないように、ロウR+3のマルチプレクサ510をプログラムすることにより回避される。予備ロウN+2の上に定義された修復可能領域には実際には不良ロウが存在しないため、他の場合では、このロウは、そのロウが回避されるノーマルモード動作のためにプログラムされる。しかしながら、予備ロウN+2の下が不良である場合、予備ロウN+2の上に定義された修復可能領域を利用された予備ロウN+2にプログラムすることにより、構造部500が、LAB-LABルーティングチェーンの2つの隣接するロウを回避するさらなるルーティングを必要とすることなく、不良ロウN+3を回避することが可能となる。図19に示す例では、ロウN+1は、実際には不良でない場合にも、不良として扱われる。ロウN+1は回避され、ロウN+1のマルチプレクサ510は、入力591または592のいずれも選択しない。予備ロウのマルチプレクサ510は、ロウNの出力583から信号を受け取るように結合された入力592を選択するようにプログラムされる。ロウN+2では、図示するように、入力592の入力がLABN+2の論理に提供される。ロウN+3は回避され、ロウN+3のマルチプレクサ510は、入力591または592のいずれも選択しないようにプログラムされる。ロウN+4のマルチプレクサ510は、予備ロウN+2の出力583から信号を受け取るように結合された入力592から入力を選択するようにプログラムされる。

40

50

【0294】

図17～19に示した実施形態は、信号を下流に提供する。すなわち、ロウシフト方向にロウからロウへと提供する。しかしながら、代替的な実施形態は、信号を上流に提供する。すなわち、ロウからロウシフト方向と反対に提供する。当業者は、図17～19に示す接続にわずかな修正を加えることにより、そのような上流構成が提供されることを理解する。

【0295】

別の代替例として、ルーティングが、1より多くの隣接する不良ロウを選択的にスキップするように提供され得る。例えば、代替的な実施形態では、構造500のマルチプレクサ510よりも多くの入力を有するマルチプレクサが提供され得、これらのさらなる入力は、例えば、3つのロウだけ離れた論理出力に結合され得る一方で、2つのロウだけ離れているか、または隣接するロウからの論理出力からの信号を受け取るように選択され得る入力をなおも提供する。

10

【0296】

また、図17～19の実施形態を修正し、マルチプレクサ510が、いずれの入力も選択しないのではなく、ノーマルモード動作では予備ロウに対して、そして冗長モード動作では不良ロウに対して、1つの入力、例えば、入力592を単にリスニングすることは好適であり得る。このようなロウの論理素子は、通常、PLDの構成要素によりアイドリングに設定されるため、このようなロウのマルチプレクサ510は、いずれの場合にも、アクティベートされた素子に出力を提供しない。このような制御論理は、選択されない入力のために提供するよりも、安価で実現され得るため、好適であり得る。

20

【0297】

図20は、LAB-LABチェーンの任意の数の予備ロウを回避する能力を提供する、LAB-LABルーティング構造部200を示す。図示される例では、構造部200は、2つのロウを回避するように構成される。

【0298】

LAB-LAB構造部200は、それぞれ、論理領域ロウ m 、 $m+1$ 、 $m+2$ 、および $m+3$ に設けられた、LAB m 、LAB $m+1$ 、LAB $m+2$ 、およびLAB $m+3$ を含む。マルチプレクサ210は、入力291および292、ならびに出力211を有する。入力291は、図示するように、LAB m 、LAB $m+1$ 、LAB $m+2$ 、およびLAB $m+3$ の論理の出力283から信号を受け取るように結合される。マルチプレクサの出力211は、図示するように、次のロウのLABの論理、および次のロウの別のマルチプレクサ210の両方に出力を提供するように入力292で結合される。

30

【0299】

構成されるとおり、LAB m の出力283からの出力を受け取るように結合されたマルチプレクサ210は、その入力291を選択するようにプログラムされる。しかしながら、LAB $m+1$ およびLAB $m+2$ のそれぞれの出力283からの出力を受け取るように結合されたそれぞれのマルチプレクサ210は、共に、それぞれの入力292を選択するようにプログラムされる。よって、ロウ $m+3$ のすぐ上のマルチプレクサ210の出力は、ロウ m のLAB m の出力283で生成される信号をLAB $m+3$ の論理に提供する。このようにして、2つのロウが、専用LAB-LABルーティングのチェーンで回避され得る。当業者は、構造部200のマルチプレクサ210のプログラミングを修正することにより、より多くのまたはより少ない数のロウが、専用LAB-LABルーティングで回避され得ることを理解する。

40

【0300】

図20に示す実施形態は、下流に信号を提供する。すなわち、ロウシフト方向にロウからロウへと提供する。しかしながら、代替的な実施形態は、信号を上流に提供し得る。すなわち、ロウからロウシフト方向と反対に提供する。当業者は、図20に示す接続にわずかな修正を加えることにより、このような上流構成が提供されることを理解する。

【0301】

50

本明細書中に記載された本発明の種々の局面が、1つまたはいくつかの異なるデバイスを含む、より大きな電子システムの一部として実現され得ることを当業者は理解する。

【0302】

本発明の実施形態は、ロウに基づく冗長方式を有するプログラム可能な論理デバイスのコンテキストで説明したが、本発明は、カラムに基づく冗長方式を用いたプログラム可能な論理デバイスにも同様に適用可能である。ロウおよびカラムの用語は、相互に直交するロウおよびカラムを有する通常のデバイスでは、そのデバイスの方向に対応するものであるため、単にデバイスを90度回転させることにより、ロウおよびカラムという言葉を入れ替え得る。明瞭さのために、本発明は、ロウに基づく構成に関して説明され、かつ権利請求を行っているが、本発明の記載および請求の範囲は、カラムに基づく冗長構成にも同様に適用される。

10

【0303】

さらに、「ロウ」という用語は、通常、物品の直線的な構成に関連づけられるが、代替的な実施形態は、本発明の精神および範囲から必ずしも逸脱することなく、曲線または部分的に曲線であるか、もしくは時折発生する起伏または間隙を有するロウ構成を採用し得る。このようなロウを含むデバイスは、それぞれが複数のロウにわたり、かつ本発明の範囲内の冗長方式に適應する、複数の信号パスを含むルーティング構造をなおも有し得る。

【0304】

以上説明してきたように、修復可能領域を備えたプログラマブル論理回路および関連する方法を提供してきた。本発明の一局面において、修復可能領域内で、一般的ルーティング相互接続ラインが分けられている。別の局面において、スタガ状の、分かれたアーキテクチャで冗長性を調整するIOバスラインおよび関連する回路が提供される。さらに別の局面において、特定の論理領域間の専用ルーティングアーキテクチャがシフティングを調整して、修復可能領域を規定し利用する。他の局面の原理は、本発明の局面のいくつかの、例としての実施形態に沿って説明され記載されている。

20

【0305】

【発明の効果】

本発明によるプログラマブル論理回路は、複数の信号パスであって、複数の信号パスの各々が複数の論理領域ロウに亘り、複数の信号パスの各々が複数のラインを含む、複数の信号パスと、複数の信号パスの第1のラインを複数の信号パスの第2のラインに結合するノーマルモードステッチ回路と、複数の信号パスの第1のラインのテールを複数の信号パスの第2のラインに結合する冗長モードステッチ回路とを含む。上記ノーマルステッチ回路と上記冗長モードステッチ回路とによって、水平方向および垂直方向のワイヤに依存しないルーティングアーキテクチャが提供される。

30

【図面の簡単な説明】

【図1a】図1aは、本発明の実施形態が実行され得る互い違いに配列されセグメント化されたルーティングアーキテクチャおよび冗長接続を有するプログラマブル論理回路（PLD）の一部を示す。

【図1b】図1bは、図1aに示した2つの論理領域ロウに関するさらなる詳細を示す。

【図2】図2は、データレジスタおよび予備ロウの上のロウの修復可能領域を規定するシフト構成データに適應する付随のスイッチ回路の一部を示す。

40

【図3】図3は、不良ロウを回避するためにデータをシフトし、ロウの修復可能領域を修復するために予備ロウを使用するように構成された図2のデータレジスタおよび付随のスイッチ回路を示す。

【図4】図4は、本発明の局面による互い違いに配列されセグメント化されたルーティングアーキテクチャおよび冗長回路を含むカラム中の3つの論理領域ロウを示す。

【図5】図5は、本発明の別の局面の実施形態を示し、この実施形態は図4に示した実施形態の代替である。

【図6A】図6Aは、本発明の局面の実施形態のノーマルスイッチドライバまたは冗長スイッチドライバをイネーブルするまたはイネーブルしない論理回路の例を示す。

50

【図 6 B】図 6 B は、欠陥が存在しない場合の図 6 A の論理回路の 2 つの入力信号の値を示す表である。

【図 6 C】図 6 C は、欠陥が各修復可能領域に存在する場合の図 6 A の論理回路の 2 つの入力信号の値を示す表である。

【図 6 D】図 6 D は、欠陥がいくつか存在するがすべてが修復可能領域であるわけではない場合の図 6 A の論理回路の 2 つの入力信号の値を示す表である。

【図 7】図 7 は、ロウシフト方向に対して上流に信号を駆動する信号パスで実行された本発明の局面の別の実施形態を示す。

【図 8】図 8 は、予備ロウを含むプログラマブル論理回路内のいくつかのロウの一部を示し、この一部分は本発明の局面に従って複数の物理トラックを含んでいる。

10

【図 9】図 9 は、プログラマブル論理回路がノーマル動作モードとして構成される場合の図 8 の一部のトラックで適応され得る信号パスを示す。

【図 10】図 10 は、プログラマブル論理回路が、不良ロウを回避し、図 9 のノーマルモード信号パスに対応する冗長モード信号パスを提供するために冗長回路を使用するように構成される場合の図 8 の一部分を示す。

【図 11】図 11 は、本発明の局面の実施形態に従って、予備ロウ、隣接する上流および下流物理トラックを有する部分、ノーマルモードスイッチ回路、ならびに上流物理トラックと下流物理トラックとの間で互い違いに配列されている冗長モードスイッチ回路を含むプログラマブル論理回路内のいくつかのロウの一部を示す。

【図 12】図 12 は、プログラマブル論理回路がノーマル動作モードとして構成される場合の図 11 の一部の物理トラック上で適応され得る信号パスを示す。

20

【図 13】図 13 は、プログラマブル論理回路が、不良ロウを回避し、図 12 のノーマルモード信号パスに対応する冗長モード信号パスを提供するために冗長回路を使用するように構成される場合の図 11 の一部分を示す。

【図 14】図 14 は、本発明の局面による冗長回路を有する H I O バス部および追加の H I O 回路を示す。

【図 15】図 15 は、ノーマル動作モードで信号パスを提供するように構成された図 14 の H I O バス部および追加の回路を示す。

【図 16】図 16 は、不良ロウが存在する場合に冗長回路を使用する図 15 のノーマルモード信号パスに対応する冗長モード信号パスを提供するように構成された図 14 の H I O バス部および追加の回路を示す。

30

【図 17】図 17 は、本発明の局面に従って、ノーマル動作モードとして構成された専用の L A B 間ルーティングアーキテクチャ部を示す。

【図 18】図 18 は、不良ロウの上の修復可能領域の不良ロウを回避するために冗長動作モードとして構成された図 17 の専用の L A B 間ルーティングアーキテクチャを示す。

【図 19】図 19 は、予備ロウのちょうど下のロウの不良ロウに適応するように構成された図 17 の専用の L A B 間ルーティングアーキテクチャを示す。

【図 20】図 20 は、本発明の局面による専用の L A B 間ルーティングアーキテクチャの代替の実施形態を示す。

【符号の説明】

40

1 0 P L D セクション

1 0 1、1 0 2 接続

1 1 0 論理要素 (L E)

1 2 0 ドライバ

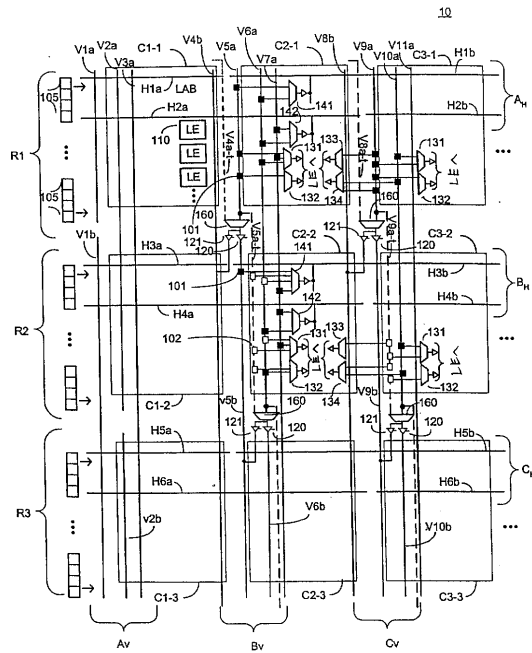
1 2 1 冗長ドライバ

1 3 1、1 3 2、1 3 3、1 3 4 L A B 入力マルチプレクサ

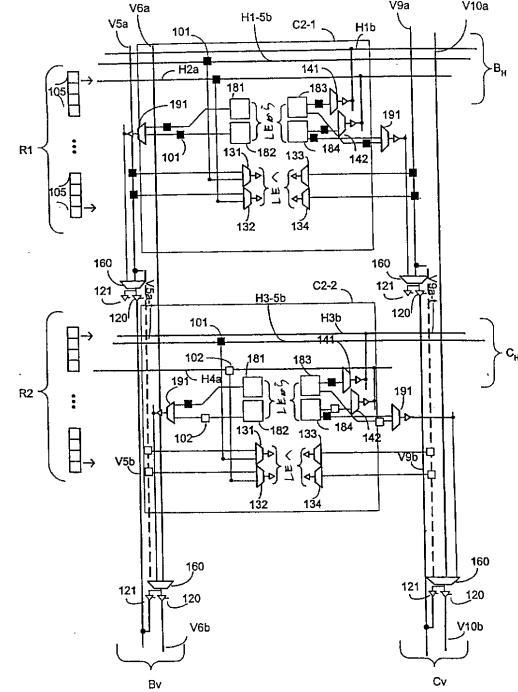
1 4 1、1 4 2 ドライバ入力マルチプレクサ

1 6 0 マルチプレクサ

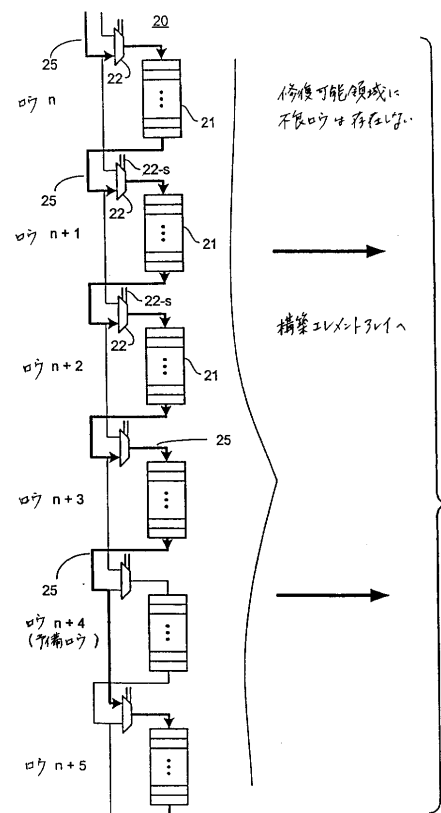
【図 1 a】



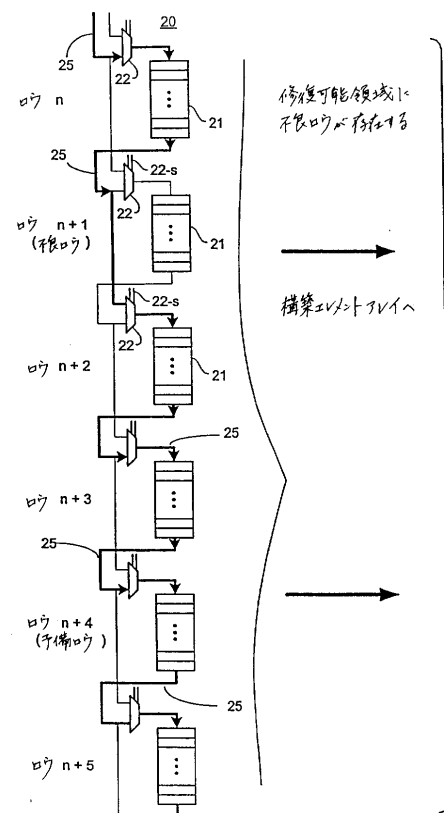
【図 1 b】



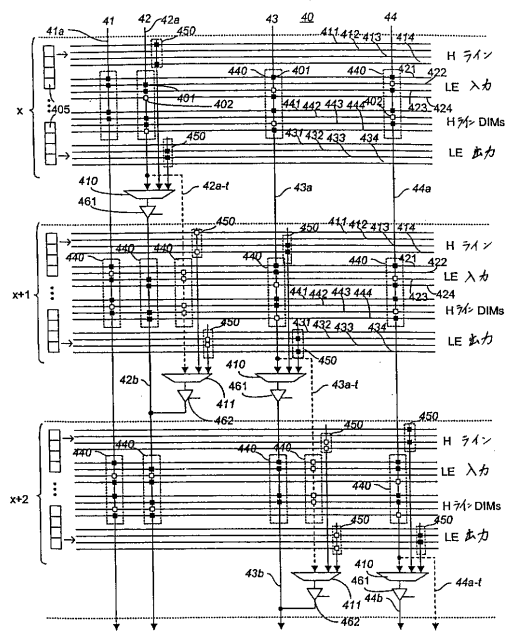
【図 2】



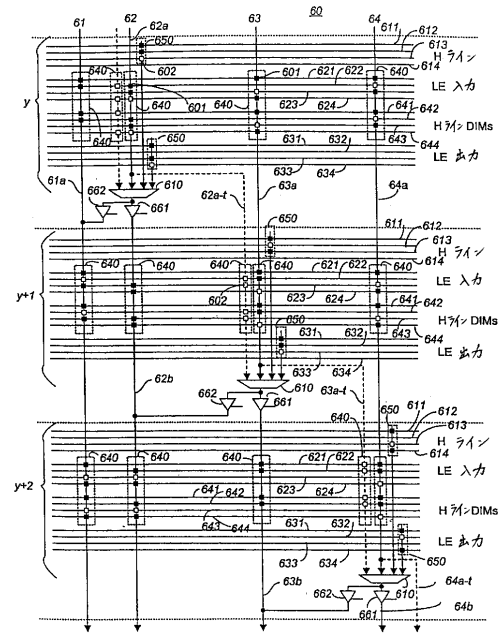
【図 3】



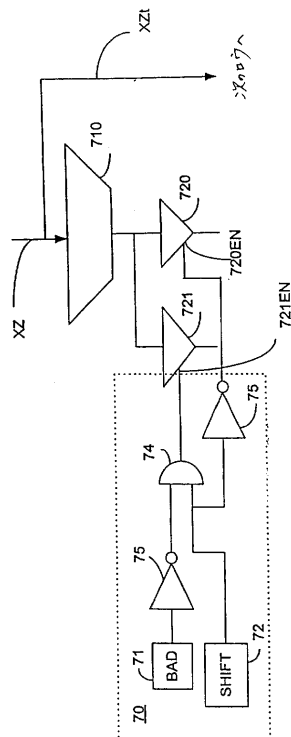
【図 4】



【図 5】



【図 6 A】



【図 6 B】

		S H I F T	B A D
r1	GOOD	0	0
r2	GOOD	0	0
r3	SPARE	1	1
r4	GOOD	0	0
r5	GOOD	0	0
r6	SPARE	1	1

完全な部分

【図 6 C】

		S H I F T	B A D
r1	GOOD	0	0
r2	BAD	1	1
r3	SPARE	1	0
r4	BAD	1	1
r5	GOOD	1	0
r6	SPARE	1	0

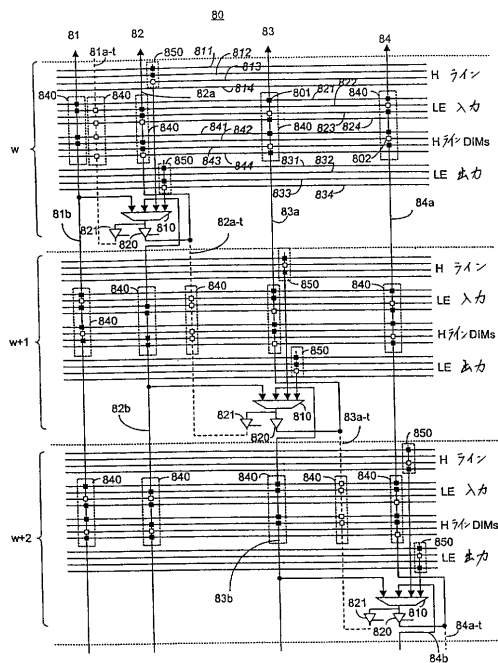
各修復可能領域の
不良ロウ

【図 6 D】

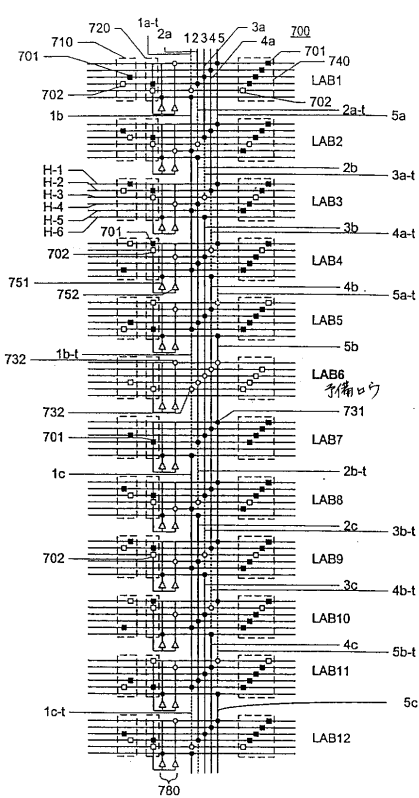
		S H I F T	B A D
r1	GOOD	0	0
r2	BAD	1	1
r3	SPARE	1	0
r4	GOOD	0	0
r5	GOOD	0	0
r6	SPARE	1	1

修復可能領域の(全体はよく)
一部のみ不良ロウ

【図 7】



【図 8】

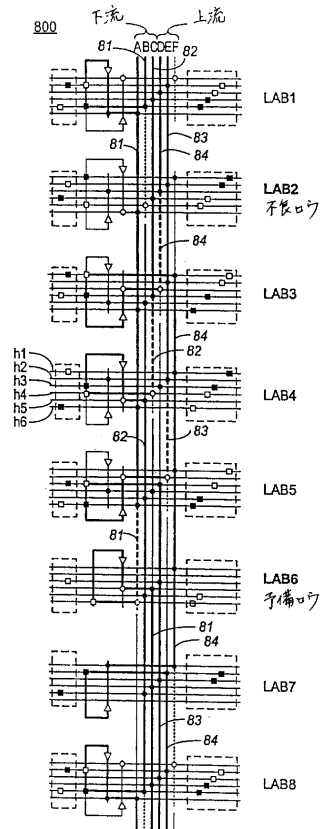


【図 10】

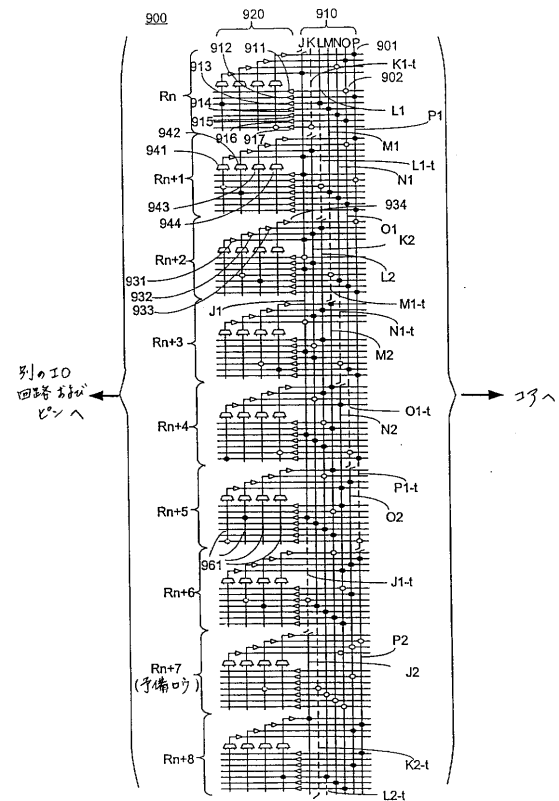
Figure 1 is a musical score for a 12-part ensemble. The score is written on 12 staves, each with a unique key signature and time signature. The staves are labeled H-1 through H-12. The music is composed of various rhythmic patterns, including eighth and sixteenth notes, and rests. The score is divided into measures by vertical bar lines. The key signatures are indicated by the number of sharps or flats on the staff lines. The time signatures are indicated by the number of beats per measure. The score is a complex arrangement of these elements, showing a high level of musical sophistication.

【图 1 2】

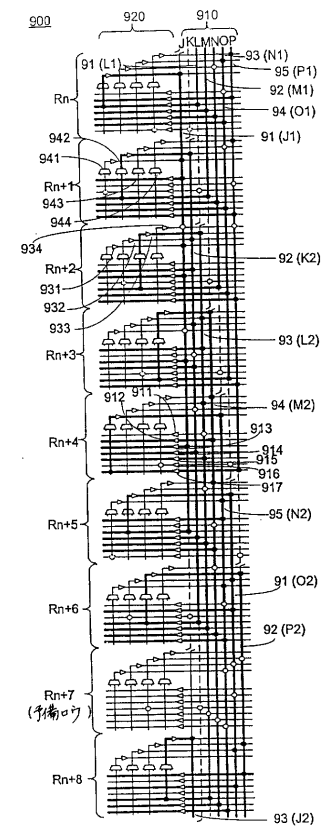
【図 13】



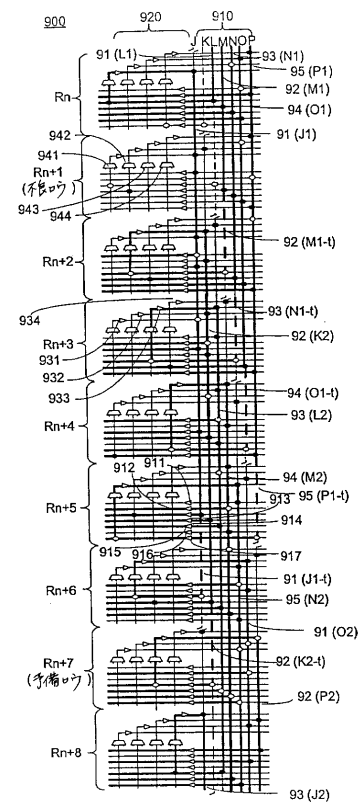
【図 14】



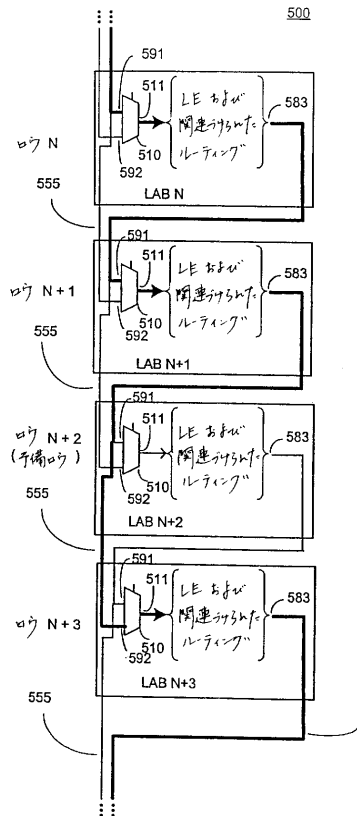
【図 15】



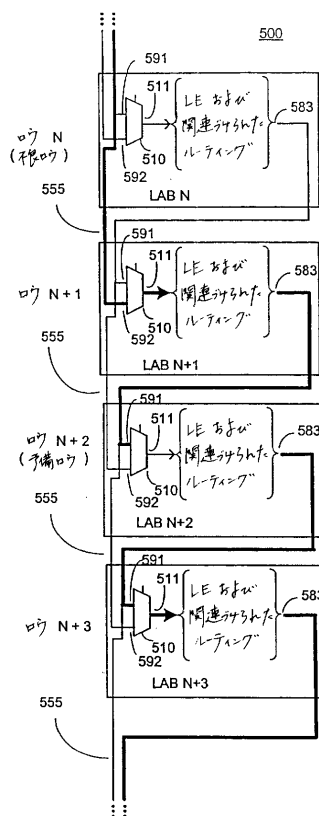
【図 16】



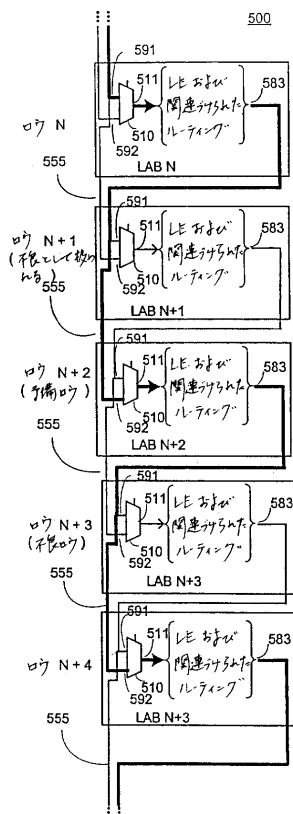
【図 17】



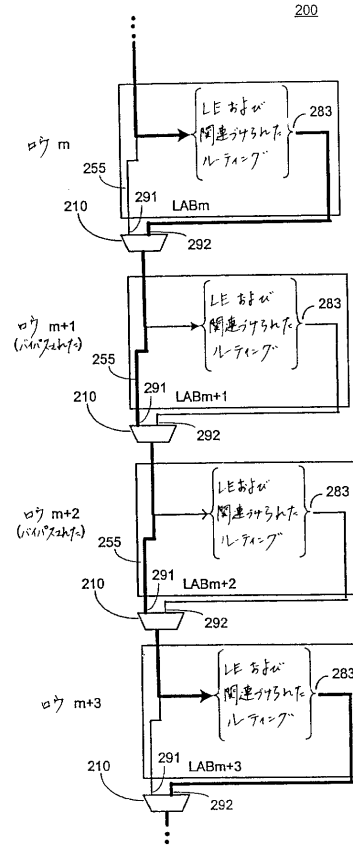
【図 18】



【図 19】



【図 20】



フロントページの続き

- (72)発明者 クリストファー レーン
アメリカ合衆国 カリフォルニア 95148, サン ノゼ, スティーブンズ コート 31
33
- (72)発明者 ケタン ザベリ
アメリカ合衆国 カリフォルニア 95129, サン ノゼ, ラゴ ビスタ サークル 48
51
- (72)発明者 ヒュン イ
アメリカ合衆国 カリフォルニア 95134, サン ノゼ, ルネッサンス ドライブ 43
01 ナンバー308
- (72)発明者 ギルズ パウエル
アメリカ合衆国 カリフォルニア 94501, アラメダ, エンシナル レーン 1808
- (72)発明者 ポール レベンティス
カナダ国 エム5エス 3ジー2 オンタリオ, トロント, バット ストリート 909,
スイート 1507
- (72)発明者 デイビッド ジェファーソン
アメリカ合衆国 カリフォルニア 95037, モーガン ヒル, ウィロウ クリーク ドラ
イブ 16711
- (72)発明者 デイビッド ルイス
カナダ国 エム5アール 3ビー6 オンタリオ, トロント, ホーランド アベニュー 18
8
- (72)発明者 トリート ニューエン
アメリカ合衆国 カリフォルニア 95117, サン ノゼ, ウィリアムズ ロード 367
5 ナンバー9
- (72)発明者 ビクラム サンターカー
アメリカ合衆国 カリフォルニア 95117, サン ノゼ, マリア ウェイ 1343
- (72)発明者 マイケル チャン
カナダ国 エム1ダブリュー 2エム7 オンタリオ, スカーボロウ, チェスター ル ブー
ルバード 1, ユニット ナンバー15
- (72)発明者 アンディー リー
アメリカ合衆国 カリフォルニア 95137, サン ノゼ, ブライアーリーフ サークル
1227
- (72)発明者 ブライアン ジョンソン
アメリカ合衆国 カリフォルニア 94087, サニーベイル, キングフィッシャー ウェイ
1311 ナンバー2
- (72)発明者 デイビッド キャッシュマン
カナダ国 エム6シー 3ジー4 オンタリオ, トロント, グレンスダー ロード 55

審査官 清水 稔

- (56)参考文献 特開平06-151599 (JP, A)
米国特許第05498975 (US, A)
米国特許第06167558 (US, A)
特開平06-216757 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H03K 19/177
H01L 21/82