

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6935351号
(P6935351)

(45) 発行日 令和3年9月15日 (2021.9.15)

(24) 登録日 令和3年8月27日 (2021.8.27)

(51) Int.Cl.	F I
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 5 D
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 3 C
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 K
HO 1 L 29/861 (2006.01)	HO 1 L 29/78 6 5 2 M
HO 1 L 29/868 (2006.01)	HO 1 L 29/78 6 5 7 D
請求項の数 9 (全 17 頁) 最終頁に続く	

(21) 出願番号	特願2018-53338 (P2018-53338)	(73) 特許権者	000003078
(22) 出願日	平成30年3月20日 (2018.3.20)		株式会社東芝
(65) 公開番号	特開2019-165180 (P2019-165180A)		東京都港区芝浦一丁目1番1号
(43) 公開日	令和1年9月26日 (2019.9.26)	(73) 特許権者	317011920
審査請求日	令和2年2月6日 (2020.2.6)		東芝デバイス&ストレージ株式会社
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100108062
			弁理士 日向寺 雅彦
		(74) 代理人	100168332
			弁理士 小崎 純一
		(74) 代理人	100146592
			弁理士 市川 浩
		(74) 代理人	100157901
			弁理士 白井 達哲
		最終頁に続く	

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 電極と、

前記第 1 電極の上に設けられた第 1 導電形の複数の第 1 半導体領域と、

前記第 1 電極の上に設けられた第 2 半導体領域と、

前記第 2 半導体領域よりも高い第 2 導電形の不純物濃度を有する第 2 導電形の第 3 半導体領域であって、第 1 方向において互いに離れた一対の前記第 3 半導体領域と前記一対の第 3 半導体領域の間に設けられた前記複数の第 1 半導体領域の 1 つとを含む第 1 領域群が前記第 1 方向と前記第 1 方向に垂直な第 2 方向とにおいて複数設けられ、前記第 2 半導体領域は複数の前記第 1 領域群の周り及び前記複数の第 1 領域群のうち前記第 1 方向において隣り合う 2 つの第 1 領域群の間に設けられた、前記第 3 半導体領域と、

前記第 2 半導体領域に囲まれ、前記第 1 方向及び前記第 2 方向において互いに離れた第 2 導電形の複数の第 4 半導体領域であって、前記複数の第 4 半導体領域は前記複数の第 1 領域群と前記第 2 方向において交互に設けられた、前記複数の第 4 半導体領域と、

前記複数の第 1 領域群、前記第 2 半導体領域、及び前記複数の第 4 半導体領域の上に設けられた第 1 導電形の第 5 半導体領域と、

前記第 5 半導体領域の上に設けられ、前記複数の第 1 半導体領域の上にそれぞれ位置する第 2 導電形の複数の第 6 半導体領域と、

前記第 5 半導体領域の上に設けられ、前記複数の第 4 半導体領域の上にそれぞれ位置する第 2 導電形の複数の第 7 半導体領域と、

10

20

前記複数の第7半導体領域の上にそれぞれ設けられた第1導電形の複数の第8半導体領域と、

前記第5半導体領域、前記複数の第7半導体領域、及び前記複数の第8半導体領域と複数のゲート絶縁層を介してそれぞれ対向する複数のゲート電極と、

前記複数の第6半導体領域及び前記複数の第7半導体領域の周り、前記複数の第6半導体領域のうち前記第1方向において隣り合う2つの第6半導体領域の間、及び前記複数の第7半導体領域のうち前記第1方向において隣り合う2つの第7半導体領域の間に設けられ、前記第2半導体領域の上に位置し、前記複数の第6半導体領域及び前記複数の第7半導体領域のそれぞれよりも高い第2導電形の不純物濃度を有する第2導電形の第9半導体領域であって、前記複数の第4半導体領域のうち前記第1方向において隣り合う2つの第4半導体領域の間に位置する前記第2半導体領域の一部の前記第1方向における長さは、前記隣り合う2つの第7半導体領域の間に位置する前記第9半導体領域の一部の前記第1方向における長さよりも長い、前記第9半導体領域と、

10

前記複数の第6半導体領域、前記複数の第7半導体領域、及び前記複数の第8半導体領域の上に設けられ、前記複数の第6半導体領域、前記複数の第7半導体領域、前記複数の第8半導体領域、及び前記第9半導体領域と電氣的に接続された第2電極と、

を備えた半導体装置。

【請求項2】

第1電極と、

前記第1電極の上に設けられた第1導電形の複数の第1半導体領域と、

20

前記第1電極の上に設けられた第2半導体領域と、

前記第2半導体領域よりも高い第2導電形の不純物濃度を有する第2導電形の複数の第3半導体領域であって、第1方向において互いに離れた一対の前記複数の第3半導体領域と前記一対の複数の第3半導体領域の間に設けられた前記複数の第1半導体領域の1つとを含む第1領域群が前記第1方向と前記第1方向に垂直な第2方向とにおいて複数設けられ、前記第2半導体領域は複数の前記第1領域群の周り及び前記複数の第1領域群のうち前記第1方向において隣り合う2つの第1領域群の間に設けられた、前記複数の第3半導体領域と、

前記第2半導体領域に囲まれた第2導電形の複数の第4半導体領域であって、前記複数の第4半導体領域を含む第2領域群が前記第1方向及び前記第2方向において複数設けられ、複数の前記第2領域群は前記第2方向において前記複数の第1領域群と交互に設けられた、前記複数の第4半導体領域と、

30

前記第2半導体領域、前記複数の第1領域群、及び前記複数の第2領域群の上に設けられた第1導電形の第5半導体領域と、

前記第5半導体領域の上に設けられ、前記複数の第1半導体領域の上にそれぞれ位置する第2導電形の複数の第6半導体領域と、

前記第5半導体領域の上に設けられ、前記複数の第2領域群の上にそれぞれ位置する第2導電形の複数の第7半導体領域と、

前記複数の第7半導体領域の上にそれぞれ設けられた第1導電形の複数の第8半導体領域と、

40

前記第5半導体領域、前記複数の第7半導体領域、及び前記複数の第8半導体領域と複数のゲート絶縁層を介してそれぞれ対向する複数のゲート電極と、

前記複数の第6半導体領域及び前記複数の第7半導体領域の周り、前記複数の第6半導体領域のうち前記第1方向において隣り合う2つの第6半導体領域の間、及び前記複数の第7半導体領域のうち前記第1方向において隣り合う2つの第7半導体領域の間に設けられ、前記第2半導体領域の上に位置し、前記複数の第6半導体領域及び前記複数の第7半導体領域のそれぞれよりも高い第2導電形の不純物濃度を有する第2導電形の第9半導体領域であって、前記複数の第2領域群のうち前記第1方向において隣り合う2つの第2領域群の間に位置する前記第2半導体領域の一部の前記第1方向における長さは、前記隣り合う2つの第7半導体領域の間に位置する前記第9半導体領域の一部の前記第1方向にお

50

ける長さよりも長い、前記第 9 半導体領域と、

前記複数の第 6 半導体領域、前記複数の第 7 半導体領域、及び前記複数の第 8 半導体領域の上に設けられ、前記複数の第 6 半導体領域、前記複数の第 7 半導体領域、前記複数の第 8 半導体領域、及び前記第 9 半導体領域と電氣的に接続された第 2 電極と、
を備えた半導体装置。

【請求項 3】

前記第 2 半導体領域は、第 1 導電形であり、

前記第 2 半導体領域における第 1 導電形の不純物濃度は、前記第 1 半導体領域における第 1 導電形の不純物濃度よりも低い請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記第 2 半導体領域は、第 2 導電形であり、

前記第 2 半導体領域における第 2 導電形のピーク不純物濃度は、 $5.0 \times 10^{16} \text{ atoms/cm}^3$ 以下である請求項 1 又は 2 に記載の半導体装置。

【請求項 5】

第 1 電極と、

前記第 1 電極の上に設けられた第 1 導電形の第 1 半導体領域と、

前記第 1 電極の上に設けられ、第 1 方向において前記第 1 半導体領域から離間した第 2 導電形の第 2 半導体領域であって、第 2 導電形のピーク不純物濃度が $5.0 \times 10^{16} \text{ atoms/cm}^3$ 以下である、前記第 2 半導体領域と、

前記第 1 半導体領域と前記第 2 半導体領域との間に設けられ、前記第 2 半導体領域よりも高い第 2 導電形の不純物濃度を有する第 2 導電形の第 3 半導体領域と、

前記第 1 電極の上に設けられ、前記第 1 方向に垂直な第 2 方向において、前記第 1 半導体領域及び前記第 3 半導体領域と並ぶ第 2 導電形の第 4 半導体領域と、

前記第 1 半導体領域、前記第 2 半導体領域、前記第 3 半導体領域、及び前記第 4 半導体領域の上に設けられた第 1 導電形の第 5 半導体領域と、

前記第 5 半導体領域の上に設けられ、前記第 1 半導体領域の上に位置する第 2 導電形の第 6 半導体領域と、

前記第 5 半導体領域の上に設けられ、前記第 4 半導体領域の上に位置する第 2 導電形の第 7 半導体領域と、

前記第 7 半導体領域の一部の上に設けられた第 1 導電形の第 8 半導体領域と、

前記第 5 半導体領域の一部、前記第 7 半導体領域、及び前記第 8 半導体領域の少なくとも一部とゲート絶縁層を介して対向するゲート電極と、

前記第 6 半導体領域及び前記第 7 半導体領域の周りに設けられ、前記第 2 半導体領域の上に位置し、前記第 6 半導体領域及び前記第 7 半導体領域のそれぞれよりも高い第 2 導電形の不純物濃度を有する第 2 導電形の第 9 半導体領域と、

前記第 6 半導体領域、前記第 7 半導体領域、及び前記第 8 半導体領域の上に設けられ、前記第 6 半導体領域、前記第 7 半導体領域、前記第 8 半導体領域、及び前記第 9 半導体領域と電氣的に接続された第 2 電極と、

を備えた半導体装置。

【請求項 6】

第 1 電極と、

前記第 1 電極の上に設けられた第 1 導電形の第 1 半導体領域と、

前記第 1 半導体領域の周りに設けられた第 2 半導体領域であって、第 2 導電形のピーク不純物濃度が $5.0 \times 10^{16} \text{ atoms/cm}^3$ 以下である、前記第 2 半導体領域と、

前記第 2 半導体領域中に設けられ、第 1 方向において前記第 1 半導体領域に隣接し、前記第 2 半導体領域よりも高い第 2 導電形の不純物濃度を有する第 2 導電形の複数の第 3 半導体領域と、

前記第 2 半導体領域中に設けられ、前記第 1 方向に垂直な第 2 方向において、前記第 1 半導体領域及び前記複数の第 3 半導体領域と並ぶ第 2 導電形の複数の第 4 半導体領域と、

前記第 1 半導体領域、前記第 2 半導体領域、前記複数の第 3 半導体領域、及び前記複数の

10

20

30

40

50

の第 4 半導体領域の上に設けられた第 1 導電形の第 5 半導体領域と、

前記第 5 半導体領域の上に設けられ、前記第 1 半導体領域の上に位置する第 2 導電形の第 6 半導体領域と、

前記第 5 半導体領域の上に設けられ、前記複数の第 4 半導体領域の上に位置する第 2 導電形の第 7 半導体領域と、

前記第 7 半導体領域の一部の上に設けられた第 1 導電形の第 8 半導体領域と、

前記第 5 半導体領域の一部、前記第 7 半導体領域、及び前記第 8 半導体領域の少なくとも一部とゲート絶縁層を介して対向するゲート電極と、

前記第 6 半導体領域及び前記第 7 半導体領域の周りに設けられ、前記第 2 半導体領域の上に位置し、前記第 6 半導体領域及び前記第 7 半導体領域のそれぞれよりも高い第 2 導電形の不純物濃度を有する第 2 導電形の第 9 半導体領域と、

前記第 6 半導体領域、前記第 7 半導体領域、及び前記第 8 半導体領域の上に設けられ、前記第 6 半導体領域、前記第 7 半導体領域、前記第 8 半導体領域、及び前記第 9 半導体領域と電氣的に接続された第 2 電極と、

を備えた半導体装置。

【請求項 7】

前記第 9 半導体領域の上に絶縁層を介して設けられた配線層をさらに備え、

前記配線層は、前記第 2 電極から離間し、

前記配線層は、前記複数のゲート電極と電氣的に接続された請求項 1 ～ 6 のいずれか 1 つに記載の半導体装置。

【請求項 8】

前記第 9 半導体領域の周りに設けられた第 2 導電形の第 10 半導体領域をさらに備え、

前記第 10 半導体領域は、前記第 9 半導体領域と接し、

前記第 10 半導体領域の下端は、前記第 9 半導体領域の下端よりも上方に位置する請求項 1 ～ 7 のいずれか 1 つに記載の半導体装置。

【請求項 9】

前記第 5 半導体領域の一部及び複数の前記第 6 半導体領域と複数の絶縁層を介してそれぞれ対向する複数の導電層をさらに備えた請求項 1 ～ 8 のいずれか 1 つに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

電力変換等に用いられる半導体装置として、I G B T (Insulated Gate Bipolar Transistor) に F W D (Free Wheeling Diode) を内蔵させた R C - I G B T (Reverse Conducting Insulated. Gate Bipolar Transistor) がある。半導体装置は、動作時に破壊が生じ難いことが望ましい。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2013 - 138069 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明が解決しようとする課題は、破壊が生じ難い半導体装置を提供することである。

【課題を解決するための手段】

【0005】

実施形態に係る半導体装置は、第 1 電極と、第 1 導電形の複数の第 1 半導体領域と、第

10

20

30

40

50

2 半導体領域と、第 2 導電形の第 3 半導体領域と、第 2 導電形の複数の第 4 半導体領域と、第 1 導電形の第 5 半導体領域と、第 2 導電形の複数の第 6 半導体領域と、第 2 導電形の複数の第 7 半導体領域と、第 1 導電形の複数の第 8 半導体領域と、複数のゲート電極と、第 2 導電形の第 9 半導体領域と、第 2 電極と、を有する。前記第 1 半導体領域は、前記第 1 電極の上に設けられている。前記第 2 半導体領域は、前記第 1 電極の上に設けられている。前記第 3 半導体領域は、前記第 2 半導体領域よりも高い第 2 導電形の不純物濃度を有する。第 1 方向において互いに離れた一対の前記第 3 半導体領域と、前記一対の第 3 半導体領域の間に設けられた前記複数の第 1 半導体領域の 1 つと、を含む第 1 領域群が、前記第 1 方向と、前記第 1 方向に垂直な第 2 方向と、において複数設けられている。前記第 2 半導体領域は、複数の前記第 1 領域群の周り及び前記複数の第 1 領域群のうち前記第 1 方向において隣り合う 2 つの第 1 領域群の間に設けられている。前記複数の第 4 半導体領域は、前記第 2 半導体領域に囲まれ、前記第 1 方向及び前記第 2 方向において互いに離れている。前記複数の第 4 半導体領域は、前記複数の第 1 領域群と前記第 2 方向において交互に設けられている。前記第 5 半導体領域は、前記複数の第 1 領域群、前記第 2 半導体領域、及び前記複数の第 4 半導体領域の上に設けられている。前記複数の第 6 半導体領域は、前記第 5 半導体領域の上に設けられ、前記複数の第 1 半導体領域の上にそれぞれ位置する。前記複数の第 7 半導体領域は、前記第 5 半導体領域の上に設けられ、前記複数の第 4 半導体領域の上にそれぞれ位置する。前記複数の第 8 半導体領域は、前記複数の第 7 半導体領域の上にそれぞれ設けられている。前記複数のゲート電極は、前記第 5 半導体領域、前記複数の第 7 半導体領域、及び前記複数の第 8 半導体領域と複数のゲート絶縁層を介してそれぞれ対向する。前記第 9 半導体領域は、前記複数の第 6 半導体領域及び前記複数の第 7 半導体領域の周り、前記複数の第 6 半導体領域のうち前記第 1 方向において隣り合う 2 つの第 6 半導体領域の間、及び前記複数の第 7 半導体領域のうち前記第 1 方向において隣り合う 2 つの第 7 半導体領域の間に設けられている。前記第 9 半導体領域は、前記第 2 半導体領域の上に位置する。前記第 9 半導体領域は、前記複数の第 6 半導体領域及び前記複数の第 7 半導体領域のそれぞれよりも高い第 2 導電形の不純物濃度を有する。前記複数の第 4 半導体領域のうち前記第 1 方向において隣り合う 2 つの第 4 半導体領域の間に位置する前記第 2 半導体領域の一部の前記第 1 方向における長さは、前記隣り合う 2 つの第 7 半導体領域の間に位置する前記第 9 半導体領域の一部の前記第 1 方向における長さよりも長い前記第 2 電極は、前記複数の第 6 半導体領域、前記複数の第 7 半導体領域、及び前記複数の第 8 半導体領域の上に設けられ、前記複数の第 6 半導体領域、前記複数の第 7 半導体領域、前記複数の第 8 半導体領域、及び前記第 9 半導体領域と電氣的に接続されている。

【図面の簡単な説明】

【0006】

【図 1】実施形態に係る半導体装置の平面図である。

【図 2】図 1 の A - A' 断面を含む斜視断面図である。

【図 3】図 1 の B - B' 断面を含む斜視断面図及び C - C' 断面を含む斜視断面図である。

【図 4】図 1 の D - D' 断面を含む斜視断面図及び E - E' 断面を含む斜視断面図である。

【図 5】実施形態に係る半導体装置の下面の構造を表す平面図である。

【図 6】参考例に係る半導体装置の下面の構造を表す平面図である。

【図 7】実施形態の第 1 変形例に係る半導体装置の下面の構造を表す平面図である。

【図 8】実施形態の第 2 変形例に係る半導体装置の下面の構造を表す平面図である。

【図 9】実施形態の第 3 変形例に係る半導体装置の下面の構造を表す平面図である。

【図 10】実施形態の第 4 変形例に係る半導体装置の下面の構造を表す平面図である。

【図 11】図 10 の A - A' 断面図及び B - B' 断面図である。

【図 12】図 10 の C - C' 断面図及び D - D' 断面図である。

【発明を実施するための形態】

【0007】

以下に、本発明の各実施形態について図面を参照しつつ説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同じとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

また、本願明細書と各図において、既に説明したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

以下の説明及び図面において、 n^+ 、 n 、 n^- 及び p^+ 、 p 、 p^- の表記は、各導電形における不純物濃度の相対的な高低を表す。すなわち、「 $+$ 」が付されている表記は、「 $+$ 」及び「 $-$ 」のいずれも付されていない表記よりも不純物濃度が相対的に高く、「 $-$ 」が付されている表記は、いずれも付されていない表記よりも不純物濃度が相対的に低いことを示す。また、これらの表記は、それぞれの領域に p 形不純物と n 形不純物の両方が含まれている場合には、それらの不純物が補償しあった後の正味の不純物濃度の相対的な高低を表す。

以下で説明する各実施形態について、各半導体領域の p 形と n 形を反転させて各実施形態を実施してもよい。

【0008】

図1は、実施形態に係る半導体装置の平面図である。

図2は、図1のA-A'断面を含む斜視断面図である。

図3は、図1のB-B'断面を含む斜視断面図及びC-C'断面を含む斜視断面図である。

図4は、図1のD-D'断面を含む斜視断面図及びE-E'断面を含む斜視断面図である。

図5は、実施形態に係る半導体装置の下面の構造を表す平面図である。

なお、図2では、エミッタ電極32が透過して表されている。

【0009】

図1～図5に表したように、実施形態に係る半導体装置100は、 n^+ 形（第1導電形）カソード領域1（第1半導体領域）、半導体領域2（第2半導体領域）、 p^+ 形（第2導電形）半導体領域3（第3半導体領域）、 p^+ 形コレクタ領域4（第4半導体領域）、 n^- 形半導体領域5（第5半導体領域）、 p 形アノード領域6（第6半導体領域）、 p 形ベース領域7（第7半導体領域）、 n^+ 形エミッタ領域8（第8半導体領域）、 p^+ 形ガードリング領域9（第9半導体領域）、 n 形バッファ領域12、 p^+ 形アノード13、 p^+ 形コンタクト領域14、ゲート電極20、導電層25、コレクタ電極31（第1電極）、エミッタ電極32（第2電極）、及びゲートパッド33を有する。

【0010】

実施形態の説明では、XYZ直交座標系を用いる。 n^+ 形カソード領域1、 p^+ 形半導体領域3、及び半導体領域2が並ぶ方向をX方向（第1方向）とする。X方向に対して垂直であり、 n^+ 形カソード領域1及び p^+ 形コレクタ領域4が並ぶ方向をY方向（第2方向）とする。X方向及びY方向に対して垂直な方向をZ方向（第3方向）とする。また、説明のために、 n^+ 形カソード領域1及び p^+ 形コレクタ領域4から n^- 形半導体領域5に向かう方向を「上」と言い、その反対方向を「下」と言う。これらの方向は、 n^+ 形カソード領域1、 p^+ 形コレクタ領域4、及び n^- 形半導体領域5の相対的な位置関係に基づき、重力の方向とは無関係である。

【0011】

図1に表したように、エミッタ電極32及びゲートパッド33は、半導体装置100の上面に設けられ、互いに離間している。例えば、エミッタ電極32は、X方向において複数設けられている。エミッタ電極32の周りには、配線層34が設けられている。配線層34は、ゲートパッド33と接続されている。例えば、配線層34の一部は、エミッタ電極32同士の間をY方向に延びている。

【0012】

半導体装置100は、IGBT領域R1及びFWD領域R2を有する。図1に表した例

では、IGBT領域R1及びFWD領域R2のそれぞれは、X方向及びY方向において複数設けられている。それぞれのエミッタ電極32は、Y方向において交互に設けられたIGBT領域R1及びFWD領域R2の上に設けられている。

【0013】

図2及び図3に表したように、コレクタ電極31は、半導体装置100の下面に設けられている。n⁺形カソード領域1、半導体領域2、p⁺形半導体領域3、及びp⁺形コレクタ領域4は、コレクタ電極31の上に設けられ、コレクタ電極31と電氣的に接続されている。

【0014】

図5に表したように、半導体領域2の一部は、X方向においてn⁺形カソード領域1から離間している。p⁺形半導体領域3は、X方向においてn⁺形カソード領域1と半導体領域2との間に設けられている。p⁺形コレクタ領域4は、Y方向においてn⁺形カソード領域1及びp⁺形半導体領域3と並んでいる。また、p⁺形コレクタ領域4は、X方向において半導体領域2の別の一部と並んでいる。

【0015】

図5に表した例では、n⁺形カソード領域1は、X方向において、一对のp⁺形半導体領域3の間に設けられている。n⁺形カソード領域1及び一对のp⁺形半導体領域3は、X方向において、半導体領域2の一部同士の間設けられている。半導体領域2は、例えば、複数のn⁺形カソード領域1、複数のp⁺形半導体領域3、及び複数のp⁺形コレクタ領域4の周りに設けられている。

【0016】

図2及び図3に表したように、n形バッファ領域12は、n⁺形カソード領域1、半導体領域2、p⁺形半導体領域3、及びp⁺形コレクタ領域4の上に設けられている。半導体領域2は、n形バッファ領域12と一体に設けられていても良い。n⁻形半導体領域5は、n形バッファ領域12の上に設けられている。

【0017】

p形アノード領域6は、n⁻形半導体領域5の上に設けられ、n⁺形カソード領域1及びp⁺形半導体領域3の上に位置している。p⁺形アノード13は、p形アノード領域6の一部の上に設けられている。導電層25は、例えば、Y方向において、n⁻形半導体領域5の一部及びp形アノード領域6と絶縁層26を介して対向している。

【0018】

p形ベース領域7は、n⁻形半導体領域5の上に設けられ、p⁺形コレクタ領域4の上に位置している。n⁺形エミッタ領域8及びp⁺形コンタクト領域14は、p形ベース領域7の上に設けられている。ゲート電極20は、例えば、Y方向において、n⁻形半導体領域5の一部、p形ベース領域7、及びn⁺形エミッタ領域8の少なくとも一部とゲート絶縁層21を介して対向している。

【0019】

エミッタ電極32は、p形アノード領域6、p⁺形アノード13、n⁺形エミッタ領域8、p⁺形コンタクト領域14、及び導電層25の上に設けられ、これらと電氣的に接続されている。ゲート電極20とエミッタ電極32とは、互いに電氣的に分離されている。

【0020】

図3及び図4に表したように、p⁺形ガードリング領域9は、p形アノード領域6及びp形ベース領域7の周りに設けられ、半導体領域2の上に位置している。p⁺形ガードリング領域9の一部は、X方向において、ゲート電極20同士の間及び導電層25同士の間設けられている。p⁺形ガードリング領域9は、p形アノード領域6及びp形ベース領域7を介してエミッタ電極32と電氣的に接続されている。p⁺形ガードリング領域9の上には、絶縁層を介して導電層28が設けられている。導電層28は、ゲート電極20及び配線層34と接続されている。すなわち、ゲート電極20は、導電層28及び配線層34を介してゲートパッド33と電氣的に接続されている。

【0021】

10

20

30

40

50

図4に表したように、 p^+ 形ガードリング領域9の周りには、 p^+ 形ガードリング領域10a及び p^+ 形ガードリング領域10bが設けられていても良い。 p^+ 形ガードリング領域10aは、 p^+ 形ガードリング領域9から離間し、 p^+ 形ガードリング領域10bは、 p^+ 形ガードリング領域10aから離間している。

【0022】

半導体装置100の各構成要素の材料の一例を説明する。

n^+ 形カソード領域1、半導体領域2、 p^+ 形半導体領域3、 p^+ 形コレクタ領域4、 n^- 形半導体領域5、 p 形アノード領域6、 p 形ベース領域7、 n^+ 形エミッタ領域8、 p^+ 形ガードリング領域9、 p^+ 形ガードリング領域10、 n 形バッファ領域12、 p^+ 形アノード13、及び p^+ 形コンタクト領域14は、半導体材料として、シリコン、炭化シリコン、窒化ガリウム、またはガリウムヒ素を含む。半導体材料としてシリコンが用いられる場合、 n 形不純物として、ヒ素、リン、またはアンチモンを用いることができる。 p 形不純物として、ボロンを用いることができる。

ゲート電極20及び導電層25は、ポリシリコンなどの導電材料を含む。

ゲート絶縁層21及び絶縁層26は、酸化シリコンなどの絶縁材料を含む。

コレクタ電極31、エミッタ電極32、ゲートパッド33、及び配線層34は、アルミニウムなどの金属を含む。

【0023】

次に、半導体装置100の動作について説明する。

エミッタ電極32に対してコレクタ電極31に正の電圧が印加された状態で、ゲート電極20に閾値以上の電圧が印加されると、 p 形ベース領域7のゲート絶縁層21近傍の領域にチャネル（反転層）が形成され、IGBT領域R1がオン状態となる。このとき、電子が、このチャネルを通して n^+ 形エミッタ領域8から n^- 形半導体領域5に注入され、正孔が、 p^+ 形コレクタ領域4から n^- 形半導体領域5に注入される。その後、ゲート電極20に印加される電圧が閾値よりも低くなると、 p 形ベース領域7におけるチャネルが消滅し、IGBT領域R1がオフ状態になる。

【0024】

複数の半導体装置100によって例えばブリッジ回路が構成されている場合、1つの半導体装置100がオン状態からオフ状態に切り替わると、ブリッジ回路のインダクタンス成分により、別の半導体装置100のエミッタ電極32に誘導起電力が加わる。これにより、この別の半導体装置100において、FWD領域R2が動作し、 p 形アノード領域6（ p^+ 形アノード13）から n^- 形半導体領域5へ正孔が注入され、 n^+ 形カソード領域1から n^- 形半導体領域5へ電子が注入される。

【0025】

図6を参照しつつ、実施形態の効果の説明する。

図6は、参考例に係る半導体装置の下面の構造を表す平面図である。

図6(a)に表した半導体装置101では、 p^+ 形半導体領域3が設けられておらず、 n 形バッファ領域12の一部が n^+ 形カソード領域1同士の間及び p^+ 形コレクタ領域4同士の上に設けられている。図6(b)に表した半導体装置102では、 p^+ 形半導体領域3が設けられておらず、 p^+ 形半導体領域2aが n^+ 形カソード領域1同士の間及び p^+ 形コレクタ領域4同士の上に設けられている。

【0026】

半導体装置をターンオフした際に、誘導起電力などによってエミッタ電極32に対してコレクタ電極31に大きな電圧が印加されると、半導体装置はアバランシェ状態に遷移する。このとき、ゲート絶縁層21の底部や絶縁層26の底部でインパクトイオン化が発生し、 n^- 形半導体領域5で電子及び正孔が生成される。生成された電子は、コレクタ電極31に向けてドリフトし、 n^- 形半導体領域5のコレクタ電極31側の電位を低下させる。その際、 n^- 形半導体領域5と p^+ 形コレクタ領域4との間の内蔵電位が低下することで、 p^+ 形コレクタ領域4から n^- 形半導体領域5へ正孔が注入され、半導体装置に電流が流れる。

10

20

30

40

50

【0027】

インパクトイオン化の生じやすさは、ゲート絶縁層21及び絶縁層26の深さ及び形状のばらつきにより、それぞれのゲート絶縁層21及び絶縁層26で異なる。一部のゲート絶縁層21または絶縁層26に集中的にインパクトイオン化が発生すると、その近傍の p^+ 形コレクタ領域4（IGBT領域R1）に集中的に電流が流れ、電流フィラメントが生じる。電流フィラメントが発生した場所では、時間の経過とともに温度が上昇していく。温度が上昇すると、キャリアの平均自由行程が短くなるため、インパクトイオン化が生じにくくなる。従って、温度が上昇すると、電流フィラメントは、隣接する温度が低い領域に移動していく。

しかし、下面に n^+ 形カソード領域1が設けられたFWD領域R2では、コレクタ電極31からの正孔の注入が生じない。このため、電流フィラメントはFWD領域R2へは移動しない。従って、参考例に係る半導体装置101の場合、電流フィラメントは、1つのIGBT領域R1内を移動し続ける。

10

【0028】

例えば、IGBT領域R1の中心側の温度が上昇してくると、電流フィラメントの一部は、FWD領域R2との境界近傍に向けて移動する。このとき、電流フィラメントは、FWD領域R2へ移動せず、また、温度が上昇したIGBT領域R1の中心側へも移動しない。このため、電流フィラメントは、IGBT領域R1とFWD領域R2との境界近傍で発生し続ける。この結果、電流フィラメントによって、上記境界近傍の温度が上昇し続け、最終的に熱暴走によって半導体装置101が破壊されてしまう。

20

【0029】

この課題に関して、参考例に係る半導体装置102では、X方向において n^+ 形カソード領域1同士の間及び p^+ 形コレクタ領域4同士の間には p^+ 形半導体領域2aが設けられている。 p^+ 形半導体領域2aによって、複数の p^+ 形コレクタ領域4同士が電氣的に接続されている。 p^+ 形半導体領域2aが設けられていることで、 p^+ 形半導体領域2aを通してコレクタ電極31から n^- 形半導体領域5へ正孔が注入される。このため、電流フィラメントが、IGBT領域R1の外側の p^+ 形半導体領域2aへ移動し、他のIGBT領域R1へ移動しうる。これにより、局所的な温度の上昇が抑制され、電流フィラメントによって半導体装置102が破壊される可能性を低減できる。

【0030】

30

一方、半導体装置がオフ状態のときの耐圧を向上させるためには、IGBT領域R1及びFWD領域R2の周りに、 p^+ 形ガードリング領域9を設けることが望ましい。 p^+ 形ガードリング領域9が設けられることで、ゲート絶縁層21下端及び絶縁層26下端における電界集中が緩和される。

しかし、半導体装置102において p^+ 形ガードリング領域9を設けた場合、 p^+ 形半導体領域2aの上に p^+ 形ガードリング領域9が位置する。すなわち、 p^+ 形半導体領域2a、 n^- 形半導体領域5、及び p^+ 形ガードリング領域9からなる寄生PNPトランジスタが形成される。この寄生トランジスタを電流フィラメントが流れ、 n^- 形半導体領域5の温度が上昇すると、寄生トランジスタが動作し易くなる。

【0031】

40

本実施形態では、上述した課題に関して、 n 形の半導体領域2及び p^+ 形半導体領域3を設けている。半導体領域2は、 p^+ 形ガードリング領域9の下に設けられ、 p^+ 形半導体領域3は、半導体領域2と n^+ 形カソード領域1との間に設けられている。

この構成によれば、 p^+ 形ガードリング領域9の下に p^+ 形半導体領域2aが設けられている場合に比べて、 p^+ 形ガードリング領域9直下の n^- 形半導体領域5への正孔の注入が抑制される。これにより、寄生トランジスタが動作することを抑制できる。また、半導体領域2に隣接して p^+ 形半導体領域3が設けられることで、電流フィラメントが p^+ 形半導体領域3を通してIGBT領域R1同士の間を移動できる。

すなわち、本実施形態によれば、電流フィラメント及び寄生トランジスタの動作によって半導体装置が破壊される可能性を低減できる。

50

【0032】

図3に表したように、半導体領域2の幅W1は、p⁺形ガードリング領域9の幅W2よりも広いことが望ましい。幅W1を幅W2よりも広くすることで、p⁺形半導体領域3とp⁺形ガードリング領域9とが上下方向において対向しなくなる。これにより、p⁺形半導体領域3、n⁻形半導体領域5、及びp⁺形ガードリング領域9からなる寄生PNPトランジスタが動作し難くなる。

【0033】

半導体領域2の幅は、換言すると、半導体領域2のY方向に延びた部分のX方向における長さ、または、半導体領域2のX方向に延びた部分のY方向における長さである。

同様に、p⁺形ガードリング領域9の幅は、p⁺形ガードリング領域9のY方向に延びた部分のX方向における長さ、または、p⁺形ガードリング領域9のX方向に延びた部分のY方向における長さである。

10

【0034】

また、n形の半導体領域2が設けられている場合、コレクタ電極31に対してエミッタ電極32に電圧が印加された際に、半導体領域2、n形バッファ領域12、n⁻形半導体領域5、及びp⁺形ガードリング領域9から構成されるダイオードにも電流が流れる。例えば、FWD領域R2への正孔の注入が抑制され、FWD領域R2が高速で動作するように設計されている場合、p⁺形ガードリング領域9を通してn⁻形半導体領域5に正孔が注入されると、ダイオードの動作速度が低下してしまう。p⁺形ガードリング領域9からの正孔の注入量を抑制するためには、半導体領域2からの電子の注入量を低減することが有効である。このため、半導体領域2におけるn形不純物濃度は、n⁺形カソード領域1におけるn形不純物濃度よりも低いことが望ましい。

20

【0035】

p⁺形半導体領域3の幅W3は、電流フィラメントが通過し易い長さに設定されることが望ましい。幅W3は、200μm以上が望ましい。また、幅W2は、p⁺形半導体領域3の幅W3より狭いことが望ましい。p⁺形ガードリング領域9とn⁻形半導体領域5は、寄生ダイオードを構成する。幅W2を狭くすることで、アノード領域として機能するp⁺形ガードリング領域9の面積を低減し、寄生ダイオードにおける正孔の注入量を低減できる。

p⁺形半導体領域3の幅は、換言すると、p⁺形半導体領域3のY方向に延びた部分のX方向における長さ、または、p⁺形半導体領域3のX方向に延びた部分のY方向における長さである。

30

【0036】

(第1変形例)

図7は、実施形態の第1変形例に係る半導体装置の下面の構造を表す平面図である。

図7に表したように、第1変形例に係る半導体装置110では、p⁻形の半導体領域2が設けられている。すなわち、半導体領域2におけるp形不純物濃度は、p⁺形半導体領域3及びp⁺形コレクタ領域4のそれぞれのp形不純物濃度よりも低い。

【0037】

例えば、p⁺形半導体領域3におけるp形のピーク不純物濃度は、 $8.0 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以下である。半導体領域2におけるp形のピーク不純物濃度は、 $5.0 \times 10^{16} \text{ atoms/cm}^3$ 以下である。このように、半導体領域2におけるp形不純物濃度が、p⁺形半導体領域3におけるp形不純物濃度よりも低ければ、半導体領域2の導電性は、n形及びp形のいずれでも良い。

40

【0038】

半導体領域2がp形である場合でも、半導体領域2のp形不純物濃度が低いことで、p⁺形ガードリング領域9直下のn⁻形半導体領域5への正孔の注入が抑制できる。このため、半導体装置100と同様に、電流フィラメント及び寄生トランジスタの動作によって半導体装置が破壊される可能性を低減できる。

【0039】

50

また、半導体領域 2 が p 形の場合、FWD 領域 R 2 が動作した際に、n⁻形半導体領域 5 及び p⁺形ガードリング領域 9 からなるダイオードの動作を抑制できる。このため、半導体装置 110 のダイオード動作を高速化できる。

【0040】

(第2変形例)

図8は、実施形態の第2変形例に係る半導体装置の下面の構造を表す平面図である。

図8に表したように、第2変形例に係る半導体装置120では、n⁺形カソード領域1、半導体領域2、p⁺形半導体領域3、及びp⁺形コレクタ領域4の周りに、n形バッファ領域12の一部に代えて、p形半導体領域15が設けられている。本変形例に係る半導体装置120によっても、半導体装置100と同様に、電流フィラメント及び寄生トランジスタの動作によって半導体装置が破壊される可能性を低減することが可能である。

10

【0041】

(第3変形例)

図9は、実施形態の第3変形例に係る半導体装置の下面の構造を表す平面図である。

第3変形例に係る半導体装置130では、n形の半導体領域2が、n⁺形カソード領域1の周りに設けられている。X方向においてn⁺形カソード領域1と隣接して、複数のp⁺形半導体領域3が設けられている。複数のp⁺形半導体領域3は、Y方向に沿って、配列されている。

【0042】

また、IGBT領域R1では、半導体領域2中に、複数のp⁺形コレクタ領域4が設けられている。複数のp⁺形コレクタ領域4は、X方向及びY方向に沿って配列されている。FWD領域R2に設けられたn⁺形カソード領域1及び複数のp⁺形半導体領域3は、Y方向において、複数のp⁺形コレクタ領域4と、別の複数のp⁺形コレクタ領域4と、の間に設けられている。

20

【0043】

p⁺形半導体領域3同士の間隔、p⁺形コレクタ領域4同士の間隔、及びp⁺形半導体領域3とp⁺形コレクタ領域4との間隔は、それぞれ、これらの領域の間で電流フィラメントが移動できるように設定される。例えば、これらの間隔は、p⁺形半導体領域3及びp⁺形コレクタ領域4のそれぞれのX方向またはY方向における長さよりも小さく、10µm以下である。

30

【0044】

本変形例に係る半導体装置130によっても、半導体装置100と同様に、電流フィラメント及び寄生トランジスタの動作によって半導体装置が破壊される可能性を低減することが可能である。

【0045】

また、IGBT領域R1において、複数のp⁺形コレクタ領域4が互いに離間して設けられていることで、IGBT領域R1の下面における実効的なp形不純物濃度を低下させることができる。このため、IGBT領域R1を動作させた際の下面からの正孔の注入が抑制され、スイッチング時間を短縮してスイッチング損失を低減することができる。

【0046】

40

(第4変形例)

図10は、実施形態の第4変形例に係る半導体装置の下面の構造を表す平面図である。

図11は、図10のA-A'断面図及びB-B'断面図である。

図12は、図10のC-C'断面図及びD-D'断面図である。

【0047】

半導体装置100では、IGBT領域R1同士の間及びFWD領域R2同士の間、半導体領域2が設けられていた。これに対して、第4変形例に係る半導体装置140では、図10に表したように、IGBT領域R1同士の間及びFWD領域R2同士の間、半導体領域2が設けられていない。

【0048】

50

図 1 1 に表したように、半導体装置 1 4 0 では、配線層 3 4 の下に p^+ 形ガードリング領域 9 が設けられておらず、ゲート電極 2 0 及び導電層 2 5 が X 方向に連続的に延びている。このため、配線層 3 4 の下には、半導体領域 2 が設けられていない。

【 0 0 4 9 】

図 1 2 に表したように、半導体領域 2 及び p^+ 形ガードリング領域 9 は、半導体装置 1 4 0 の外周にのみ設けられている。図 1 2 の例では、 p^+ 形ガードリング領域 1 0 a が、 p^+ 形ガードリング領域 9 の周りに、 p^+ 形ガードリング領域 9 と連続して設けられている。 p^+ 形ガードリング領域 1 0 b が、 p^+ 形ガードリング領域 1 0 a の周りに、 p^+ 形ガードリング領域 1 0 b と連続して設けられている。 p^+ 形ガードリング領域 1 0 a の下端の位置は、 p^+ 形ガードリング領域 9 の下端の位置よりも上方に位置し、 p^+ 形ガードリング領域 1 0 b の下端の位置よりも下方に位置している。 p^+ 形ガードリング領域 1 0 は、図 4 に表したように、 p^+ 形ガードリング領域 9 から離間していても良い。

【 0 0 5 0 】

このように、半導体領域 2 が設けられる位置は、 p^+ 形ガードリング領域 9 が設けられる位置に応じて適宜変更することが可能である。また、半導体領域 2 と n^+ 形カソード領域 1 との間に p^+ 形半導体領域 3 が設けられ、 p^+ 形コレクタ領域 4 同士が p^+ 形半導体領域 3 によって接続されることで、電流フィラメントが I G B T 領域 R 1 同士の間を移動できる。このため、半導体装置 1 0 0 と同様に、電流フィラメント及び寄生トランジスタの動作によって半導体装置が破壊される可能性を低減できる。

【 0 0 5 1 】

以上で説明した各形態は、適宜組み合わせることで実施することが可能である。例えば、半導体装置 1 2 0 ~ 1 4 0 において、半導体領域 2 の導電形が p 形であっても良い。半導体装置 1 1 0、1 3 0、及び 1 4 0 において、 n 形バッファ領域 1 2 の一部に代えて、 p 形半導体領域 1 5 が設けられていても良い。半導体装置 1 1 0 及び 1 2 0 において、I G B T 領域 R 1 に複数の p^+ 形コレクタ領域 4 が配列され、F W D 領域 R 2 に複数の p^+ 形半導体領域 3 が配列されていても良い。

【 0 0 5 2 】

以上で説明した各実施形態における、各半導体領域の間の不純物濃度の相対的な高低については、例えば、S C M (走査型静電容量顕微鏡) を用いて確認することが可能である。なお、各半導体領域におけるキャリア濃度は、各半導体領域において活性化している不純物濃度と等しいものとみなすことができる。従って、各半導体領域の間のキャリア濃度の相対的な高低についても、S C M を用いて確認することができる。

また、各半導体領域における不純物濃度については、例えば、S I M S (二次イオン質量分析法) により測定することが可能である。

【 0 0 5 3 】

以上、本発明のいくつかの実施形態を例示したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更などを行うことができる。これら実施形態やその変形例は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。また、前述の各実施形態は、相互に組み合わせることで実施することができる。

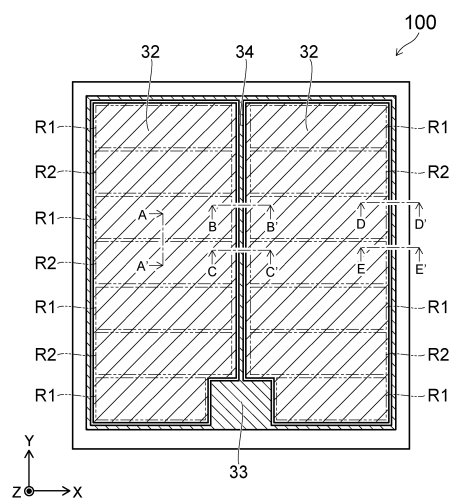
【 符号の説明 】

【 0 0 5 4 】

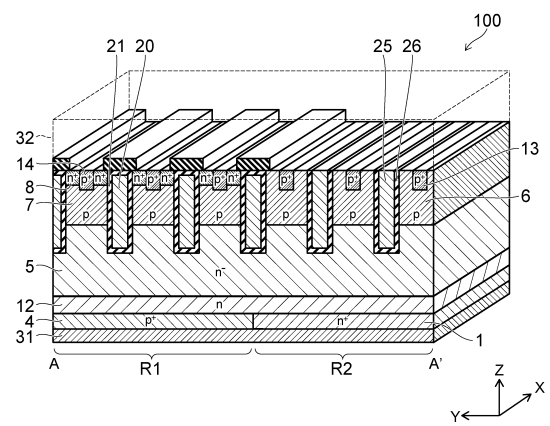
1 n^+ 形カソード領域、 2 半導体領域、 2 a p^+ 形半導体領域、 3 p^+ 形半導体領域、 4 p^+ 形コレクタ領域、 5 n^- 形半導体領域、 6 p 形アノード領域、 7 p 形ベース領域、 8 n^+ 形エミッタ領域、 9、1 0 a、1 0 b p^+ 形ガードリング領域、 1 2 n 形バッファ領域、 1 3 p^+ 形アノード領域、 1 4 p^+ 形コンタクト領域、 1 5 p 形半導体領域、 2 0 ゲート電極、 2 1 ゲート絶縁層、 2 5 導電層、 2 6 絶縁層、 2 8 導電層、 3 1 コレクタ電極、 3 2 エミッタ電極、 3 3 ゲートパッド、 3 4 配線層、 1 0 0 ~ 1 0 2、1 1 0 ~ 1 4 0

半導体装置、 R 1 I G B T 領域、 R 2 F W D 領域

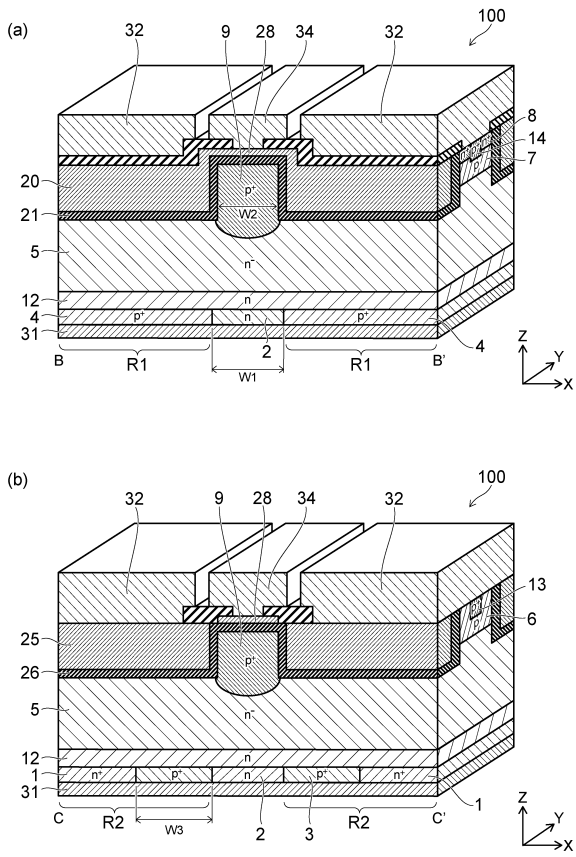
【図 1】



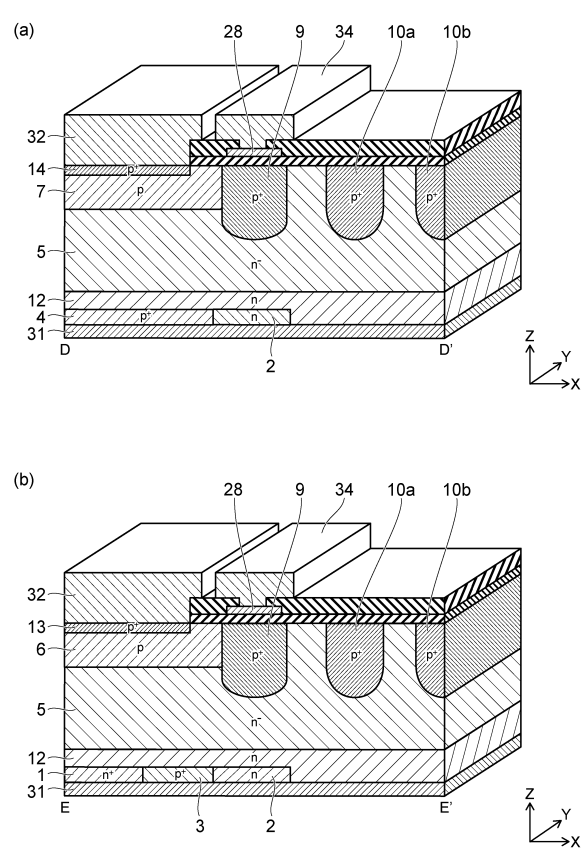
【図 2】



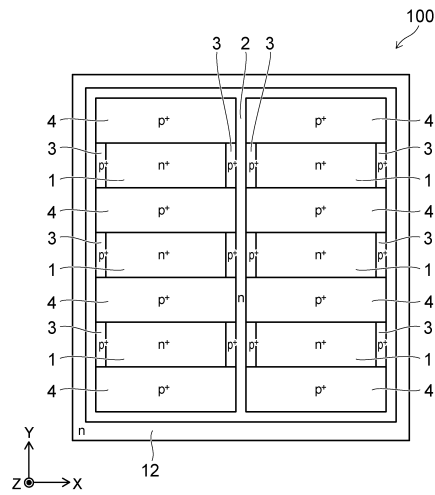
【図 3】



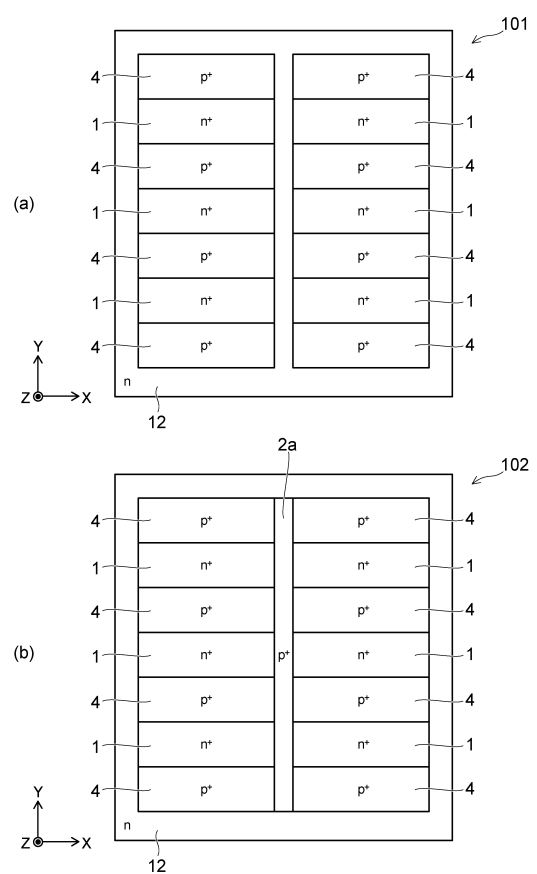
【図 4】



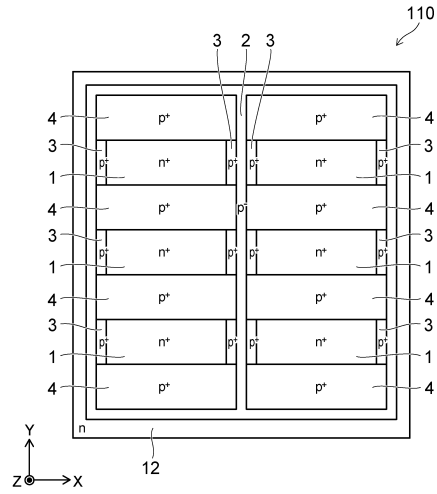
【図 5】



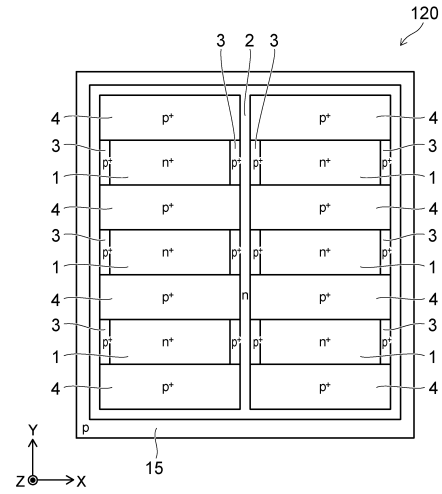
【図 6】



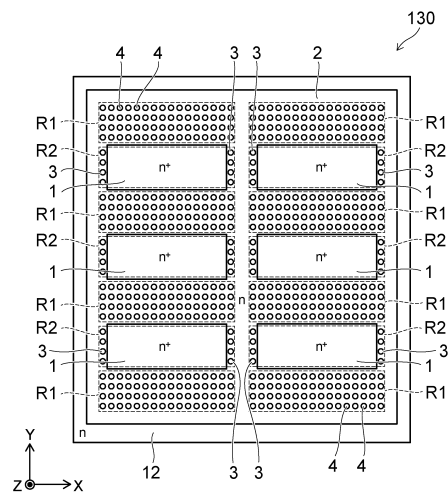
【図 7】



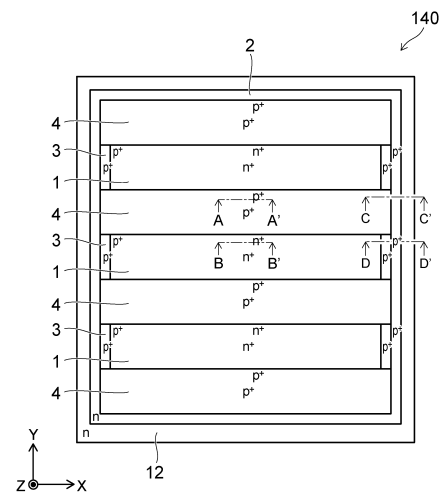
【図 8】



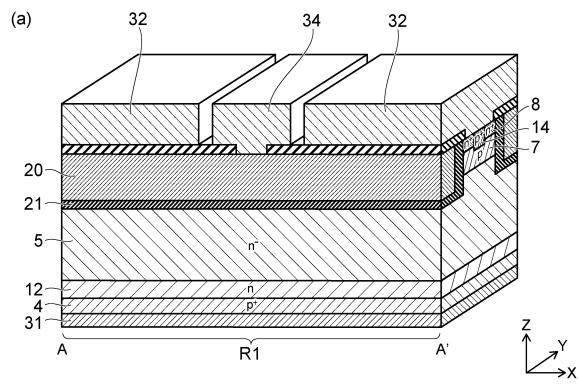
【図 9】



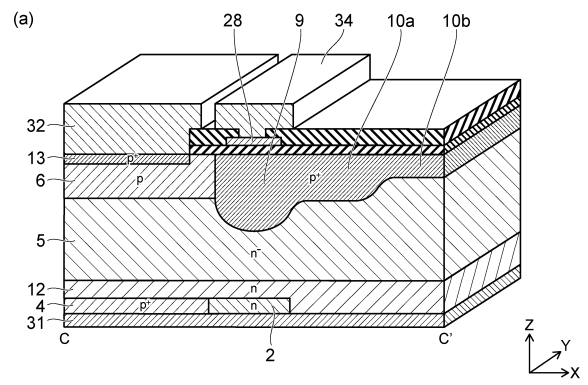
【図 10】



【図 1 1】



【図 1 2】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/8234 (2006.01)	H 0 1 L	29/78	6 5 2 Q
H 0 1 L	27/06 (2006.01)	H 0 1 L	29/78	6 5 2 P
H 0 1 L	27/088 (2006.01)	H 0 1 L	29/06	3 0 1 G
H 0 1 L	21/822 (2006.01)	H 0 1 L	29/06	3 0 1 V
H 0 1 L	27/04 (2006.01)	H 0 1 L	29/06	3 0 1 F
		H 0 1 L	29/91	D
		H 0 1 L	29/78	6 5 5 F
		H 0 1 L	29/78	6 5 5 B
		H 0 1 L	27/06	1 0 2 A
		H 0 1 L	27/088	E
		H 0 1 L	27/04	H

(74)代理人 100172188

弁理士 内田 敬人

(72)発明者 玉城 朋宏

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

(72)発明者 中村 和敏

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

(72)発明者 下條 亮平

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

審査官 恩田 和彦

(56)参考文献 特開2011-238681(JP,A)

特開2016-195271(JP,A)

特開2010-183018(JP,A)

特開2011-204710(JP,A)

特開2017-079234(JP,A)

特開2014-241433(JP,A)

米国特許出願公開第2008/0135871(US,A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 7 3 9

H 0 1 L 2 9 / 7 8

H 0 1 L 2 9 / 0 6

H 0 1 L 2 9 / 8 6 1

H 0 1 L 2 1 / 8 2 3 4

H 0 1 L 2 1 / 8 2 2