

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11) 特許出願公開番号

特開2010-20387

(P2010-20387A)

(43) 公開日 平成22年1月28日(2010.1.28)

(51) Int.Cl.

G O 6 F 12/00 (2006.01)

F 1

G06 F 12/00 564 C

G06 F 12/00 597 D

G O 6 F 12/00 5 9 7 C

G06F 12/00 564 D

テーマコード (参考)

5 B 0 6 0

審査請求 有 請求項の数 4 O L (全 20 頁)

(21) 出願番号 特願2008-177846 (P2008-177846)

(22) 出願日 平成20年7月8日 (2008.7.8)

(71) 出願人 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100082131

弁理士 稲本 義雄

(74) 代理人 100121131

弁理士 西川 孝

(72) 堯明者 小金沢 朋広

東京都港区港南1丁目7番1号 ソニー株
式会社内

(72) 発明者 下山 健

東京都港区港南1丁目7番1号 ソニー株
式会社内

[最終頁に続く](#)

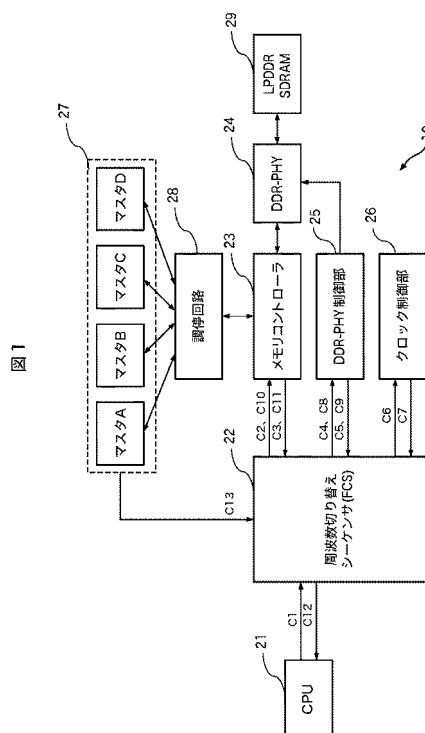
(54) 【発明の名称】 メモリアクセス制御装置および撮像装置

(57) 【要約】

【課題】高速でデータ転送を行うメモリを搭載する機器において、周波数変更の処理に伴う影響を極めて小さくすることができるようにする。

【解決手段】FCS 2 2 と、CPU 2 1、メモリコントローラ 2 3、DDR-PHY制御部 2 5、クロック制御部 2 6 とを接続する矢印の c 1 は、周波数切り替え要求の信号であり、c 2 は、Self Refresh Enterのコマンドの投入信号であり、これにより、LPDDRSDRAM 2 9 が、セルフリフレッシュモードで稼働させられる。c 4 は、DDR-PHY 2 4 のリセット要求の信号であり、c 6 は、クロック周波数切り替え要求の信号である。c 8 は、DDR-PHYのパラメータ設定要求の信号であり、DDR-PHY 2 4 に搭載されたDLLまたはDLのいずれを用いるかが選択され、設定すべきパラメータなどが決定される。c 1 0 は、Self Refresh Exitのコマンドの投入信号であり、c 1 2 は、周波数切り替えが終了したことを表す終了通知の信号である。

【選択図】図 1



【特許請求の範囲】**【請求項 1】**

マスタデバイスによるDDR (Double Data Rate) 方式を採用したメモリに対するアクセスの有無を表すブランキング信号に基づいて、前記メモリを制御するメモリコントローラに、前記メモリのセルフリフレッシュモードでの稼働を制御させる要求信号を出力し、

前記メモリコントローラから供給される前記要求信号に対する応答信号に基づいて、前記メモリコントローラと前記メモリとの間のインタフェース信号のタイミング調整を行うDDR-PHYのリセットの要求信号を、前記DDR-PHYを制御するDDR-PHY制御部に出力し、

前記DDR-PHY制御部から供給される前記要求信号に対する応答信号に基づいて、クロック信号の周波数を制御するクロック制御部に、クロック周波数の切り替えの要求信号を出力し、

前記クロック制御部から供給される前記要求信号に対する応答信号に基づいて、切り換え後のクロック周波数に応じた前記DDR-PHYのパラメータの設定の要求信号を、DDR-PHY制御部に出力し、

前記DDR-PHY制御部から供給される前記要求信号に対する応答信号に基づいて、前記メモリのセルフリフレッシュモードでの稼働の解除制御させる要求信号を、前記メモリコントローラに出力することで、前記DDR方式を採用したメモリのクロック周波数を変更するメモリアクセス制御装置。

【請求項 2】

複数の前記マスタデバイスを有する電子機器に搭載され、

前記電子機器の中央処理装置から周波数変更の要求信号が出力された場合、前記DDR方式を採用したメモリのクロック周波数の変更を行い、前記周波数の変更が完了したとき、前記周波数の変更の完了を通知する信号を、前記中央処理装置に出力する

請求項 1 に記載のメモリアクセス制御装置。

【請求項 3】

複数の前記マスタデバイスのうち、処理の遅延の発生による影響が大きいリアルタイム系マスタデバイスが、前記DDR方式を採用したメモリにアクセスしていない時間を、ブランキング信号に基づいて特定し、

前記DDR方式を採用したメモリのクロック周波数の変更を行う

請求項 2 に記載のメモリアクセス制御装置。

【請求項 4】

画像を撮像する撮像手段と、

前記撮像された画像の表示に関する処理を行うマスタデバイスと、

前記マスタデバイスが処理するデータを記憶するDDR方式を採用したメモリと、

中央処理装置からの指令に基づいて前記DDR方式を採用したメモリの周波数を変更するメモリアクセス制御装置とを備え、

前記メモリアクセス制御装置は、

前記マスタデバイスによる前記メモリに対するアクセスの有無を表すブランキング信号に基づいて、前記メモリを制御するメモリコントローラに、前記メモリのセルフリフレッシュモードでの稼働を制御させる要求信号を出力し、

前記メモリコントローラから供給される前記要求信号に対する応答信号に基づいて、前記メモリコントローラと前記メモリとの間のインタフェース信号のタイミング調整を行うDDR-PHYのリセットの要求信号を、前記DDR-PHYを制御するDDR-PHY制御部に出力し、

前記DDR-PHY制御部から供給される前記要求信号に対する応答信号に基づいて、クロック信号の周波数を制御するクロック制御部に、クロック周波数の切り替えの要求信号を出力し、

前記クロック制御部から供給される前記要求信号に対する応答信号に基づいて、切り換え後のクロック周波数に応じた前記DDR-PHYのパラメータの設定の要求信号を、DDR-PHY制御部に出力し、

前記DDR-PHY制御部から供給される前記要求信号に対する応答信号に基づいて、前記

10

20

30

40

50

メモリのセルフリフレッシュモードでの稼働の解除制御させる要求信号を、前記メモリコントローラに出力することで、前記DDR方式を採用したメモリのクロック周波数を変更する

撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリアクセス制御装置および撮像装置に関し、特に、高速でデータ転送を行うメモリを搭載する機器において、周波数変更の処理に伴う影響を極めて小さくすることができるようにするメモリアクセス制御装置および撮像装置に関する。

10

【背景技術】

【0002】

近年、例えば、CPUとメインメモリ間のデータ転送の高速化のため、コンピュータ内の各回路間で同期を取る際に、クロック信号の立上がり時と立下がり時の両方を利用し、片方のみを利用する場合に比べ単位時間あたりの処理効率を2倍に高めることができるDDR (Double Data Rate) 方式が多く採用されている。さらに、DDRを高性能化し、省電力化を図った規格DDR 2 も提唱されている。

【0003】

DDR SDRAM、DDR2 SDRAM、LPDDR (Low Power Double Data Rate) SDRAMなどを搭載するシステムにおいては、消費電力を抑制するために、例えば、必要なメモリ容量、システムの動作モードなどに応じて、クロック周波数を変更する制御が行われることが一般的である。高速のクロックでシステムを動作させると、当然単位時間あたりの消費電力量が増えるからである。

20

【0004】

DDR、DDR2、LPDDRSDRAMなどを搭載するシステムにおいては、外部から供給されるクロック信号に同期して内部回路を動作させているが、チップ上の回路レイアウトに依存する信号線の配線長によりスキューが発生し、基準となるクロックに対するデータ・ストロブ信号DQSの位相誤差となって現れる。このため、高速な動作クロックで動作するDDRSDRAMからデータの読出しを行なう際には、位相調整を極めて厳格に行なう必要がある。位相調整のため、例えば、DLL(Delay Locked Loop)と称される、配線負荷などにより発生する外部インタフェースの遅延時間を制御し、内部クロックとの同期を調整する回路などが搭載される。また、位相調整のため、DL(Delay Line)が用いられる場合もある。

30

【0005】

DDR、DDR2、LPDDRSDRAMなどを搭載するシステムにおけるクロック周波数を変更するものとして、例えば、メモリコントローラで使用する周波数に応じて、DLL(Delay Locked Loop)とDL(Delay Line)を搭載して、使い分けることが可能なシステムが提案されている(例えば、特許文献1参照)。

【0006】

また、動画撮影の開始が指示される以前は、制御部のクロック周波数を通常の周波数とし、モニタリング状態における無駄な電力消費を無くすことにより、電池寿命の長期化を図り、動画撮影の開始が指示されたら、その時点で、クロック切り替え制御部によってクロック周波数を大幅に上げ、MPEG変換部が動画データのエンコード処理に際してリフレッシュデータやサーチデータなどを記憶するSDRAMのアクセス速度を上げることで、リアルタイムでの動画圧縮を可能とするシステムも提案されている(例えば、特許文献2参照)。

40

【0007】

【特許文献1】特開2007-310549号公報

【特許文献2】特開2005-94294号公報

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 0 8 】

しかしながら、特許文献 1、特許文献 2 の技術では、周波数変更を行うための制御プログラムが複雑になる。

【 0 0 0 9 】

また、周波数変更を行うための制御プログラムを実行するために、命令コードやワークメモリが必要になり、周波数変更を行う処理を実行する際にメモリにアクセスできなくなることがあるため、それらの命令コードをメモリ以外のROMやSRAMなどに保持しておく必要がある。

【 0 0 1 0 】

さらに、周波数変更の処理に要する時間が長くなるため、その間のメモリへのアクセスの制限に伴う影響が大きくなる。

【 0 0 1 1 】

本発明はこのような状況に鑑みてなされたものであり、高速でデータ転送を行うメモリを搭載する機器において、周波数変更の処理に伴う影響を極めて小さくすることができるようにするものである。

【課題を解決するための手段】

【 0 0 1 2 】

本発明の第 1 の側面は、マスタデバイスによるDDR (Double Data Rate) 方式を採用したメモリに対するアクセスの有無を表すブランキング信号に基づいて、前記メモリを制御するメモリコントローラに、前記メモリのセルフリフレッシュモードでの稼働を制御させる要求信号を出力し、前記メモリコントローラから供給される前記要求信号に対する応答信号に基づいて、前記メモリコントローラと前記メモリとの間のインタフェース信号のタイミング調整を行うDDR-PHYのリセットの要求信号を、前記DDR-PHYを制御するDDR-PHY制御部に出力し、前記DDR-PHY制御部から供給される前記要求信号に対する応答信号に基づいて、クロック信号の周波数を制御するクロック制御部に、クロック周波数の切り替えの要求信号を出力し、前記クロック制御部から供給される前記要求信号に対する応答信号に基づいて、切り換え後のクロック周波数に応じた前記DDR-PHYのパラメータの設定の要求信号を、DDR-PHY制御部に出力し、前記DDR-PHY制御部から供給される前記要求信号に対する応答信号に基づいて、前記メモリのセルフリフレッシュモードでの稼働の解除制御させる要求信号を、前記メモリコントローラに出力することで、前記DDR方式を採用したメモリのクロック周波数を変更するメモリアクセス制御装置である。

【 0 0 1 3 】

複数の前記マスタデバイスを有する電子機器に搭載され、前記電子機器の中央処理装置から周波数変更の要求信号が出力された場合、前記DDR方式を採用したメモリのクロック周波数の変更を行い、前記周波数の変更が完了したとき、前記周波数の変更の完了を通知する信号を、前記中央処理装置に出力することができる。

【 0 0 1 4 】

複数の前記マスタデバイスのうち、処理の遅延の発生による影響が大きいリアルタイム系マスタデバイスが、前記DDR方式を採用したメモリにアクセスしていない時間を、ブランキング信号に基づいて特定し、前記DDR方式を採用したメモリのクロック周波数の変更を行うようにすることができる。

【 0 0 1 5 】

本発明の第 1 の側面においては、マスタデバイスによるDDR (Double Data Rate) 方式を採用したメモリに対するアクセスの有無を表すブランキング信号に基づいて、前記メモリを制御するメモリコントローラに、前記メモリのセルフリフレッシュモードでの稼働を制御させる要求信号が出力され、前記メモリコントローラから供給される前記要求信号に対する応答信号に基づいて、前記メモリコントローラと前記メモリとの間のインタフェース信号のタイミング調整を行うDDR-PHYのリセットの要求信号が、前記DDR-PHYを制御するDDR-PHY制御部に出力され、前記DDR-PHY制御部から供給される前記要求信号に対する応答信号に基づいて、クロック信号の周波数を制御するクロック制御部に、クロック周波数の

切り替えの要求信号が出力され、前記クロック制御部から供給される前記要求信号に対する応答信号に基づいて、切り換え後のクロック周波数に応じた前記DDR-PHYのパラメータの設定の要求信号が、DDR-PHY制御部に出力され、前記DDR-PHY制御部から供給される前記要求信号に対する応答信号に基づいて、前記メモリのセルフリフレッシュモードでの稼働の解除制御させる要求信号が、前記メモリコントローラに出力されることで、前記DDR方式を採用したメモリのクロック周波数が変更される。

【 0 0 1 6 】

本発明の第2の側面は、画像を撮像する撮像手段と、前記撮像された画像の表示に関する処理を行うマスタデバイスと、前記マスタデバイスが処理するデータを記憶するDDR (Double Data Rate) 方式を採用したメモリと、中央処理装置からの指令に基づいて前記DDR方式を採用したメモリの周波数を変更するメモリアクセス制御装置とを備え、前記メモリアクセス制御装置は、前記マスタデバイスによる前記メモリに対するアクセスの有無を表すブランキング信号に基づいて、前記メモリを制御するメモリコントローラに、前記メモリのセルフリフレッシュモードでの稼働を制御させる要求信号を出力し、前記メモリコントローラから供給される前記要求信号に対する応答信号に基づいて、前記メモリコントローラと前記メモリとの間のインタフェース信号のタイミング調整を行うDDR-PHYのリセットの要求信号を、前記DDR-PHYを制御するDDR-PHY制御部に出力し、前記DDR-PHY制御部から供給される前記要求信号に対する応答信号に基づいて、クロック信号の周波数を制御するクロック制御部に、クロック周波数の切り替えの要求信号を出力し、前記クロック制御部から供給される前記要求信号に対する応答信号に基づいて、切り換え後のクロック周波数に応じた前記DDR-PHYのパラメータの設定の要求信号を、DDR-PHY制御部に出力し、前記DDR-PHY制御部から供給される前記要求信号に対する応答信号に基づいて、前記メモリのセルフリフレッシュモードでの稼働の解除制御させる要求信号を、前記メモリコントローラに出力することで、前記DDR方式を採用したメモリのクロック周波数を変更する撮像装置である。

【 0 0 1 7 】

本発明の第2の側面においては、画像が撮像され、撮像された画像の表示に関する処理が行われ、前記処理するデータがDDR (Double Data Rate) 方式を採用したメモリに記憶され、中央処理装置からの指令に基づいて前記DDR方式を採用したメモリの周波数が変更される。また、マスタデバイスによるメモリに対するアクセスの有無を表すブランキング信号に基づいて、前記メモリを制御するメモリコントローラに、前記メモリのセルフリフレッシュモードでの稼働を制御させる要求信号が出力され、前記メモリコントローラから供給される前記要求信号に対する応答信号に基づいて、前記メモリコントローラと前記メモリとの間のインタフェース信号のタイミング調整を行うDDR-PHYのリセットの要求信号が、前記DDR-PHYを制御するDDR-PHY制御部に出力され、前記DDR-PHY制御部から供給される前記要求信号に対する応答信号に基づいて、クロック信号の周波数を制御するクロック制御部に、クロック周波数の切り替えの要求信号が出力され、前記クロック制御部から供給される前記要求信号に対する応答信号に基づいて、切り換え後のクロック周波数に応じた前記DDR-PHYのパラメータの設定の要求信号が、DDR-PHY制御部に出力され、前記DDR-PHY制御部から供給される前記要求信号に対する応答信号に基づいて、前記メモリのセルフリフレッシュモードでの稼働の解除制御させる要求信号が、前記メモリコントローラに出力されることで、前記DDR方式を採用したメモリのクロック周波数が変更される。

【 発明の効果 】

【 0 0 1 8 】

本発明によれば、高速でデータ転送を行うメモリを搭載する機器において、周波数変更の処理に伴う影響を極めて小さくすることができる。

【 発明を実施するための最良の形態 】

【 0 0 1 9 】

以下、図面を参照して、本発明の実施の形態について説明する。

【 0 0 2 0 】

10

20

30

40

50

図 1 は、本発明の一実施の形態に係るメモリアクセス制御システムの構成例を示すブロック図である。同図のメモリアクセス制御システム 10 は、LPDDRSDRAM 29 のクロック周波数を、例えば、メモリアクセス制御システム 10 が搭載された電子機器（例えば、デジタルカメラなど）の動作モードに応じて変更するようになされている。

【0021】

デジタルカメラなど撮像機能、表示機能などを有する電子機器においては、CPUとメインメモリ間のデータ転送の高速化のため、コンピュータ内の各回路間で同期を取る際に、クロック信号の立上がり時と立下がり時の両方を利用し、片方のみを利用する場合に比べ単位時間あたりの処理効率を2倍に高めることができるDDR（Double Data Rate）方式が近年多く採用されている。さらに、DDRを高性能化し、省電力化を図った規格DDR2も提唱されている。

10

【0022】

また、例えば、モバイル機器などの用途を考慮して、DDR2をさらに省電力化した規格LPDDR（Low Power Double Data Rate）も提唱されている。LPDDRSDRAM 29 は、規格LPDDRに適合するメモリとされる。

【0023】

LPDDRSDRAMを搭載する電子機器においては、消費電力を抑制するために、例えば、必要なメモリ容量、電子機器の動作モードなどに応じて、クロック周波数を変更する制御が行われることが一般的である。高速のクロックで電子機器を動作させると、当然単位時間あたりの消費電力量が増えるからである。

20

【0024】

このため、図1のメモリアクセス制御システム10は、自分が搭載された電子機器の動作モードに応じてクロック周波数を変更するようになされている。すなわち、メモリアクセス制御システム10は、例えば、デジタルカメラなどの電子機器に搭載されることを想定して構成されている。

【0025】

同図において、CPU（Central Processing Unit）21は、メモリアクセス制御システム10が搭載された電子機器の中央演算装置であって、実際には、メモリアクセス制御システム10のために設けられるものではない。

【0026】

CPU 21 は、例えば、図示せぬROM（Read Only Memory）に記憶されているプログラムに従って各種の処理を実行するようになされており、周波数切り替えシーケンサ 22 に周波数切り替え要求のコマンドを送出する。CPU 21 は、例えば、メモリアクセス制御システム 10 が搭載された電子機器の動作モードに応じて周波数を切り換えるように、周波数切り替えシーケンサ 22 に、周波数切り替え要求のコマンドを送出するようになされている。

30

【0027】

周波数切り替えシーケンサ（Frequency Change Sequencer）22 は、例えば、LSI（Large-Scale Integrated circuit）チップとして構成される。以下、適宜、周波数切り替えシーケンサ 22 を、FCS 22 と称することにする。

40

【0028】

FCS 22 は、クロック周波数の変更（切り替え）に関する各種の信号処理を行うようになされており、メモリコントローラ 23、DDR-PHY制御部 25、およびクロック制御部 26 に制御信号を出力するようになされている。

【0029】

また、FCS 22 は、CPU 21 からの指令に基づいてメモリアクセス制御システム 10 が搭載された電子機器の動作モードの検出、およびブランキング時間の検出を行うようになされている。FCS 22 は、CPU 21 からの指令に基づいて動作モードの検出、およびブランキング時間の検出を行って、マスタデバイスブロック 27 から出力される信号に基づいて、上述した制御信号を生成して出力するようになされている。

50

【 0 0 3 0 】

メモリコントローラは、LPDDR SDRAM 2 9 に、初期化コマンド、Writeコマンド、Readコマンド、Auto Refreshコマンド、Self Refreshコマンド等のコマンドを生成して投入するようになされている。

【 0 0 3 1 】

DDR-PHY 2 4 は、メモリコントローラ 2 3 とLPDDR SDRAM 2 9 との間のインタフェース信号のタイミング調整、位相調整などを行う機能ブロックである。DDR-PHY 2 4 には、DLL(Delay Locked Loop)とDL(Delay Line)が搭載されている。

【 0 0 3 2 】

DLは、遅延時間の小さい遅延バッファとセレクタの組み合わせにより構成される遅延ライン(Delay Line: DL)により周期信号の位相調整を行うものであり、DLLは、内部回路で使用する内部クロック信号を外部からの基準クロック信号に対して所定の位相を調整する同期遅延ループ(Delay Locked Loop: DLL)回路により、周期信号の位相調整を行うものである。DLLを用いることで精密な位相調整が可能であるが、DLに比べ消費電力が高くなる。

10

【 0 0 3 3 】

したがって、例えば、クロック周波数をより低い周波数に切り替える場合には、DLLを使用せずにDLを用いた方が、消費電力を削減することができる場合がある。

【 0 0 3 4 】

DDR-PHY 2 4 は、例えば、メモリコントローラ 2 3 からWriteコマンドとともに書き込みデータを受信した場合、その書き込みデータを、パラレル - シリアル変換し、倍速データ(Double Data Rate)でLPDDR SDRAM 2 9 に転送するようになされている。また、DDR-PHY 2 4 は、メモリコントローラ 2 3 からReadコマンドを受信した場合、DQS(Data Strobe信号)の位相を調整し、LPDDR SDRAM 2 9 から読み出したデータをシリアル - パラレル変換し、メモリコントローラ 2 3 へ等倍データ(Single Data Rate)で転送を行う。

20

【 0 0 3 5 】

DDR-PHY制御部 2 5 は、DDR-PHY 2 4 の制御を行う機能ブロックであり、DDR-PHYの初期化、DLLまたはDLの選択、DLLが選択されたときは位相設定、DLが選択されたときは遅延設定を行う機能ブロックである。

【 0 0 3 6 】

クロック制御部 2 6 は、例えば、図示せぬクロック発生部を制御してメモリアクセス制御システム 1 0 のクロック周波数、またはメモリアクセス制御システム 1 0 が搭載された電子機器全体のクロック周波数を制御する機能ブロックである。

30

【 0 0 3 7 】

マスタデバイスブロック 2 7 は、複数のマスタデバイスを含んで構成される機能ブロックであり、この例では、マスタデバイスブロック 2 7 が、マスタデバイスA(図中マスタAと表記)、マスタデバイスB(図中マスタBと表記)、マスタデバイスC(図中マスタCと表記)、およびマスタデバイスD(図中マスタDと表記)を含んで構成されている。

【 0 0 3 8 】

調停回路 2 8 は、マスタデバイスブロック 2 7 のマスタデバイスからのメモリアクセス要求に基づいて、優先順位付け、帯域制御などを行って、メモリコントローラ 2 3 との信号の送受信を行う機能ブロックである。すなわち、マスタデバイスA乃至マスタデバイスDのそれぞれは、LPDDRSDRAM 2 9 へのデータの書き込み、または読み出しを行う場合、調停回路 2 8 を介してメモリコントローラにアクセス要求を送出することになる。

40

【 0 0 3 9 】

上述したように、LPDDRSDRAM 2 9 は、DDR-PHY 2 4 を介して、メモリコントローラ 2 3 との信号の送受信が行われるようになされており、DDR-PHY 2 4 には、DLL(Delay Locked Loop)とDL(Delay Line)が搭載されている。このため、メモリアクセス制御システム 1 0 において、クロック周波数を切り換える場合、次に述べる処理を行う必要がある。

【 0 0 4 0 】

50

クロック周波数を切り換える場合、第 1 の処理として、LPDDRSDRAM 2 9 をセルフリフレッシュと称されるモードで稼働させる処理を行う必要がある。

【 0 0 4 1 】

メモリコントローラ 2 3 は、メモリアクセス制御システム 1 0 が稼働しているとき、LPDDRSDRAM 2 9 にRefreshコマンドを供給する。一般に、SDRAMなどのメモリセルに電荷として記憶されるデータを保持するために所定のリフレッシュ周期でリフレッシュ動作を実行する必要があるからである。通常、メモリコントローラ 2 3 は、予め設定された所定のインターバルでRefreshコマンドを供給するオートリフレッシュ機能と称される機能が実装されている。

【 0 0 4 2 】

しかしながら、クロック周波数を切り換える場合、一定の時間、メモリコントローラ 2 3 がDDR-PHY 2 4 へのコマンドの供給が行えない状態となる。このため、LPDDRSDRAM 2 9 をセルフリフレッシュと称されるモードで稼働させる。これにより、LPDDRSDRAM 2 9 は、メモリコントローラ 2 3 からRefreshコマンドが供給されなくとも、自身を定期的によりフレッシュするように動作する。従って、クロック周波数を切り換えに先立って、LPDDRSDRAM 2 9 をセルフリフレッシュモードで稼働させることで、クロック周波数を切り換えているときも、LPDDRSDRAM 2 9 のメモリセルに電荷として記憶されるデータが適切に保持されるようにすることができる。

【 0 0 4 3 】

また、クロック周波数を切り換える場合、第 2 の処理として、DDR-PHY 2 4 の再設定の処理を行う必要がある。クロック周波数が変わることに伴って、DDR-PHY 2 4 をリセットし、各種のパラメータなどを再設定する必要があるからである。これにより、例えば、切り換え後のクロック周波数に応じて、DDR-PHY 2 4 に搭載されたDLLまたはDLのいずれを用いるかが選択され、その選択結果に応じて、DLLまたはDLに設定すべきパラメータなどが決定される。

【 0 0 4 4 】

さらに、クロック周波数を切り換える場合、第 3 の処理として、クロック制御部 2 6 にクロック周波数を変更させる処理を行う必要がある。

【 0 0 4 5 】

さらに、クロック周波数を切り換える場合、第 4 の処理として、LPDDRSDRAM 2 9 のセルフリフレッシュモードでの稼働を解除させる処理を行う必要がある。

【 0 0 4 6 】

図 1 において、FCS 2 2 と、CPU 2 1、メモリコントローラ 2 3、DDR-PHY制御部 2 5、クロック制御部 2 6、およびマスタデバイスブロック 2 7 とを接続する矢印に付された記号 (c 1 乃至 c 1 3) は、それぞれ図 2 の表に記述された信号に対応している。

【 0 0 4 7 】

c 1 は、周波数切り替え要求の信号であり、CPU 2 1 からFCS 2 2 に送出されるものである。

【 0 0 4 8 】

c 2 は、Self Refresh Enterのコマンドの投入信号であり、FCS 2 2 からメモリコントローラ 2 3 に供給される。これにより、メモリコントローラ 2 3 が、LPDDRSDRAM 2 9 を、セルフリフレッシュモードで稼働させる。

【 0 0 4 9 】

c 3 は、c 2 のSelf Refresh Enterのコマンドの投入信号に対する応答信号とされ、メモリコントローラ 2 3 から、FCS 2 2 に送出される。

【 0 0 5 0 】

なお、c 2 と c 3 は、上述した、クロック周波数を切り換える場合の第 1 の処理に対応するものである。

【 0 0 5 1 】

c 4 は、DDR-PHY 2 4 のリセット要求の信号であり、FCS 2 2 からDDR-PHY制御部 2 5 に

10

20

30

40

50

送出される。これにより、DDR-PHY 2 4 は、リセットされる。

【 0 0 5 2 】

c 5 は、c 4 のDDR-PHY 2 4 のリセット要求の信号に対する応答信号とされ、DDR-PHY制御部 2 5 からFCS 2 2 に送出される。

【 0 0 5 3 】

なお、c 2 とc 3 は、上述した、クロック周波数を切り換える場合の第 2 の処理の一部に対応するものである。

【 0 0 5 4 】

c 6 は、クロック周波数切り替え要求の信号であり、FCS 2 2 からクロック制御部 2 6 に送出される。これにより、クロック周波数が変更される。

10

【 0 0 5 5 】

c 7 は、c 6 のクロック周波数切り替え要求の信号に対する応答信号とされ、クロック制御部 2 6 からFCS 2 2 に送出される。

【 0 0 5 6 】

なお、c 7 とc 6 は、上述した、クロック周波数を切り換える場合の第 3 の処理に対応するものである。

【 0 0 5 7 】

c 8 は、DDR-PHYのパラメータ設定要求の信号であり、FCS 2 2 からDDR-PHY制御部 2 5 に送出される。これにより、例えば、切り換え後のクロック周波数に応じて、DDR-PHY 2 4 に搭載されたDLLまたはDLのいずれを用いるかが選択され、その選択結果に応じて、DLLまたはDLに設定すべきパラメータなどが決定される。

20

【 0 0 5 8 】

c 9 は、c 8 のDDR-PHYのパラメータ設定要求の信号に対する応答信号であり、DDR-PHY制御部 2 5 からFCS 2 2 に送出される。

【 0 0 5 9 】

なお、c 8 とc 9 は、上述した、クロック周波数を切り換える場合の第 2 の処理の一部に対応するものである。

【 0 0 6 0 】

c 1 0 は、Self Refresh Exitのコマンドの投入信号であり、FCS 2 2 からメモリコントローラ 2 3 に供給される。これにより、メモリコントローラ 2 3 が、LPDDRSDRAM 2 9 のセルフリフレッシュモードでの稼働を解除する。

30

【 0 0 6 1 】

c 1 1 は、c 1 0 のSelf Refresh Exitのコマンドの投入信号に対する応答信号であり、メモリコントローラ 2 3 から、FCS 2 2 に送出される。

【 0 0 6 2 】

なお、c 1 0 とc 1 1 は、上述した、クロック周波数を切り換える場合の第 4 の処理に対応するものである。

【 0 0 6 3 】

c 1 2 は、クロック周波数切り替えが終了したことを表す終了通知の信号であり、FCS 2 2 からCPU 2 1 に送出される。

40

【 0 0 6 4 】

なお、図 2 には、表記されていないが、c 1 3 は、マスタデバイスブロック 2 7 から供給されるブランキング信号とされる。ブランキング信号については後述する。

【 0 0 6 5 】

このようにして、メモリアクセス制御システム 1 0 のクロック周波数が切り換えられる。

【 0 0 6 6 】

本発明においては、図 2 の c 2 乃至 c 1 3 の信号は、FCS 2 2 、CPU 2 1 、メモリコントローラ 2 3 、DDR-PHY制御部 2 5 、クロック制御部 2 6 、およびマスタデバイスブロック 2 7 のそれぞれが、ハードウェアとして構成された論理回路などにより生成するようにな

50

されている。従って、図2のc1およびc12の信号を除く各信号は、ソフトウェアの処理を介さずに生成されることになる。

【0067】

従来のクロック周波数の切り換えの処理では、図2のc2、c4、c6、c8、およびc10の信号がソフトウェアにより生成されていた。しかしながら、図2のc2、c4、c6、c8、およびc10の信号をソフトウェアにより生成する場合、周波数変更を行うための制御プログラムが複雑になる。また、周波数変更を行うための制御プログラムを実行するために、命令コードやワークメモリが必要になり、周波数変更を行う処理を実行する際にメモリにアクセスできなくなることがあるため、それらの命令コードをメモリ以外のROMやSRAMなどに保持しておく必要がある。さらに、周波数変更の処理に要する時間が長くなるため、その間のLPDDRSDRAM29へのアクセスの制限に伴う影響が大きくなる。

10

【0068】

本発明によれば、図2のc2、c4、c6、c8、およびc10の信号がソフトウェアの処理を介さずに生成されるので、複雑な制御プログラムを作成する必要がなく、余分なワークメモリも不要となる。また、本発明によれば、周波数変更の処理がソフトウェアを介さずにハードウェアにより実行されるようにしたので、処理に要する時間を短くすることができる。その結果、例えば、周波数変更の処理に伴ってメモリアccessが制限される時間も短くなり、例えば、周波数変更の処理に伴う、電子機器の機能などへの影響を小さくすることができる。さらに、周波数変更の処理がソフトウェアを介さずにハードウェアにより実行されるようにしたので、周波数切り換え時のCPU21の処理負荷を極力軽減させることができるので、周波数変更に伴う影響を小さくすることができる。

20

【0069】

図3は、メモリアccess制御システム10におけるクロック周波数の切り替えを説明するタイミングチャートである。同図は、横軸が時間とされ、マスタデバイスA乃至マスタデバイスD(図中、マスタA乃至マスタDと表記)によるLPDDRSDRAM29へのアクセス時間が「メモリアccess」と記述された長方形の枠により示されている。この例では、マスタデバイスA乃至マスタデバイスDは、全て表示用マスタデバイスなどのリアルタイム系マスタデバイスであるものとする。

【0070】

また、同図において図中最も上の矢印により、メモリアccess制御システム10が搭載された電子機器のモードが表記されている。すなわち、メモリアccess制御システム10が搭載された電子機器時刻T1から時刻T2までの時間はモードAで稼動し、時刻T2以後、モードBで稼動していることになる。

30

【0071】

同図の同期信号は、図中垂直下方向に突出したパルスにより、メモリアccess制御システム10の同期時刻を特定する信号とされる。

【0072】

同図のモード検出信号は、上述したモードAとモードBを表す信号であり、FCS22に供給される信号とされる。

【0073】

40

同図のブランキング信号は、マスタデバイスブロック27から供給される信号とされ、図1のc13の信号に対応するものである。リアルタイム系マスタデバイスは、処理の遅延等の発生による影響が大きいマスタデバイスであり、例えば、表示用マスタデバイスは、メモリアccessが中断されるなどすると、画像を正常に表示することができなくなってしまう。

【0074】

ブランキング信号は、リアルタイム系の表示用マスタデバイスがLPDDRSDRAM29にアクセスしていないタイミングを特定するための信号とされる。この例では、表示用マスタデバイスA乃至マスタデバイスDが、いずれもLPDDRSDRAM29にアクセスしていないとき、ブランキング信号のレベルが高く(「H」)なり、マスタデバイスA乃至マスタデバイスDの

50

いずれかがLPDDRSDRAM 2 9 にアクセスしているとき、ブランキング信号のレベルが低く（「L」）になっている。この例では、リアルタイム系マスタデバイスである、マスタデバイスA乃至マスタデバイスDのメモリアクセスが終了したとき（この例では、マスタデバイスBによる第2回目のメモリアクセスが終了したとき）、ブランキング信号のレベルが「H」となっている。

【0075】

この例では、電子機器のモードAは、クロック周波数の高いモードとされ、マスタデバイスA乃至マスタデバイスDのそれぞれがLPDDRSDRAM 2 9 にアクセスするモードであるものとする。一方、電子機器のモードBは、マスタデバイスAとマスタデバイスBのみがLPDDRSDRAM 2 9 にアクセスするモードであるものとし、CPU 2 1 は、電子機器がモードBで稼働する場合、消費電力削減のため、クロック周波数をより低く変更するようになされているものとする。

【0076】

時刻T1に先立って、CPU 2 1 は、FCS 2 2 に対して図2を参照して上述した信号c1を送出しておく。すなわち、CPU 2 1 は、FCS 2 2 に対して、モードBでの稼働時にはクロック周波数を低くするように指令する。この指令を受けてFCS 2 2 は、モード検出信号を監視し、現在の稼働モードを検出する。なお、図1と図2においては、モード信号が図示されていないが、例えば、CPU 2 1 からc1の信号とは別に、モード検出信号が、FCS 2 2 に供給されるものとする。

【0077】

時刻T2において、FCS 2 2 は、電子機器の稼働モードがモードBに移行したことを検出する。そして、FCS 2 2 は、ブランキング信号のレベルが「H」となるまで待機し、時刻T3において、FCS 2 2 は、ブランキング信号のレベルが「H」となったことを検出する。

【0078】

時刻T3を経過すると、FCS 2 2 は、図2を参照して上述したc2、c4、c6、c8、c10、およびc12の信号のそれぞれを出力していく。これにより、図2を参照して上述した一連の処理が行われることになる。図3においては、図2のc2の信号が出力されてから、c12（またはc11）の信号が出力されるまでの時間が「周波数変更期間」として表記されている。

【0079】

このように、周波数の変更の処理は、リアルタイム系マスタデバイスによるメモリアクセスが発生しない時間に行われるようになされている。このようにすることで、例えば、周波数の変更の処理を行っても、画像の表示の乱れなどが発生しないようにすることが可能となる。

【0080】

図4は、図3と同様に、メモリアクセス制御システム10におけるクロック周波数の切り替えを説明するタイミングチャートである。同図も、横軸が時間とされ、マスタデバイスA乃至マスタデバイスD（図中、マスタA乃至マスタDと表記）によるLPDDRSDRAM 2 9 へのアクセス時間が「メモリアクセス」と記述された長方形の枠により示されている。図4の例では、マスタデバイスA乃至マスタデバイスCは、表示用マスタデバイスなどのリアルタイム系マスタデバイスであるものとし、マスタデバイスDは、リアルタイム系マスタデバイスではないベストエフォート系マスタデバイスであるものとする。

【0081】

ベストエフォート系マスタデバイスは、メモリアクセスが中断されるなどした場合でも、影響が小さい処理を行うマスタデバイスである。従って、図4の場合、マスタデバイスDのメモリアクセスが中断されても、電子機器の動作に深刻な影響を与えることはない。

【0082】

また、図4の例においても図中最も上の矢印により、メモリアクセス制御システム10が搭載された電子機器のモードが表記されている。すなわち、メモリアクセス制御システム10が搭載された電子機器時刻T11から時刻T12までの時間はモードAで稼働し、

10

20

30

40

50

時刻 T 1 2 以後、モード B で稼動していることになる。

【 0 0 8 3 】

同図の同期信号とモード検出信号は、図 3 の場合と同様なので詳細な説明は省略する。

【 0 0 8 4 】

図 4 の例では、ブランキング信号は、時刻 T 1 3 においてレベルが「H」となっている。時刻 T 1 3 においては、マスタデバイス D によりメモリアクセスが発生しているが、上述したように、マスタデバイス D は、ベストエフォート系マスタデバイスである。このため、リアルタイム系マスタデバイスである、マスタデバイス A 乃至マスタデバイス C のメモリアクセスが終了したとき（この例では、マスタデバイス B による第 2 回目のメモリアクセスが終了したとき）、ブランキング信号のレベルが「H」となっている。

10

【 0 0 8 5 】

図 4 の場合も、時刻 T 1 1 に先立って、CPU 2 1 は、FCS 2 2 に対して図 2 を参照して上述した信号 c 1 を送出しておく。すなわち、CPU 2 1 は、FCS 2 2 に対して、モード B での稼動時にはクロック周波数を低くするように指令する。この指令を受けて FCS 2 2 は、モード検出信号を監視し、現在の稼動モードを検出する。

【 0 0 8 6 】

時刻 T 1 2 において、FCS 2 2 は、電子機器の稼動モードがモード B に移行したことを検出する。そして、FCS 2 2 は、ブランキング信号のレベルが「H」となるまで待機し、時刻 T 1 3 において、FCS 2 2 は、ブランキング信号のレベルが「H」となったことを検出する。

20

【 0 0 8 7 】

時刻 T 1 3 を経過すると、FCS 2 2 は、図 2 を参照して上述した c 2 、 c 4 、 c 6 、 c 8 、 c 1 0 、および c 1 2 の信号のそれぞれを出力していく。これにより、図 2 を参照して上述した一連の処理が行われることになる。図 4 においては、図 2 の c 2 の信号が出力されてから、c 1 2 （または c 1 1 ）の信号が出力されるまでの時間が「周波数変更期間」として表記されている。

【 0 0 8 8 】

このように、周波数の変更の処理は、リアルタイム系マスタデバイスによるメモリアクセスが発生しない時間に実行されるので、例えば、図 4 の例のように、ベストエフォート系のマスタデバイスによるメモリアクセスが中断されることはあるが、リアルタイム系マスタデバイスによるメモリアクセスが中断されることはない。従って、本発明によれば、例えば、周波数の変更の処理を行っても、画像の表示の乱れなどが発生しないようにすることができる。

30

【 0 0 8 9 】

図 5 は、図 4 において、「周波数変更期間」として表記されている時間を、さらに詳細に説明するタイミングチャートである。同図は、横軸が時間とされ、図 4 のマスタデバイス D による LPDDRSDRAM 2 9 へのアクセス時間が「メモリアクセス」と記述された長方形の枠により示されている。

【 0 0 9 0 】

また、同図においては、ステータスとして、次に述べる時間に対応する枠が記述されている。

40

【 0 0 9 1 】

図 2 の c 2 の信号が送出されてから c 4 の信号が送出されるまでの時間が、「Self Refresh Enter」と記述された長方形の枠により示されている。さらに、図 2 の c 4 の信号が送出されてから c 6 の信号が送出されるまでの時間が、「DDR-PHY Reset」と記述された長方形の枠により示されている。また、図 2 の c 6 の信号が送出されてから c 8 の信号が送出されるまでの時間が、「クロック周波数切り換え」と記述された長方形の枠により示されている。さらに、図 2 の c 8 の信号が送出されてから c 1 0 の信号が送出されるまでの時間が、「パラメータ設定」と記述された長方形の枠により示されている。また、図 2 の c 1 0 の信号が送出されてから c 1 2 の信号が送出されるまでの時間が、「Self Refre

50

sh Exit」と記述された長方形の枠により示されている。

【0092】

図5に示されるように、ブランキング信号のレベルが「H」となった時刻T13を経過した後、所定の遅延時間があり、その後図2のc2の信号が送出されることになる。そして、c2の信号が送出されたタイミングで、マスタデバイスDによるメモリアクセスは中断される。

【0093】

また、図5に示されるように、図2のc11の信号(c10の信号に対する応答)が送出された後、マスタデバイスDによるメモリアクセスが再開されることになる。

【0094】

図6は、図5のステータスをさらに詳細に説明するために、FCS22と、メモリコントローラ23、DDR-PHY制御部25、およびクロック制御部26との間で送受信される各種の要求信号、応答信号を示したタイミングチャートである。

【0095】

同図の最も上側には、FCS22の動作クロックがパルスとして示されている。

【0096】

図6において、時刻T21において第1番目のFCS22の動作クロックが投入された後、所定の遅延時間経過後に、FCS22は、メモリコントローラ23への要求信号が出力される。ここで、出力される要求信号は、図2のc2の信号に対応し、図6においては、信号のレベルが「H」となったことにより、要求信号が出力されたことを表している。

【0097】

また、メモリコントローラ23は、FCS22からの要求信号が出力されると、自動的に、LPDDRSDRAM29をセルフリフレッシュモードで稼働させるようになされている。

【0098】

メモリコントローラ23への要求信号が出力された後、所定の遅延時間経過後にメモリコントローラ23からFCS22へ応答信号が出力される。ここで、出力される応答信号は、図2のc3の信号に対応し、図6においては、信号のレベルが「H」となったことにより、応答信号が出力されたことを表している。

【0099】

メモリコントローラ23からFCS22へ応答信号が出力された後、時刻T22のFCS22の動作クロックのパルスの立ち上がりを待って、DDR-PHY制御部25への要求信号が出力される。ここで、出力される要求信号は、図2のc4の信号に対応し、図6においては、信号のレベルが「H」となったことにより、要求信号が出力されたことを表している。

【0100】

DDR-PHY制御部25への要求信号が出力された後、所定の遅延時間経過後にDDR-PHY制御部25からFCS22へ応答信号が出力される。ここで、出力される応答信号は、図2のc5の信号に対応し、図6においては、信号のレベルが「H」となったことにより、応答信号が出力されたことを表している。

【0101】

DDR-PHY制御部25からFCS22へ応答信号が出力された後、時刻T23のFCS22の動作クロックのパルスの立ち上がりを待って、クロック制御部26への要求信号が出力される。ここで、出力される要求信号は、図2のc6の信号に対応し、図6においては、信号のレベルが「H」となったことにより、要求信号が出力されたことを表している。

【0102】

そして、この後、図6の図中下から2番目の信号として示されている電子機器のクロックのパルス幅が広く変更されている。すなわち、電子機器のクロック周波数が高い周波数から低い周波数へ切り換えられたのである。

【0103】

クロック制御部26への要求信号が出力された後、所定の遅延時間経過後にクロック制御部26からFCS22へ応答信号が出力される。ここで、出力される応答信号は、図2の

10

20

30

40

50

c 7 の信号に対応し、図 6 においては、信号のレベルが「H」となったことにより、応答信号が出力されたことを表している。

【 0 1 0 4 】

また、クロック制御部 2 6 から FCS 2 2 へ応答信号が出力されると、FCS 2 2 は、時刻 T 2 4 の FCS 2 2 の動作クロックのパルスの立ち上がりを待って、DDR-PHY 制御部 2 5 への要求信号の出力を停止し、また、クロック制御部 2 6 への要求信号の出力を停止する。図 6 においては、信号のレベルが「L」となったことにより、要求信号の出力が停止されたことを表している。

【 0 1 0 5 】

また、DDR-PHY 制御部 2 5 への要求信号の出力が停止されたことにより、DDR-PHY 2 4 のパラメータ設定が行われることになる。すなわち、FCS 2 2 の DDR-PHY 制御部 2 5 への要求信号の出力の停止は、図 2 の c 8 の信号の供給に対応する。

【 0 1 0 6 】

DDR-PHY 制御部 2 5 への要求信号の出力が停止されてから所定の時間経過後に、DDR-PHY 制御部 2 5 は、FCS 2 2 への応答信号の出力を停止するようになされている。図 6 においては、信号のレベルが「L」となったことにより、応答信号の出力が停止されたことを表している。DDR-PHY 制御部 2 5 から FCS 2 2 への応答信号の出力の停止が図 2 の c 9 に対応することになる。

【 0 1 0 7 】

DDR-PHY 制御部 2 5 からの応答信号の出力が停止されてから、時刻 T 2 5 の FCS 2 2 の動作クロックのパルスの立ち上がりを待って、FCS 2 2 は、メモリコントローラ 2 3 への要求信号の出力を停止するようになされている。図 6 においては、信号のレベルが「L」となったことにより、要求信号の出力が停止されたことを表している。

【 0 1 0 8 】

また、FCS 2 2 からメモリコントローラ 2 3 への要求信号の出力の停止は、図 2 の c 1 0 の信号の供給に対応する。すなわち、メモリコントローラ 2 3 は、FCS 2 2 からの要求信号の出力が停止されると、自動的に、LPDDRSDRAM 2 9 のセルフリフレッシュモードでの稼働を解除させるようになされている。

【 0 1 0 9 】

メモリコントローラ 2 3 への要求信号の出力が停止されてから所定の時間経過後に、メモリコントローラ 2 3 は、FCS 2 2 への応答信号の出力を停止するようになされている。図 6 においては、信号のレベルが「L」となったことにより、応答信号の出力が停止されたことを表している。

【 0 1 1 0 】

また、メモリコントローラ 2 3 から FCS 2 2 への応答信号の出力の停止は、図 2 の c 1 1 の信号の供給に対応する。すなわち、FCS 2 2 は、メモリコントローラ 2 3 からの応答信号の出力が停止されると、時刻 T 2 6 の FCS の動作クロックのパルスの立ち上がりを待って、LPDDRSDRAM 2 9 のセルフリフレッシュモードでの稼働が解除されたことを認識する。

【 0 1 1 1 】

このようにして、図 2 を参照して上述した一連の信号が生成されて出力されるようになされている。

【 0 1 1 2 】

図 7 は、本発明を適用した撮像装置 7 0 の構成例を示すブロック図である。撮像装置 7 0 は、例えば、デジタルカメラとして構成される。

【 0 1 1 3 】

同図において、撮像素子 8 0 は、C C D (Charge Coupled Device)、C M O S (Complementary Metal-Oxide Semiconductor) などの光電変換センサにより構成される。

【 0 1 1 4 】

前処理部 8 1 は、撮像素子 8 0 から供給された電気信号の画像情報に対して、C D S (Correlated Double Sampling) 処理を行って、S / N 比を良好に保つようにするとともに

10

20

30

40

50

、A G C (Automatic Gain Control) 処理を行って、利得を制御し、そして、A / D (Analog/Digital) 変換を行って、デジタル信号とされた画像データを生成する。前処理部 8 1 のタイミングジェネレータと、Vドライバは、撮像素子 8 0 の駆動タイミングを制御する。

【 0 1 1 5 】

前処理部 8 1 からのデータは、カメラ D S P (Digital Signal Processor) 部 8 5 に供給される。カメラ D S P 部 8 5 は、カメラ信号処理部 8 6 、解像度変換部 8 7 、画像Codec部 8 8 、メモリ制御部 8 9 、表示制御部 9 0 、メディア制御部 9 1 、A R B (arbiter) 9 2 、メモリ装置 9 3 、LCDモニター 9 4 、記録メディア 9 5 、およびFCS 1 0 0 により構成されている。

10

【 0 1 1 6 】

カメラ信号処理部 8 6 は、前処理部 8 1 から供給されたデータに所定の処理を施してイメージ画像データとして出力する。

【 0 1 1 7 】

解像度変換部 8 7 は、カメラ信号処理部 8 6 が出力したイメージ画像データの解像度を必要に応じて変換する。

【 0 1 1 8 】

画像Codec部 8 8 は、カメラ信号処理部 8 6 が出力したイメージ画像データを、予め設定された圧縮符号化方式により圧縮符号化するようになされている。

【 0 1 1 9 】

メモリ制御部 8 9 は、メモリ装置 9 3 を制御し、表示制御部 9 0 は、L C D (Liquid Crystal Display) モニタ 9 4 を制御する。

20

【 0 1 2 0 】

メモリ装置 9 3 は、例えば、LPDDRSDRAMにより構成されるものとする。

【 0 1 2 1 】

メモリ制御部 8 9 には、図 1 のメモリコントローラ 2 3 、DDR-PHY 2 4 、DDR-PHY制御部 2 5 、クロック制御部 2 6 、および調停回路 2 8 に対応する機能ブロックが設けられているものとする。

【 0 1 2 2 】

また、メモリ制御部 8 9 とARB 9 2 との間にFCS 1 0 0 が設けられている。FCS 1 0 0 は、図 1 の F C S 2 2 と同様の機能ブロックである。

30

【 0 1 2 3 】

メディア制御部 9 1 は、記録メディア 9 5 を制御する。記録メディア 9 5 は、例えば、半導体メモリを用いたいわゆるメモリカード、記録可能なD V D (Digital Versatile Disk)、磁気ディスクなどにより構成される。

【 0 1 2 4 】

A R B 9 2 は、C P U 9 7 とカメラ D S P 部 8 5 のインタフェースである。そして、C P U 9 7 は、操作部 9 6 からの供給される信号に基づいて、EEPROM (Electrically Erasable Programmable Read-Only Memory) 9 9 からプログラムをロードし、ワークメモリであるR A M (Random Access Memory) 9 8 を使用してプログラムを実行し、カメラ D S P 部 8 5 と通信しながら、各種の処理を実行するようになされている。

40

【 0 1 2 5 】

図 7 の撮像装置 7 0 は、例えば、高速撮像を行うための高速撮像モードと、図示せぬレンズから取り込まれた画像をLCDモニターに表示するモニタリングモードで稼動するようになされている。また、撮像装置 7 0 は、高速撮像モードにおいて、高周波数のクロックにより動作するようになされており、モニタリングモードでは、低周波数のクロックにより動作するようになされている。

【 0 1 2 6 】

図 8 は、撮像装置 7 0 が、モニタリングモードで稼動中に高速撮像モードに変更され、撮像装置のクロックの周波数が低周波数から高周波数に切り換えられる場合の例を説明す

50

るタイミングチャートである。

【0127】

撮像装置70におけるモニタリングは、例えば、次のように行われる。

【0128】

前処理部81から供給されたデータをカメラDSP部85に取り込み、カメラ信号処理部86を介して解像度変換部87に供給し、画像のサイズを変更する。そして、サイズが変更された画像データは、メモリ制御部89を介して、メモリ装置93に書き込まれる。このとき、解像度変換部87はモニタリング用のメモリ装置93内の仮想空間であるメモリ空間を2面（メモリ領域1、メモリ領域2）持っており、イメージ画像の1枚目はメモリ領域1に書き込み、2枚目はメモリ領域2に書き込むようになされており、フリップして使用するようになされている。同様に表示制御部90もメモリ領域1、メモリ領域2をフリップして読み出し、LCDモニタ94に出力する。

10

【0129】

撮像装置70における高速撮像は、例えば、次のように行われる。

【0130】

操作部96を介して入力されるユーザの指令に基づいて、前処理部81から供給されたデータをカメラDSP部85に取り込み、カメラ信号処理部86を介して解像度変換部87に供給し、画像のサイズを変更する。そして、サイズが変更された画像データは、メモリ制御部89を介して、メモリ装置93に書き込まれる。

【0131】

20

このとき、解像度変換部87はメモリ装置93内の仮想空間であるメモリ空間を4面（メモリ領域1、メモリ領域2、メモリ領域3、メモリ領域4）に設定する。そして、解像度変換部87は、撮像された画像の1枚目はメモリ領域1に書き込み、2枚目はメモリ領域2に書き込み、3枚目はメモリ領域3に書き込み、4枚目はメモリ領域4に書き込み、5枚目はメモリ領域1に書き込むようになされている。

【0132】

表示制御部90は、解像度変換部87が処理を行ったメモリ領域1とメモリ領域3を交互に読み出し、LCDモニタ94に出力する。画像Codec部88は、解像度変換部87が処理を行って書き込んだデータを、メモリ領域1、メモリ領域2、メモリ領域3、メモリ領域4から順に読み出し、JPEG/MPEGなどのストリームデータに圧縮符号化し、メディア制御部91を介して、記録メディア95に書き込むようになされている。

30

【0133】

いまの場合、カメラ信号処理部86、解像度変換部87、および表示制御部90は、それぞれリアルタイム系マスタデバイスとなる。なお、解像度変換部87は、モニタリングモードでは、リアルタイム系マスタデバイスとして動作するが、高速撮像モードでは、ベストエフォート系マスタデバイスとして動作するものとする。

【0134】

図8は、撮像装置70におけるクロック周波数の切り替えを説明するタイミングチャートである。同図は、横軸が時間とされ、カメラ信号処理部からのイメージ画像データの供給時間が「イメージ画像」と記述された長方形の枠により表示されている。

40

【0135】

また、同図において、解像度変換部87によるメモリ領域1、メモリ領域2、メモリ領域3、メモリ領域4へのアクセス時間が、「Read（読み出し）」、または「Write（書き込み）」と記述された長方形の枠により表示されている。

【0136】

さらに、同図において、表示制御部90がLCDモニタ94に画像を表示する表示時間が「表示画」と記述された長方形の枠により表示されている。

【0137】

また、同図において、画像Codec部88がデータを圧縮符号化する時間が、「JPEG」と記述された長方形の枠により表示されている。

50

【 0 1 3 8 】

また、同図のモード検出信号およびブランキング信号は、図 3、または図 4 を参照して上述したものと同様なので、詳細な説明は省略する。

【 0 1 3 9 】

図 8 においては、時刻 T 4 1 において、モード検出信号がモニタリングモードから高速撮像モードに変更されたことを表している。

【 0 1 4 0 】

そして、図 8 のブランキング信号のレベルが「H」となる時刻 T 4 2 において、クロック周波数の切り替えが行われる。このとき、図 2 を参照して上述したような信号が FCS 1 0 0 とメモリ制御部 8 9 との間で送受信されることにより、低周波数から高周波数へ周波数変更の処理が行われることになる。

10

【 0 1 4 1 】

そして、時刻 T 4 3 において、撮像装置 7 0 が高速撮像モードで動作（高速撮像動作）する。なお、時刻 T 4 3 までの間、撮像装置 7 0 は、モニタリングモードでの動作（モニタリング動作）を続けることになる。

【 0 1 4 2 】

なお、本明細書において上述した一連の処理は、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

20

【図面の簡単な説明】

【 0 1 4 3 】

【図 1】本発明の一実施の形態に係るメモリアクセス制御システムの構成例を示すブロック図である。

【図 2】図 1 の各機能ブロックとの間で送受信される信号を説明する図である。

【図 3】図 1 のメモリアクセス制御システムにおけるクロック周波数の切り替えの例を説明するタイミングチャートである。

【図 4】図 1 のメモリアクセス制御システムにおけるクロック周波数の切り替えの別の例を説明するタイミングチャートである。

【図 5】図 4 の周波数変更期間の詳細を説明するタイミングチャートである。

【図 6】図 5 のステータスをさらに詳細に説明するために、各種の要求信号、応答信号を示したタイミングチャートである。

30

【図 7】本発明を適用した撮像装置の構成例を示すブロック図である。

【図 8】図 8 の撮像装置における周波数切り替えの例を説明するタイミングチャートである。

【符号の説明】

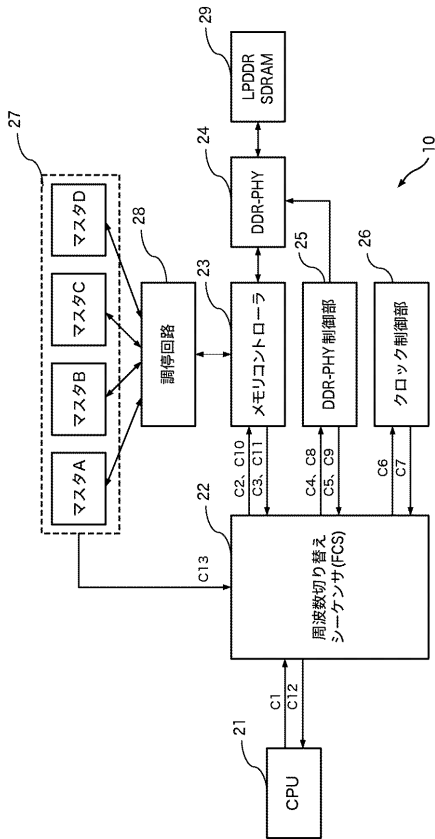
【 0 1 4 4 】

1 0 メモリアクセス制御システム， 2 1 CPU， 2 2 周波数切り換えシーケンサ（FCS）， 2 3 メモリコントローラ， 2 4 DDR-PHY， 2 5 DDR-PHY制御部， 2 6 クロック制御部， 2 7 マスタデバイスブロック， 2 9 LPDDRSDRAM， 7 0 撮像装置， 8 6 カメラ信号処理部， 8 7 解像度変換部， 8 8 画像Codec部， 8 9 メモリ制御部 9 0 表示制御部， 9 2 ARB， 2 3 メモリ装置， 9 4 LCD モニタ， 9 7 CPU， 1 0 0 FCS

40

【図 1】

図 1



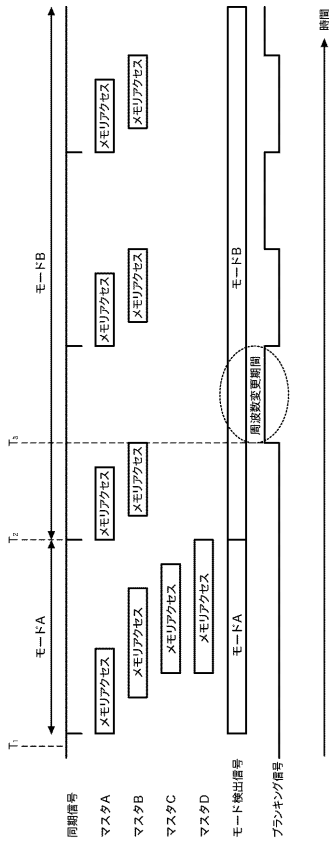
【図 2】

図 2

C1	周波数切り替え要求		
C2	Self Refresh Enter 要求	C3	応答
C4	DDR-PHYリセット要求	C5	応答
C6	周波数切り替え要求	C7	応答
C8	DDR-PHYパラメータ設定要求	C9	応答
C10	Self Refresh Exit 要求	C11	応答
		C12	終了通知

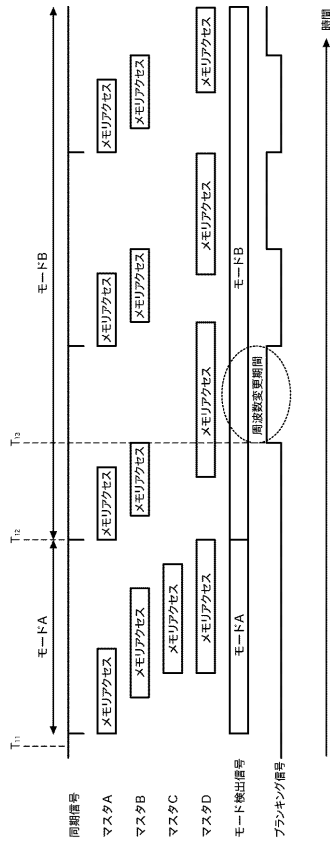
【図 3】

図 3



【図 4】

図 4



フロントページの続き

(72)発明者 小山 欣吾
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内
(72)発明者 姫野 卓治
東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内
F ターム(参考) 5B060 CC03