公告本

298650

申請日期	85 年 7 月 6 日
案號	85108186
類別	G11C Int.Cl[6]

（以上各欄由本局填註）

A4
C4

298650

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體記憶裝置、微控制器及半導體記裝置之製造方法
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 松本修 (2) 岳栄志郎 (3) 薮田匡史
	國籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國神奈川縣川崎市多摩區西生田三－一〇－八－一〇三 (2) 日本國神奈川縣横浜市金沢區並木三－二－七－六一〇 (3) 日本國東京都江戸川區西葛西三－一三－一二ツインコートＥ－三〇四
三、申請人	姓名（名稱）	(1) 東芝股份有限公司 株式会社東芝
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代表人姓名	(1) 西室泰三

裝 訂 線

經濟部中央標準局員工消費合作社印製

238650

申請日期	85 年 7 月 6 日
案號	85108186
類別	

A4
C4

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 金山健次郎
	國籍	(1) 日本
	住、居所	(1) 日本國神奈川縣橫浜市磯子區汐見台二－四－三　二四〇七－三一〇
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本　　1995 年　7 月 15 日　　P07-201535　　☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

〔發明所屬之技術領域〕

本發明係有關具有冗餘電路之半導體記憶（體）裝置及內裝有該半導體記憶裝置之單晶片（one chip）微控制器以及半導體記憶裝置者。

〔先前之技術〕

將裝配於半導體裝置之半導體基板（單片）之半導體元件被促成微細化，而伴隨著包括於單晶片中之元子數成爲巨大數目時，雖對於缺陷密度之對策水準亦會增進，惟在開發階段或大量生產初期，產品之良率極低成爲問題。爲了解決此問題，而有提案冗餘電路〔以下將稱爲冗餘（redundancy）或冗餘電路〕技術，且予以實用化。在此，將對於例如用以救濟在記憶元件之製造過程中所造成之缺陷用之冗餘電路加以說明。以構成電路爲，當記憶格之排列中，具有缺陷之列或行之時，予以準備作爲備用之列或行個別有幾條，以在輸入有相當於缺陷部分之位址信號時，可選擇備用之列或行，則即使包含著缺陷，亦可作爲良品來操作使用。雖由該冗餘電路而使晶片面積加大若干，惟產品良率會增加。爲了實現如此之冗餘電路，將用以分派對應於成隨便無目的地產生於各晶片之缺陷部位之位址至備用部的一種程式規劃之選擇成爲非常之重要。

將先前之包括有冗餘電路之半導體記憶（體）裝置之電路結構圖顯示於圖2、圖11及圖12。圖所示之半導體記憶裝置，乃用以救濟具有不良位元之字線（列線）之

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（2）

例子，對於決定不良之列位址的位址信號（A0－An）使之記憶不良位址，並將檢測各輸入位址位元和記憶位址位元之一致用之電路，予以準備置換（用）列位址數目（m個）。而且構成對於當與不良位址成爲一致時就會成立之信號（AE1～AEm），個別設有備用列線（SWL1～SWLm）3，並予以存取列線5之同時，可由備用促成（致能）信號／（SE）（「／」乃表示要寫在SE上之線條，乃顯示促成反轉（倒轉）信號。以下均爲同樣）來禁止主列解碼器8。半導體記憶裝置之記憶部配設有記憶格陣列1及冗餘格2（參照圖2）。冗餘格2之閘極乃被連接於m條之前述備用列線3，而1條之備用列線3連接用K個冗餘格2。另一方面，記憶格陣列1之記憶格4之閘極，乃被連接於列線（WL1～WLm）5，並在1條列線5連接有K個之記憶格4。記憶格4及冗餘格2之源極／汲極電極之一方被連接於GND線6，而另一方則被連接於K條之位元線7。位元線7係連接於行選擇器及感測放大器9，而來自各感測放大器之資料信號（D0～Dn）及被構成可傳遞至資料匯流排。

將對於決定不良之列位址之位址信號使之記憶不良位址，且用以檢測各輸入位址位元和記憶位址位元之一致用之電路10之輸出，予以輸入於AND（及）電路11，而其輸出（AE1～AEm）乃藉位準移動（轉換）器電路12被輸入於備用列線3。又AND電路11之輸出（AE1～AEm）乃被輸入於NOR（反或）電路13，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

而其輸出／（ＳＥ）藉列解碼器８被輸入於列線５。來自位址匯流排之位址信號（Ａ０～Ａｎ）亦與其反轉信號一齊藉列解碼器８被輸入於列線５。

圖１３顯示先前（習知）之使之記憶不良位址，且用以檢測各輸入位址及記憶位址位元之一致用之電路的電路結構圖。首先，有必要使在使用冗餘電路時所要利用之位址檢測電路成爲致能（ enable ）。而用以該致能用之位元爲ＦＥ１～ＦＥｍ，一方被連接於ＧＮＤ（接地）之熔線（ Fuse ）元件Ｆ乃介電阻Ｒ被連接於電源。當該熔線元件Ｆ由於電流或雷射被熔斷時，電阻Ｒ和熔線元件之連接點ｆｇ會成爲〝Ｈ〞位址，且其被輸入於緩衝器而使備用捉成（ Spare enable ）信號（ＳＥ）成爲〝１〞。不良位址資訊亦同樣，亦以熔線元件之ＯＮ／ＯＦＦ（斷續）狀態而被記憶。例如，位址信號Ａ０＝０、Ａ１＝１……爲不良位址之時，若切斷Ｆ０１位元之熔線元件，則輸入了Ａ０＝０時成ＳＡ０＝１，而使Ｆ１１位元之熔線元件維持於ＯＮ之時，若輸入有Ａ１＝１時就成ＳＡ１＝１，即構成來自個個熔線元件之輸入和位址輸入予以輸入於互斥或（ ｅｘ ＯＲ）電路，並在輸入有不良位址時，其輸出之ＳＡ０～ＳＡｎ全部將成立爲１。

將在圖１４顯示如上述之先前之冗餘電路之測試流程。最初，核對是否所有位元成爲起始狀態（抹除）（１），若爲是，就進行寫入之核對（２）。若不進行以冗餘所作之救濟之時，將良品（ＯＫ）者，爲了實施可靠性試驗

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（４）

而暫時性地從測試器解開，以進行高溫放置（放置於高溫之）試驗（３）。並再一次地以測試器進行全位元之讀出，以核對是否寫入之資料已消失，而終結晶圓測試（４）。當要由冗餘來進行救濟時，對於抹除而成ＮＧ（不良）者，進行是否能以規定之列置換數目可加以救濟之判定（５），接著對於在寫入時之ＮＧ者，進行是否能以規定之列置換數目可加以救濟之判定（６），而對於可救濟者，則依據置換位址資訊來進行冗餘電路之熔線元件之切斷（７）。

上述之先前之測試流程過程，因無法予以維持接在測試器之下來進行，致使有需要暫時地從測試器解開（卸下）而在另外之機器進行之必要。而且，又將切斷熔線元件者送回至測試器，以對於所置換之列進行抹除，寫入之核對（８），而後進行全部位元之讀出（９），又從測試器解開來進行高溫放置試驗（３）。然後，再一次以測試器來進行全部位元之讀出，以實施核對（４）。

〔發明擬解決之課題〕

如圖１４所示，若進行由冗餘所作之救濟時，解開（從測試器暫時地卸下）次數就需要２次，而形成較未救濟時增加一次。而且，如此之解開次數增多時，就對於晶圓接觸測試器之針之次數會增加，以致具有所謂會對於ＬＳＩ（大型積體電路）等之形成有半導體裝置之半導體基板上的襯墊，賦與損傷之危險變爲大之問題。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（5）

又對於冗餘備用格（備用列線）之測試，亦必得切斷熔線元件方可實施，而且在備用格，若原來就有不良之時，即並無法加以救濟，因此，具有所謂會增加用以測試之時間之問題。

本發明係鑑於上述之情事而發明者，擬提供一種具備可在熔斷熔線元件之前來進行冗餘格之測試之圖謀測試之有效率化之不變性記憶機構及熔線元件的半導體記憶裝置及具備該半導體記憶裝置於內部之單晶片微控制器者。

〔解決課題用之機構〕

本發明之半導體記憶裝置，其特徵爲；具備有：

由排列成複數之字線之複數記憶格所形成之記憶格陣列；將前述字線內之連接有不良位元之字線的前述不良位元予以與冗餘格置換來救濟之手段；記憶位置之救濟資訊及冗餘格之置換許可資訊用之不變性記憶手段；從前述記憶手段讀出資料，並儲存該資料之第1暫存器；儲存來自外部之資料之第2暫存器；及令前述第1暫存器及前述第2暫存器之各輸出，依據所定之模態信號或選擇性地來輸出之選擇電路。

而在測試模態以外之第1模態時，依據前述第1暫存器之資料位址之救濟資訊來使前述不良位元與前述冗餘格置換，並在測試模態之第2模態時，則依據前述第2暫存器之資料位址之救濟資訊來使前述不良位元與前述冗餘格置換，以進行測試。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（6）

而且，配設從外部進行冗餘格之資料之讀出／寫入用之位址領域，並具有在另外之位址領域，個別配設用以進行前述第1暫存器之讀出用之位址領域，及進行前述第2暫存器之寫入／讀出用之位址領域之第3模態爲其特徵。又記憶前述救濟資訊及冗餘格之置換許可資訊用之不變性之記憶手段，亦可爲由電流或雷射來熔斷之熔線元件。

又本發明之單晶片微控制器，乃具備前述半導體記憶裝置，而在復置（重設）期間中，從前述不變性之記憶手段讀出資料，並由復置解除信號而儲存資料於前述第1暫存器，且依據該資料之資訊來置換不良位址之位元，以實施救濟爲其特徵。

再者，具備有：在前述第1模態時，予以核對全部位元是否已形成起始狀態化之第1過程；倘若全部位元已被成爲起始狀態化時，就對於寫入進行核對之第2過程；在依據前述第2過程不予以進行由冗餘電路所作之救濟時，將爲了進行可靠性試驗而暫時從測試器解開寫入爲ＯＫ（良品）者來進行放置於高溫之試驗的第3過程；以測試器進行全部位元之讀出，以核對所寫入之資料是否在第3過程已消失之第4過程；在依據前述第1過程來進行由冗餘電路所作之救濟時，對於全部位元未被起始化者予以進行是否能以規定之列（字線）置換數目來救濟之判定之第5過程；依據前述第2過程有關全部位元中之一部分未被起始化者，進行是否能以前述冗餘電路而以規定之列（字線）置換數目來救濟之判定之第6過程；依據前述第6過程

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（7）

對於可由冗餘電路來救濟者，將在前述第3模態中，予以進行冗餘格之起始化（抹除）及寫入之核對，而對於前述第2暫存器進行救濟位址及置換許可資訊之寫入之第7過程；在前述第2模態中，進行讀出、核對依據儲存於前述第2暫存器之救濟位址所進行之列置換之狀態下之全部位元的第8過程；及依據前述第8過程而依據置換位址及置換許可資訊進行切斷冗餘電路之熔線元件之第9過程。

並在前述第9過程後，與由冗餘電路而未予以進行救濟時之情況同樣，經由前述第3及第4過程來進行資料之核對。

又要寫入於前述第7過程中被置換之冗餘格中之資料，作成與要寫入於前述第2過程中應置換之列（字線）之格之資料爲相同資料亦可。不變性之記憶手段爲以雷射熔斷熔線元件型之記憶體之時，實際的可在熔線元件熔斷之前之第1次之測試器試驗時，達成冗餘格之寫入／讀出測試，因此，在熔線元件熔斷後，不必僅爲了冗餘格而進行寫入／讀出之測試，而僅在高溫放置（放置於高溫）測試後，且在第2次之測試中，予以測試不良記憶（體）格是否實際地已置換爲冗餘格就可，以致可抑制賦與形成在半導體基板上之半導體裝置之襯墊之損傷成爲最小限度，並同時可圖謀測試之有效率化。

〔發明之實施形態〕

以下，將參照圖式來說明本發明之半導體記憶（體）

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（8）

裝置之實施形態。

首先，將參照圖1至圖3來說明第1發明之實施形態。圖1爲半導體記憶裝置之電路結構圖、圖2爲形成有半導體記憶裝置之記憶格陣列及冗餘格之記憶（體）部之電路結構圖、圖3爲圖1之半導體記憶裝置之冗餘電路部之電路結構圖。此半導體記憶裝置，係構成對於決定不良之列位址用之位址信號（A0～An）使之記憶不良位址，且檢測各輸入位址位元和記憶位址位元之一致用之電路20具備有置換列位址之數目（m個），而對於與不良位址成爲一致時會成立之信號（AE1～AEm），個別設有備用列線（SWL1～SWLm），並在該等中之任一之備用列線被存取之時，可由備用促成信號／（SE）來禁止主解碼器之成立。各電路20乃具備有在使用冗餘電路時所利用之位址檢測電路，使之致能用之冗餘致能位元（F'_{E1}～F'_{Em}）及置換位址檢測用位元（F'_{01}～F'_{nm}）。

與先前（習知）電路（圖12之電路）之相差異，乃在於對於記憶不良位址並檢測各輸入之位址位元和記憶位址爲一致用之電路20連接有資料匯流排，並輸入有控制資料之輸出入用之ROFUSE／WRFUSE信號、閂鎖FUSE資料於暫存器用之RESET信號及暫存器選擇信號（RSELECT）之處。又位址信號（A0～An）乃輸入於各電路20之各位元（F'_{01}～F'_{nm}）。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（9）

記憶領域設有記憶格陣列1和冗餘格2。而冗餘格2之閘極乃被連接於m條之前述備用列線3，至於在1條之備用列線3，連接有K個之冗餘格2。另一方面，構成記憶格陣列1之記憶格4之閘極乃被連接於列線（WL1～WLm'）5，且在1條之列線5連接有K個之記憶格4。記憶格4及冗餘格2之源極／汲極電極之一方，係被連接於GND線6，另一方則被連接於K條之位元線7O位元線7係被連接於行選擇器及感測放大器9，以構成來自各感測放大器之資料信號（D0～Dn）可傳遞給予資料匯流排（參照圖1、圖2）。

而對於決定前述不良之列位址用之位址信號，使之記憶不良位址，且檢測各輸入位址位元和記憶位址位元之一致用之電路20之輸出，乃被輸入於AND電路11，而其輸出（AE1～AEm）乃由在測試模態2時會成爲〝1〞之信號（TEST2）所控制，並被輸入於與決定備用列位址用之位址信號之多路調變器（multiplexer）電路25，而藉各位準移動器12來輸入於備用列線3。又AND電路11之輸出（AE1～AEm）和TEST2信號則被輸入於NOR電路13，而其輸出／（SE）係藉列解碼器8被輸入於列線5。又來自位址匯流排之位址信號（A0～An）亦與其反轉（倒轉）信號一齊，藉列解碼器8被輸入於列線5（參照圖1、圖3）。

將電路20之具體性之電路結構圖顯示於圖4。在各

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

冗餘致能位元（F'_{E1}～F'_{Em}）中，使在一端被連接於ＧＮＤ之熔線元件之另一端，予以連接輸入有ＲＥＳＥＴ反轉信號之Ｐ通道負荷電晶體Ｔｒ，並使其連接點f_E作爲第１暫存器２１之資料輸入。第１暫存器２１乃用以儲存來自熔線元件Ｆ之資料用者，閂鎖信號輸入乃作爲ＲＥＳＥＴ信號。

再者，設置用以儲存來自外部之測試用之置換位址資料所用之第２暫存器２２，而資料輸入ＤＡＴＡ係從資料匯流排來供給，閂鎖信號係當作熔線資料寫入控制信號（ＷＲＦＵＳＥ）。設置由暫存選擇信號來令第１和第２之暫存器２１、２２之輸出成多工制之電路（選擇電路）２５，以令當爲正常之模態（ＲＳＥＬＥＣＴ＝０）時，輸出第１暫存器２１之資料，測試模態（ＲＳＥＬＥＣＴ＝１）時，則輸出第２暫存器２２之資料。又，將用以再吐出該輸出給予資料匯流排之３個狀態之緩衝器２３，設置於輸出ＤＡＴＡ和前述多路調變器２５之輸出之間，並以熔線資料之讀出信號（ＲＤＦＵＳＥ）來加以控制。冗餘致能位元（F'_{E1}～F'_{Em}）係以不改變前述之多工制電路（多路調變器）２５之輸出下予以取出，而作爲備用促成信號（ＳＥ）來使用。

置換位址檢測用位元（F'_{01}～F'_{n1}）乃使用以輸入前述多工制電路２５之輸出和位址信號（Ａ０～Ａｎ）至互斥或（ｅｘ　ＯＲ）電路２４所能獲得之輸出信號（SA_0～SA_n），其他結構則與冗餘致能位元爲同一結

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11）

構，而將連接熔線元件F和P通道負荷電晶體Tr之連接點f_{o1}～fnm作爲第1暫存器21之資料輸入。

接著，說明有關裝入本發明之附有冗餘之不變性記憶電路於單晶片微控制器之裝置的動作。內裝有本發明之不變性記憶體之微控制器（微電腦），乃具有如圖9所示之4個模態，即單晶片模態、記錄器（WRITER）模態、測試模態1、測試模態2。其中，單晶片模態和記錄器模態乃開放於使用者之一般之使用模態，而測試模態1和測試模態2乃不開放於使用者之廠家所用之專用測試模態。首先，將對於單晶片模態（讀出記憶體之程序資料之同時，執行命令之模態）在冗餘電路之復置解除後之備用列置換動作加以說明。微電腦一定在最初使之形成複置狀態來成爲起始化後，方予以解除復置，以從記憶體讀出程序資料來執行命令。

在此模態時，爲了能在復置期間中予以讀出冗餘熔線元件資料，而以RESET反轉信號來接通前述之Pch（P通道）負荷電晶體Tr。由於Pch負荷電晶體Tr之接通電阻設定成較熔線元件F之電阻更高，因而熔線元件F若設定成保持於連接狀態之時，就會在熔線元件F和Pch負荷電晶體Tr之連接結節fE（fn）輸出〝0〞，而在熔線元件F被切斷著之時，就輸出〝1〞。fE（fn）乃表示f_1～fn之信號位準，具有熔線元件被切斷之狀況①，及熔線元件被設定成維持連接狀態之狀況②之場合。又在此模態之時，係被設定成前述多工制電路

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

２５之輸出選擇信號ＲＳＥＬＥＣＴ＝０，並依據前述第１暫存器之資料，亦即熔線資料，ＳＥ（ＳＡｎ），甚至ＳＥ，ＳＡ１～ＳＡｎ之信號位準，亦具有熔線元件被切斷之狀況①，及熔線元件被設定成維持連接狀態之狀況②之場合。

所讀出之熔線元件資料，當復置被解除時，資料就會被閂鎖於前述之第１暫存器２１，並同時Ｐｃｈ負荷電晶體Ｔｒ成爲斷路，而截斷給予熔線元件Ｆ之貫穿電流，使之形成不流動不需要之浪費電流。而後，ＣＰＵ開始動作而對記憶體進行存取，若在位址來到主記憶體之不良格之位址，亦即應置換之位準之時，將依據儲存於前述第１暫存器２１之熔線元件而檢測位址之一致，而成爲ＳＥ＝〝１〞（亦即，／（ＳＥ）＝〝０〞，則予以禁止對於原來就存在有不良位元之主格之字線（ＷＬｘ）之存取，並同時選擇備用列線（ＳＷＬ＝〝１〞）而讀出備用格，以進行置換之情事。

接著，在記錄器（ＷＲＩＴＥＲ）模態之時，該模態乃使用者以汎用之記錄器等來寫入資料於內裝於微電腦之記憶體（在此爲ＥＰＲＯＭ）之模態，並未使ＣＰＵ動作，因而要使之形成ＲＥＳＥＴ狀態。此時，將前述之Ｐｃｈ負荷電晶體Ｔｒ予以形成由ＲＥＳＥＴ反轉信號來使之經常形成接通狀態下，以讀出熔線元件，則熔線元件Ｆ若設定成維持於連接狀態之時，ｆＥ（ｆｎ）就輸出〝０〞，而在熔線元件Ｆ被切斷著之時，就輸出〝１〞。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 13）

ｆＥ（ｆｎ），則ｆＥ、ｆ１～ｆｎ之信號位準，具有熔線元件被切斷之狀況①，及熔線元件被設定成維持連接狀態之狀況②之場合。又在此模態之時，亦與單晶片模態同樣，被設定爲ＲＳＥＬＥＣＴ＝０，並依據前述第１暫存器之資料，亦即熔線資料，ＳＥ（ＳＡｎ），甚至ＳＥ、ＳＡ１～ＳＡｎ之信號位準，亦具有熔線元件被切斷之狀況①，及熔線元件被設定成維持連接狀態之狀況②之場合。

來自記錄器（外部）之位址，當來到主記憶體之不良格之位址，亦即應置換之位置之時，就與在單晶片時之ＲＥＳＥＴ期間中同樣，依據藉第１暫存器所讀出之熔線資料可檢測位址之一致，而形成ＳＥ＝〝１〞時，備用列線就成爲ＳＷＬ＝〝１〞，則會進行字線之置換。此時，若爲寫入信號（ＷＲ）就對備用格進行寫入，若爲讀出信號（ＲＤ）之時，就進行讀出。

其次，在本發明作爲測試模態，具有２個模態（測試模態１、測試模態２）、測試模態１雖與前述記錄器模態同樣，要讀出內裝於微電腦之記憶體（在此爲ＥＰＲＯＭ）之模態，惟與前述記錄器模態之不同，乃在於構成將輸入於第１、第２之暫存器輸出之選擇電路２５之暫存器選擇信號ＲＳＥＬＥＣＴ被設定於〝１〞，並在圖４所示之前述電路２０中，以依據儲存測試用之置換位址資料用之第２暫存器２２之資料來進行不良位元與冗餘格加以置換之處。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（14）

而測試模態2配設有可令爲了置換不良位元所設之備用位元之寫入／讀出之核對，甚至在截斷冗餘熔線之前加以直接地來進行，並同時亦可進行讀出儲存於前述第1暫存器之資料，亦即熔線資料，及可寫入或讀出前述之在測試模態1之測試用之置換位址資料（仿真熔線資料）所用之個別之位址領域。在此模態下之讀出及寫入備用列（冗餘格）之時，若從外部輸入用以決定冗餘格之列位置用之位址信號，其信號則輸入於圖1之多工制電路25，而在測試模態2時，因設定成TEST2＝1，因而，藉各位準移動器12而輸入備用列線3。又TEST2信號係被輸入於NOR電路13，而該時之其輸出／SE成〝0〞，致使所有列解碼器8形成禁止輸入狀態，以致令所有主格之列線使之成爲非選擇狀態，故能與記錄器模態同樣執行備用格之讀出、寫入。

又當從外部設定配設爲第1暫存器用之位址時，就設定成RSELECT＝0，而第1暫存器21之輸出則藉由多工制（多路調變器）25及暫存器資料讀出信號RDFUSE來控制輸出至資料匯流排之3個狀態緩衝器23來輸出至資料匯流排，因而形成可從外部讀出熔線資料。再者，從外部設定配設爲第2暫存器用之位址，且輸入來自資料匯流排Data之測試用之置換位址資料（仿真熔線資料）給予第2暫存器22之資料輸入端D，並予以控制被連接於門鎖信號端子φ之要給予第2暫存器之寫入信號WRFUSE，而可進行寫入於第2暫存器之資料

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（15）

，並且以設定ＲＳＥＬＥＣＴ＝１，而使該所寫入之資料，形成可藉多工制２５及３個狀態緩衝器２３從外部加以讀出。

再者，本發明之最大特徵乃在於接著所要說明之冗餘測試流程及用以實現該測試用之電路。若依據圖５之冗餘之測試流程來說明時，首先，予以核對是否在前述記錄器模態時之記憶體之所有位元成起始狀態化（抹除）（第１之過程）。若所有的位元已被形成起始狀態，則對於寫入進行核對（第２之過程）。通過該第２過程者，將爲了進行可靠性試驗，暫時從測試器解開來進行放置於高溫實驗（第３之過程），以測試器讀出所有（全部）位元，以進行核對在前述第２過程所寫入之資料，是否在第３之過程後已消失（第４之過程）。在前述第１之過程成爲ＮＧ（不良品）者，在要進行由前述冗餘電路來實施之救濟時，予以進行是否能以規定之列（字線）置換數目加以救濟之判定（第５之過程），再者，甚至對於有關在前述第２過程中之不能進行寫入者，亦予以進行是否可由前述冗餘電路以規定之列（字線）置換數目來救濟之判定（第６之過程），對於被判定爲可救濟者，則在圖９之測試模態２中，予以進行冗餘格之起始化（抹除）及寫入之核對，以進行在第５、第６之救濟判定中所算出之救濟位址及置換許可資訊之對於前述第２暫存器之寫入（第７之過程）。

而後，予以進行依據在前述測試模態１中被儲存於前述第２暫存器之救濟位址所進行之列置換之狀態下之所有

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（16）

位元之讀出核對（第8之過程），並以依據在前述第5、第6之過程中之置換位置及置換許可資訊，而進行冗餘電路之熔線元件之截斷（第9之過程）。最後，予以進行與不以冗餘電路來進行救濟之時同樣之放置於高溫之實驗（前述第3之過程）及進行其後之讀出全部位元，以核對所寫入之資料是否已消失（前述第4之過程），而終結晶圓之測試。

又在前述第7之過程中所要寫入於將被置換之冗餘格之資料，亦可寫成與在第2之過程中所要寫入於應被置換之列（字線）之格之資料同一資料。例如在第2之過程寫入如圖10所示之對角線圖案，若在其中有不良位元存在於字線ＷＬａ之時，就使寫入於此字線ＷＬａ之圖案予以寫入於所要置換之備用列ＳＷＬａ，則在前述第4及第8之過程中，可令讀出所有位元之資料時所使用之比較用資料圖案，構成與不進行冗餘救濟者相同，而具有測試之有效率化，削減圖案記憶體之效果。

在圖7顯示於第7之過程時之測試之定時圖。在第7之過程，爲了設定成測試模態2而使成ＴＥＳＴ２＝１，而首先爲了進行讀出冗餘格之抹除狀態，以圖9之測試模態2之記憶圖，依序輸入直至例如位址００００００－０００ＦＦ地址（號數）時，可藉圖1之多工制25來存取備用列，而可進行其格之資料讀出。若在此之冗餘格之抹除狀態之核對爲ＯＫ（已抹除），接著，依據在第5、第6過程中所判定之救濟位址，將本來應寫入於不良字線

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（17）

之測試圖案予以寫入於與其應置換之備用列，若其寫入爲ＯＫ時，其次，將位址設定成第２之暫存器（例如，該時爲０ＦＦ００地址），爲了從外部儲存冗餘格之置換許可資訊及置換位址資訊於第２暫存器２２，而設定成ＲＳＥＬＥＣＴ＝１，並令ＷＲＦＵＳＥ信號爲〝１〞時，資料就可輸入於第２暫存器，若使ＷＲＦＵＳＥ信號從〝１〞變爲〝０〞時，該資料就會被閂鎖。又爲了確認是否實際地已儲存資料，將ＲＤＦＵＳＥ信號使之形成爲〝１〞，則第２暫存器之輸出會藉圖４之多工制電路及３個狀態緩衝器來輸出至資料匯流排而可加以讀出。

將在圖８顯示第８之過程時之測試之定時圖。

在第８之過程，爲了設定成測試模態１，作成ＴＥＳＴ２＝０，以令讀出全部位元，依據在前述第７之過程所儲存於第２暫存器之測試用之置換位置資料來置換不良位元，以進行測試。爲此，設定成ＲＳＥＬＥＣＴ＝１，以令第２暫存器之資料形成可藉多工制２５來輸出。此後，則與記錄器模態同樣，當從外部依序輸入位址時，若來到不良位元之位址，因其位址已預先儲存於第２暫存器，因而令位址之一致檢測電路２０之輸出ＡＥ會成爲〝１〞，而以／ＳＥ＝０而使主字線全部成爲非選擇，並使備用列（ＳＷＬｘ）被存取而讀出冗餘格之資料。以如此，在使用者所使用之單晶片模態和記錄器模態（亦即，廠家所使用之測試模態以外之模態）時，將形成依據前述第１暫存器之資料，亦即熔線資料之位址救濟資訊來進行不

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（18）

良位元之置換。而對於此情形，當廠家在測試時所使用之測試模態時，則構成依據前述第2暫存器之資料，亦即測試用仿真熔線資料之位址救濟資訊來進行置換之處，爲其本發明之特徵。

先前在以冗餘進行救濟時，對於在起始化／寫入時就爲ＮＧ（不良）者，予以進行是否能以規定之列置換數目來救濟之判定，對於可救濟者，因要在其次之階段，依據置換位址資訊來進行冗餘熔線元件之截斷，以致有必要從測試器解開（卸下）之情事產生。

然而，在本發明則不必要從測試器解開，而在測試模態下，從外部輸入測試位址以進行應置換之備用列線之起始狀態／寫入之核對，並以輸入測試置換位址資料（仿真熔線資料）而儲存於第2暫存器，則即使在實際上未予以切斷熔線元件，亦可進行不良位址之置換（7），再者，可進行讀出全部位元之核對（8）。而僅將有關通過（ＯＫ）過程者，在其次之過程（9）予以實際地進行熔線切斷之時，就可降低切斷熔線後之不良率，並同時可縮短測試時間。

而對於實施熔線切斷者，則與先前（習知）同樣予以進行放置於高溫之試驗，又以測試器進行全部位元之讀出並予以進行核對。因此，依照此測試流程，因形成與不進行由冗餘所作的救濟時同樣，解開（從測試器暫時卸下）之次數僅需1次而已，且使針接觸於晶圓之次數不改變，因而賦與ＬＳＩ等之半導體裝置之襯墊之損傷可抑制於最

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（19）

小限度，並有關測試時間，亦由於操作次數會減低而可加以縮短，故可圖謀測試之有效率化。

〔發明之效果〕

因予以配設從用以記憶位址之救濟資訊用之不變性記憶手段讀出資料且予以儲存之第1暫存器及用以儲存來自外部之測試用之置換位址資料用之第2暫存器，並構成在正常之使用模態時，將依據前述第1暫存器之資料之位址救濟資訊，來使不良位元與冗餘置換，而在測試模態時，就依據前述第2暫存器之資料之位址救濟資訊來使不良位元之格與冗餘格加以置換以能進行測試，因而令不變性之記憶手段，在具備有雷射熔斷熔線元件之不變性記憶體之實際地予以熔斷熔線元件之前之第1次測試試驗時，成爲可實施冗餘格之寫入／讀出測試，並不需要進行在熔斷熔線元件後，僅進行冗餘格之寫入／讀出測試之情事，且在放置於高溫後，實施第2次之測試時，僅予以測試是否實際地予以置換就可，因此，可抑制賦與ＬＳＩ等之半導體裝置之襯墊之損傷成最小限度，並可圖謀測試之有效率化。

〔圖式之簡單說明〕

圖1係本發明之第1實施形態之半導體記憶裝置之電路圖。

圖2係圖1、圖12及圖13之記憶部之電路結構圖

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

298650

五、發明說明（ 20）

。

圖３係圖１、圖１２之冗餘電路部之電路結構圖。

圖４係本發明之冗餘電路圖。

圖５係本發明之冗餘電路之測試流程圖。

圖６係本發明之冗餘電路之定時圖。

圖７係本發明之冗餘電路之定時圖。

圖８係本發明之冗餘電路之定時圖。

圖９係本發明之半導體記憶裝置之記憶器變換圖。

圖１０係本發明之半導體記憶裝置之測試圖案圖。

圖１１係先前（習知）之半導體記憶裝置之電路結構圖。

圖１２係圖１０之冗餘電路部之電路結構圖。

圖１３係先前之冗餘電路圖。

圖１４係先前之冗餘電路之測試流程圖。

〔符號之說明〕

１：記憶格陳列

２：冗餘格

３：備用列線

４：記憶格

５：列線

６：ＧＮＤ線

７：位元線

８：列解碼器

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（21）

9：行選擇器及感測放大器

10、20：檢測輸入位址位元及記憶位元之一致用之電路

11：AND電路

12：位準移動器

13：NOR電路

21：第1之暫存器

22：第2之暫存器

23：3個狀態緩衝器

24：互斥或電路（ex OR）

25：多工制電路

26：OR電路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　　）

半導體記憶裝置，微控制器及半導體記憶裝置之製造方法

本發明係提供具備有在熔斷熔線元件之前，可測試冗餘格之圖謀測試之有效率化的不變性記憶機構及熔線元件之半導體記憶（體）裝置及其製造方法，以及單晶片微控制器者。

爲了達成上述目的，予以構成具備有，用以儲存從具有形成於半導體基板２０上之絕緣膜之所定之深度和圖案之記憶機構所讀出之資料用之第１暫存器２１，和儲存來自外部之資料用之第２暫存器２２，及依據所定之模態信號來選擇性地輸出第１暫存器及第２暫存器之各輸出用之選擇電路２５，並在測試模態以外之第１模態時，乃依據第１暫存器之資料的位址救濟資訊來使不良位元置換爲冗餘格，而在測試模態之第２模態時，就依據第２暫存器之資料的位址救濟資訊來使不良位元置換爲冗餘格，以進行測試（參考圖４）。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1．一種半導體記憶裝置，其特徵爲；具備有：

由排列成複數之字線之複數記憶格所形成之記憶格陣列；將前述字線內之連接有不良位元之字線的前述不良位元予以與冗餘格置換來救濟之手段；記憶位置之救濟資訊及冗餘格之置換許可資訊用之不變性記憶手段；從前述記憶手段讀出資料，並儲存該資料之第1暫存器；儲存來自外部之資料之第2暫存器；及令前述第1暫存器及前述第2暫存器之各輸出，依據所定之模態信號或選擇性地來輸出之選擇電路，

而在測試模態以外之第1模態時，依據前述第1暫存器之資料位址之救濟資訊來使前述不良位元與前述冗餘格置換，並在測試模態之第2模態時，則依據前述第2暫存器之資料位址之救濟資訊來使前述不良位元與前述冗餘格置換，以進行測試。

2．如申請專利範圍第1項所述之半導體記憶裝置，其中，配設從外部進行冗餘格之資料之讀出／寫入用之位址領域，並具有在另外之位址領域，個別配設用以進行前述第1暫存器之讀出用之位址領域，及進行前述第2暫存器之寫入／讀出用之位址領域之第3模態。

3．如申請專利範圍第1項或第2項所述之半導體記憶裝置，其中，記憶前述救濟資訊及冗餘格之置換許可資訊用之不變性之記憶手段，乃由電流或雷射來熔斷之熔線元件構成。

4．一種微控制器，其特徵爲；裝載有記載於申請專

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

利範圍第1項至第3項中之任一項之半導體記憶裝置，而在復置（重設）期間中，從前述不變性之記憶手段讀出資料，並由復置解除信號而儲存資料於前述第1暫存器，且依據該資料之資訊來置換不良位址之位元，以實施救濟。

5．一種微控制器及半導體記憶裝置之製造方法，主要係有關記載於申請專利範圍第1項至第4項之任何一項之半導體記憶裝置之製造方法，其特徵爲；具備有：

在前述第1模態時，予以核對全部位元是否已形成起始狀態化之第1過程（1）；倘若全部位元已被成爲起始狀態化時，就對於寫入進行核對之第2過程（2）；在依據前述第2過程不予以進行由冗餘電路所作之救濟時，將爲了進行可靠性試驗而暫時從測試器解開寫入爲OK（良品）者來進行放置於高溫之試驗的第3過程（3）；以測試器進行全部位元之讀出，以核對所寫入之資料是否在第3過程已消失之第4過程（4）；在依據前述第1過程來進行由冗餘電路所作之救濟時，對於全部位元未被起始化者予以進行是否能以規定之列（字線）置換數目來救濟之判定之第5過程（5）；依據前述第2過程有關全部位元中之一部分未被起始化者，進行是否能以前述冗餘電路而以規定之列（字線）置換數目來救濟之判定之第6過程（6）；依據前述第6過程對於可由冗餘電路來救濟者，將在前述第3模態中，予以進行冗餘格之起始化（抹除）及寫入之核對，而對於前述第2暫存器進行救濟位址及置換許可資訊之寫入之第7過程（7）；在前述第2模態中，

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

進行讀出、核對依據儲存於前述第2暫存器之救濟位址所進行之列置換之狀態下之全部位元的第8過程（8）；及依據前述第8過程而依據置換位址及置換許可資訊進行切斷冗餘電路之熔線元件之第9過程（9），

並在前述第9過程後，與未由冗餘電路來予以進行救濟時之情況同樣，經由前述第3及第4過程來進行資料之核對。

6．如申請專利範圍第5項所述之半導體記憶裝置之製造方法，其中，將要寫入於前述第7過程中被置換之冗餘格中之資料，作成與要寫入於前述第2過程中應置換之列（字線）之格之資料爲相同資料。

（請先閱讀背面之注意事項再填寫本頁）
訂
線

經濟部中央標準局員工消費合作社印製

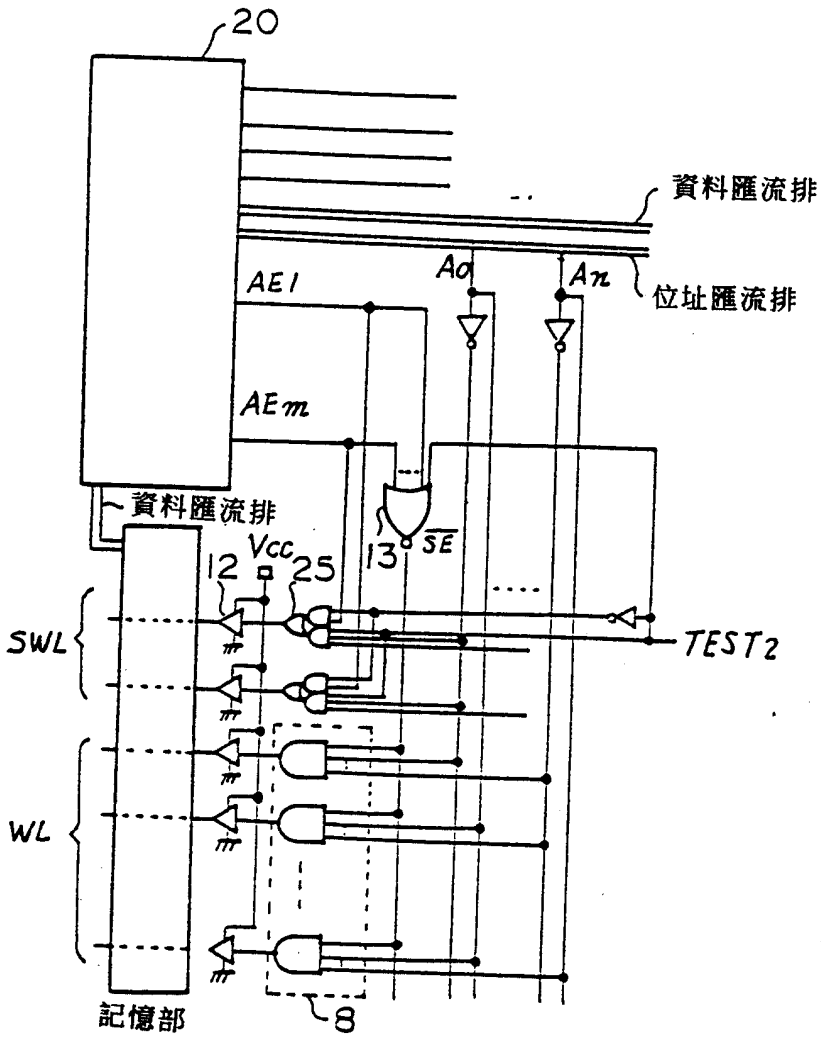
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

85-10-8186

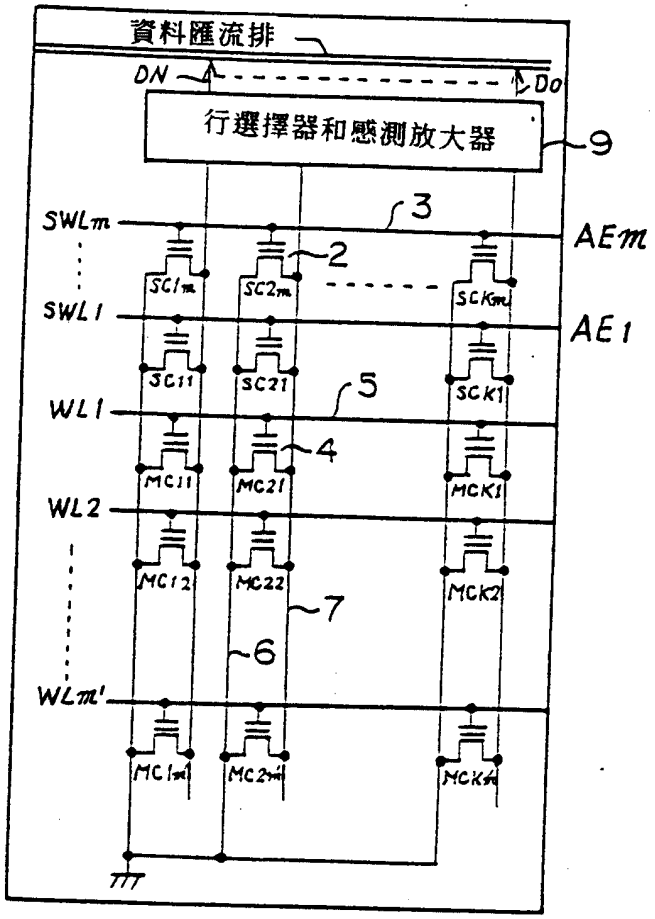
(1/7)

725753

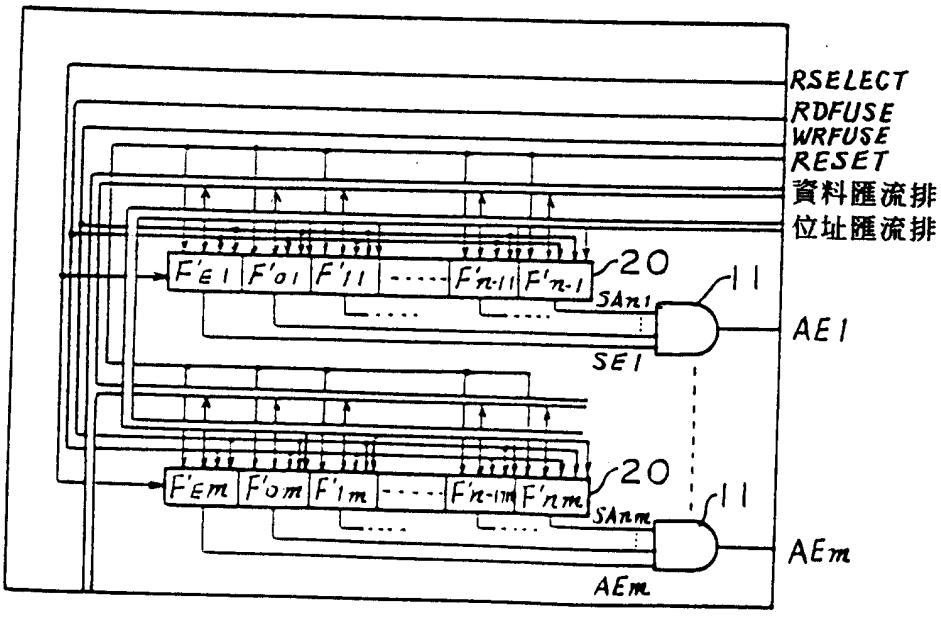
第1圖



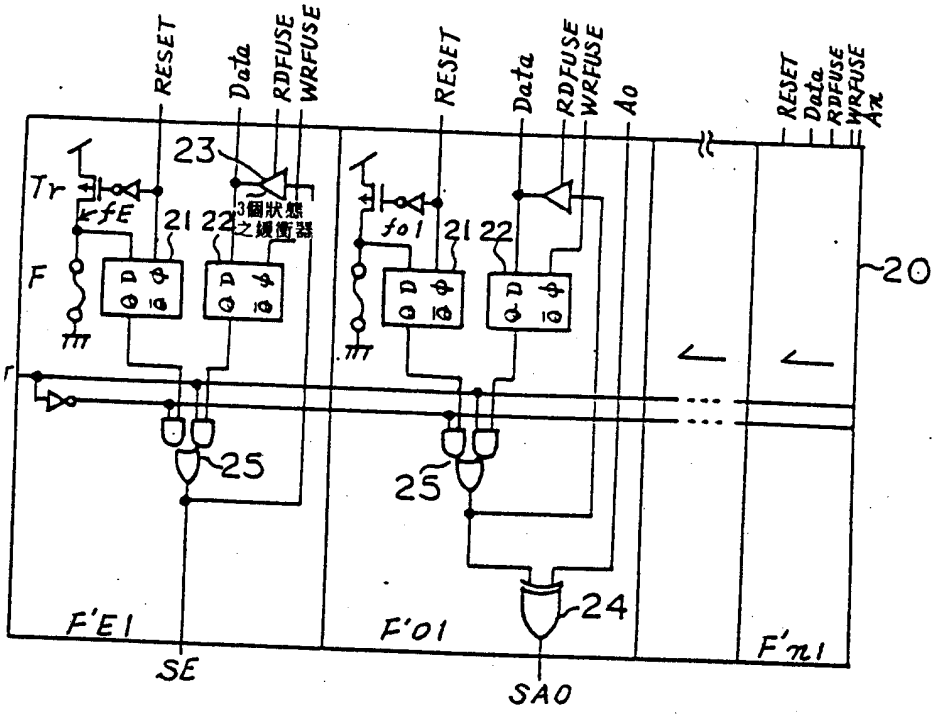
第 2 圖


資料匯流排
DN
Do
行選擇器和感測放大器
9
SWLm
3
AEm
2
SC1m
SC2m
SCKm
SWL1
AE1
SC11
SC21
SCK1
WL1
5
4
MC11
MC21
MCK1
WL2
MC12
MC22
MCK2
7
6
WLm'
MC1m'
MC2m'
MCKm'

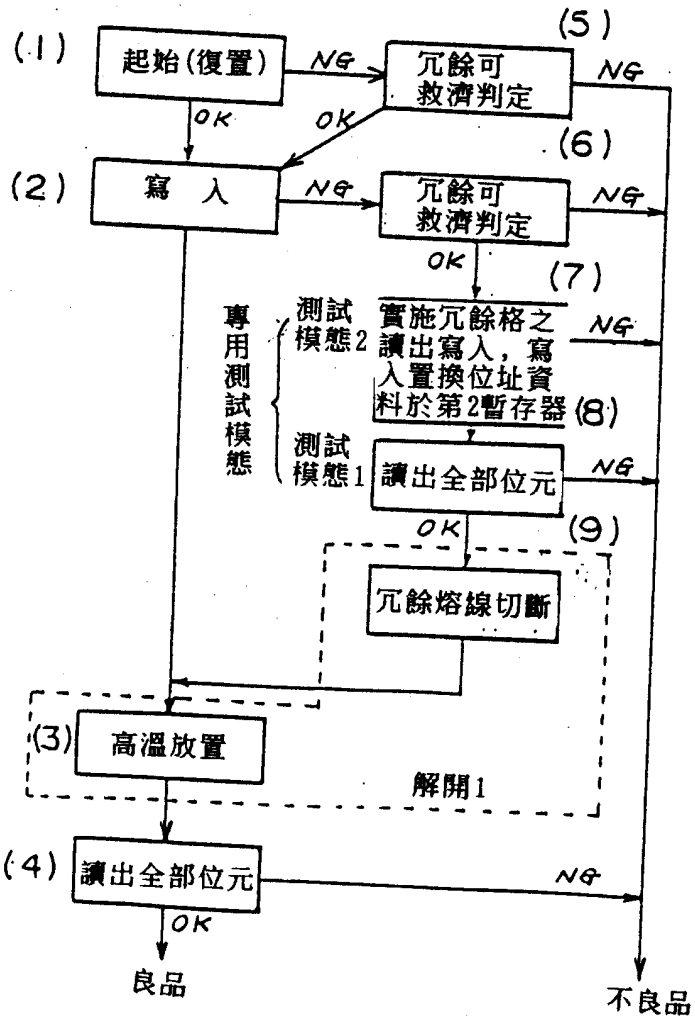
第 3 圖


RSELECT
RDFUSE
WRFUSE
RESET
資料匯流排
位址匯流排
F'e1
F'o1
F'11
F'n-11
F'n-1
20
SAn1
11
AE1
SE1
F'em
F'om
F'1m
F'n-1m
F'nm
SAnm
AEm

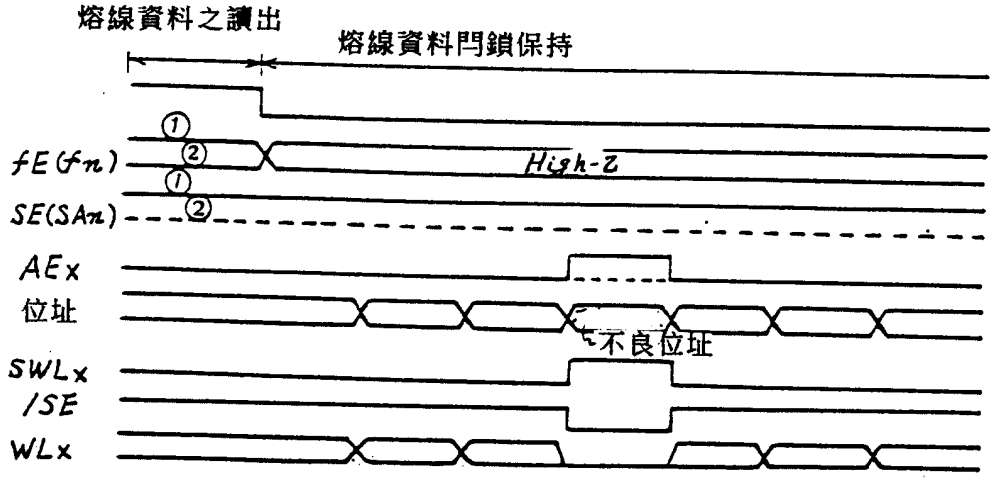
第 4 圖


RESET
Data
RDFUSE
WRFUSE
A0
An
Tr
fE
f01
F
23
21
22
3個狀態之緩衝器
20
25
24
F'E1
F'01
F'n1
SE
SA0

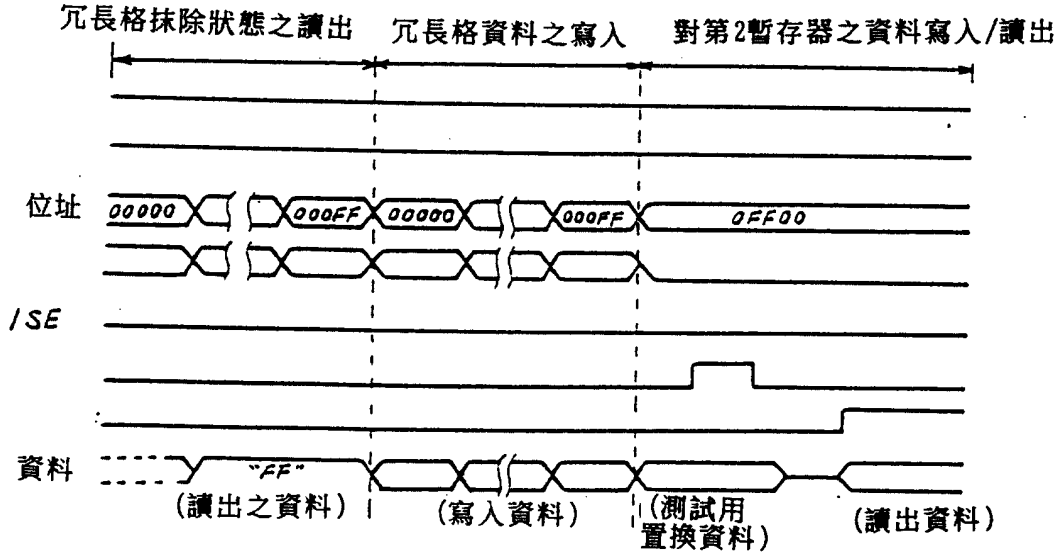
第 5 圖


(1)
起始(復置)
NG
OK
(5)
冗餘可救濟判定
NG
OK
(2)
寫 入
NG
(6)
冗餘可救濟判定
NG
OK
(7)
專用測試模態
測試模態2
實施冗餘格之讀出寫入，寫入置換位址資料於第2暫存器
NG
(8)
測試模態1
讀出全部位元
NG
OK
(9)
冗餘熔線切斷
(3)
高溫放置
解開1
(4)
讀出全部位元
NG
OK
良品
不良品

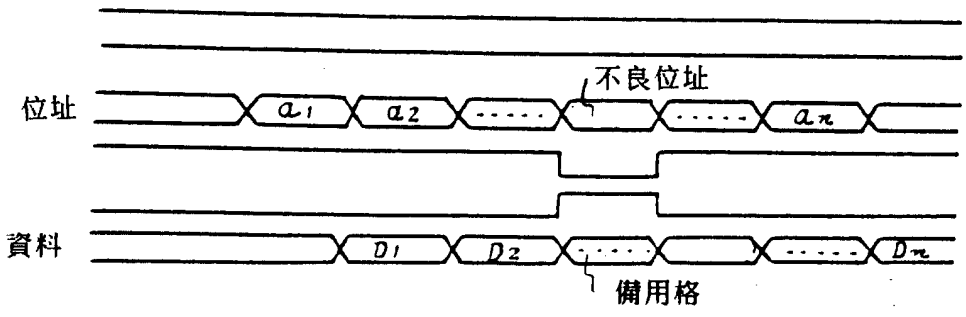
第 6 圖


熔線資料之讀出
熔線資料閂鎖保持
FE(Fn)
SE(SAn)
High-Z
AEx
位址
不良位址
SWLx
/SE
WLx

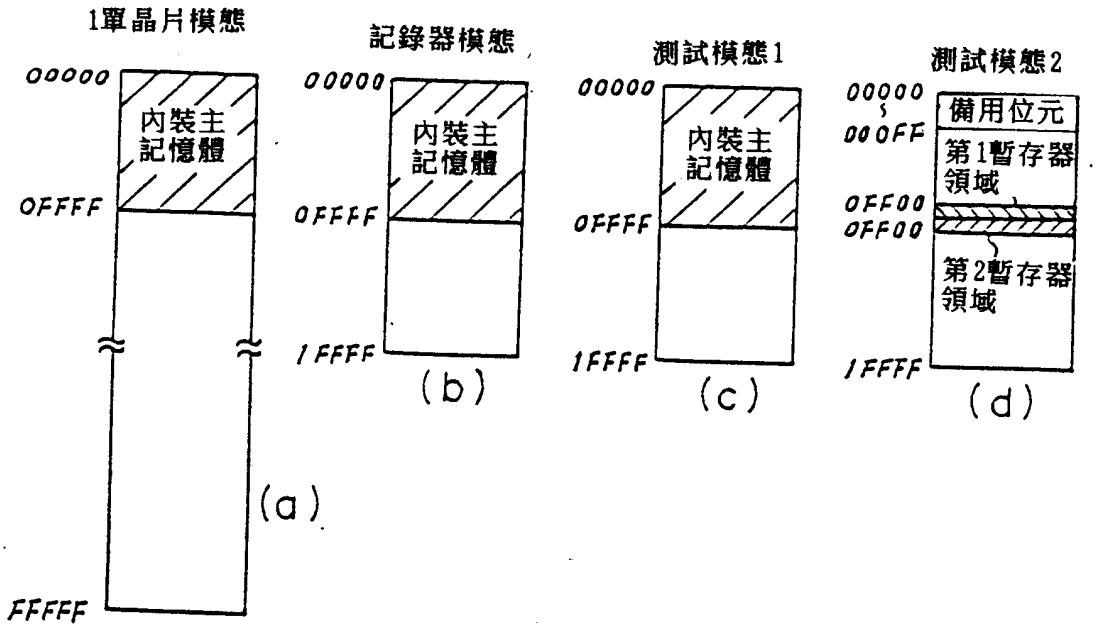
第 7 圖


冗長格抹除狀態之讀出
冗長格資料之寫入
對第2暫存器之資料寫入/讀出
位址
00000
000FF
00000
000FF
0FF00
/SE
資料
"FF"
(讀出之資料)
(寫入資料)
(測試用
置換資料)
(讀出資料)

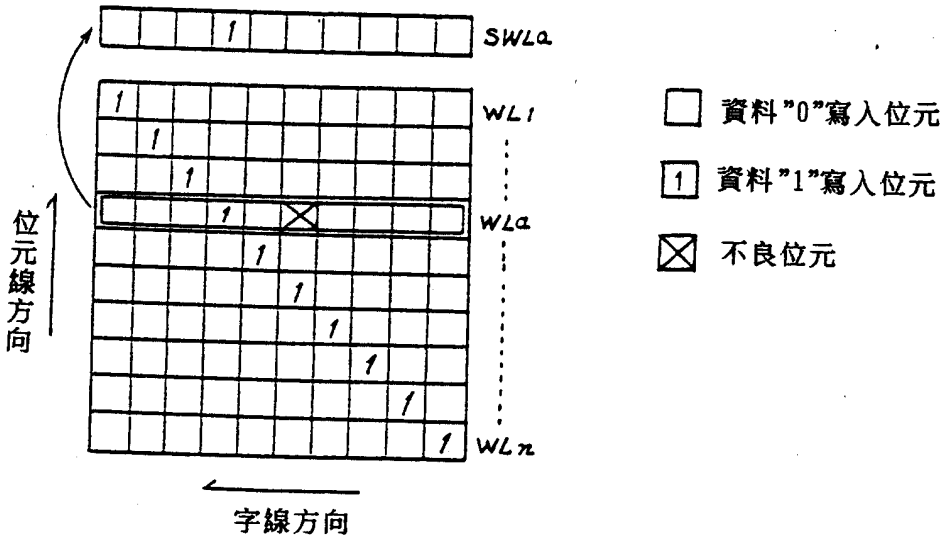
第 8 圖


不良位址
位址
a1
a2
an
資料
D1
D2
Dn
備用格

第 9 圖

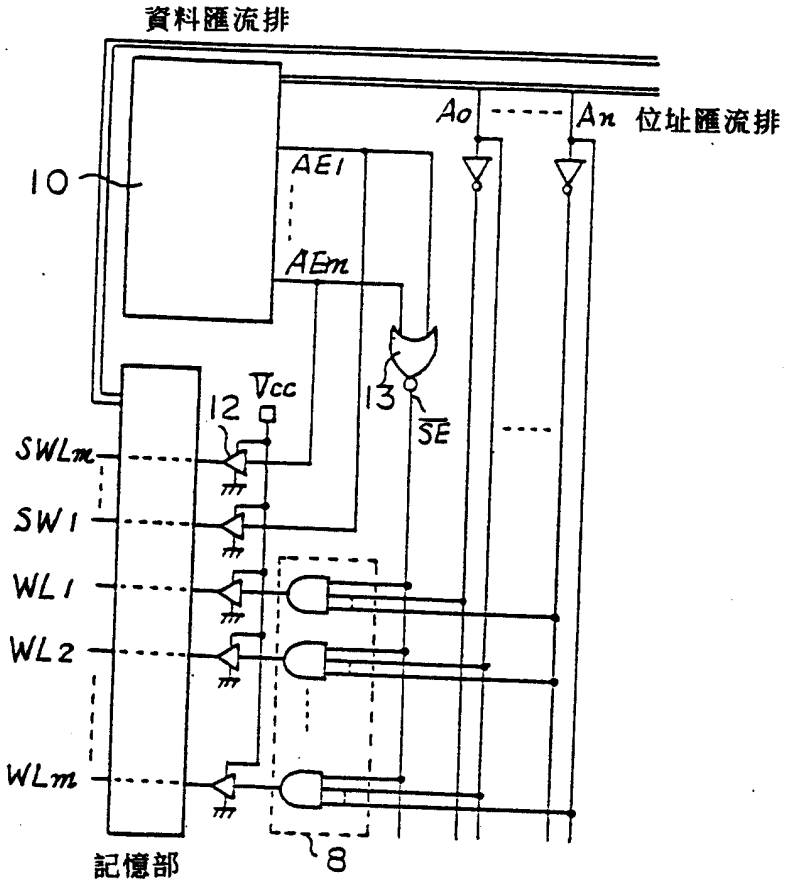

1單晶片模態
00000
內裝主記憶體
0FFFF
FFFFF
(a)
記錄器模態
00000
內裝主記憶體
0FFFF
1FFFF
(b)
測試模態1
00000
內裝主記憶體
0FFFF
1FFFF
(c)
測試模態2
00000
00OFF
備用位元
第1暫存器領域
0FF00
0FF00
第2暫存器領域
1FFFF
(d)

第10圖

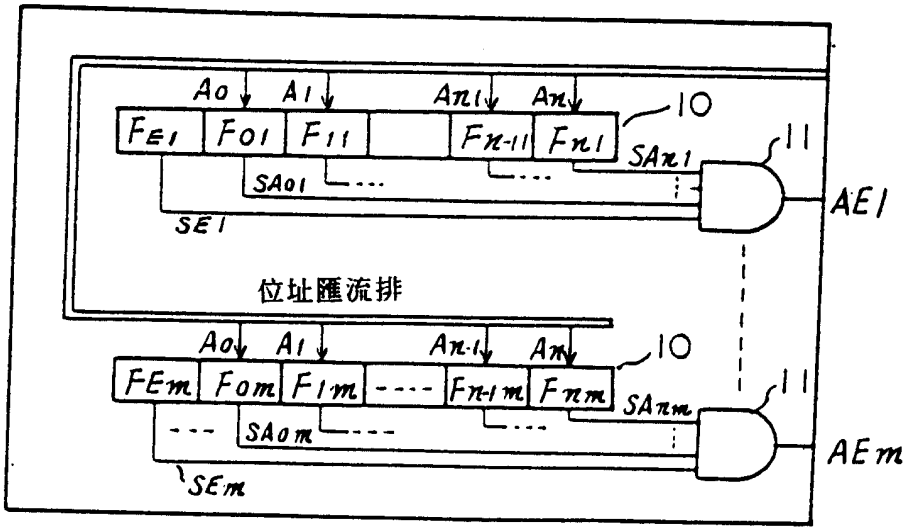

SWLa
WL1
WLa
WLn
位元線方向
字線方向
資料"0"寫入位元
資料"1"寫入位元
不良位元

298650

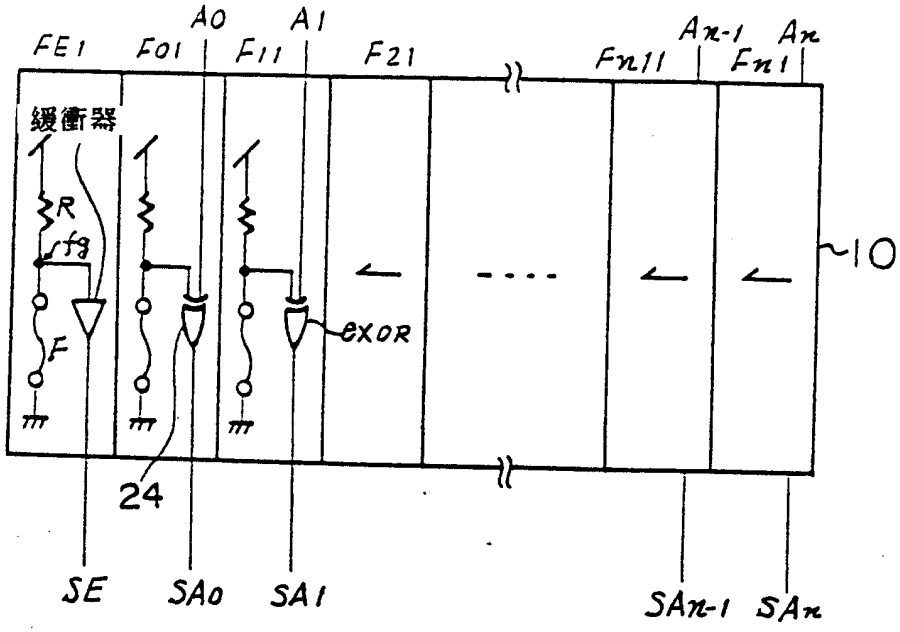
第11圖



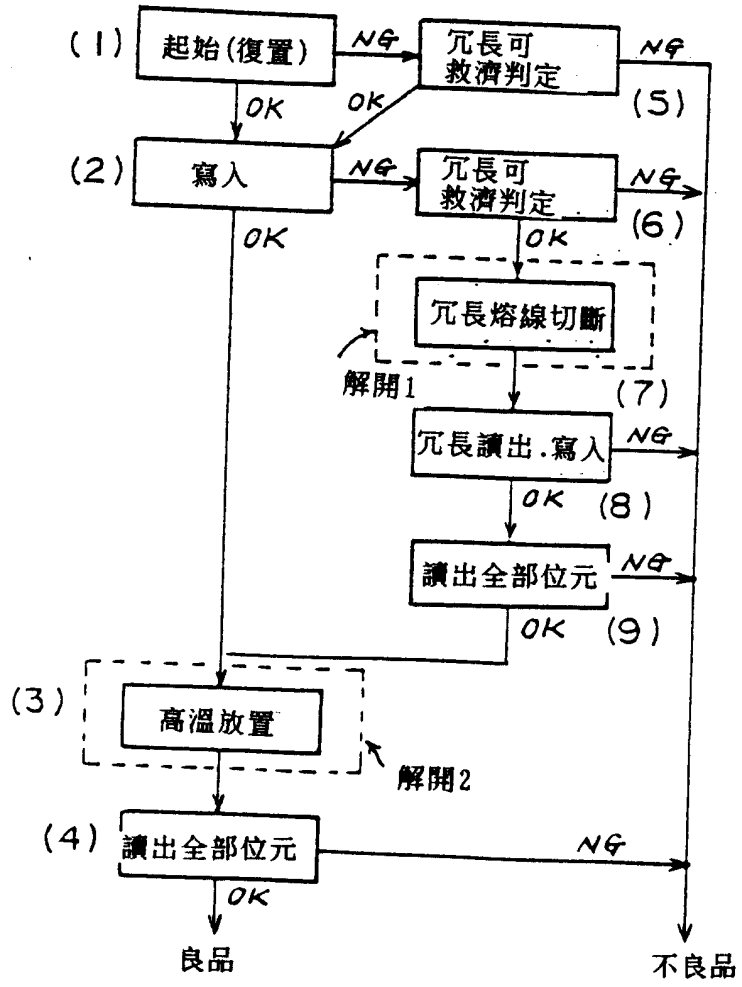
第12圖



第13圖


A0
A1
An-1
An
FE1
F01
F11
F21
Fn11
Fn1
緩衝器
R
sfg
F
EXOR
10
24
SE
SA0
SA1
SAn-1
SAn

第14圖


(1)
起始(復置)
NG
冗長可救濟判定
NG
(5)
OK
OK
(2)
寫入
NG
冗長可救濟判定
NG
(6)
OK
OK
冗長熔線切斷
解開1
(7)
冗長讀出.寫入
NG
OK
(8)
讀出全部位元
NG
OK
(9)
(3)
高溫放置
解開2
(4)
讀出全部位元
NG
OK
良品
不良品