

【特許請求の範囲】

【請求項 1】

データ線と第 1 走査線とに対応して設けられる第 1 画素回路と、
 前記データ線と第 2 走査線とに対応して設けられる第 2 画素回路と、
 前記第 1 画素回路および前記第 2 画素回路を制御する制御回路と、
 を含み、
 前記第 1 画素回路は、
 二つの電極の間に流れる電流に応じた輝度で発光する第 1 発光素子と、
 ゲートノードの電位およびソースノードの電位との間の電圧に応じた電流を前記第 1 発光素子に流す第 1 駆動トランジスタと、
 を含み、
 前記第 2 画素回路は、
 二つの電極の間に流れる電流に応じた輝度で発光する第 2 発光素子と、
 ゲートノードの電位およびソースノードの電位との間の電圧に応じた電流を前記第 2 発光素子に流す第 2 駆動トランジスタと、
 を含み、
 前記制御回路は、
 第 1 フレームにおいて前記第 1 走査線が選択される第 1 水平走査期間のうち、
 第 1 書込期間では、
 前記第 1 駆動トランジスタのゲートノードに階調レベルに応じた電位を、前記データ線 20
 を介して供給し、
 前記第 1 書込期間前の第 1 初期化期間では、
 第 1 動作を実行し、
 前記第 2 走査線が選択される第 2 水平走査期間のうち、
 第 2 書込期間では、
 前記第 2 駆動トランジスタのゲートノードに階調レベルに応じた電位を、前記データ
 線 30
 を介して供給し、
 前記第 2 書込期間前の第 2 初期化期間では、
 第 2 動作を実行し、
 前記第 1 動作は、
 前記二つの電極の一方の電極に、前記階調レベルに応じた電位とは異なる第 1 電位を、
 前記データ線を介して供給する動作であり、
 前記第 2 動作は、前記データ線の電位と前記一方の電極における電位とを、前記第 1 電
 位と第 2 電位との間の電位にさせる動作であり、
 前記第 2 電位は、前記ゲートノードに供給されれば、前記第 1 駆動トランジスタおよ
 び前記第 2 トランジスタをオフ状態にさせる電位である
 電気光学装置。

【請求項 2】

一端および他端を有し、一端が前記データ線に電氣的に接続され、他端が前記第 1 電位
 の給電線に電氣的に接続された第 1 スイッチング素子を有し、
 前記制御回路は、
 前記第 1 初期化期間では、
 前記第 1 スイッチング素子をオン状態に制御する
 請求項 1 に記載の電気光学装置。
 40

【請求項 3】

一端および他端を有し、一端が前記データ線に電氣的に接続され、他端がオン電位を給
 電する給電線に電氣的に接続された第 2 スイッチング素子を有し、
 前記制御回路は、
 前記第 1 初期化期間後であって前記第 1 書込期間前の第 3 初期化期間、および、前記第
 2 初期化期間後であって前記第 2 書込期間前の第 4 初期化期間では、
 50

前記第 2 スイッチング素子をオン状態に制御し、
 前記オン電位は、
 前記ゲートノードに供給されれば、前記第 1 駆動トランジスタおよび前記第 2 駆動トランジスタをオン状態にさせる電位である
 請求項 2 に記載の電気光学装置。

【請求項 4】

前記制御回路は、
 前記第 3 初期化期間および第 4 初期化期間では、
 前記ゲートノードに前記オン電位を、前記データ線を介して供給し、
 前記第 3 初期化期間後であって前記第 1 書込期間よりも前の第 1 補償期間、および、前記第 4 初期化期間後であって前記第 2 書込期間よりも前の第 2 補償期間では、
 前記第 1 駆動トランジスタのゲートノードおよび前記第 2 駆動のゲートノードを当該第 1 駆動トランジスタおよび当該第 2 駆動トランジスタの閾値に相当する電位に収束させる
 請求項 3 に記載の電気光学装置。

【請求項 5】

前記制御回路は、
 前記第 1 フレームに続く第 2 フレームにおいて、
 前記第 1 初期化期間では前記第 2 動作を実行し、
 前記第 2 初期化期間では前記第 1 動作を実行する
 請求項 1 に記載の電気光学装置。

【請求項 6】

前記制御回路は、
 前記第 1 書込期間および前記第 2 書込期間において、
 前記ゲートノードに階調レベルに応じた電位を、カップリング容量および前記データ線を介して供給する
 請求項 1 に記載の電気光学装置。

【請求項 7】

前記制御回路は、
 前記第 1 水平走査期間のうち、
 前記第 1 初期化期間前の第 1 ゲートノード初期化期間において、前記第 1 駆動トランジスタのゲートノードに前記第 2 電位を、前記データ線を介して供給し、
 前記第 2 水平走査期間のうち、
 前記第 2 初期化期間前の第 2 ゲートノード初期化期間において、前記第 2 駆動トランジスタのゲートノードに前記第 2 電位を、前記データ線を介して供給する
 請求項 1 に記載の電気光学装置。

【請求項 8】

請求項 1 乃至 7 のいずれかに記載の電気光学装置を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学装置および電子機器に関する。

【背景技術】

【0002】

近年、有機発光ダイオード（Organic Light Emitting Diode、以下「OLED」という）素子などの発光素子を用いた電気光学装置（表示装置）が各種提案されている。電気光学装置では、走査線とデータ線との交差に対応して、上記発光素子や駆動トランジスタなどを含む画素回路が、表示すべき画像の画素に対応して設けられる構成が一般的である。

【0003】

このような構成において、画素の階調レベルに応じた電位のデータ信号が駆動トランジスタのゲートノードに供給されると、当該駆動トランジスタは、ゲートノードおよびソースノードの間の電圧に応じた電流を発光素子に供給する。これにより、当該発光素子は、階調レベルに応じた輝度で発光する。

画素回路としては、駆動トランジスタを含めて4つのトランジスタを有する構成が知られている（例えば特許文献1参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2021-179628号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0005】

電気光学装置では、小型化されて携帯機器に適用される場合、電池等の関係で低消費電力化が強く要求される。しかしながら、上記構成では、低消費電力化が十分でない、という課題がある。

【課題を解決するための手段】

【0006】

上記課題を解決するために、本開示の一態様に係る電気光学装置は、

【図面の簡単な説明】

20

【0007】

【図1】実施形態に係る電気光学装置の斜視図である。

【図2】電気光学装置の電氣的な構成を示すブロック図である。

【図3】電気光学装置の画素回路を示す図である。

【図4】電気光学装置の動作を示すタイミングチャートである。

【図5】電気光学装置の動作を示すタイミングチャートである。

【図6】電気光学装置の動作を示す図である。

【図7】電気光学装置の動作を示す図である。

【図8】電気光学装置の動作を示す図である。

【図9】電気光学装置の動作を示す図である。

30

【図10】電気光学装置の動作を示す図である。

【図11】電気光学装置の動作を示す図である。

【図12】電気光学装置の動作を示す図である。

【図13】電気光学装置の優位性を説明するための図である。

【図14】電気光学装置を用いたヘッドマウントディスプレイを示す斜視図である。

【図15】ヘッドマウントディスプレイの光学構成を示す図である。

【発明を実施するための形態】

【0008】

以下、実施形態に係る電気光学装置について図面を参照して説明する。なお、各図において、各部の寸法および縮尺は、実際のものとは適宜に異ならせてある。また、以下に述べる実施の形態は、好適な具体例であるから、技術的に好ましい種々の限定が付されているが、本開示の範囲は、以下の説明において特に本開示を限定する旨の記載がない限り、これらの形態に限られるものではない。

40

【0009】

図1は、実施形態に係る電気光学装置10を示す斜視図である。電気光学装置10は、例えばヘッドマウントディスプレイなどにおいて画像を表示するマイクロ・ディスプレイ・パネルである。電気光学装置10は、OLEDを含む画素回路や、当該画素回路を駆動する駆動回路などを含む。画素回路や駆動回路等は半導体基板に集積化される。半導体基板は、典型的にはシリコン基板であるが、他の半導体基板であってもよい。

【0010】

50

電気光学装置 10 は、表示領域 100 で開口する枠状のケース 192 に収納される。電気光学装置 10 は、FPC 基板 194 の一端に接続される。なお、FPC とは、Flexible Printed Circuits の略称である。FPC 基板 194 の他端には、図示省略されたホスト装置に接続される複数の端子 196 が設けられる。複数の端子 196 がホスト装置に接続されると、電気光学装置 10 には、当該ホスト装置から FPC 基板 194 を介して映像データや同期信号などが供給される。

【0011】

なお、図において、X 方向は、電気光学装置 10 における走査線の延在方向を示し、Y 方向は、データ線の延在方向を示す。X 方向および Y 方向で定まる二次元平面が半導体基板の基板面である。Z 方向は、X 方向および Y 方向に垂直であって、OLED から発せられる光の出射方向である。

10

【0012】

図 2 は、電気光学装置 10 の電氣的な構成を示すブロック図である。図に示されるように、電気光学装置 10 は、制御回路 30、データ信号出力回路 50、補助回路 60、 n 個の容量素子 70、初期化回路 80、表示領域 100 および走査線駆動回路 120 を含む。

表示領域 100 では、 m 行の走査線 12 が図において X 方向に沿って設けられ、 n 列のデータ線 14 が、Y 方向に沿って、かつ、各走査線 12 と互いに電氣的に絶縁を保つように設けられる。なお、 m 、 n は、2 以上の整数である。

【0013】

表示領域 100 には、画素回路 110 が、 m 行の走査線 12 と n 列のデータ線 14 との交差に対応して設けられる。このため、画素回路 110 は、縦 m 行 \times 横 n 列でマトリクス状に配列する。マトリクス配列のうち、行（ロウ）を区別するために、図において上から順に 1、2、3、...、 $(m-1)$ 、 m 行目と呼ぶことがある。同様にマトリクスの列（コラム）を区別するために、図において左から順に 1、2、3、...、 $(n-1)$ 、 n 列目と呼ぶことがある。

20

走査線 12 を一般化して説明するために、1 以上 m 以下の整数 $(i-1)$ および i が用いられる。特に、奇数（1、3、5、...）行目を一般化して説明するために、 $(i-1)$ が奇数として用いられることがあり、偶数（2、4、6、...）行目を一般化して説明するために、 i が偶数として用いられることがある。また、データ線 14 を一般化して説明するために、1 以上 n 以下の整数 j が用いられる。

30

【0014】

制御回路 30 は、上位のホスト装置から供給される映像データ Vid や同期信号 Sync に基づいて各部を制御する。映像データ Vid は、表示すべき画像における画素の階調レベルを例えば 8 ビットで指定する。

同期信号 Sync には、映像データ Vid の垂直走査開始を指示する垂直同期信号や、水平走査開始を指示する水平同期信号、および、映像データの 1 画素分のタイミングを示すドットクロック信号が含まれる。

【0015】

実施形態において表示すべき画像の画素と表示領域 100 における画素回路 110 とは一対一に対応する。

40

ホスト装置から供給される映像データ Vid において階調レベルで示される明るさの特性と、画素回路 110 に含まれる OLED の輝度の特性とは、必ずしも一致しない。そこで、制御回路 30 は、映像データ Vid で指定される階調レベルに対応した輝度で OLED を発光させるために、映像データ Vid の 8 ビットを、実施形態では例えば 10 ビットにアップコンバージョンして、映像データ Vdata として出力する。このため、10 ビットの映像データ Vdata についても、階調レベルを指定することになる。すなわち、映像データ Vdata は、映像データ Vid で指定される階調レベルを変換した階調レベルを指定することになる。

【0016】

なお、アップコンバージョンには、入力である映像データ Vid の 8 ビットと、出力で

50

ある映像データ $Vdata$ の 10 ビットとの対応関係を予め記憶したルックアップテーブルが用いられる。また、制御回路 30 は、各部を制御するために各種の制御信号を生成するが、詳細については後述する。

【0017】

走査線駆動回路 120 は、各種の信号を出力して、制御回路 30 による制御にしたがって、 m 行 n 列で配列する画素回路 110 を 1 行毎に駆動するための回路である。例えば走査線駆動回路 120 は、1、2、3、...、 $(m-1)$ 、 m 行目の走査線 12 に、順に走査信号 $/Gwr(1)$ 、 $/Gwr(2)$ 、...、 $/Gwr(m-1)$ 、 $/Gwr(m)$ を供給する。一般的には、 $(i-1)$ 行目の走査線 12 に供給される走査信号が $/Gwr(i-1)$ と表記される。走査線駆動回路 120 は、走査信号 $/Gwr(1) \sim /Gwr(m)$ の他にも各種の制御信号を出力するが、詳細については後述する。

10

【0018】

データ信号出力回路 50 は、走査線駆動回路 120 によって選択された行に位置する画素回路 110 に向けて、輝度に応じた電圧の信号を出力する回路である。詳細には、データ信号出力回路 50 は、選択回路群 52、第 1 ラッチ回路群 54、第 2 ラッチ回路群 56 および n 個の DA 変換回路 500 を含む。

選択回路群 52 は、 n 列と一対一に対応した選択回路 520 を含み、第 1 ラッチ回路群 54 は、 n 列と一対一に対応した第 1 ラッチ回路 L1 を含み、第 2 ラッチ回路群 56 は、 n 列と一対一に対応した第 2 ラッチ回路 L2 を含む。また、 n 個の DA 変換回路 500 は、 n 列に一対一に対応する。

20

【0019】

すなわち、各例に対応して、選択回路 520、第 1 ラッチ回路 L1、第 2 ラッチ回路 L2 および DA 変換回路 500 の組が設けられる。ここで、 j 列目の選択回路 520 は、制御回路 30 から出力される映像データ $Vdata$ のうち、 j 列目の映像データの選択を j 列目の第 1 ラッチ回路 L1 に指示し、 j 列目の第 1 ラッチ回路 L1 は、当該指示にしたがって映像データ $Vdata$ をラッチする。 j 列目の第 2 ラッチ回路 L2 は、 j 列目の第 1 ラッチ回路 L1 によりラッチされた映像データ $Vdata$ を、制御回路 30 による制御にしたがって、後述する書込期間 (C) において j 列目の DA 変換回路 500 に出力する。

【0020】

j 列目の DA 変換回路 500 は、 j 列目の第 2 ラッチ回路 L2 から出力された 10 ビットの映像データ $Vdata$ をアナログの信号に変換し、 j 列目のデータ信号出力線 14c に出力する。換言すれば、データ信号出力線 14c はデータ線 14 と一対一に対応して設けられ、 j 列目の DA 変換回路 500 における出力端は、 j 列目のデータ信号出力線 14c に接続される。

30

【0021】

補助回路 60 は、データ信号出力線 14c と一対一に対応して設けられたトランジスタ 62 の集合体である。 j 列目に対応するトランジスタ 62 のソースノードは電位 $Vref$ の給電線に接続され、トランジスタ 62 のドレインノードは当該 j 列目のデータ信号出力線 14c に接続される。また、各列におけるトランジスタ 62 のゲートノードには、制御回路 30 から出力される制御信号 $/Gref$ が共通に供給される。

40

【0022】

n 個の容量素子 70 は、データ信号出力線 14c およびデータ線 14 の組と一対一に対応して設けられる。詳細には、 j 列目の容量素子 70 の一端は j 列目のデータ信号出力線 14c に接続され、 j 列目の容量素子 70 の他端は j 列目のデータ線 14 に接続される。

なお、映像データ $Vdata$ は、映像データ Vid で指定される階調レベルに対応し、DA 変換回路 500 は、当該映像データ $Vdata$ をアナログ信号に変換し、当該アナログ信号が容量素子 70 を介し、データ信号としてデータ線 14 に供給される。このため、データ線 14 に供給されるデータ信号の電位は、映像データ Vid および映像データ $Vdata$ で指定される階調レベルに対応することになる。

【0023】

50

初期化回路 80 は、データ線 14 に一対一に対応して設けられた、トランジスタ 82、84 および 86 の組の集合体である。

j 列目に対応するトランジスタ 82 のソースノードは電位 V_{el} の給電線に接続され、トランジスタ 82 のドレインノードは当該 j 列目のデータ線 14 に接続される。また、各列におけるトランジスタ 82 のゲートノードには、制御回路 30 から出力される制御信号 / D_{rst} が共通に供給される。電位 V_{el} は、電源電圧の高位電位として用いられる。

【0024】

j 列目に対応するトランジスタ 84 のソースノードは電位 V_{ini} の給電線に接続され、トランジスタ 84 のドレインノードは当該 j 列目のデータ線 14 に接続される。また、各列におけるトランジスタ 84 のゲートノードには、制御回路 30 から出力される制御信号 / G_{ini} が共通に供給される。

【0025】

j 列目に対応するトランジスタ 86 のソースノードは電位 V_{orst} の給電線に接続され、トランジスタ 86 のドレインノードは当該 j 列目のデータ線 14 に接続される。また、各列におけるトランジスタ 86 のゲートノードには、制御回路 30 から出力される制御信号 / G_{rst} が共通に供給される。なお、電位 V_{orst} は、例えば電位 G_{nd} 、または、当該電位 G_{nd} に近い低位の電位である。具体的には、電位 V_{orst} は、仮に OLED のアノードに給電された場合に、当該 OLED に電流が流れない程度の電位である。

【0026】

各列のデータ線 14 にはそれぞれ容量成分が寄生する。図では、当該容量成分が寄生容量 72 として表記されている。すなわち、当該寄生容量 72 は、電氣的にみれば一端がデータ線 14 に接続され、他端が電位一定の給電線に接続された容量素子として表されている。

また、図において 1、2、...、 $(n-1)$ 、 n 列目におけるデータ線 14 の電位が、順に $V_d(1)$ 、 $V_d(2)$ 、...、 $V_d(n-1)$ 、 $V_d(n)$ と表記される。一般的には、j 列目におけるデータ線 14 の電位は $V_d(j)$ と表記される。

【0027】

図 3 は、画素回路 110 を示す回路図である。m 行 n 列で配列する画素回路 110 は電氣的にみれば互いに同一である。このため、画素回路 110 については、 $(i-1)$ 行 j 列に位置する画素回路 110 で代表させて説明する。

【0028】

図に示されるように、画素回路 110 は、OLED 130 と、p 型のトランジスタ 121 ~ 124 と、容量素子 140 とを含む。トランジスタ 121 ~ 124 は、例えば MOS 型である。なお、MOS とは、Metal-Oxide-Semiconductor field-effect transistor の略称である。

また、 $(i-1)$ 行目の画素回路 110 には、当該 $(i-1)$ 行目に対応した走査信号 / $G_{wr}(i-1)$ のほか、制御信号 / $G_{el}(i-1)$ 、/ $G_{cmp}(i-1)$ が、走査線駆動回路 120 から供給される。

【0029】

制御信号 / $G_{el}(i-1)$ とは、1、2、...、 $(m-1)$ 、m 行目に対応して順に供給される制御信号 / $G_{el}(1)$ 、/ $G_{el}(2)$ 、...、/ $G_{el}(m-1)$ 、/ $G_{el}(m)$ を一般化して表記したものである。同様に、制御信号 / $G_{cmp}(i-1)$ は、1、2、...、 $(m-1)$ 、m 行目に対応して順に供給される制御信号 / $G_{cmp}(1)$ 、/ $G_{cmp}(2)$ 、...、/ $G_{cmp}(m-1)$ 、/ $G_{cmp}(m)$ を一般化して表記したものである。

【0030】

OLED 130 は、画素電極 131 と共通電極 133 とで発光機能層 132 を挟持した発光素子である。画素電極 131 はアノードとして機能し、共通電極 133 はカソードとして機能する。共通電極 133 は光透過性を有する。

OLED 130 において、アノードからカソードに向かって電流が流れると、アノード

10

20

30

40

50

から注入された正孔とカソードから注入された電子とが発光機能層 1 3 2 で再結合して励起子が生成され、白色光が発生する。

【 0 0 3 1 】

カラー表示とする場合、発生した白色光が、例えば図示省略された反射層と半反射半透過層とで構成された光共振器にて共振し、R（赤）、G（緑）、B（青）のいずれかの色に対応して設定された共振波長で出射する。光共振器から光の出射側には当該色に対応したカラーフィルターが設けられる。したがって、O L E D 1 3 0 からの出射光は、光共振器およびカラーフィルターによる着色を順に経て、観察者に視認される。なお、光共振器は図示省略されている。また、電気光学装置 1 0 が単に明暗のみの単色画像を表示する場合には、上記光共振器およびカラーフィルターが省略される。

10

【 0 0 3 2 】

($i - 1$) 行 j 列における画素回路 1 1 0 のトランジスタ 1 2 1 にあっては、ゲートノード g がトランジスタ 1 2 2 のドレインノードに接続され、ソースノード s が、電位 V_{el} が供給される給電線 1 1 6 に接続され、ドレインノード d がトランジスタ 1 2 3 のソースノードおよびトランジスタ 1 2 4 のソースノードに接続される。容量素子 1 4 0 にあっては、一端がトランジスタ 1 2 1 のゲートノード g に接続され、他端が給電線 1 1 6 に接続される。このため、容量素子 1 4 0 は、トランジスタ 1 2 1 におけるゲートノード g およびソースノード s の間の電圧を保持する。

なお、容量素子 1 4 0 の他端は、電位がほぼ一定に保たれていればよいので、電位 V_{el} の給電線 1 1 6 以外の、他の電位の給電線に接続されてもよい。

20

【 0 0 3 3 】

実施形態において、容量素子 1 4 0 として、例えばトランジスタの半導体層（下部電極）とゲート電極層（上部電極）とでトランジスタのゲート絶縁層を挟持することによって形成される、いわゆる M O S 容量が用いられる。なお、容量素子 1 4 0 としては、トランジスタ 1 2 1 のゲートノード g の寄生容量を用いてもよいし、半導体基板において互いに異なる導電層で絶縁層を挟持することによって形成される、いわゆるメタル容量を用いてもよい。

【 0 0 3 4 】

($i - 1$) 行 j 列における画素回路 1 1 0 のトランジスタ 1 2 2 にあっては、ゲートノードが ($i - 1$) 行目の走査線 1 2 に接続され、ソースノードが当該 j 列目のデータ線 1 4 に接続される。($i - 1$) 行 j 列における画素回路 1 1 0 のトランジスタ 1 2 3 にあっては、ゲートノードに制御信号 / $G_{cmp}(i-1)$ が供給され、ドレインノードが当該 j 列目のデータ線 1 4 に接続される。($i - 1$) 行 j 列における画素回路 1 1 0 のトランジスタ 1 2 4 にあっては、ゲートノードに制御信号 / $G_{el}(i-1)$ が供給され、ドレインノードが O L E D 1 3 0 のアノードである画素電極 1 3 1 に接続される。

30

O L E D 1 3 0 のカソードとして機能する共通電極 1 3 3 には、電位 V_{ct} が給電される。なお、電位 V_{ct} は、例えば電位 G_{nd} 、または、当該電位 G_{nd} に近い低位の電位である。

【 0 0 3 5 】

本説明において「電氣的に接続され」または単に「接続され」とは、2 以上の要素間の直接的または間接的な接続または結合を意味し、例えば半導体基板において 2 以上の要素間が直接的ではなくても、異なる配線層およびコンタクトホールを介して結合されることも含む。

40

【 0 0 3 6 】

制御回路 3 0 は、データ信号出力回路 5 0、補助回路 6 0、初期化回路 8 0 および走査線駆動回路 1 2 0 を介して画素回路 1 1 0 の駆動を制御する。このため、制御回路 3 0、データ信号出力回路 5 0、補助回路 6 0、初期化回路 8 0 および走査線駆動回路 1 2 0 を含めて、画素回路 1 1 0 を制御する、広義の制御回路と呼ぶことがある。

【 0 0 3 7 】

次に、電気光学装置 1 0 における動作について説明する。

50

【 0 0 3 8 】

図 4 および図 5 は、電気光学装置の動作を説明するためのタイミングチャートである。

このうち、図 4 は、奇数フレーム (V_odd) のタイミングチャートであり、図 5 は、偶数フレーム (V_even) のタイミングチャートである。

【 0 0 3 9 】

本説明において、奇数フレーム (V_odd) とは、連続する 2 フレームのうち、時間的に先行する 1 フレームをいい、偶数フレーム (V_even) とは、連続する 2 フレームのうち、時間的に後行する 1 フレームをいう。1 フレームとは、映像データ Vid で指定される画像の 1 コマを表示するのに要する期間をいう。1 フレームの時間的な長さは、垂直同期期間と同じ場合、例えば同期信号 Sync に含まれる垂直同期信号の周波数が 6 0 H z 10
であれば、当該垂直同期信号の 1 周期分に相当する 1 6 . 7 ミリ秒である。

【 0 0 4 0 】

電気光学装置 1 0 では、奇数フレーム (V_odd) および偶数フレーム (V_even) の各フレームにおいて、m 行の走査線 1 2 が 1、2、3、...、m 行目という順番で 1 行ずつ選択されて水平走査される。なお、1 行分の水平走査に要する期間が水平走査期間 (H) である。

【 0 0 4 1 】

電気光学装置 1 0 において、水平走査期間 (H) は、時間の順で、初期化期間 (A)、補償期間 (B) および書込期間 (C) に分けられる。このうち、初期化期間 (A) は、さらに 3 つの初期化期間 (A 1)、(A 2) および (A 3) に分けられる。また、画素回路 1 1 0 の動作としては、初期化期間 (A)、補償期間 (B) および書込期間 (C) とは別に、さらに発光期間 (D) が加わる。 20

【 0 0 4 2 】

初期化期間 (A 1) は、トランジスタ 1 2 1 をオフ状態に設定するための期間である。初期化期間 (A 2) は、O L E D 1 3 0 におけるアノード電位を、奇数行または偶数行の一方についてリセットする期間である。なお、初期化期間 (A 2) では、O L E D 1 3 0 におけるアノード電位が、奇数行または偶数行の他方ではリセットされない。

初期化期間 (A 3) は、トランジスタ 1 2 1 をオン状態にさせるための電位 V_{ini} を、ゲートノード g に供給するための期間である。

補償期間 (B) は、トランジスタ 1 2 1 のゲートノード g を、当該トランジスタ 1 2 1 の閾値電圧に応じた電位に収束させるための期間である。 30

書込期間 (C) は、トランジスタ 1 2 1 のゲートノード g に、階調レベルに応じた電位を保持させる (書き込む) 期間であり、詳細には、当該トランジスタ 1 2 1 のゲートノード g を、閾値電圧に対応した電位から O L E D 1 3 0 に流す電流に応じた電圧分だけ変化させるための期間である。

発光期間 (D) は、書込期間 (C) に保持されたゲートノード g の電位に応じた電流を O L E D 1 3 0 に流して発光させるための期間である。

【 0 0 4 3 】

上述したように実施形態では、奇数フレーム (V_odd) および偶数フレーム (V_even) に分けられる。 40

また、各行における水平走査期間 (H) の動作は、初期化期間 (A 2) において奇数行および偶数行で異なる以外、共通であり、ある水平走査期間 (H) において走査される行の 1 ~ n 列目の画素回路 1 1 0 の動作は、ほぼ共通である。

そこで以下において、先に、奇数フレーム (V_odd) の動作について説明し、後に、偶数フレーム (V_even) の動作について説明する。また、各フレームでは、先に、奇数の (i - 1) 行目の水平走査期間 (H_odd) および (i - 1) 行 j 列の画素回路 1 1 0 の動作について説明し、後に、偶数の i 行目の水平走査期間 (H_even) および i 行 j 列の画素回路 1 1 0 の動作について説明する。

【 0 0 4 4 】

奇数フレーム (V_odd) において、各水平走査期間 (H) の初期化期間 (A 1) では 50

、制御信号 / Drst が L レベルであり、制御信号 / Gini が H レベルであり、制御信号 / Gref が L レベルである。このため、各列のトランジスタ 8 2 がオン状態になり、各列のトランジスタ 8 4 がオフ状態になり、各列のトランジスタ 6 2 がオン状態になる。

また、奇数フレーム (V_{odd}) における奇数 (i - 1) 行目の水平走査期間 (H_{odd}) の初期化期間 (A 1) では、制御信号 / Grst が H レベルである。このため、各列のトランジスタ 8 6 がオフ状態になる。

【 0 0 4 5 】

奇数の (i - 1) 行目における水平走査期間 (H_{odd}) の初期化期間 (A 1) では、走査信号 / Gwr(i-1) が L レベルであり、制御信号 / Gcmp(i-1) が H レベルであり、制御信号 / Gel(i-1) が H レベルである。このため、当該初期化期間 (A 1) では、(i - 1) 行 j 列の画素回路 1 1 0 において、トランジスタ 1 2 2 がオン状態であり、トランジスタ 1 2 3 がオフ状態であり、トランジスタ 1 2 4 がオフ状態である。水平走査期間 (H_{odd}) の初期化期間 (A 1) は、特許請求の範囲における「第 1 ゲートノード初期化期間」に相当する。

10

【 0 0 4 6 】

したがって、当該初期化期間 (A 1) では、図 6 に示されるように、(i - 1) 行 j 列の画素回路 1 1 0 では、電位 Vel が、トランジスタ 8 2、j 列目のデータ線 1 4 およびトランジスタ 1 2 2 を順に介して、容量素子 1 4 0 の一端、および、トランジスタ 1 2 1 のゲートノード g に供給される。ゲートノード g が電位 Vel になると、ゲートノード g およびソースノード s の間の電圧がゼロになるので、トランジスタ 1 2 1 は強制的にオフ状態になる。

20

なお、本実施形態では、初期化期間 (A 1) においてトランジスタ 1 2 1 をオフ状態に設定するが、これに限らず、初期化期間 (A 1) がなくてもよい。すなわち、初期化期間 (A 1) においてトランジスタ 1 2 1 をオフ状態に設定せずに、初期化期間 (A 2) において、OLED 1 3 0 のアノード電位をリセットしてもよい。また、トランジスタ 1 2 2 をオフ状態として OLED 1 3 0 におけるアノード電位をリセットしてもよい。

【 0 0 4 7 】

奇数フレーム (V_{odd}) における奇数 (i - 1) 行目の水平走査期間 (H_{odd}) の初期化期間 (A 1) では、各列においてトランジスタ 8 2 がオン状態であり、各列においてトランジスタ 6 2 がオン状態である。このため、当該水平走査期間 (H_{odd}) における初期化期間 (A 1) では、各列において、データ線 1 4 が電位 Vel になり、データ信号出力線 1 4 c が電位 Vref になる。

30

したがって、各列において、容量素子 7 0 の両端電圧は | Vel - Vref | になり、寄生容量 7 2 の一端は電位 Vel に保持される。電位 Vel は電源電圧の高位であるので、各列において、容量素子 7 0 および寄生容量 7 2 は、充電されることになる。

【 0 0 4 8 】

奇数フレーム (V_{odd}) において、各水平走査期間 (H) の初期化期間 (A 2) では、制御信号 / Drst が H レベルに変化し、制御信号 / Gini が H レベルを維持し、制御信号 / Gref が L レベルを維持する。このため、各列のトランジスタ 8 2 がオフ状態に変化し、各列のトランジスタ 8 4 がオフ状態を維持し、各列のトランジスタ 6 2 がオン状態を維持する。

40

また、奇数 (i - 1) 行目の当該水平走査期間 (H_{odd}) の初期化期間 (A 2) では、制御信号 / Grst が L レベルに変化する。このため、各列のトランジスタ 8 6 がオン状態に変化する。

【 0 0 4 9 】

奇数の (i - 1) 行目における水平走査期間 (H_{odd}) の初期化期間 (A 2) では、走査信号 / Gwr(i-1) が H レベルに変化し、制御信号 / Gcmp(i-1) が L レベルに変化し、制御信号 / Gel(i-1) が L レベルに変化する。このため、当該初期化期間 (A 2) では、(i - 1) 行 j 列の画素回路 1 1 0 において、トランジスタ 1 2 2 がオフ状態に変化し、トランジスタ 1 2 3 がオン状態に変化し、トランジスタ 1 2 4 がオン状態に変化

50

する。

【 0 0 5 0 】

したがって、当該初期化期間 (A 2) では、図 7 に示されるように、(i - 1) 行 j 列の画素回路 1 1 0 における O L E D 1 3 0 のアノードが、トランジスタ 1 2 4、1 2 3、j 列目のデータ線 1 4 およびトランジスタ 8 6 を順に介して電位 V o r s t にリセットされる動作、すなわちリセット動作が行われる。水平走査期間 (H _ o d d) の初期化期間 (A 2) は、特許請求の範囲における「第 1 初期化期間」に相当し、リセット動作は、特許請求の範囲における「第 1 動作」に相当する。

【 0 0 5 1 】

奇数フレーム (V _ o d d) における奇数 (i - 1) 行目の水平走査期間 (H _ o d d) の初期化期間 (A 2) では、各列においてトランジスタ 8 6 がオン状態であり、各列においてトランジスタ 6 2 がオン状態を維持する。このため、当該水平走査期間 (H _ o d d) における初期化期間 (A 2) では、各列において、データ線 1 4 が電位 V o r s t になり、データ信号出力線 1 4 c が初期化期間 (A 1) から引き続いて電位 V r e f を維持する。

したがって、各列において、容量素子 7 0 の両端電圧は $| V o r s t - V r e f |$ になり、寄生容量 7 2 の一端は電位 V o r s t に保持される。電位 V e l および V o r s t は、
 $V e l > V o r s t$

という関係にあるので、j 列目における容量素子 7 0 および寄生容量 7 2 は放電されることになる。

【 0 0 5 2 】

奇数フレーム (V _ o d d) において、各水平走査期間 (H) の初期化期間 (A 3) では、制御信号 / D r s t が H レベルを維持し、制御信号 / G i n i が L レベルに変化し、制御信号 / G r e f が L レベルを維持する。このため、各列のトランジスタ 8 2 がオフ状態を維持し、各列のトランジスタ 8 4 がオン状態に変化し、各列のトランジスタ 6 2 がオン状態を維持する。

また、奇数 (i - 1) 行目の当該水平走査期間 (H _ o d d) の初期化期間 (A 3) では、制御信号 / G r s t が H レベルに変化する。このため、各列のトランジスタ 8 6 がオフ状態に変化する。水平走査期間 (H _ o d d) の初期化期間 (A 3) は、特許請求の範囲における「第 3 初期化期間」に相当する。

【 0 0 5 3 】

奇数の (i - 1) 行目における水平走査期間 (H _ o d d) の初期化期間 (A 3) では、走査信号 / G w r (i - 1) が L レベルに変化し、制御信号 / G c m p (i - 1) が H レベルに変化し、制御信号 / G e l (i - 1) が H レベルに変化する。このため、当該初期化期間 (A 3) では、(i - 1) 行 j 列の画素回路 1 1 0 において、トランジスタ 1 2 2 がオン状態に変化し、トランジスタ 1 2 3 がオフ状態に変化し、トランジスタ 1 2 4 がオフ状態に変化する。

【 0 0 5 4 】

したがって、初期化期間 (A 3) では、図 9 に示されるように、(i - 1) 行 j 列の画素回路 1 1 0 において、電位 V i n i が、トランジスタ 8 4、j 列目のデータ線 1 4 およびトランジスタ 1 2 2 を順に介して、容量素子 1 4 0 の一端、および、トランジスタ 1 2 1 のゲートノード g に供給される。

【 0 0 5 5 】

奇数フレーム (V _ o d d) における奇数 (i - 1) 行目の水平走査期間 (H _ o d d) の初期化期間 (A 3) では、各列においてトランジスタ 8 4 がオン状態であり、各列においてトランジスタ 6 2 がオン状態を維持する。このため、当該水平走査期間 (H _ o d d) における初期化期間 (A 3) では、各列において、データ線 1 4 が電位 V i n i になり、データ信号出力線 1 4 c が初期化期間 (A 1) から引き続いて電位 V r e f を維持する。

したがって、各列において、容量素子 7 0 の両端電圧は $| V i n i - V r e f |$ になり、寄生容量 7 2 の一端は電位 V i n i に保持される。電位 V i n i および V o r s t は、

(V e l >) V i n i > V o r s t

10

20

30

40

50

という関係にある。

このため、容量素子 70 および寄生容量 72 は、充電されることになる。

【0056】

奇数フレーム (V_{odd}) において、各水平走査期間 (H) の補償期間 (B) では、制御信号 / Drst が H レベルを維持し、制御信号 / Gini が H レベルに変化し、制御信号 / Gref が L レベルを維持する。このため、各列のトランジスタ 82 がオフ状態を維持し、各列のトランジスタ 84 がオフ状態に変化し、各列のトランジスタ 62 がオン状態を維持する。

また、奇数 ($i - 1$) 行目の水平走査期間 (H_{odd}) の補償期間 (B) では、制御信号 / Grst が H レベルを維持する。このため、各列のトランジスタ 86 がオフ状態を維持する。

10

【0057】

奇数の ($i - 1$) 行目の水平走査期間 (H_{odd}) の補償期間 (B) では、走査信号 / $\text{Gwr}(i-1)$ が L レベルを維持し、制御信号 / $\text{Gcmp}(i-1)$ が L レベルに変化し、制御信号 / $\text{Gel}(i-1)$ が H レベルを維持する。このため、($i - 1$) 行 j 列の画素回路 110 においてトランジスタ 122 がオン状態を維持し、トランジスタ 123 がオン状態に変化し、トランジスタ 124 がオフ状態を維持する。

【0058】

補償期間 (B) の始期において ($i - 1$) 行目の画素回路 110 では、トランジスタ 121 のゲートノード g が電位 V_{ini} となっている。ゲートノード g が電位 V_{ini} になっているときに、トランジスタ 123 がオン状態になると、トランジスタ 121 がダイオード接続になる。

20

【0059】

したがって、補償期間 (B) では、図 10 に示されるように、当該トランジスタ 121 におけるゲートノード g およびソースノード s の間の電圧は、当該トランジスタ 121 の閾値電圧 V_{th} (に近い電圧) に収束する。すなわち、トランジスタ 121 におけるゲートノード g およびデータ線 14 の電位は閾値相当電位 ($V_{\text{el}} - V_{\text{th}}$) に収束する。

【0060】

($i - 1$) 行目の補償期間 (B) では、各列のトランジスタ 62 がオン状態を維持するので、各列のデータ信号出力線 14c が電位 V_{ref} に保たれる。

30

また、データ線 14 が閾値相当電位 ($V_{\text{el}} - V_{\text{th}}$) に収束するので、容量素子 70 の両端電圧は $|V_{\text{el}} - V_{\text{th}} - V_{\text{ref}}|$ になり、寄生容量 72 の一端は閾値相当電位 ($V_{\text{el}} - V_{\text{th}}$) に保持される。

【0061】

奇数フレーム (V_{odd}) において、各水平走査期間 (H) の書込期間 (C) では、制御信号 / Drst が H レベルを維持し、制御信号 / Gini が H レベルを維持し、制御信号 / Gref が H レベルに変化する。このため、各列のトランジスタ 82 がオフ状態を維持し、各列のトランジスタ 84 がオフ状態を維持し、各列のトランジスタ 62 がオフ状態に変化する。

また、奇数フレーム (V_{odd}) における奇数 ($i - 1$) 行目の水平走査期間 (H_{odd}) の書込期間 (C) では、制御信号 / Grst が H レベルを維持する。このため、各列のトランジスタ 86 がオフ状態を維持する。

40

【0062】

($i - 1$) 行目の水平走査期間 (H_{odd}) の書込期間 (C) では、走査信号 / $\text{Gwr}(i-1)$ が L レベルを維持し、制御信号 / $\text{Gcmp}(i-1)$ が H レベルに変化し、制御信号 / $\text{Gel}(i-1)$ が H レベルを維持する。このため、($i - 1$) 行 j 列の画素回路 110 においてトランジスタ 122 がオン状態を維持し、トランジスタ 123 がオフ状態に変化し、トランジスタ 124 がオフ状態を維持する。

【0063】

当該書込期間 (C) において、各列のトランジスタ 62 がオフ状態に変化する。また

50

、各列のDA変換回路500には、(i-1)行目であって、列に対応する10ビットの映像データVdataが供給される。このため、j列目のDA変換回路500は、(i-1)行j列の階調レベルに応じた電位の信号をデータ信号出力線14cに出力する。

【0064】

したがって、当該書込期間(C)では、図11に示されるように、j列目の容量素子70の一端は、電位Vrefから、(i-1)行j列に対応した階調レベルの電位に上昇する。この電位上昇は、当該容量素子70、データ線14およびトランジスタ122を順に介してトランジスタ121のゲートノードgに到達する。

【0065】

書込期間(C)におけるゲートノードgの電位変化分は、容量素子70の一端における電位上昇分に、「合成容量値」に対する容量素子70の容量値の比を、乗じた値である。ここでいう「合成容量値」とは、容量素子70、寄生容量72および容量素子140による合成容量の容量値である。なお、容量素子140の容量値は、他の容量値と比較して十分に小さい場合には、無視することができる。

【0066】

走査信号/Gwr(i-1)がHレベルに変化したときに、(i-1)行目の書込期間(D)が終了し、すなわち、(i-1)行目の当該水平走査期間(H_odd)が終了する。走査信号/Gwr(i-1)がHレベルになると、(i-1)行j列の画素回路110ではトランジスタ122がオフ状態になるが、ゲートノードgの電位とソースノードsの電位Velとの差の電圧は、容量素子140に保持される。

【0067】

書込期間(C)の終了後、発光期間(D)になる。

(i-1)行目の発光期間(E)に至ると、制御信号/Gel(i-1)がLレベルに反転するので、トランジスタ124がオン状態になる。

したがって、発光期間(D)では、図12に示されるように、(i-1)行j列の画素回路110におけるOLED130には、容量素子140により保持されたゲートノードgの電位に応じた電流Ielがトランジスタ121によって流れる。このため、当該OLED130が、当該電流Ielに応じた輝度で発光する。

【0068】

奇数フレーム(V_odd)において、奇数(i-1)行目の次の偶数i行目の水平走査期間(H_even)の動作は、図4に示されるように、初期化期間(A2)において制御信号/GrstがHレベルに維持される点以外、奇数(i-1)行目の水平走査期間(H_odd)の動作と共通である。

そこで、偶数i行目の水平走査期間(H_even)の動作については、初期化期間(A2)に重きをおいて説明する。

【0069】

偶数i行目の水平走査期間(H_even)の初期化期間(A2)において、各列のトランジスタ82がオフ状態に変化し、各列のトランジスタ84がオフ状態を維持し、各列のトランジスタ62がオン状態を維持する点は、奇数(i-1)行目の水平走査期間(H_odd)の初期化期間(A2)と共通である。水平走査期間(H_even)の初期化期間(A2)は、特許請求の範囲における「第2初期化期間」に相当する。

ここで留意すべきは、偶数i行目の水平走査期間(H_even)の初期化期間(A2)では、制御信号/GrstがHレベルに維持されるので、各列のトランジスタ86がオフ状態を維持する点にある。

【0070】

直前の初期化期間(A1)では、データ線14が電位Velであり、当該電位Velは容量素子70の他端および寄生容量72の一端に保持されている。

また、水平走査期間(H_even)の初期化期間(A2)ではi行j列の画素回路110においてトランジスタ122がオフ状態に変化し、トランジスタ123がオン状態に変化し、トランジスタ124がオン状態に変化する。水平走査期間(H_even)の

10

20

30

40

50

初期化期間 (A 1) は、特許請求の範囲における「第 2 ゲートノード初期化期間」に相当する。

このため、 i 行 j 列の画素回路 1 1 0 における O L E D 1 3 0 には、図 8 に示されるように、容量素子 7 0 および寄生容量 7 2 から電荷が流出して、データ線 1 4、トランジスタ 1 2 3、1 2 4 を順に介して O L E D 1 3 0 に向かう動作、すなわち非リセット動作が行われる。非リセット動作は、特許請求の範囲における「第 2 動作」に相当する。

【 0 0 7 1 】

容量素子 7 0 および寄生容量 7 2 から流出した電荷によって、O L E D 1 3 0 の寄生容量が満充電になると、電荷が溢れて O L E D 1 3 0 (の発光機能層 1 3 2) に流れるので、当該 O L E D 1 3 0 が発光する。

10

【 0 0 7 2 】

なお、電荷の流出によって j 列目における容量素子 7 0 および寄生容量 7 2 は放電になるので、データ線 1 4 は電位 V_{el} から低下する。この放電は、 j 列目のデータ線 1 4 を介して O L E D 1 3 0 の寄生容量に電荷を分配する程度であり、微量である。

このため、 i 行目の水平走査期間のうち、初期化期間 (A 2) において、 j 列目のデータ線 1 4 および i 行 j 列の画素回路 1 1 0 におけるアノードは、電位 V_{el} から、若干低下して、電位 V_{orst} および電位 V_{el} の間の電位になるが、ほぼ電位 V_{el} であるといつて差し支えない。

【 0 0 7 3 】

このように奇数フレーム (V_{odd}) において、奇数 ($i - 1$) 行目の水平走査期間 (H_{odd}) のうち、初期化期間 (A 2) では、O L E D 1 3 0 のアノードを放電させるリセット動作が行われ、偶数 i 行目の水平走査期間 (H_{even}) のうち、初期化期間 (A 2) では、非リセット動作になり、リセット動作が行われない。

20

【 0 0 7 4 】

O L E D 1 3 0 のアノードを放電させるリセット動作が行われる理由は主に次の通りである。O L E D 1 3 0 では、アノードである画素電極 1 3 1 とカソードである共通電極 1 3 3 とで発光機能層 1 3 2 が挟持されるので、当該 O L E D 1 3 0 には容量が寄生する。上述したように補償期間 (B) においてトランジスタ 1 2 1 のゲートノード g およびドレインノード d (トランジスタ 1 2 4 のソースノード) は、閾値相当電位になる。次に、書込期間 (C) において、トランジスタ 1 2 1 のゲートノード g に、階調レベルに応じた電位が供給される。

30

【 0 0 7 5 】

仮に、最低階調の黒レベル (最も暗いレベル) に相当するデータ信号がゲートノード g に供給された場合、当該ゲートノード g は、電位 V_{el} であることが理想であるが、実際には、電位 V_{el} よりも低い電位になる。このため、発光期間 (D) においてトランジスタ 1 2 4 がオン状態になると、トランジスタ 1 2 1 ではソースノード s からドレインノード d に向かってリーク電流が流れる。O L E D 1 3 0 の寄生容量に蓄積された電荷を予めリセットしておかないと、リーク電流によって、やがて当該寄生容量が満充電になり、O L E D 1 3 0 に電流が流れ始めて、発光してしまう現象が発生する。この現象は、黒レベルが、すなわち発光しない輝度が指定されているにもかかわらず、わずかに発光して、あたかも黒が浮いたように視認されることから、黒浮きと呼ばれる。

40

【 0 0 7 6 】

そこで、初期化期間 (A 2) において、O L E D 1 3 0 のアノードを電位 V_{orst} にして、予めアノードを放電させ、当該 O L E D 1 3 0 の寄生容量に蓄積された電荷をリセットしている。これにより、発光期間 (D) においてトランジスタ 1 2 1 にリーク電流が流れても、当該リーク電流によって O L E D 1 3 0 の寄生容量が満充電にならず、発光しないので、いわゆる黒浮きを抑えることができる。

【 0 0 7 7 】

しかしながら、リセット動作が行われる構成は、低消費電力化を阻害する要因になり得る。リセット動作が行われる場合、容量素子 7 0 の他端および寄生容量 7 2 の一端が、初

50

期化期間 (A 1) において電位 V_{el} になり、初期化期間 (A 2) において電位 V_{orst} になり、初期化期間 (A 3) において電位 V_{ini} になる。

【 0 0 7 8 】

上述したように、電位 V_{el} 、 V_{orst} 、 V_{ini} は、 $V_{el} > V_{ini} > V_{orst}$ (V_{ct}) という関係にある。

このうち、電位 V_{el} は電源電圧の高位であり、電位 V_{orst} は電源電圧の低位の電位 G_{nd} または電位 G_{nd} に近い電位である。このため、リセット動作が行われる場合、容量素子 7 0 および寄生容量 7 2 が、初期化期間 (A 1) において充電され、初期化期間 (A 2) において放電され、初期化期間 (A 3) において充電される。このような容量素子 7 0 および寄生容量 7 2 における充電 放電 充電は、各列において実行されるので、消費される電力が大きくなる。なお、水平走査期間 (H_{even}) の初期化期間 (A 2) 後の初期化期間 (A 3) は、特許請求の範囲における「第 4 初期化期間」に相当する。

10

【 0 0 7 9 】

非リセット動作では、容量素子 7 0 の他端および寄生容量 7 2 の一端が、初期化期間 (A 1) において電位 V_{el} に充電される点においてリセット動作と共通である。しかしながら、非リセット動作では、初期化期間 (A 2) において電荷を分配する動作が行われるので、容量素子 7 0 および寄生容量 7 2 の放電は、リセット動作が行われる場合と比較して無視することができる。さらに、リセット動作および非リセット動作では、初期化期間 (A 3) において、容量素子 7 0 の他端および寄生容量 7 2 の一端がいずれも電位 V_{ini} になるが、リセット動作では、電位 V_{orst} からの充電であるのに対し、非リセット動作では、電位 V_{el} からの放電である。

20

【 0 0 8 0 】

すなわち、容量素子 7 0 および寄生容量 7 2 が、初期化期間 (A 1) (A 2) (A 3) において、リセット動作では、充電 放電 充電になるのに対し、非リセット動作では、充電 ほぼ変化なし 放電となる。

したがって、非リセット動作では、リセット動作と比較して、各列における容量素子 7 0 および寄生容量 7 2 の充放電によって消費される電力を低減することができる。

【 0 0 8 1 】

ただし、非リセット動作では、上述したように、いわゆる黒浮きが発生する、という点に留意する必要がある。すなわち、奇数フレーム (V_{odd}) において、奇数 ($i - 1$) 行目の水平走査期間 (H_{odd}) では、リセット動作が行われるのに対し、偶数 i 行目の水平走査期間 (H_{even}) では、非リセット動作であるので、黒浮きが発生する。

30

【 0 0 8 2 】

そこで、実施形態では、奇数フレーム (V_{odd}) の次の偶数フレーム (V_{even}) において、奇数 ($i - 1$) 行目の水平走査期間 (H_{odd}) では、非リセット動作とし、偶数 i 行目の水平走査期間 (H_{even}) では、リセット動作を行って、リセット動作をする行と非リセット動作の行とを入れ替える構成とした。

【 0 0 8 3 】

詳細には、図 5 に示されるように、偶数フレーム (V_{even}) において制御信号 / G_{rst} が、水平走査期間 (H_{odd}) の初期化期間 (A 2) では H レベルになり、水平走査期間 (H_{even}) の初期化期間 (A 2) では L レベルになる。他の制御信号 / D_{rst} 、 / G_{ini} 、 / G_{ref} は、奇数フレーム (V_{odd}) における各水地平走査期間と共通である。

40

このため、偶数フレーム (V_{even}) において、奇数 ($i - 1$) 行目では非リセット動作になり、偶数 i 行目ではリセット動作になる。

【 0 0 8 4 】

本実施形態における低消費電力化の優位性および表示品位の低減について説明するために、比較例について説明する。比較例は、奇数行および偶数行を区別することなく、初期化期間 (A 2) においてリセット動作を行う構成である。

【 0 0 8 5 】

50

図 13 は、比較例と実施形態とにおいて、すべての画素に対し、最低階調の黒レベルが指定された場合の全黒表示にする場合、および、最高階調の白レベルが指定された場合の全白表示にする場合とを、連続する 4 フレームで示す図である。なお、図において、4 フレームは、時間の順で第 1 フレーム、第 2 フレーム、第 3 フレームおよび第 4 フレームである。4 フレームのうち、第 1 フレームおよび第 3 フレームが奇数フレーム (V_odd) であり、第 2 フレームおよび第 4 フレームが偶数フレーム (V_even) である。

【0086】

比較例において、全黒表示にする場合、全行においてリセット動作が行われる (リセット: 有) ので、黒浮きが発生しない。ただし、リセット動作によって容量素子 70 および寄生容量 72 によって電力が消費される。

10

【0087】

これに対し、実施形態では、全黒表示にする場合、奇数フレーム (V_odd) では、奇数行でリセット動作が行われ、偶数行で非リセット動作が行われる (リセット: 無)。このため、奇数行では黒浮きが発生しないが、偶数行で黒浮きが発生する。なお、黒浮きは、図 13 において、ハッチングが付された領域として表記される。

実施形態では、全黒表示にする場合、偶数フレーム (V_even) において奇数行で非リセット動作が行われ、偶数行でリセット動作が行われる。このため、奇数行では黒浮きが発生するが、偶数行で黒浮きが発生しない。

実施形態において、黒浮きは、1 つのフレームでみれば、行毎に発生するので、奇数行と偶数行とで差が生じる。しかしながら、黒浮きは、奇数フレーム (V_odd) と偶数フレーム (V_even) とで交互に発生するので、2 フレーム期間を通してみれば、奇数行と偶数行とで差が生じないので、黒浮きとして視認されにくくすることができる。

20

実施形態では、1 つのフレームでみれば、全行のうち、半分の行で、非リセット動作が行われるので、容量素子 70 および寄生容量 72 によって消費される電力を、比較例と比べて抑えることができる。

【0088】

なお、全白表示にする場合、比較例では、全行においてリセット動作が行われるので、黒浮きに起因する悪影響は発生しない。

一方、実施形態では、全白表示にする場合、奇数行または偶数行のいずれかの一方の行でリセット動作が行われない。リセット動作が行われない行では黒浮きが発生するが、そもそも明るい輝度で発光している状態で少し明るい輝度で発光しても、その差を視認することができない。

30

したがって、全白表示にする場合、比較例および実施形態において、表示に差が発生しないが、実施形態では、全行のうち、半分の行で、リセット動作が行われないので、容量素子 70 および寄生容量 72 によって消費される電力を抑えることができる。

【0089】

上述した実施形態では、以下のように種々の変形または応用が可能である。

【0090】

実施形態では、水平走査期間を奇数行と偶数行とで 1 行毎に分けた構成としたが、この構成に限られない。例えば連続する 2 以上の行毎に分けた構成としてもよい。

40

【0091】

実施形態等において、発光素子の一例として OLED 130 を例示して説明したが、他の発光素子を用いてもよい。例えば発光素子として LED を用いてもよいし、照明機構を併用した液晶素子であってもよい。すなわち、発光素子としては、データ線 14 の電圧に応じた光学状態になる電気光学素子であればよい。

実施形態等では、DA 変換回路 500 として 10 ビットの変換例を示したが、これに限られない。

【0092】

トランジスタ 64、82、84、86、121 ~ 124 等のチャネル型は、実施形態等に限定されない。また、これらのトランジスタ等は、適宜チャネルを変更してもよい

50

し、適宜トランスマッションゲートに置き換えてもよい。

【0093】

次に、実施形態等に係る電気光学装置10を適用した電子機器について説明する。電気光学装置10は、画素が小サイズで高精細な表示な用途に向いている。そこで、電子機器として、ヘッドマウントディスプレイを例に挙げて説明する。

【0094】

図14は、ヘッドマウントディスプレイの外観を示す図であり、図15は、その光学的な構成を示す図である。

まず、図14に示されるように、ヘッドマウントディスプレイ300は、外観的には、一般的な眼鏡と同様にテンプル310や、ブリッジ320、レンズ301L、301Rを有する。また、ヘッドマウントディスプレイ300は、図15に示されるように、ブリッジ320近傍であってレンズ301L、301Rの奥側(図において下側)には、左眼用の電気光学装置10Lと右眼用の電気光学装置10Rとが設けられる。

電気光学装置10Lの画像表示面は、図15において左になるように配置している。これによって電気光学装置10Lによる表示画像は、光学レンズ302Lを介して図において9時の方向に出射する。ハーフミラー303Lは、電気光学装置10Lによる表示画像を6時の方向に反射させる一方で、12時の方向から入射した光を透過させる。電気光学装置10Rの画像表示面は、電気光学装置10Lとは反対の右になるように配置している。これによって電気光学装置10Rによる表示画像は、光学レンズ302Rを介して図において3時の方向に出射する。ハーフミラー303Rは、電気光学装置10Rによる表示画像を6時方向に反射させる一方で、12時の方向から入射した光を透過させる。

【0095】

この構成において、ヘッドマウントディスプレイ300の装着者は、電気光学装置10L、10Rによる表示画像を、外の様子と重ね合わせたシースルー状態で観察することができる。

また、このヘッドマウントディスプレイ300において、視差を伴う両眼画像のうち、左眼用画像を電気光学装置10Lが表示し、右眼用画像を電気光学装置10Rが表示すると、装着者に、表示された画像があたかも奥行きや立体感を持つかのように知覚させることができる。

【0096】

なお、電気光学装置10を含む電子機器については、ヘッドマウントディスプレイ300のほかにも、ビデオカメラやレンズ交換式のデジタルカメラなどにおける電子式ビューファインダー、携帯情報端末、腕時計の表示部、投写式プロジェクターのライトバルブなどにも適用可能である。

【0097】

以上に例示した形態から、例えば以下の態様が把握される。

【0098】

ひとつの態様(態様1)に係る電気光学装置は、データ線と第1走査線とに対応して設けられる第1画素回路と、前記データ線と第2走査線とに対応して設けられる第2画素回路と、前記第1画素回路および前記第2画素回路を制御する制御回路と、

を含み、前記第1画素回路は、二つの電極の間に流れる電流に応じた輝度で発光する第1発光素子と、ゲートノードの電位およびソースノードの電位との電圧に応じた電流を前記第1発光素子に流す第1駆動トランジスターと、を含み、前記第2画素回路は、二つの電極の間に流れる電流に応じた輝度で発光する第2発光素子と、ゲートノードの電位およびソースノードの電位との電圧に応じた電流を前記第2発光素子に流す第2駆動トランジスターと、を含み、前記制御回路は、第1フレームにおいて前記第1走査線が選択される第1水平走査期間のうち、第1書込期間では、前記第1駆動トランジスターのゲートノードに階調レベルに応じた電位を、前記データ線を介して供給し、前記第1書込期間前の第1初期化期間では、第1動作を実行し、前記第2走査線が選択される第2水平走査期間のうち、第2書込期間では、前記第2駆動トランジスターのゲートノードに階調レベル

に応じた電位を、前記データ線を介して供給し、前記第2書込期間前の第2初期化期間では、第2動作を実行し、前記第1動作は、前記二つの電極の一方の電極に、前記階調レベルに応じた電位とは異なる第1電位を、前記データ線を介して供給する動作であり、前記第2動作は、前記データ線の電位と前記一方の電極における電位とを、前記第1電位と第2電位との間の電位にさせる動作であり、前記第2電位は、前記ゲートノードに供給されれば、前記第1駆動トランジスタおよび前記第2トランジスタをオフ状態にさせる電位である。

【0099】

態様1によれば、第1画素回路で第1動作が実行される場合、第2画素回路では第2動作が実行される。第1動作では、データ線の寄生容量における放電量が多くなるのに対し、第2動作では、データ線の寄生容量における放電量が抑えられる。

10

【0100】

なお、奇数フレーム (V_{odd}) が第1フレームの一例であり、 $(i-1)$ 行目の走査線12が第1走査線の一例であり、 i 行目の走査線12が第2走査線の一例である。 $(i-1)$ 行 j 列の画素回路110が第1画素回路の一例であり、 i 行 j 列の画素回路110が第2画素回路の一例である。

LED130が発光素子の一例であり、画素電極131が二つの電極のうち一方の電極の一例であり、トランジスタ121が駆動トランジスタの一例であり、電位 V_{orst} が第1電位の一例であり、電位 V_{el} がオフ電位である第2電位の一例である。電位 V_{el} よりも若干低位の電位、具体的には、オフ状態であれば、第1初期化期間においてオフ電位に保持したデータ線の寄生容量に蓄積された電荷が発光素子における一方の電極に分配された後の電位が、第1電位と第2電位との間の電位の一例である。

20

また、水平走査期間 (H_{odd}) が第1水平走査期間の一例であり、水平走査期間 (H_{even}) が第2水平走査期間の一例である。

【0101】

態様1の具体的な態様2に係る電気光学装置は、一端および他端を有し、一端が前記データ線に電氣的に接続され、他端が前記第1電位の給電線に電氣的に接続された第1スイッチング素子を有し、前記制御回路は、前記第1初期化期間では、前記第1スイッチング素子をオン状態に制御する。

態様2によれば、第1初期化期間において第1スイッチング素子がオン状態になることによってデータ線が第1電位になる。

30

なお、トランジスタ86が第1スイッチング素子の一例である。

【0102】

態様2の具体的な態様3に係る電気光学装置は、一端および他端を有し、一端が前記データ線に電氣的に接続され、他端がオン電位を給電する給電線に電氣的に接続された第2スイッチング素子を有し、前記制御回路は、前記第1初期化期間後であって前記第1書込期間前の第3初期化期間、および、前記第2初期化期間後であって前記第2書込期間前の第4初期化期間では、前記第2スイッチング素子をオン状態に制御し、前記オン電位は、前記ゲートノードに供給されれば、前記第1駆動トランジスタおよび前記第2駆動トランジスタをオン状態にさせる電位である。

40

態様3によれば、第3初期化期間および第4初期化期間において、第2スイッチング素子のオン状態によって、データ線の電位とゲートノードにおける電位が、オン電位になる。

なお、トランジスタ84が第2スイッチング素子の一例である。

【0103】

態様3の具体的な態様4に係る電気光学装置において、前記制御回路は、前記第3初期化期間および第4初期化期間では、前記ゲートノードに前記オン電位を、前記データ線を介して供給し、前記第3初期化期間後であって前記第1書込期間よりも前の第1補償期間、および、前記第4初期化期間後であって前記第2書込期間よりも前の第2補償期間では、前記第1駆動トランジスタのゲートノードおよび前記第2駆動のゲートノードを当該

50

第 1 駆動トランジスタおよび当該第 2 駆動トランジスタの閾値に相当する電位に収束させる。

第 1 (第 2) 補償期間においてゲートノードを第 1 (第 2) 駆動トランジスタの閾値に相当する電位に収束させるためには、当該第 1 (第 2) 補償期間の前に、第 1 (第 2) 駆動トランジスタをオン状態とさせる必要がある。態様 4 によれば、第 1 動作になるデータ線は、第 2 電位から第 1 電位に変化した後、オン電位に変化するので、データ線の寄生容量で電力が消費されるのに対し、第 2 動作になるデータ線は、第 2 電位からオン電位に変化するので、データ線の寄生容量で消費される電力が第 1 動作と比較して抑えられる。

【0104】

態様 1 における別の具体的な態様 5 に係る電気光学装置において、前記制御回路は、前記第 1 フレームに続く第 2 フレームにおいて、前記第 1 初期化期間では前記第 2 動作を実行し、前記第 2 初期化期間では前記第 1 動作を実行する。

態様 5 によれば、第 2 フレームにおいて第 1 動作が行われる走査線と第 2 動作が行われる走査線とが第 1 フレームから入れ替えられて平準化されるので、第 2 動作による表示品位の低下が目立たなくすることができる。

なお、偶数フレーム (V_{even}) が第 2 フレームの一例である。

【0105】

態様 1 の別の具体的な態様 6 において、前記制御回路は、前記第 1 書込期間および前記第 2 書込期間において、前記ゲートノードに階調レベルに応じた電位を、カップリング容量および前記データ線を介して供給する。

態様 6 によれば、データ線の寄生容量のみならず、カップリング容量の放電量についても抑えることができる。なお、容量素子 70 がカップリング容量の一例である。

【0106】

態様 1 の別の具体的な態様 7 において、前記制御回路は、前記第 1 水平走査期間のうち、前記第 1 初期化期間前の第 1 ゲートノード初期化期間において、前記第 1 駆動トランジスタのゲートノードに前記第 2 電位を、前記データ線を介して供給し、前記第 2 水平走査期間のうち、前記第 2 初期化期間前の第 2 ゲートノード初期化期間において、前記第 2 駆動トランジスタのゲートノードに前記第 2 電位を、前記データ線を介して供給する。

【0107】

態様 8 に係る電子機器では、態様 1 乃至 7 のいずれかに係る電気光学装置を含む。

【符号の説明】

【0108】

10 ... 電気光学装置、12 ... 走査線、14 ... データ線、14c ... データ信号出力線、30 ... 制御回路、50 ... データ信号出力回路、60 ... 補助回路、62 ... トランジスタ、70 ... 容量素子、72 ... 寄生容量、80 ... 初期化回路、82、84、86 ... トランジスタ、110 ... 画素回路、120 ... 走査線駆動回路、121 ~ 124 ... トランジスタ、130 ... OLED。

10

20

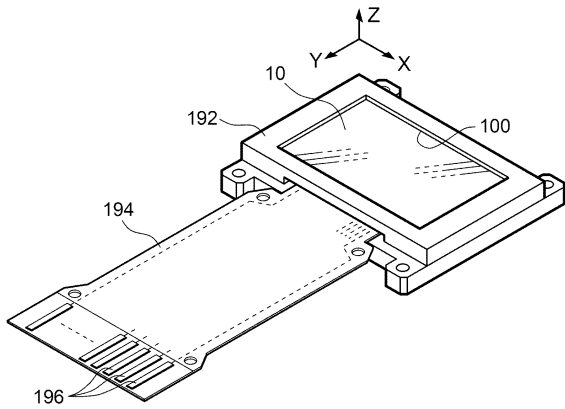
30

40

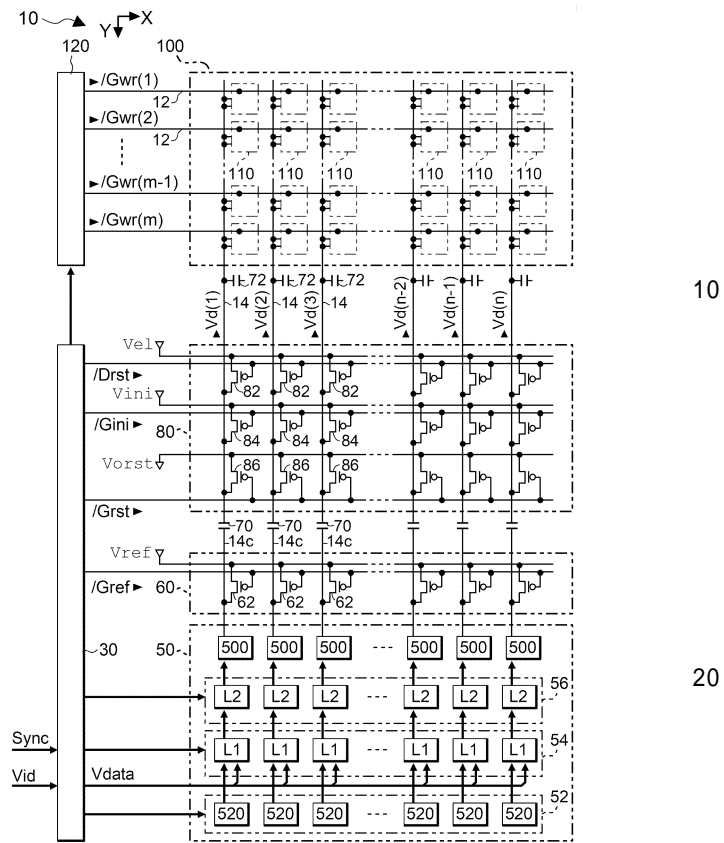
50

【 図面 】

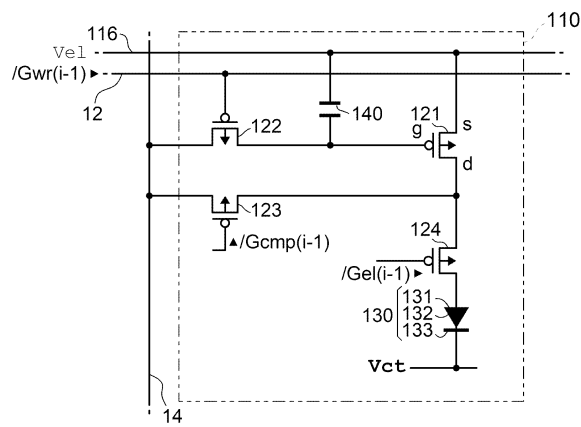
【 図 1 】



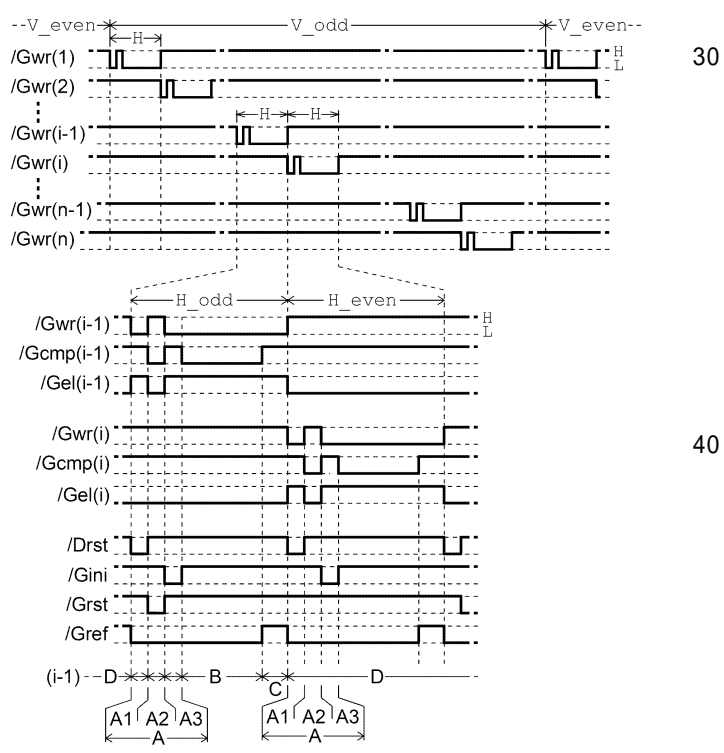
【 図 2 】



【 図 3 】



【 図 4 】



10

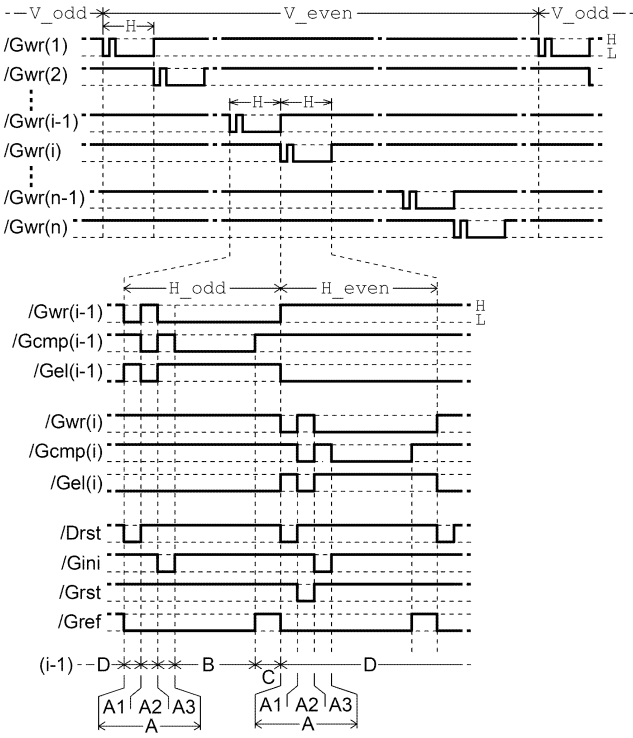
20

30

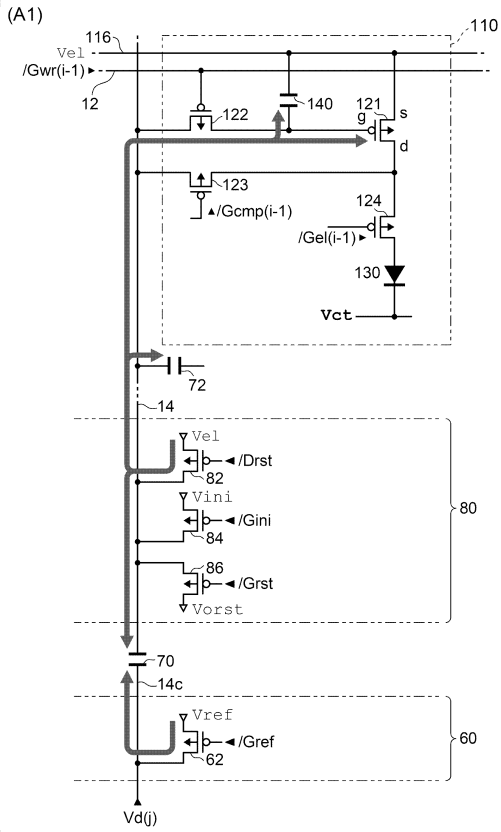
40

50

【 図 5 】



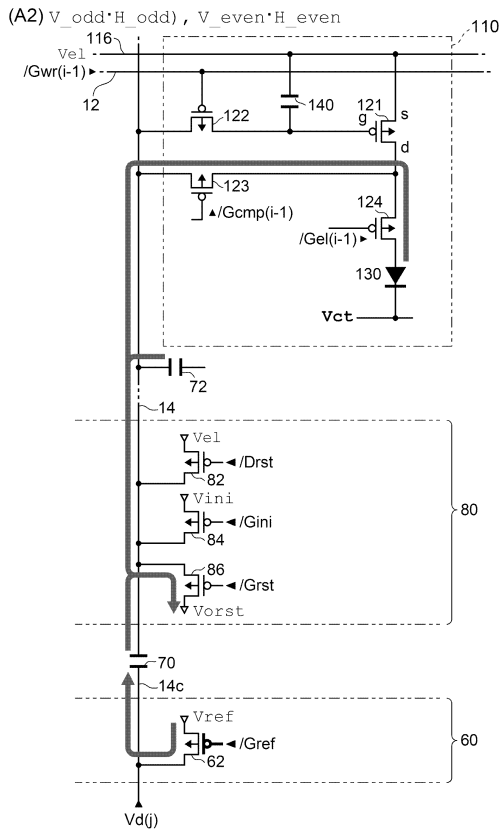
【 図 6 】



10

20

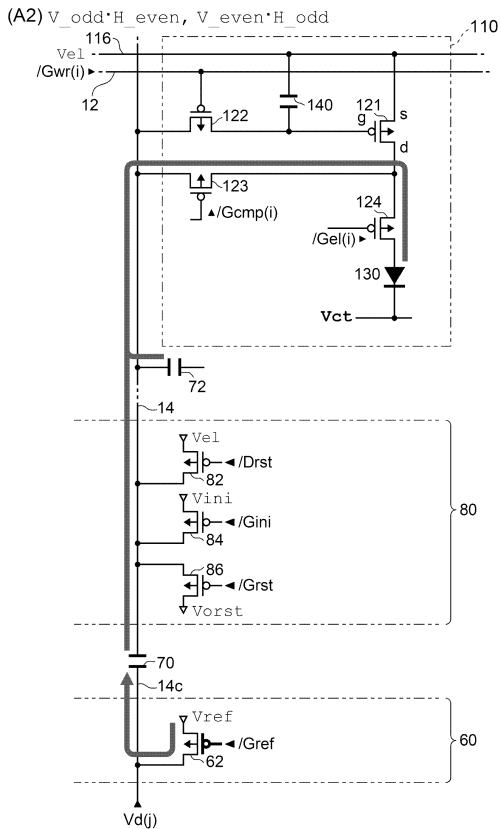
【 図 7 】



30

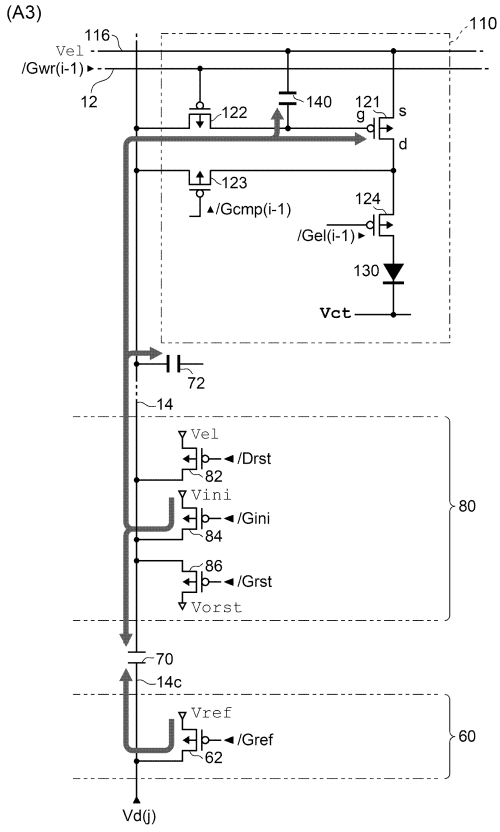
40

【 図 8 】

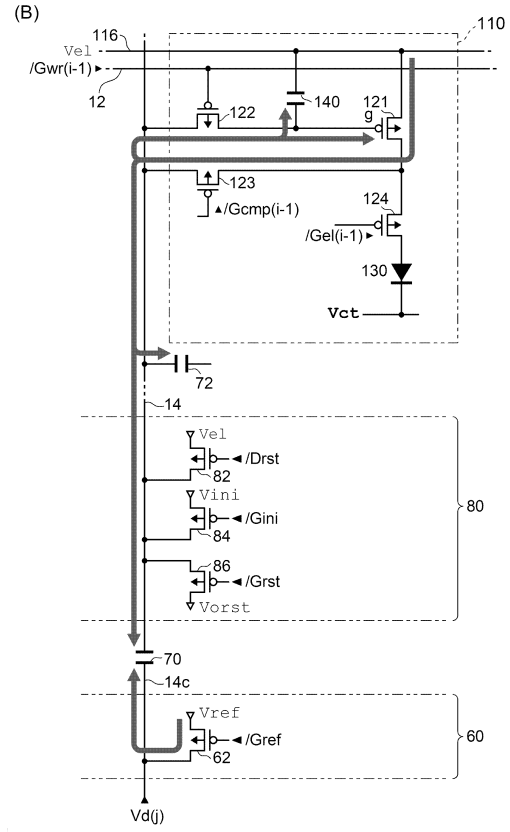


50

【 図 9 】



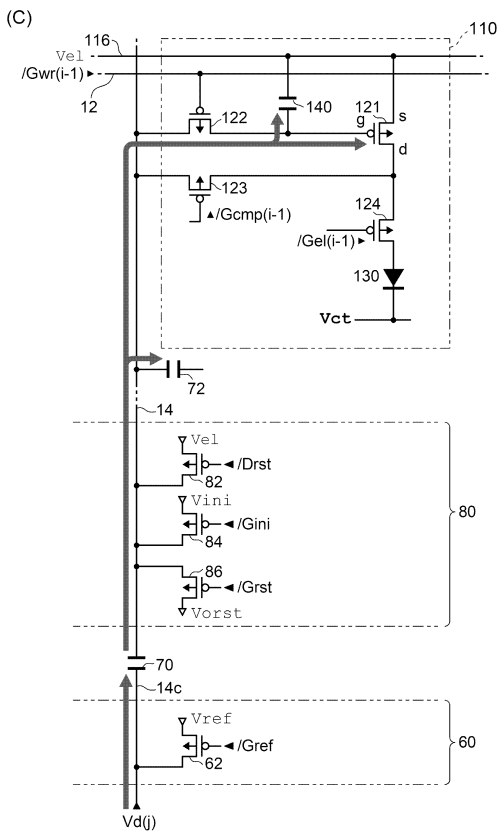
【 図 10 】



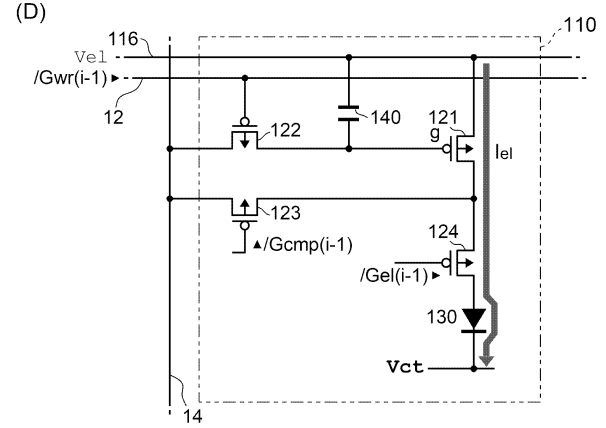
10

20

【 図 11 】



【 図 12 】



30

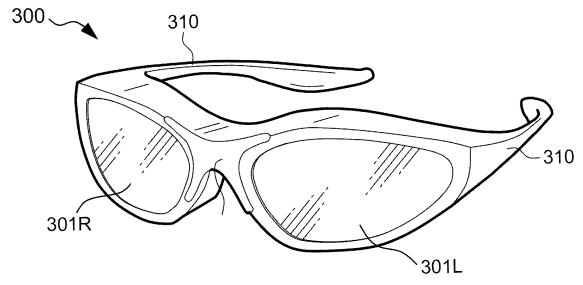
40

50

【 図 1 3 】

第1フレーム 奇数フレーム(V_odd)	リセット	有 有 有 有	無 無 無 無	有 有 有 有	無 無 無 無
	表示	有 有 有 有	無 無 無 無	有 有 有 有	無 無 無 無
第2フレーム 偶数フレーム(V_even)	リセット	有 有 有 有	無 無 無 無	有 有 有 有	無 無 無 無
	表示	有 有 有 有	無 無 無 無	有 有 有 有	無 無 無 無
第3フレーム 奇数フレーム(V_odd)	リセット	有 有 有 有	無 無 無 無	有 有 有 有	無 無 無 無
	表示	有 有 有 有	無 無 無 無	有 有 有 有	無 無 無 無
第4フレーム 偶数フレーム(V_even)	リセット	有 有 有 有	無 無 無 無	有 有 有 有	無 無 無 無
	表示	有 有 有 有	無 無 無 無	有 有 有 有	無 無 無 無
		比較例		比較例	
		全無表示		全白表示	

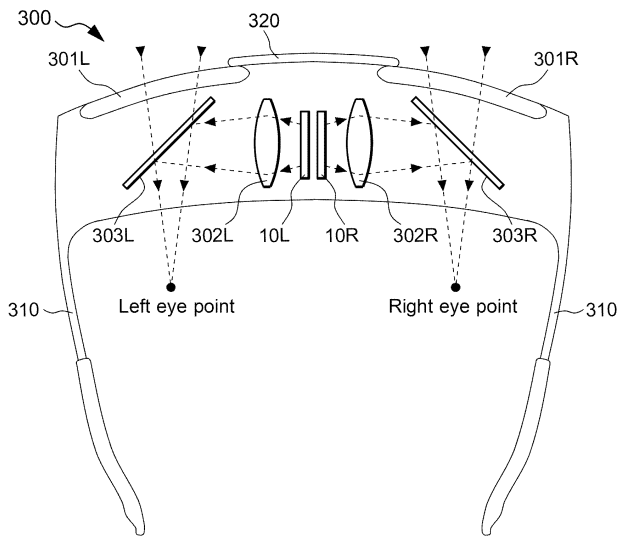
【 図 1 4 】



10

20

【 図 1 5 】



30

40

50

フロントページの続き

(51)国際特許分類

F I

G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 8 0 G
G 0 9 F	9/30	3 3 8
H 1 0 K	50/10	
H 1 0 K	59/12	

テーマコード (参考)

F ターム (参考)

JJ03 JJ04 JJ06

5C094 AA22 BA03 BA27 DB04 EA04

5C380 AA01 AB06 AB34 AB45 AC20 BA01 BA38 BA39 BC01 BC18

BE20 CA32 CA51 CA57 CC07 CC26 CC33 CC39 CC64 CD014 CF09

CF13 CF43 CF46 CF48 DA02 DA32 DA33 DA35 DA47