(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년08월24일
(11) 등록번호 10-1547076
(24) 등록일자 2015년08월18일

(51) 국제특허분류(Int. Cl.)
G11C 7/10 (2015.01) *G11C 16/02* (2006.01)
G11C 8/04 (2015.01)
(21) 출원번호 10-2014-7013416(분할)
(22) 출원일자(국제) 2006년09월29일
심사청구일자 2014년05월23일
(85) 번역문제출일자 2014년05월19일
(65) 공개번호 10-2014-0079845
(43) 공개일자 2014년06월27일
(62) 원출원 특허 10-2011-7022548
원출원일자(국제) 2006년09월29일
심사청구일자 2011년09월26일
(86) 국제출원번호 PCT/CA2006/001607
(87) 국제공개번호 WO 2007/036048
국제공개일자 2007년04월05일
(30) 우선권주장
11/324,023 2005년12월30일 미국(US)
(뒷면에 계속)
(56) 선행기술조사문헌
US20040148482 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
컨버전트 인텔렉츄얼 프로퍼티 매니지먼트 인코포레이티드
캐나다 케이2케이 0지7 온타리오 오타와 마치 로드 390 스위트 100
(72) 발명자
편, 홍, 범
캐나다, 온타리오 케이2엠 2이1, 카나타, 리버그린 크레센트 16
김, 진기
캐나다, 온타리오 케이2케이 3에이치6, 카나타, 아이언사이드 코트 46
오, 학준
캐나다, 온타리오 케이2티 1제이3, 카나타, 캠비어 크레센트 21
(74) 대리인
한양특허법인

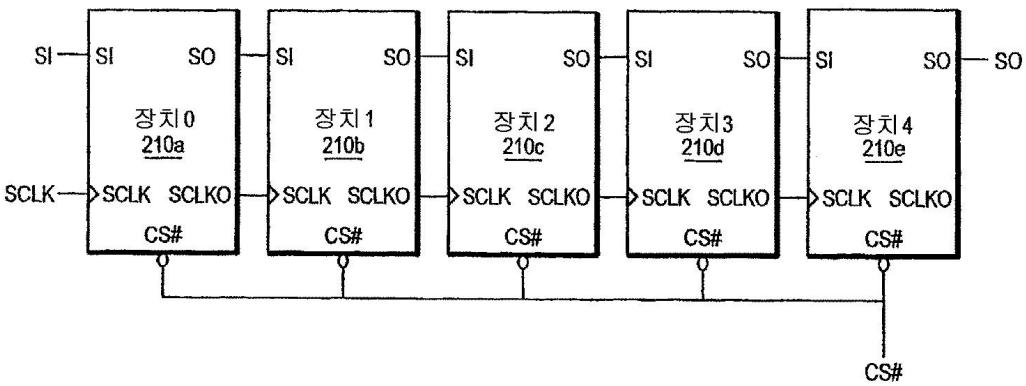
전체 청구항 수 : 총 16 항 심사관 : 손윤식

(54) 발명의 명칭 **데이지 체인 캐스케이딩 장치**

(57) 요 약

본 발명은 데이지 체인 캐스케이딩 배열로 장치들을 직렬로 연결하는 기술을 제공한다. 장치들은 데이지 체인 캐스케이드 배열로 연결되어, 제1 장치의 출력들이 데이지 체인 내의 더 뒤의 제2 장치의 입력들에 연결되어, 데이터, 어드레스 및 커맨드 정보와 같은 정보의 전송을 조절하고, 제1 장치로부터 제2 장치로의 신호들을 제어한다. 데이지 체인으로 연결된 장치들은 직렬 입력(SI) 및 직렬 출력(SO)을 포함한다. 정보가 SI를 통해 장치에 입력된다. 정보는 SO를 통해 장치로부터 출력된다. 데이지 체인 케스케이드 내의 더 앞의 장치의 SO가 데이지 체인 캐스케이드 내의 더 뒤의 장치의 SI에 연결된다. 장치들의 SI를 통해 더 앞의 장치로 입력된 정보가 장치를 통과하여 장치들의 SO를 통해 장치로부터 출력된다. 정보는 그 후 더 뒤의 장치의 SI 및 더 앞의 장치의 SO로부터의 접속을 통해 더 뒤의 SI에 전송된다.

대 표 도



(30) 우선권주장
11/496,278 2006년07월31일 미국(US)
60/722,368 2005년09월30일 미국(US)
60/787,710 2006년03월28일 미국(US)

특허청구의 범위

청구항 1

제1 메모리 장치 및 제2 메모리 장치를 포함하는 데이지 체인 캐스케이드 배열로 구성된 복수의 장치를 갖는 장치에 있어서,

상기 제1 메모리 장치는,

(a) 메모리,

(b) 상기 메모리 내의 메모리 위치에 관련된 어드레스 정보를 수신하는 제1 입력,

(c) 상기 어드레스 정보를 수신하기 위하여 상기 제1 입력을 인에이블 시키는데 사용되는 제1 입력 인에이블 신호를 수신하는 제1 제어 입력,

(d) 지속 시간(duration of time) 동안 제1 로직 레벨로 설정된 제1 출력 인에이블 신호를 수신하는 제 2 제어 입력,

(e) 상기 지속 시간 동안 상기 제1 로직 레벨에 있는 상기 제1 출력 인에이블 신호에 응답하여 상기 메모리 내의 상기 메모리 위치에 포함된 제1 출력 데이터를 제공하는 제1 출력,

(f) 상기 제1 입력 인에이블 신호에 응답하여 제2 입력 인에이블 신호를 제공하는 제1 제어 출력,

(g) 상기 제1 출력 인에이블 신호에 응답하여 제2 출력 인에이블 신호를 제공하는 제2 제어 출력 - 상기 제2 출력 인에이블 신호는 상기 지속 시간 동안 상기 제1 로직 레벨에 있음 - ,

을 포함하고,

상기 제2 메모리 장치는,

(a) 상기 제1 메모리 장치로부터 상기 제2 입력 인에이블 신호를 수신하는 제1 제어 입력,

(b) 수신된 상기 제2 입력 인에이블 신호에 응답하여 상기 제1 메모리 장치로부터 제공된 상기 제1 출력 데이터를 수신하는 제1 입력,

(c) 상기 제1 메모리 장치로부터 상기 제2 출력 인에이블 신호를 수신하는 제2 제어 입력,

(d) 상기 지속 시간 동안 상기 제1 로직 레벨에 있는 수신된 상기 제2 출력 인에이블 신호에 응답하여 후속 장치(subsequent device)로 제2 출력 데이터를 출력하도록 구성되는 제1 출력,

을 포함하며,

상기 제2 출력 데이터는 상기 제2 메모리 장치의 상기 제1 입력에 의해 수신된 상기 제1 출력 데이터 및 상기 제2 메모리 장치에 의하여 제공된 데이터 중 어느 하나인, 데이지 체인 캐스케이드 배열로 구성된 복수의 장치를 갖는 장치.

청구항 2

청구항 1에 있어서,

상기 제1 출력 데이터는 상기 제1 메모리 장치의 상기 제1 출력으로부터 상기 제2 메모리 장치의 상기 제1 입력으로 전송된 데이터를 포함하는, 데이지 체인 캐스케이드 배열로 구성된 복수의 장치를 갖는 장치.

청구항 3

청구항 1에 있어서,

상기 제1 메모리 장치 및 상기 제2 메모리 장치 각각은 클록 신호를 수신하는 제3 제어 입력을 포함하는, 데이지 체인 캐스케이드 배열로 구성된 복수의 장치를 갖는 장치.

청구항 4

청구항 3에 있어서,

상기 제1 메모리 장치는, 수신된 상기 클록 신호에 따라 상기 제1 메모리 장치의 상기 메모리에서 상기 제1 메모리 장치의 상기 제1 출력으로 판독 데이터를 전송하도록 구성되는 데이터 전송로(data transfer path)를 포함하며, 상기 제1 출력 데이터는 상기 판독 데이터에 상응하는, 데이지 체인 캐스케이드 배열로 구성된 복수의 장치를 갖는 장치.

청구항 5

청구항 3에 있어서,

상기 제2 메모리 장치는, 수신된 상기 클록 신호에 따라 상기 제2 메모리 장치의 상기 제1 입력에 의하여 수신된 상기 제1 출력 데이터를 상기 제2 메모리 장치의 상기 제1 출력으로 전송하도록 구성되는 데이터 전송로(data transfer path)를 포함하는, 데이지 체인 캐스케이드 배열로 구성된 복수의 장치를 갖는 장치.

청구항 6

청구항 5에 있어서,

상기 제1 메모리 장치는, 상기 클록 신호를 상기 제1 메모리 장치에서 상기 제2 메모리 장치로 전송하는 상기 제2 메모리 장치의 제3 제어 입력에 연결되는, 제3 제어 출력을 갖는, 데이지 체인 캐스케이드 배열로 구성된 복수의 장치를 갖는 장치.

청구항 7

청구항 1에 있어서,

상기 후속 장치는 제3 메모리 장치 및 메모리 제어기 중 어느 하나를 포함하는, 데이지 체인 캐스케이드 배열로 구성된 복수의 장치를 갖는 장치.

청구항 8

청구항 1에 있어서,

상기 제1 메모리 장치는, 상기 제1 입력 및 상기 메모리에 연결된 페이지 버퍼 중 어느 하나를 상기 제1 출력에 선택적으로 연결하는 셀렉터를 포함하고, 상기 페이지 버퍼는 상기 메모리 위치에 포함된 상기 데이터를 저장하는, 데이지 체인 캐스케이드 배열로 구성된 복수의 장치를 갖는 장치.

청구항 9

청구항 5에 있어서,

상기 제2 메모리 장치의 상기 데이터 전송로는, 상기 제2 메모리 장치의 상기 제1 입력에 의하여 수신된 상기 제1 출력 데이터 및 상기 제2 메모리 장치에 의하여 제공된 상기 데이터 중 어느 하나를 상기 제2 메모리 장치의 상기 제1 출력으로 전송하는 내부 회로를 갖는, 데이지 체인 캐스케이드 배열로 구성된 복수의 장치를 갖는 장치.

청구항 10

청구항 9에 있어서,

상기 내부 회로는 입력 회로 및 출력 회로를 포함하고,

상기 입력 회로는 상기 제2 메모리 장치의 메모리로부터 상기 데이터를 제공하도록 구성되며,

상기 출력 회로는 상기 제2 메모리 장치의 상기 제1 출력으로 상기 데이터를 상기 제2 출력 데이터로서 제공하도록 구성되는, 데이지 체인 캐스케이드 배열로 구성된 복수의 장치를 갖는 장치.

청구항 11

청구항 10에 있어서,

상기 입력 회로는, 상기 제1 출력 데이터를 버퍼링된 데이터로서 버퍼링하는 입력 버퍼를 갖고,

상기 출력 회로는, 상기 제2 메모리 장치의 상기 제1 출력으로 상기 버퍼링된 데이터를 상기 제2 출력 데이터로서 수신하고 제공하는 출력 버퍼를 갖는, 데이지 체인 캐스케이드 배열로 구성된 복수의 장치를 갖는 장치.

청구항 12

데이지 체인 캐스케이드 배열로 구성된 복수의 장치로부터 데이터를 판독하는 방법에 있어서,

제1 메모리 장치에 포함된 메모리의 메모리 위치에 관련된 어드레스 정보를 제1 메모리 장치의 제1 입력에 입력하는 단계;

상기 제1 메모리 장치의 상기 제1 입력에 입력되는 상기 어드레스 정보를 인에이블 시키는데 사용되는 제1 입력 인에이블 신호를 상기 제1 메모리 장치의 제1 제어 입력에 입력하는 단계;

상기 제1 메모리 장치의 제1 제어 출력으로부터 제2 입력 인에이블 신호를 출력하는 단계;

제2 메모리 장치의 제1 제어 입력에서 상기 제2 입력 인에이블 신호를 수신하는 단계;

상기 메모리 위치에서 상기 제1 메모리 장치에 포함된 메모리 내의 데이터를 액세스하는 단계;

지속 시간(duration of time) 동안 제1 로직 레벨로 설정된 제1 출력 인에이블 신호를 상기 제1 메모리 장치의 제2 제어 입력에 입력하는 단계;

상기 제1 메모리 장치의 제1 출력으로부터 상기 지속 시간 동안 상기 제1 로직 레벨에 있는 상기 제1 출력 인에이블 신호에 응답하여 상기 액세스된 데이터를 출력하는 단계;

상기 제1 메모리 장치의 제2 제어 출력으로부터 상기 제1 출력 인에이블 신호에 응답하여 상기 지속 시간 동안 상기 제1 로직 레벨로 설정된 제2 출력 인에이블 신호를 출력하는 단계;

상기 제2 메모리 장치의 제1 입력으로 상기 제1 메모리 장치의 상기 제1 출력으로부터 제공된 액세스된 상기 데이터를 수신하는 단계;

상기 제2 메모리 장치의 제2 제어 입력으로 상기 제2 출력 인에이블 신호를 수신하는 단계; 및

상기 제2 출력 인에이블 신호에 응답하여 상기 제2 메모리 장치의 제1 출력으로부터 후속 장치(subsequent device)로 출력 데이터를 제공하는 단계 - 상기 출력 데이터는 액세스된 상기 데이터 및 상기 제2 메모리 장치에 의하여 제공된 데이터 중 어느 하나임 - ;

를 포함하는, 데이지 체인 캐스케이드 배열로 구성된 복수의 장치로부터 데이터를 판독하는 방법.

청구항 13

청구항 12에 있어서,

상기 어드레스 정보는, 상기 제2 입력 인에이블 신호에 응답하여 상기 제2 메모리 장치의 상기 제1 입력에서 수신되는, 데이지 체인 캐스케이드 배열로 구성된 복수의 장치로부터 데이터를 판독하는 방법.

청구항 14

청구항 12에 있어서,

클록 신호를 상기 제1 메모리 장치 및 상기 제2 메모리 장치에 연결하는 단계를 더 포함하며,

상기 클록 신호는 상기 제1 메모리 장치에서 상기 제2 메모리 장치로의 액세스된 상기 데이터의 전송을 수용하기 위하여 상기 제1 메모리 장치 및 상기 제2 메모리 장치에 의하여 사용되는, 데이지 체인 캐스케이드 배열로 구성된 복수의 장치로부터 데이터를 판독하는 방법.

청구항 15

청구항 14에 있어서,

상기 클록 신호는, 상기 제1 메모리 장치의 제3 제어 출력으로부터 상기 제2 메모리 장치의 제3 제어 입력으로 연결되는, 데이지 체인 캐스케이드 배열로 구성된 복수의 장치로부터 데이터를 판독하는 방법.

청구항 16

청구항 12에 있어서,

액세스된 상기 데이터는, 상기 제1 메모리 장치의 상기 제1 출력에서 상기 제2 메모리 장치의 제1 입력으로 전송되는, 데이지 체인 캐스케이드 배열로 구성된 복수의 장치로부터 데이터를 판독하는 방법.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

명 세 서

기 술 분 야

[0001] 본 발명은 데이지 체인 케스케이딩 장치에 관한 것이다.

배 경 기 술

[0002] 현재의 컴퓨터 기반 시스템들은 거의 어디에서나 찾아볼 수 있고, 셀 폰, 휴대용 컴퓨터, 자동차, 의료 장치, 퍼스널 컴퓨터 등과 같은 매일 사회적으로 사용되는 다수의 장치로의 진출이 행해져 왔다. 일반적으로, 체크북(checkbook)의 밸런싱(balancing) 같은 간단한 태스크(task)와 같은 일상의 태스크 내지 날씨를 예측하는 것과 같은 비교적 복잡한 태스크를 다루기 위해 컴퓨터 기반 시스템에 매우 의존하는 사회가 존재해왔다. 기술이 향상됨에 따라, 더욱 많은 태스크가 컴퓨터 기반 시스템으로 이동된다. 이것은 차례로, 사회가 더욱더 이들 시스템에 의존하게 되도록 한다.

[0003] 전형적인 컴퓨터 기반 시스템은 시스템 보드, 및 옵션으로 디스플레이 유닛, 저장 유닛 등과 같은 하나 이상의 주변 장치를 포함한다. 시스템 보드는 하나 이상의 프로세서, 메모리 서브시스템, 및 직렬 장치 인터페이스, 네트워크 장치 제어기, 하드 디스크 제어기 등과 같은 다른 로직을 포함할 수 있다.

[0004] 특정 시스템 보드에 채용되는 프로세스의 타입은 일반적으로, 시스템에 의해 실행되는 태스크의 타입에 의존한다. 예를 들면, 자동차 엔진에 의해 생성되는 배출물을 모니터하고 엔진이 연료를 완전히 연소되게 하도록 공기/연료 혼합물을 조정하는 것과 같은 제한된 세트의 태스크를 실행하는 시스템은, 이들 태스크를 실행하는 데 맞추어진 간단한 특정화된 프로세서를 채용할 수 있다. 한편, 다수의 사용자를 관리하고 다수의 상이한 애플리케이션을 실행하는 것과 같은 다수의 상이한 태스크를 실행하는 시스템은, 고속 계산을 실행하고 사용자의 요구에 대해 서비스하는 응답 시간을 최소화하도록 데이터를 조작하게끔 구성된, 사실상 범용인 하나 이상의 복잡한 프로세서를 채용할 수 있다.

[0005] 메모리 서브시스템은 프로세서에 의해 사용되는 정보(예컨대, 지시, 데이터 값)을 유지하는 저장장치이다. 메모리 서브시스템은 일반적으로, 제어기 로직 및 하나 이상의 메모리 장치를 포함한다. 제어기 로직은 일반적으로, 프로세서들과 메모리 장치들을 인터페이스하여, 프로세서들이 메모리 장치들에/로부터 정보를 저장 및 검색하도록 인에이블시킨다. 메모리 장치는 실제의 정보를 유지한다.

[0006] 프로세서와 같이, 메모리 서브시스템에 채용되는 장치들의 타입은 종종 컴퓨터 시스템에 의해 실행되는 태스크의 타입에 의해 도출된다. 예를 들면, 컴퓨터 시스템은 디스크 드라이브의 도움 없이 부트하여 변하지 않는 소프트웨어 루틴의 세트를 실행해야 하는 태스크를 가질 수 있다. 여기에서, 메모리 서브시스템은 플래시 메모리 장치와 같은 비휘발성 장치를 채용하여 소프트웨어 루틴을 저장할 수 있다. 다른 컴퓨터 시스템은 큰 부분의 정보를 유지하도록 대형 고속 데이터 저장장치를 필요로 하는 매우 복잡한 태스크를 실행할 수 있다. 여기에서, 메모리 서브시스템은 큰 부분의 정보를 저장하기 위해 고속 고밀도 동적 랜덤 액세스 메모리(DRAM)을 채용할 수도 있다.

[0007] 현재, 하드 디스크 드라이브는 20~40 기가바이트의 데이터를 저장할 수 있는 고밀도를 갖지만, 비교적 부피가 크다. 그러나, 고체 드라이브라고도 알려진 플래시 메모리는 하드 디스크 드라이브에 비해 고밀도, 비휘발성 및 작은 사이즈로 인해 인기가 있다. 플래시 메모리 기술은 EPROM 및 EEPROM 기술에 의거한다. 용어 "플래시"는 EEPROM와 구별되는 바와 같이 한번에 다수의 메모리 셀이 소거될 수 있기 때문에 선택되었으며, 각 바이트가 개별적으로 소거되었다. 멀티 레벨 셀(MLC)의 출현은 단일 레벨 셀에 비해 플래시 메모리 밀도를 더욱 증가시킨다. 당업자는 플래시 메모리가 NOR 플래시 또는 NAND 플래시로서 구성될 수 있음을 이해할 것이고, NAND 플래시가 더욱 간단한 메모리 어레이 구조로 인해 소정 면적당의 더 높은 밀도를 갖는다. 더욱 논의할 목적으로, 플래시 메모리에 대한 언급은 NOR 또는 NAND 또는 다른 타입의 플래시 메모리 어느 것으로서 이해되어야 한다.

[0008] 메모리 서브시스템 내의 장치들은 종종, 병렬 상호접속 스킴(scheme)을 사용하여 상호접속된다. 이 스킴은 어드레스 및 데이터 정보 및 제어 신호들이 병렬식으로 장치들에 연결되는 방식으로 장치들을 상호접속하는 것을 포함한다. 각 장치는, 장치들로의 데이터 및 어드레스 정보뿐만 아니라 제어 신호의 병렬 전송을 조정하도록 복수의 입력/출력을 통합할 수 있다.

발명의 내용

해결하려는 과제

[0009] 메모리 서브시스템에서 병렬 상호접속을 이용하는 것과 관련한 하나의 결점은 정보 및 신호들을 장치들에 병렬로 전송하기 위해 장치들 간에 다수의 상호접속이 필요한 경향이 있다는 것이다. 이것은 이들 서브시스템을 구

현하는 보드의 복잡성을 더한다. 또한, 혼선과 같은 다수의 상호접속과 관련된 불필요한 영향이 이들 서브시스템의 성능을 제한하기 쉽다. 더욱이, 이들 서브시스템에 통합되어 있는 장치들의 수가 상호접속에 의해 반송되는 신호들의 전달 지연으로 인해 제한될 수도 있다.

과제의 해결 수단

[0010] 여기에 설명한 기술들은 병렬 상호접속 구현예들보다 더 적고 더 짧은 접속을 채용하는 직렬 데이지 체인 캐스케이딩 배열로 장치들을 연결하는 기술을 제공함으로써 상기 결점을 극복한다. 데이지 체인 배열로 장치들을 구성하면, 더 적고 더 짧은 상호접속을 이용하는 것이 전체 구현을 전파 지연 및 혼선과 같은 불필요한 영향에 상처를 덜 받게 하기 때문에, 병렬 상호접속 구현예들보다 더 고속으로 장치들이 동작될 수 있게 할 수 있다. 또한, 더 적고 더 짧은 접속이 구현의 복잡성을 감소시키기 쉽다. 이러한 감소된 복잡성은 또한, 장치들을 포함하는 서브시스템이 더 작은 면적으로 구현되도록 인에이블시켜, 서브시스템이 더 작은 풋프린트를 점유하게 한다.

[0011] 여기에 설명한 기술들의 양태에 따르면, 장치들이 데이지 체인 캐스케이드 배열로 연결되어, 데이지 체인 캐스케이드 내의 더 앞의 장치의 출력들이 데이지 체인 내의 더 뒤의 다음의 장치의 입력들에 연결되어, 더 앞의 장치로부터 더 뒤의 장치로의 정보(예컨대, 데이터, 어드레스 및 커맨드 정보) 및 제어 신호(예컨대, 인에이블 신호)의 전송을 조정한다.

[0012] 기술들의 일 실시예에서, 데이지 체인 캐스케이드 내의 각 장치는 직렬 입력(SI) 및 직렬 출력(SO)을 포함한다. 정보가 장치의 SI를 통해 장치에 입력된다. 유사하게, 정보는 장치의 SO를 통해 장치로부터 출력된다. 데이지 체인 케스케이드 내의 장치의 SO는 데이지 체인 캐스케이드 내의 다음의 장치의 SI에 연결된다. 장치의 SI를 통해 데이지 체인 캐스케이드 내의 더 앞의 장치로 입력된 정보가 장치를 통과하여 장치의 SO를 통해 장치로부터 출력되도록 인에이블시키기 위해 장치들 내에 회로가 제공된다. 정보는 그 후 다음의 장치의 SI와 더 앞의 장치의 SO 사이의 접속을 통해 데이지 체인 캐스케이드 내의 다음의 SI에 전송된다. 전송된 정보는 장치의 SI를 통해 다음의 장치에 입력될 수도 있다.

[0013] 또한, 클록 신호가 데이지 체인 캐스케이드 내의 장치들에 연결된다. 클록 신호는 데이지 체인 캐스케이드 내의 하나의 장치에서 다음의 장치로의 정보의 전송을 조정하도록 장치들에 의해 사용된다.

[0014] 여기에 설명된 기술들의 다른 양태에 따르면, 예컨대, 데이터를 SI를 통해 장치에 입력되게 그리고 SO를 통해 장치로부터 출력되게 인에이블시키기 위해 장치에 의해 이용되는 제어 신호(예컨대, 인에이블 신호)가 상술한 바와 같이, 데이지 체인 캐스케이드 내의 장치들 간에 전송된다. 여기에서, 데이지 체인 캐스케이드 내의 더 앞의 장치로 입력된 제어 신호가 장치를 통해 전달되어 장치로부터 출력을 통해 데이지 체인 캐스케이드 내의 다음의 장치의 입력으로 전송되도록 인에이블시키기 위해 회로가 제공된다. 전송된 제어 신호는 그 후 입력을 통해 다음의 장치에 입력된다.

[0015] 본 발명의 원리들에 따르면, 플래시 메모리 시스템이 복수의 직렬로 접속된 플래시 메모리 장치를 가질 수 있다. 그 시스템의 플래시 메모리 장치는 직렬 입력 데이터 포트 및 직렬 데이터 출력 포트를 갖는 직렬 데이터 링크 인터페이스, 제1 입력 인에이블 신호를 수신하는 제어 입력 포트, 및 제2 입력 인에이블 신호를 송신하는 제어 출력 포트를 포함할 수 있다. 입력 인에이블 신호는 직렬 데이터 링크 인터페이스와 메모리 뱅크 간의 데이터 전송을 제어하는 회로에 사용된다. 플래시 메모리 장치는 외부 소스로부터 직렬 입력 데이터 및 제어 신호를 수신하고, 외부 장치에 데이터 및 제어 신호를 제공하도록 구성된다. 외부 소스 및 외부 장치는 시스템 내의 다른 메모리 장치들일 수도 있다. 본 발명의 실시예에서는, 장치들이 시스템 내에서 직렬로 캐스케이드되어 있을 때, 그들 장치는 수신된 IPE 및 OPE 신호를 외부 장치로 "반향하는(echo)" 출력 제어 포트를 더 가질 수 있다. 이로 인해, 시스템이 데이지 체인 캐스케이딩 스킴(대 브로드캐스팅/멀티드롭 캐스케이딩 스킴)을 형성하도록 포인트간 접속된 신호 포트를 갖는다.

[0016] 이들 시스템은, 제한된 하드웨어 물리 장치 선택 핀들을 사용하는 것보다는, 전체 시스템이 시스템의 전체 성능을 희생하지 않고 메모리 밀도의 점에서 쉽게 가능한 많이 팽창할 수 있게 하기 위해, 고유 장치 식별 및 타깃 장치 선택 어드레스 스킴을 사용할 수 있다. 본 발명의 일부 실시예에서, 각각의 플래시 메모리 장치는 고유 장치 식별자를 포함할 수 있다. 장치들은 직렬 입력 데이터 내의 타깃 장치 정보 필드를 파싱(parsing)하여, 타깃 장치 정보와 장치의 고유 장치 식별 번호를 상관시켜 장치가 타깃 장치인지를 판정하도록 구성될 수 있다. 장치는 수신된 임의의 부가 입력 데이터를 처리하기 전에 타깃 장치 정보 필드를 파싱할 수도 있다. 메모리 장치가 타깃 장치가 아니면, 직렬 입력 데이터를 무시할 수 있으므로, 부가적인 처리 시간 및 자원을 절감할 수

있다.

[0017] 이상의 설명은, 같은 참조 문자가 다른 도면에 걸쳐 동일한 부분을 언급하는 첨부하는 도면에 예시된 바와 같이, 발명의 아래의 예시적인 실시예의 더욱 특별한 설명으로부터 명백해질 것이다. 도면들은, 반드시 축소, 강조하기 위한 것은 아니고, 그 대신에 본 발명의 실시예들을 예시하기 위한 것이다.

도면의 간단한 설명

[0018] 도 1은 직렬 데이지 체인 캐스케이드 배열로 구성된 복수의 단일 포트 장치를 포함하는 예시적인 장치 구성의 블록도이다.

도 2는 캐스케이드된 클록을 갖는 직렬 데이지 체인 캐스케이드 배열로 구성된 복수의 단일 포트 장치를 포함하는 예시적인 장치 구성의 블록도이다.

도 3은 직렬 데이지 체인 캐스케이드 배열로 구성된 복수의 이중 포트 장치를 포함하는 예시적인 장치 구성의 블록도이다.

도 4는 여러 가지 인에이블 신호용의 입력 및 출력을 갖는 직렬 데이지 체인 배열로 구성된 복수의 단일 포트 장치를 포함하는 예시적인 장치 구성의 블록도이다.

도 5는 여러 가지 인에이블 신호용으로 구성된 입력 및 출력을 갖는 직렬 데이지 체인 배열로 구성된 이중 포트 장치를 포함하는 예시적인 장치 구성의 블록도이다.

도 6은 직렬 데이지 체인 캐스케이딩 배열로 구성되는 복수의 직렬 입력 및 복수의 직렬 출력을 갖는 복수의 장치를 포함하는 예시적인 장치 구성의 블록도이다.

도 7은 직렬 데이지 체인 캐스케이딩 배열로 구성된 단일 장치 및 그 배열로 구성된 복수의 장치에서 실행되는 판독 동작과 관련된 타이밍을 도시하는 타이밍도이다.

도 8은 직렬 데이지 체인 캐스케이딩 배열로 구성된 장치들 사이에서 전송되는 정보와 관련된 타이밍을 도시하는 타이밍도이다.

도 9는 단일 포트의 장치용의 예시적인 직렬 출력 제어 로직의 고 레벨 블록도이다.

도 10은 이중 포트의 장치용의 예시적인 직렬 출력 제어 로직의 고 레벨 블록도이다.

도 11은 장치용의 예시적인 직렬 출력 제어 로직의 상세한 블록도이다.

도 12는 직렬 데이지 체인 캐스케이딩 배열로 구성되고 예시적인 직렬 출력 제어 로직을 포함하는 장치들의 예시적인 구성의 블록도이다.

도 13은 예시적인 직렬 출력 제어 로직을 포함하는 장치들의 입력 및 출력과 관련된 타이밍을 도시하는 타이밍도이다.

도 14는 데이지 체인 캐스케이드 내의 제1 장치에 포함된 메모리로부터 데이지 체인 캐스케이드 내의 제2 장치로 데이터를 전송하는 데 사용될 수 있는 예시적인 직렬 출력 제어 로직의 블록도이다.

도 15는 예시적인 직렬 출력 제어 로직을 사용하여 데이지 체인 캐스케이드 내의 제1 장치의 메모리에 포함되는 데이터를 데이지 체인 캐스케이드 내의 제2 장치에 전송하는 것과 관련된 타이밍을 도시하는 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하 본 발명의 바람직한 실시예를 설명한다.

[0020] 도 1은 직렬 데이지 체인 캐스케이드 배열로 구성된 복수의 단일 포트 장치들(110a~e)을 포함하는 예시적인 장치 구성의 블록도이다. 장치들(110a~e)은 동적 랜덤 액세스 메모리(DRAM) 셀, 정적 랜덤 액세스 메모리(SRAM) 셀, 플래시 메모리 셀 등을 포함할 수 있는 메모리(도시 생략)를 각각 포함하는 예시적인 메모리 장치들이다. 각 장치(110)는 직렬 입력(SI), 직렬 출력(SO), 클록(SCLK) 입력 및 칩 선택(CS#) 입력을 포함한다.

[0021] SI는 정보(예컨대, 커맨드, 어드레스 및 데이터 정보)를 장치(110)에 전송하는 데 사용된다. SO는 장치(110)로부터 정보를 전송하는 데 사용된다. SCLK 입력은 외부 클록 신호를 장치(110)에 제공하는 데 사용되고, CS# 입력은 칩 선택 신호를 장치(110)에 제공하는 데 사용된다. 여기에서 설명하는 기술과 함께 사용될 수 있는 장치

의 일례는 미국 특허 출원 11/324,023호에 기재되어 있는 복수의 독립 직렬 링크(MISL) 메모리 장치이다.

[0022] SI 및 SO는 데이지 체인 캐스케이드 배열에서 장치들(110) 사이에 접속되어, 데이지 체인 캐스케이드에서의 더 앞의 장치(110)의 SO가 데이지 체인 캐스케이드에서의 이후의 장치(110)의 SI에 연결되게 된다. 예를 들면, 장치(110a)의 SO는 장치(110b)의 SI에 연결된다. 각 장치(110)의 SCLK 입력에는 예컨대, 메모리 제어기(도시 생략)로부터 클록 신호가 공급된다. 클록 신호는 공통 링크를 통해 각 장치(110)에 분배된다. 더 이후에 설명하는 바와 같이, SCLK는 특히, 장치(110)에 포함되는 여러 개의 레지스터들에서 장치(110)에 정보 입력을 래치하는 데 사용된다.

[0023] 장치들(110)로의 정보 입력은 SCLK 입력에 공급되는 클록 신호와 다른 시간에 래치될 수 있다. 예를 들면, 단일 데이터 레이트(SDR) 구현 시에, SI에서의 장치(110)로의 정보 입력은 SCLK 클록 신호의 상승 또는 하강 에지의 어느 하나에서 래치될 수 있다. 이와 달리, 이중 데이터 레이트(DDR) 구현 시에, SCLK 클록 신호의 상승 및 하강 에지의 양자가 SI에서 정보 입력을 래치하는 데 사용될 수 있다.

[0024] 각 장치의 CS# 입력은 장치를 선택하는 통상적인 칩 선택이다. 이 입력은, 칩 선택 신호가 모든 장치들(110)에 동시에 어써트(assert)되는 것과, 모든 장치들(110)을 동시에 선택하는 것을 인에이블시키는 공통 링크에 연결된다.

[0025] 도 2는 캐스케이드된 클록을 갖는 직렬 데이지 체인 캐스케이딩 배열로 구성된 복수의 단일 포트 장치(210a~e)를 포함하는 예시적인 장치 구성의 블록도이다. 각 장치(210)는 상술한 바와 같이, SI, SO, SCLK 입력 및 CS# 입력을 포함한다. 또한, 각 장치(210)는 클록 출력(SCLKO)을 포함한다. SCLKO는 SCLK 신호 입력을 장치(210)에 출력하는 출력이다.

[0026] 도 2를 참조하면, 장치들(210)의 SI 및 SO는 상술한 바와 같이, 데이지 체인 캐스케이드 배열로 연결된다. 게다가, 장치들의 SCLK 입력 및 SCLKO는 또한 데이지 체인 캐스케이드 배열로 연결되어, 데이지 체인 캐스케이드에서의 더 앞의 장치(210)의 SCLKO가 데이지 체인 캐스케이드에서의 이후의 장치(210)의 SCLK 입력에 연결되게 된다. 따라서, 예를 들면, 장치(210a)의 SCLKO는 장치(210b)의 SCLK 입력에 연결된다.

[0027] 클록 신호는 데이지 체인 캐스케이드된 장치들을 통해 전파하므로, 지연을 초래할 수 있음에 유의하라. 지연 록트 루프(DLL) 회로와 같은 내부 지연 보상 회로가 이러한 지연을 제거하도록 채용될 수도 있다.

[0028] 도 3은 직렬 데이지 체인 캐스케이드 배열로 구성된 복수의 이중 포트 장치들(310a~e)을 포함하는 예시적인 장치 구성의 블록도이다. 각 장치(310)는 상술한 바와 같이, 각 포트에 대해 SI 및 SO, SCLK 입력 및 CS# 입력을 포함한다. 도 3을 참조하면, 장치(310) 상의 제1 포트에 대한 SI는 "SI0"의 라벨로 나타내고, 제2 포트에 대한 SI는 "SI1"의 라벨로 나타낸다. 유사하게, 제1 포트에 대한 SO는 "SO0"의 라벨로 나타내고, 제2 포트에 대해서는 "SO1"의 라벨로 나타낸다. 각 포트에 대한 SI 및 SO는 상술한 바와 같이, 장치들(310) 사이에 접속된다. 따라서, 예를 들면, 장치(310a) 상의 포트 0의 SO가 장치(310b) 상의 포트 0의 SI에 공급된다. 유사하게, 장치(310a) 상의 포트 1의 SO가 장치(310b) 상의 포트 1의 SI에 공급된다.

[0029] 도 4는 여러 가지 인에이블 신호용의 입력 및 출력을 갖는 직렬 데이지 체인 배열로 구성된 복수의 단일 포트 장치를 포함하는 예시적인 장치 구성의 블록도이다. 각 장치(410)는 상술한 바와 같이, SI, SO, CS# 입력, SCLK 입력을 포함한다. 또한, 각 장치(410)는 입력 포트 인에이블(IPE) 입력, 출력 포트 인에이블(OPE) 입력, 입력 포트 인에이블 출력(IPEQ) 및 출력 포트 인에이블 출력(OPEQ)을 포함한다. IPE 입력은 IPE 신호를 장치에 입력하는 데 사용된다. IPE 신호는 장치에 의해 SI를 인에이블시키는 데 사용되어, IPE가 어써트될 때 SI를 통해 장치(410)에 정보가 직렬로 입력될 수 있게 된다. 유사하게, OPE 입력은 장치에 OPE 신호를 입력하는 데 사용된다. OPE 신호는 장치에 의해 SO를 인에이블시키는 데 사용되어, OPE가 어써트될 때 SO를 통해 장치(410)로부터 정보가 직렬로 출력될 수 있게 된다. IPEQ 및 OPEQ는 각각, 장치로부터 IPE 및 OPE를 출력하는 출력들이다. IPEQ 신호는 지연된 IPE 신호이거나, IPE 신호의 어떤 파생물(derivative)일 수도 있다. 유사하게, OPEQ 신호는 지연된 OPE 신호이거나, OPE 신호의 어떤 파생물일 수도 있다. CS# 입력 및 SCLK 입력은 상술한 바와 같이, 장치들(410a~d)에 CS# 및 SCLK 신호를 각각 분배하는 별개의 링크들에 연결된다.

[0030] SI 및 SO는 상술한 바와 같이, 데이지 체인 캐스케이드 배열로 하나의 장치로부터 다음의 장치로 연결된다. 또한, 데이지 체인 캐스케이드에서의 더 앞의 장치(410)의 IPEQ 및 OPEQ는 각각, 데이지 체인 캐스케이드에서의 다음의 장치(410)의 IPE 입력 및 OPE 입력에 연결된다. 이러한 배열은 직렬 데이지 체인 캐스케이드 방식으로 하나의 장치(410)로부터 다음의 장치로 IPE 및 OPE 신호가 전송될 수 있게 한다.

[0031] 도 5는 여러 가지 인에이블 신호용으로 구성된 입력 및 출력을 갖는 직렬 데이지 체인 배열로 구성된 이중 포트

장치(510a~d)를 포함하는 예시적인 장치 구성의 블록도이다. 각 장치(510)는 상술한 바와 같이, 각 포트에 대해 CS# 입력, SCLK 입력, 및 SI, SO, IPE, OPE, IPEQ 및 OPEQ를 포함한다. 포트 1 및 포트 2에 대한 SI, SO, IPE, OPE, IPEQ 및 OPEQ는 각각, SI1, SO1, IPE1, OPE1, IPEQ1 및 OPEQ1과, SI2, SO2, IPE2, OPE2, IPEQ2 및 OPEQ2로 나타낸다.

[0032] 각 장치(510)에 대한 CS# 입력은 상술한 바와 같이, 단일 링크에 연결되어 모든 장치들(510)을 동시에 선택한다. 유사하게, 각 장치(510)에 대한 SCLK는 상술한 바와 같이, 단일 링크에 연결되어 클록 신호를 모든 장치들(510)에 동시에 분배하도록 구성된다. 또한, 상술한 바와 같이, SI, SO, IPE, OPE, IPEQ 및 OPEQ는, 데이지 체인 캐스케이드에서의 더 앞의 장치의 SO, IPEQ 및 OPEQ가 데이지 체인 캐스케이드에서의 더 뒤의 장치의 SI, IPE 및 OPE에 연결되도록, 장치들 사이에 연결된다. 예를 들면, 장치(510a)의 SO1, SO2, IPEQ1, IPEQ2, OPEQ1, 및 OPEQ2는 각각, 장치(510b)의 SI1, SI2, IPE1, IPE2, OPE1, 및 OPE2에 연결된다.

[0033] 장치(510a)의 SI, IPE 및 OPE에 입력되는 SI, IPE 및 OPE 신호들은 각각 예컨대, 메모리 제어기(도시 생략)로부터 장치(510a)에 제공된다. 장치(510d)는데이터 및 제어 신호를 장치(510d)의 SO, IPEQ 및 OPEQ 출력들을 통해 메모리 제어기에 되돌려 제공된다.

[0034] 도 6은 직렬 데이지 체인 캐스케이딩 배열로 구성되는 복수의 직렬 입력들(SI0~SIn) 및 복수의 직렬 출력들(SO0~SOn)을 갖는 복수의 장치들(610a~d)을 포함하는 예시적인 장치 구성의 블록도이다. 또한, 각 장치(610)는 상술한 바와 같이, SCLK 입력 및 CS# 입력을 갖는다.

[0035] 각 장치(610)에 대해 채용된 직렬 입력들(SI0~SIn) 및 직렬 출력들(SO0~SOn)은 각각, 정보가 직렬 방식으로 장치(610)로 입력되고 장치(610)로부터 출력될 수 있게 한다. 각 입력에는, 특정한 타입의 정보(예컨대, 어드레스, 커맨드, 데이터) 및/또는 신호들(예컨대, 인에이블 신호들)을 장치(610)에 입력하기 위한 특정 역할이 할당될 수 있다. 유사하게, 각 출력에는, 장치(610)로부터의 특정한 타입의 정보 및 신호들을 출력하기 위한 특정 역할이 할당될 수 있다. 예를 들면, 하나 이상의 입력들에, 어드레스 정보를 장치(610)에 입력될 수 있게 하기 위한 역할이 할당될 수도 있다. 유사하게, 예를 들면, 하나 이상의 출력들에, 어드레스 정보를 장치(610)로부터 출력될 수 있게 하기 위한 역할이 할당될 수도 있다.

[0036] 각 장치(610)에 대한 직렬 입력들 및 직렬 출력들의 수는 일반적으로, 어드레스 라인의 수, 커맨드 크기 및 데이터 폭 크기와 같은 특정한 인자들(factors)에 의존한다. 이들 인자는 장치가 특정 시스템 애플리케이션에서 어떻게 사용되는지에 의해 영향을 받을 수 있다. 예를 들면, 소량의 정보를 저장하는 데 사용되는 데이터 저장 장치를 필요로 하는 시스템 애플리케이션은, 대량의 정보용의 데이터 저장장치를 필요로 하는 시스템 애플리케이션보다 더 적은 어드레스 및 데이터 라인, 그에 따라 더 적은 입력/출력을 갖는 장치를 채용할 수도 있다.

[0037] 도 7은 직렬 데이지 체인 캐스케이딩 배열로 구성된 단일 장치 및 그 배열로 구성된 복수의 장치에서 실행되는 판독 동작과 관련된 타이밍을 도시하는 타이밍도이다. 도 7을 참조하면, CS#이 모든 장치들을 선택하도록 어써트된다. 판독 동작은 IPE를 어써트하고 SI를 통해 장치로 판독 동작과 관련된 정보를 클록함으로써 시작한다. 예시적으로, 이 정보는 판독 동작이 실행될 것을 나타내는 커맨드(CMD)과, 데이터가 판독되는 메모리 내의 개시 위치를 나타내는 칼럼 어드레스(Col. ADD) 및 로우 어드레스(Row ADD)를 포함한다.

[0038] 시간 "tR"에서, 요구된 데이터가 메모리로부터 판독되어, 장치 내에 포함되는 특수한 내부 데이터 버퍼에 위치한다. tR의 길이는 일반적으로, 메모리를 포함하는 셀의 특성에 의해 결정된다. 시간 tR 후에, OPE가 어써트되어 내부 데이터 버퍼로부터 SO를 통해 데이지 체인 캐스케이드에서의 다음의 장치로의 데이터의 직렬 전송을 인에이블시킨다. 데이터는 SO 출력에서 예시적으로, SCLK 상승 에지에서 내부 버퍼로부터 직렬로 출력된다. 데이지 체인 캐스케이드에서의 장치로부터 출력된 데이터는 예를 들면, IPE 및 OPE와 같은 제어 데이터를 전파하는 것과 관련된 지연을 제어하기 위해 1 클록 사이클만큼 지연된다. 더 이후에 설명하는 바와 같이, 지연 제어는 클록 동기화된 래치를 사용하여 실행된다.

[0039] 플래시 코어 구조 실현을 위한 캐스케이드된 메모리 장치들의 동작의 일부 예들이 아래의 표 1에 도시된다. 표 1은 타깃 장치 어드레스(TDA), 가능한 OP(동작) 코드, 그리고 칼럼 어드레스, 로우/뱅크 어드레스 및 입력 데이터의 대응하는 상태들을 리스트한다.

[0040] [표 1] 커맨드 세트

동작	타깃 장치 어드레스 (1 바이트)	OP 코드 (1 바이트)	칼럼 어드레스 (2 바이트)	로우/뱅크 어드레스 (3 바이트)	입력 데이터 (1 바이트~ 2112 바이트)
페이지 판독	tda	00h	유효	유효	-
랜덤 데이터 판독	tda	05h	유효	-	-
카피에 대한 페이지 판독	tda	35h	-	유효	-
카피에 대한 타깃 어드레스 입력	tda	8Fh	-	유효	-
직렬 데이터 입력	tda	80h	유효	유효	유효
랜덤 데이터 입력	tda	85h	유효	-	유효
페이지 프로그램	tda	10h	-	-	-
블록 소거	tda	60h	-	유효	-
판독 상태	tda	70h	-	-	-
판독 ID	tda	90h	-	-	-
기록 구성 레지스터	tda	A0h	-	-	유효 (1 바이트)
기록 DN (장치명) 엔트리	00h	B0h	-	-	-
리셋	tda	FFh	-	-	-
뱅크 선택	tda	20h	-	유효 (뱅크)	-

[0041]

[0042] 본 발명의 일부 실시예에서, 도 1~6에 도시된 시스템 내의 각 장치는 직렬 입력 데이터 내의 타깃 장치 어드레스(tda)로서 사용될 수 있는 고유 장치 식별자를 가질 수 있다. 직렬 입력 데이터를 수신할 때, 플래시 메모리 장치는 직렬 입력 데이터 내의 타깃 장치 어드레스 필드를 파싱하여, 타깃 장치 어드레스를 장치의 고유 장치 식별 번호와 상관시킴으로써 장치가 타깃 장치인지를 판정할 수 있다.

[0043] 표 2는 도 1~6과 관련하여 설명한 시스템들을 포함하는 본 발명의 실시예들에 따르는 입력 데이터 스트림의 바람직한 입력 시퀀스를 도시한다. 커맨드들, 어드레스들 및 데이터가 최상위 비트에서 시작하여, 각 메모리 장치의 내외로 직렬로 시프트된다.

[0044] 도 4를 참조하면, 장치들(410a~d)은, 입력 포트 인에이블(IPE)이 HIGH인 동안 직렬 클록(SCLK)의 상승 에지에서 샘플링된 직렬 입력 신호(SIP)로 동작될 수 있다. 커맨드 시퀀스들은 1 바이트 타깃 장치 어드레스("tda") 및 커맨드 코드(표 1에서 "cmd")라고도 교환 가능하게 칭해지는 1 바이트 동작 코드에서 시작한다. 최상위 비트에서의 1 바이트 타깃 장치 어드레스에서 직렬 입력 신호를 시작함으로써, 장치는 수신되는 임의의 부가 입력 데이터를 처리하기 전에 타깃 장치 어드레스 필드를 파싱할 수 있다. 메모리 장치가 타깃 장치가 아니면, 그 장치는 직렬 입력 데이터를 처리하기 전에 다른 장치에 전송할 수 있으며, 그에 따라 부가적인 처리 시간 및 자원을 절약할 수 있다.

[0045] [표 2] 바이트 모드에서의 입력 시퀀스

동작	제1 바이트	제2 바이트	제3 바이트	제4 바이트	제5 바이트	제6 바이트	제7 바이트	제8 바이트	...	제2116 바이트	...	제2119 바이트
페이지 판독	tda	cmd	ca	ca	ra	ra	ra	-	-	-	-	-
랜덤 데이터 판독	tda	cmd	ca	ca	-	-	-	-	-	-	-	-
카피에 대한 페이지 판독	tda	cmd	ra	ra	ra	-	-	-	-	-	-	-
카피에 대한 타깃 어드레스 입력	tda	cmd	ra	ra	ra	-	-	-	-	-	-	-
직렬 데이터 입력	tda	cmd	ca	ca	ra	ra	ra	데이터	...	데이터	...	데이터
랜덤 데이터 입력	tda	cmd	ca	ca	데이터	데이터	데이터	데이터	...	데이터	-	-
페이지 프로그램	tda	cmd	-	-	-	-	-	-	-	-	-	-
블록 소거	tda	cmd	ra	ra	ra	-	-	-	-	-	-	-
판독 상태	tda	cmd	-	-	-	-	-	-	-	-	-	-
판독ID	tda	cmd	-	-	-	-	-	-	-	-	-	-
기록 구성 레지스터	tda	cmd	데이터	-	-	-	-	-	-	-	-	-
기록 DN 엔트리	tda	cmd	-	-	-	-	-	-	-	-	-	-
리셋	tda	cmd	-	-	-	-	-	-	-	-	-	-

[0046]

[0047] 1 바이트 TDA가 장치로 시프트되고, 1 바이트 cmb 코드가 뒤따른다. 최상위 비트(MSB)는 SIP에서 시작하고, 각 비트는 직렬 클록(SCLK)의 상승 에지에서 래치된다. 커맨드에 따라, 1 바이트 커맨드 코드에는 칼럼 어드레스 바이트, 로우 어드레스 바이트, 뱅크 어드레스 바이트, 데이터 바이트, 및/또는 그 조합이 뒤따를 수 있거나 또는 아무것도 뒤따르지 않을 수도 있다.

[0048] 도 8은 직렬 데이지 체인 캐스케이드 배열로 구성된 장치들 사이에서 전송되는 정보와 관련된 타이밍을 도시하는 타이밍도이다. 상기와 같이, CS#은 장치들을 선택하기 위해 어써트된다. IPE를 어써트하고 SCLK의 연속적인 상승 에지에서 장치에 데이터를 클록함으로써, 데이지 체인 캐스케이드에서의 제1 장치에 정보가 입력된다. IPE는 1 사이클 미만에서 제1 장치를 통해 제2 장치로 전파된다. 이것은, 정보가 제1 장치 내에 클록된 후의 1 사이클에서, 제1 장치의 SO로부터 제2 장치의 SI로 정보가 클록될 수 있게 한다. 이것은 데이지 체인 캐스케이드 내의 연속하는 장치들에 대해 반복된다. 따라서, 예를 들면, 정보는 제1 장치에서의 데이터의 래치 포인트로부터 SCLK의 제3 상승 에지에서 직렬 데이지 체인 캐스케이드 내의 제3 장치에 입력된다. 제어 신호들 IPE 및 OPE는 데이지 체인 캐스케이드 내의 다음의 장치에서 이들 신호에 대한 적절한 설정 시간을 보증하기 위해 SCLK의 상승 에지와 동기화된다.

[0049] 도 9는 단일 포트의 장치용의 예시적인 직렬 출력 제어 로직(900)의 블록도이다. 로직(900)은 IPE용 입력 버퍼(902), SI(SIP)용 입력 버퍼(904), OPE용 입력 버퍼(906), 입력 래치 제어(908), 직렬-병렬 레지스터(910), 출력 래치 제어(912), 데이터 레지스터(914), 어드레스 레지스터(916), 커맨드 해석기(918), 셀렉터(920), 페이지 버퍼(924), 논리 OR 게이트(926), 출력 버퍼(928), 셀렉터(930) 및 메모리(950)를 포함한다.

[0050] 입력 버퍼(902)는 버퍼(902)의 입력에서 장치에 공급되는 IPE 신호의 상태를 버퍼링하도록 구성되는 통상적인 저 전압 트랜지스터-트랜지스터 로직(LVTTL) 버퍼이다. 버퍼(902)의 출력은, IPE 신호의 상태를 래치하고 IPE 신호의 래치된 상태를 입력 버퍼(904) 및 셀렉터(920)에 제공하는 입력 래치 제어(908)에 공급된다. 입력 버퍼(904)는 SI 입력을 통해 장치에 공급되는 정보를 버퍼링하도록 구성되는 LVTTL 버퍼이다. 입력 버퍼(904)는 입력 래치 제어(908)의 출력에 의해 인에이블된다. 인에이블될 때, SI 입력에 제공되는 정보는 버퍼(908)에 의해 직렬-병렬 레지스터(910) 및 셀렉터(930)의 입력에 공급된다. 입력 버퍼(904)는, 입력 래치 제어(908)로부터 공급되는 IPE 신호의 래치된 상태가, IPE 신호가 어써트된 것을 나타낼 때 인에이블된다. 직렬-병렬 레지스터(910)에 공급되는 정보는 레지스터(910)에 의해 직렬 형태에서 병렬 형태로 변환된다. 직렬-병렬 레지스터(910)의 출력들은 데이터 레지스터(914), 어드레스 레지스터(916) 및 커맨드 해석기(918)에 공급된다.

[0051] 데이터 레지스터(914) 및 어드레스 레지스터(916)는 SI를 통해 장치에 공급되는 데이터 및 어드레스 정보를 각각 유지한다. 커맨드 해석기(918)는 SI를 통해 장치에 입력되는 커맨드를 해석하도록 구성된다. 이들 커맨드는 장치의 동작을 더욱 제어하기 위해 사용된다. 예를 들면, "기록 메모리" 커맨드는, 장치가 데이터 레지스터(914)에 포함된 데이터를, 어드레스 레지스터(916)에 의해 특정되는 어드레스에서 장치에 포함되는 메모리(950)에 기록하게 하는 데 사용될 수 있다.

[0052] 입력 버퍼(906)는 장치의 OPE 입력에 공급되는 OPE 신호를 버퍼링하도록 구성되는 LVTTL 버퍼이다. 버퍼(906)의 출력은 OPE 신호의 상태를 래치하는 출력 래치 제어(912)에 전송된다. 출력 래치 제어는 래치된 OPE 신호 상태를 OR 게이트(926)에 출력한다. OR 게이트(926)는, 그 출력이 출력 버퍼(928)의 출력을 인에이블/디스에이

블시키는 데 사용되는 통상적인 논리 OR 게이트이다.

[0053] 셀렉터(920)는 신호 DAISY_CHAIN에 의해 선택되는 바와 같은 2개의 입력 중 하나를 출력하는 통상적인 2-투(to)-1 멀티플렉서이다. 상기 논의된 바와 같이, 이들 입력 중 하나는 입력 래치 제어(908)로부터의 IPE의 래치된 상태이다. 다른 입력은 논리 저 조건으로 설정된다. 신호 DAISY_CHAIN은, 장치가 직렬 데이지 체인 캐스케이드 배열 내의 하나 이상의 다른 장치들에 연결되는지를 나타낸다. 예시적으로, 이 신호는, 장치가 직렬 데이지 체인 캐스케이드 배열 내의 하나 이상의 장치들에 연결되면 어써트된다. DAISY_CHAIN 신호를 어써트하면 셀렉터(920)에 공급되는 IPE 신호의 래치된 상태가 셀렉터(920)로부터 출력된다. DAISY_CHAIN이 어써트되지 않을 때, 셀렉터(920)로의 논리 저 조건 입력이 셀렉터(920)로부터 출력된다.

[0054] 페이지 버퍼(924)는 메모리(950)로부터 판독되는 정보를 유지하도록 구성되는 통상적인 데이터 버퍼이다. 셀렉터(930)는 신호 ID_MATCH에 의해 선택된 것으로서 2개의 입력 중 하나를 출력하는 통상적인 2-투-1 멀티플렉서이다. 셀렉터(930)로의 하나의 입력은 페이지 버퍼(924)의 출력으로부터 공급되고, 다른 입력은 SI 입력 버퍼(904)의 출력으로부터 공급된다. 셀렉터(930)의 출력은 출력 버퍼(928)에 공급된다. 신호 ID_MATCH는, SI를 통해 장치에 전송되는 특정 커맨드가 장치에 어드레스되는지를 나타낸다. 커맨드가 장치에 어드레스되면, ID_MATCH가 어써트되어, 페이지 버퍼(924)로부터의 출력이 셀렉터(930)로부터 출력되게 한다. ID_MATCH가 어써트되지 않으면, SI 버퍼(904)로부터의 출력(즉, 장치로 입력되는 SI 신호의 상태)이 셀렉터(930)로부터 출력된다.

[0055] 메모리(950)는 데이터를 유지하도록 구성되는 통상적인 메모리이다. 메모리(950)는 SI를 통해 장치에 입력되는 어드레스를 사용하여 어드레스 가능한 정적 RAM(SRAM), 동적 RAM(DRAM) 또는 플래시 메모리 셀과 같은 셀들을 포함하는 랜덤 액세스 메모리(RAM)일 수 있다.

[0056] 동작적으로는, 어써트된 IPE 신호가 입력 버퍼(902)에 의해 버퍼링되어, IPE의 어써트된 상태를 래치하는 입력 래치 제어(908)에 전송된다. 이 래치된 상태는 셀렉터(920)에 그리고 입력 버퍼(904) 공급되어, 이 버퍼(904)를 인에이블시킨다. 입력 버퍼(904)에 입력되는 커맨드, 어드레스 및 데이터 정보는 그 후, 정보를 직렬 형태에서 병렬 형태로 변환시키고 커맨드, 어드레스 및 데이터 정보를 각각 커맨드 해석기(918), 어드레스 레지스터(916) 및 데이터 레지스터(914)에 공급하는 직렬-병렬 레지스터(910)에 공급된다. 버퍼(904)의 출력은 또한 셀렉터(930)에 공급된다. ID_MATCH가 어써트되지 않으면, 버퍼(904)의 출력은 출력 버퍼(928)의 입력에 공급되는 셀렉터(930)의 출력에 존재한다. DAISY_CHAIN이 어써트되면, IPE의 래치된 상태는 셀렉터(920)의 출력에 존재하고 OR 게이트(926)의 제1 입력에 공급된다. OR 게이트(926)는 IPE의 상태를 출력 버퍼(928)에 전달하여 출력 버퍼(928)를 인에이블시킨다. 이것은 차례로, SI 입력으로 입력되는 정보가 SO에서 장치로부터 출력될 수 있게 한다.

[0057] 페이지 버퍼(924)로부터의 데이터는 OPE 및 ID_MATCH를 어써트함으로써 장치로부터 출력된다. 구체적으로는, OPE의 어써트된 상태가 입력 버퍼(906)에 공급되고, 차례로 그 상태를 출력 래치 제어(912)에 공급하여 그 상태를 래치한다. 래치된 어써트된 상태는, 출력 버퍼(928)를 인에이블시키도록 신호를 출력하는 OR 게이트(926)의 제2 입력에 공급된다. ID_MATCH를 어써트하면 페이지 버퍼(924)의 출력이 셀렉터(930)의 출력에 존재하게 할 수 있다. 셀렉터(930)의 출력은 장치의 SO 출력에서 장치로부터 데이터를 출력하는 인에이블된 출력 버퍼(928)에 공급된다.

[0058] DAISY_CHAIN이 어써트되지 않으면, 출력 버퍼(928)가 OPE에 의해 인에이블되기만 한다. 이것은 장치가 비데이지(non-daisy) 체인 직렬 캐스케이드 구성에 사용될 수 있게 한다.

[0059] 도 10은 이중 포트의 장치용의 예시적인 직렬 출력 제어 로직(1000)의 블록도이다. 각 포트에 대해, 직렬 출력 제어 로직(1000)은 IPE 입력 버퍼(1002), SI 입력 버퍼(1004), OPE 입력 버퍼(1006), 입력 래치 제어(1008), 직렬-병렬 레지스터(1010), 출력 래치 제어(1012), 데이터 레지스터(1014), 어드레스 레지스터(1016), 커맨드 해석기(1018), 셀렉터(1020), 페이지 버퍼(1024), 논리 OR 게이트(1026), 출력 버퍼(1028) 및 셀렉터(1030)를 포함하며, 이들은 각각, 상술한 IPE 입력 버퍼(902), SIP 입력 버퍼(904), OPE 입력 버퍼(906), 입력 래치 제어(908), 직렬-병렬 레지스터(910), 출력 래치 제어(912), 데이터 레지스터(914), 어드레스 레지스터(916), 커맨드 해석기(918), 셀렉터(920), 페이지 버퍼(924), 논리 OR 게이트(926), 출력 버퍼(928) 및 셀렉터(930)와 동일하다.

[0060] 도 11은 여기에서 설명하는 기술과 함께 사용될 수 있는 직렬 출력 제어 로직(1100)의 다른 실시예의 상세한 블록도이다. 로직(1100)은 SI 입력 버퍼(1104), IPE 입력 버퍼(1106), OPE 입력 버퍼(1108), SCLK 입력 버퍼

(1110), 논리 AND 게이트들(1112 및 1114), 래치들(1116, 1118, 1120 및 1122), 셀렉터들(1124 및 1130), 논리 OR 게이트(1126) 및 SO 출력 버퍼(1128)를 포함한다. 버퍼들(1104, 1106, 1108 및 1110)은 각각, 장치에 입력되는 SI, IPE, OPE 및 SCLK 신호를 버퍼링하도록 구성되는 통상적인 LVTTL 버퍼들이다.

[0061] AND 게이트(1112)는, IPE가 어써트될 때 SI로 입력되는 정보를 래치(1116)에 출력하도록 구성된다. 래치(1116)는 클록 신호(SCLK)가 버퍼(1110)에 의해 제공될 때 정보를 래치하도록 구성된다. DATA_OUT은 장치에 포함되는 메모리(도시 생략)로부터 판독되는 데이터의 상태를 나타낸다. AND 게이트(1114)는 OPE가 어써트될 때 DATA_OUT의 상태를 출력하도록 구성된다. AND 게이트(1114)의 출력은, 클록 신호가 버퍼(1110)에 의해 제공될 때 DATA_OUT의 상태를 래치하도록 구성되는 래치(1118)에 공급된다. 버퍼(1106)는 장치에 공급되는 IPE 신호를 버퍼링하도록 구성된다. 버퍼(1106)의 출력은 래치(1120)에 의해 래치된다. 유사하게, 버퍼(1108)는 장치에 공급되는 OPE 신호를 버퍼링하도록 구성된다. 래치(1122)는 버퍼(1108)에 의한 출력으로서 OPE의 상태를 래치하도록 구성된다. 셀렉터들(1124 및 1130)은 2개의 입력을 각각 포함하는 통상적인 2-투-1 멀티플렉서들이다. 셀렉터(1124)에 대한 입력들은 상술한 ID_MATCH 신호에 의해 셀렉터(1124)로부터의 출력을 위해 선택된다. 하나의 입력은 래치(1118)에 의해 유지되는 것으로서 DATA_OUT의 래치된 상태와 함께 공급된다. 이 입력은, ID_MATCH가 어써트될 때 셀렉터(1124)로부터의 출력을 위해 선택된다. 다른 입력은 래치(1116)에 의해 유지되는 것으로서 SI의 래치된 상태와 함께 공급된다. 이 입력은 ID_MATCH가 어써트되지 않을 때 셀렉터(1124)로부터의 출력을 위해 선택된다.

[0062] 셀렉터(1130)에 대한 입력들은 상술한 DAISY_CHAIN 신호에 의한 셀렉터(1130)로부터의 출력을 위해 선택된다. 셀렉터(1130)로의 하나의 입력은 래치(1120)에 의해 유지되는 것으로서 IPE의 래치된 상태와 함께 공급되고, 다른 입력은 논리 제로(0)로 구속된다. IPE의 래치된 상태는 DAISY_CHAIN이 어써트될 때 셀렉터(1130)로부터의 출력을 위해 선택된다. 유사하게, DAISY_CHAIN이 어써트되지 않을 때, 논리 제로가 셀렉터(1130)로부터의 출력을 위해 선택된다.

[0063] OR 게이트(1126)는 인에이블/디스에이블 신호를 출력 버퍼(1128)에 제공하도록 구성되는 통상적인 논리 OR 게이트이다. OR 게이트(1126)에는 셀렉터(1130)의 출력과 함께 래치(1122)에 의해 유지되는 것으로서 OPE의 래치된 상태가 공급된다. 이들 출력 중 어느 하나는 인에이블 신호를 버퍼(1128)에 제공하여 버퍼의 출력을 인에이블시키는 데 사용될 수 있다. 버퍼(1128)는 출력 신호 SO를 버퍼링하는 통상적인 버퍼이다. 상기 논의된 바와 같이, 버퍼(1128)는 OR 게이트(1126)의 출력에 의해 인에이블/디스에이블된다.

[0064] 동작적으로는, IPE가 어써트될 때, SI를 통해 장치에 입력되는 정보가 래치(1116)에 공급된다. 래치(1116)는 이 정보를, IPE가 어써트된 후 예시적으로 SCLK의 제1 상향 전이 시에 래치한다. 유사하게, 래치(1120)는 이 SCLK 전이 시에 IPE의 상태를 래치한다. ID_MATCH가 어써트되지 않는다고 가정하면, 래치(1116)의 출력은 셀렉터(1124)를 통해 버퍼(1128)에 공급된다. 유사하게, 어써트된 IPE는 버퍼(1106)로부터, 그것이 또한 예시적으로 SCLK의 제1 상향 전이에 의해 래치되는 래치(1120)에 전송된다. DAISY_CHAIN이 어써트된다고 가정하면, IPE의 래치된 상태가 셀렉터(1130)의 출력에 제공되고 OR 게이트(1126)에 전송되어 인에이블 신호를 버퍼(1128)에 제공한다. SI의 래치된 상태는 그 후 출력 SO로서 버퍼(1128)를 통해 장치로부터 전송된다.

[0065] DAISY_CHAIN이 어써트되지 않을 때, 셀렉터(1130)로 입력되는 논리 제로가 선택되어 셀렉터(1130)로부터 논리 제로를 출력한다. 이것은 인에이블한 버퍼(1128)로부의 IPE를 효과적으로 디스에이블시킨다.

[0066] 예시적으로는, OPE가 어써트된 후 SCLK의 다음의 상향 전이 시에, OPE의 어써트된 상태가 래치(1122)에서 래치되고 DATA_OUT의 상태가 래치(1118)에서 래치된다. ID_MATCH가 어써트된다고 가정하면, DATA_OUT의 래치된 상태가 셀렉터(1124)에 의해 선택되어 버퍼(1128)의 입력에 적용된다. 동시에, 래치(1122)로부터의 OPE의 래치된 어써트된 상태가 OR 게이트(1126)를 통과하여 버퍼(1128)를 인에이블시켜, DATA_OUT의 래치된 상태가 출력 SO로서 장치로부터 출력되게 한다.

[0067] 도 12는 직렬 데이지 체인 캐스케이딩 배열로 구성되고 예시적인 직렬 출력 제어 로직을 포함하는 장치들의 예시적인 구성의 블록도이다. 그러한 배열은, 상술한 바와 같이, 데이지 체인 캐스케이드 내의 더 앞의 장치의 출력들이 데이지 체인 캐스케이드 내의 다음의 장치의 입력들에 연결되도록 구성되는 3개의 장치들(1210)을 포함한다. 하나의 장치로부터 다음의 장치로의 정보 및 데이터의 전송은 아래의 도 13을 참조하여 설명한다.

[0068] 도 13은 도 12에 도시된 장치들의 입력 및 출력과 관련된 타이밍을 도시하는 예시적인 타이밍도이다. 구체적으로는, 도 13은 각 장치(1210)의 SI 입력에서의 정보 입력을 장치(1210)의 SO 출력에 전달하는 것에 대해 각 장치 내의 직렬 출력 제어 로직(100)의 동작을 도시한다.

[0069] 도 11, 12 및 13을 참조하면, DAISY_CHAIN이 어써트된다고 가정한다. IPE가 장치(1210a)에서 어써트될 때, 장치의 SI 입력에서의 정보가 장치의 직렬 출력 제어 로직(1100)을 통해 상술한 바와 같이, 장치(1210a)의 SO 출력에 전달된다. 구체적으로는, 데이터는, IPE가 어써트된 후 예시적으로 SCLK의 각 상승 에지에서 장치(1210a)에 클록된다. IPE의 상태 및 정보는 상술한 바와 같이, 로직(1100)을 통해 전파하고, 장치의 SO 및 IPEQ 출력에서 각각, 장치(1210a)를 빠져나간다. 이들 출력은 각각, 도면에서 S1 및 P1로서 나타난다. 이들 출력은 장치(1210b)의 SI 및 IPE 입력에 공급되어, 상술한 바와 같이, 장치(1210b)의 직렬 출력 제어 로직(1100)을 통과하여, 장치의 SO 및 IPEQ 출력들에서 1 클록 사이클 이후에 장치(1210b)로부터 출력된다. 이들 출력은 도면에서 각각, S2 및 P2로 나타난다. 유사하게, 장치(1210b)의 SO 및 IPEQ 출력은 각각, 장치(1210c)의 SI 및 IPE 입력에 공급되어, 장치(1210c)의 직렬 출력 제어 로직(1100)을 통과하여, 장치의 SO 및 IPEQ 출력들에서 1 클록 사이클 이후에 장치(1210c)로부터 출력된다. 이들 출력은 도면에서 각각, S3 및 P3으로 나타난다.

[0070] 상술한 데이지 체인 캐스케이드 배열에서, SDR 동작을 위한 데이지 체인 캐스케이드 내의 신호들의 출력 지연은 아래의 식을 사용하여 판정될 수 있다.

[0071] 출력_지연 = N * 클록_사이클_시간

[0072] 여기에서, "출력_지연"은 데이터의 출력 지연이고,

[0073] "N"은 데이지 체인 캐스케이드 배열 내의 장치들의 수이며,

[0074] "클록_사이클_시간"은 클록(예컨대, SCLK)이 동작하는 클록 사이클 시간이다.

[0075] 예를 들어, 도 12에 도시된 데이지 체인 캐스케이드에 대한 클록_사이클_시간이 10 나노초라고 가정한다. 장치(1210c)의 SO에서의 데이터에 대한 총 출력 지연은 3*10 나노초 즉, 30 나노초이다.

[0076] DDR 동작의 경우에, 출력 지연은 아래와 같이 판정될 수 있다.

[0077] 출력_지연 = N * (클록_사이클_시간/2)

[0078] DDR 동작에서, 클록의 양 에지들은 입력 데이터의 래치 포인트 및 출력 데이터의 변화 포인트로서 작용할 수 있다. 따라서, 총 지연은 SDR 동작에 대한 지연의 1/2이다.

[0079] 상기 설명에서, 장치(1210)로 입력되는 정보는 SDR 동작에 대해서는 1 클록 사이클 후에, 그리고 DDR 동작에 대해서는 1½ 사이클 후에 출력된다. 이러한 지연은 출력 버퍼(1128)를 활성화시키는 데 필요한 시간에 적응하도록 도입된다.

[0080] 도 14는 데이지 체인 캐스케이드 내의 제1 장치(1450a)의 메모리에 포함된 데이터를 데이지 체인 캐스케이드 내의 제2 장치(1450b)로 전송하는 데 사용될 수 있는 로직(1400)의 블록도이다. 로직(1400)은 데이터 출력 레지스터(1402), OPE 입력 버퍼(1404), SCLK 입력 버퍼(1406), AND 게이트(1048), 데이터 출력 래치(1410), OPE 상태 래치(1412), 셀렉터(1414), SO 출력 버퍼(1416) 및 OPEQ 출력 버퍼(1418)를 포함한다.

[0081] 데이터 출력 레지스터(1402)는 장치(1450)에 포함되는 메모리로부터 판독되는 데이터를 저장하도록 구성된 통상적인 레지스터이다. 그 레지스터(1402)는 예시적으로는 메모리로부터 병렬로 데이터를 로드하고 그 데이터를 게이트(1408)의 입력에 직렬로 전송하는 병렬-직렬 데이터 레지스터이다. SCLK는 레지스터(1402)에 의해 데이터를 게이트(1408)에 전송하는 데 사용되는 클록을 제공한다. 도시된 바와 같이, 데이터 레지스터(1402)는 비트들(D0 내지 D7)을 포함하는 1 바이트의 데이터를 유지하도록 구성되며, 여기에서 D0은 바이트의 최하위 비트(LSB)이고 비트 D7은 바이트의 최상위 비트(MSB)이다. 레지스터(1402)는 메모리로부터의 바이트 폭의 데이터와 병렬로 로드된다. 데이터는 그 후 레지스터로부터 시프트되어, MSB에서 시작하여 게이트(1408)의 입력에 한 비트씩 직렬로 공급된다.

[0082] 버퍼들(1404 및 1406)은 각각, 입력 신호들(OPE 및 SCLK)을 버퍼링하는 데 사용되는 통상적인 LVTTL 버퍼들이다. OPE 신호는 버퍼(1404)의 출력(OPEI)으로부터 게이트(1408)에 전송된다. SCLK 신호는 버퍼(1406)의 출력으로부터 데이터 출력 레지스터(1402) 및 래치들(1410 및 1412)에 출력되어 클록을 이들 구성요소들에 제공한다.

[0083] 게이트(1408)는 OPE가 어써트될 때 데이터 출력 레지스터(1402)의 출력(DATA_OUT)을 래치(1410)에 전송하도록 구성되는 통상적인 논리 AND 게이트이다. 게이트(1408)의 출력은 "DBIT"로서 지정된다. 래치들(1410 및 1412)은 각각, DBIT 및 OPE 신호의 상태를 래치하도록 구성되는 통상적인 래치들이다. 셀렉터(1414)는 신호 ID_MATCH에 의해 제어되는 통상적인 2 입력 2-투-1 멀티플렉서이다. 데이터 입력 중 하나는 DBIT의 래치된 상

태와 함께 공급된다. 이 상태는, ID_MATCH가 어써트될 때 셀렉터(1414)로부터 출력된다. 다른 입력은 그 SI를 통해 장치(1450a)에 입력되는 직렬 정보(SI0)과 함께 공급된다. 이 정보는, ID_MATCH가 어써트되지 않을 때 셀렉터(1414)에 의해 출력된다.

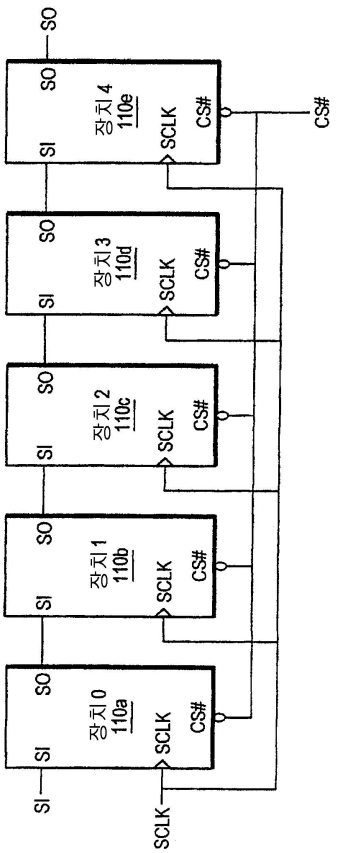
[0084] 버퍼들(1416 및 1418)은 각각, 셀렉터(1414) 및 래치(1416)의 출력을 버퍼링하도록 구성되는 통상적인 버퍼들이다. 버퍼(1416)의 출력은 SO(SO0)로서 장치(1450a)를 빠져나가고, 버퍼(1418)의 출력은 OPEQ(OPEQ0)로서 장치(1450a)를 빠져나간다.

[0085] 도 15는 로직(1400)을 사용하여 장치(1450a)에 포함되는 메모리로부터 장치(1450b)로의 바이트 폭의 데이터를 전송하는 것과 관련된 타이밍을 도시하는 타이밍도이다. 도 14 및 도 15를 참조하면, OPEI는, OPE가 입력 버퍼(1404)에서 장치(1450a)에 공급된 후 짧게 어써트된다. OPEI는 게이트(1408)에 공급되어 데이터 출력 레지스터(1402)의 D7에 존재하는 데이터가 SCLK의 다음의 상승 에지에서 래치(1410)에서 래치될 수 있게 한다. 또한, 이 SCLK의 다음의 상승 에지가 데이터를 데이터 출력 레지스터(1402)에서 우측으로 시프트되게 하여, D6 내의 데이터가 D7로 시프트되고, D5 내의 데이터가 D6으로 시프트되며, 등등이다. 래치(1410)의 출력은 셀렉터(1414)에 제공되어, ID_MATCH가 어써트된다고 가정하면, 데이터의 래치된 상태를 버퍼(1416)에 출력한다. 버퍼(1416)는 이 래치된 상태를 장치(1450a)로부터, 데이지 체인 캐스케이드의 다음의 장치(1450b)의 SI 입력(SI1)에 공급되는 SO0으로서 출력한다. 한편, OPE가 어써트된 후 제1 클록의 상승 에지에서도 또한, OPE의 상태가 래치(1412)에서 래치된다. 래치(1412)의 출력은 버퍼(1418)에 전송되어, OPE의 래치된 상태를 장치(1450a)로부터 데이지 체인 캐스케이드의 다음의 장치(1450b)의 OPE 입력(OPE1)에 공급되는 OPEQ(OPEQ0)로서 출력한다. 이 프로세스는 비트들(D6 내지 D0)에 대해 반복된다.

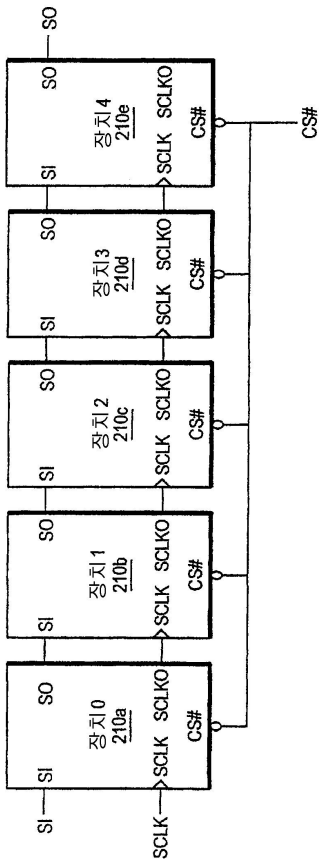
[0086] 본 발명은 바람직한 실시예를 참조하여 특히 도시 및 설명하였지만, 당업자에게는 첨부하는 청구의 범위에 의해 한정되는 발명의 범위를 벗어남 없이 형태 및 상세내용의 여러 가지 변형이 행해질 수 있다는 것을 이해할 것이다.

도면

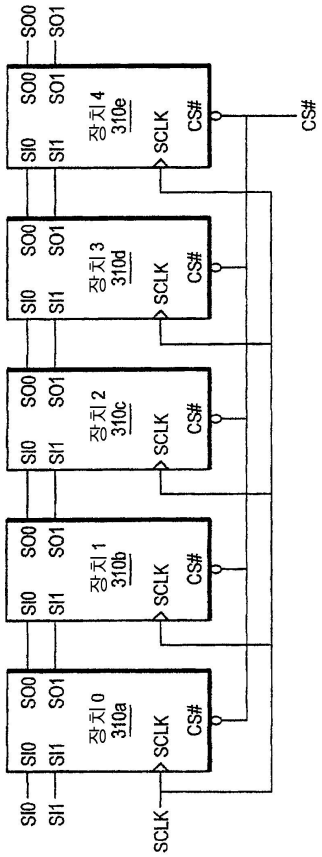
도면1



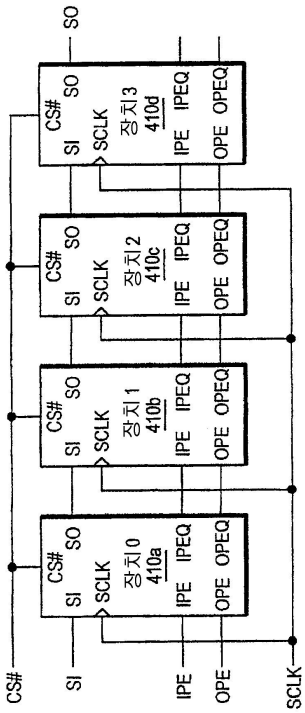
도면2


SO
SO
장치4
210e
SI
SCLK
SCLKO
CS#
CS#
SO
SO
장치3
210d
SI
SCLK
SCLKO
CS#
SO
SO
장치2
210c
SI
SCLK
SCLKO
CS#
SO
SO
장치1
210b
SI
SCLK
SCLKO
CS#
SO
SO
장치0
210a
SI
SCLK
SCLKO
CS#
SI
SCLK

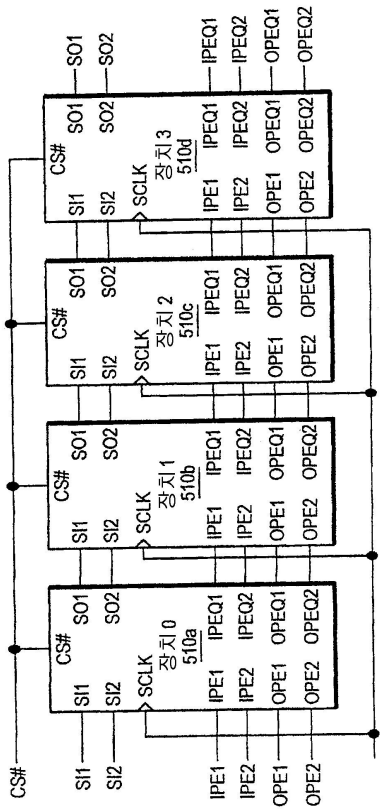
도면3


SO0
SO1
SI0
SI1
SCLK
CS#
장치 4
310e
장치 3
310d
장치 2
310c
장치 1
310b
장치 0
310a

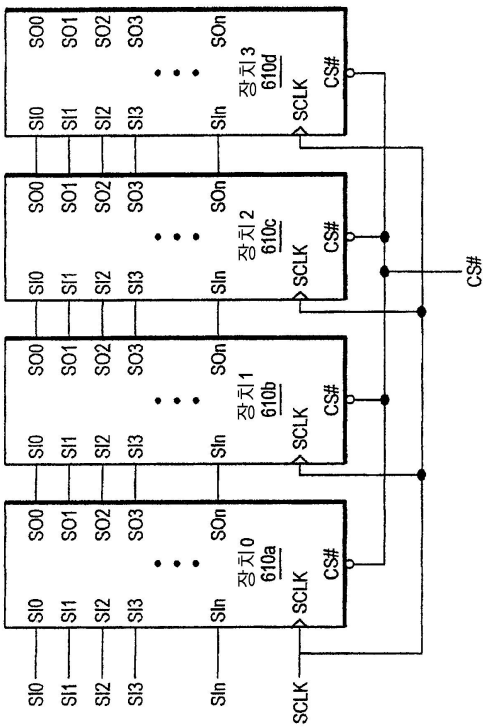
도면4


SO
CS#
SI
SCLK
IPE
IPEQ
OPE
OPEQ
장치3
410d
장치2
410c
장치1
410b
장치0
410a

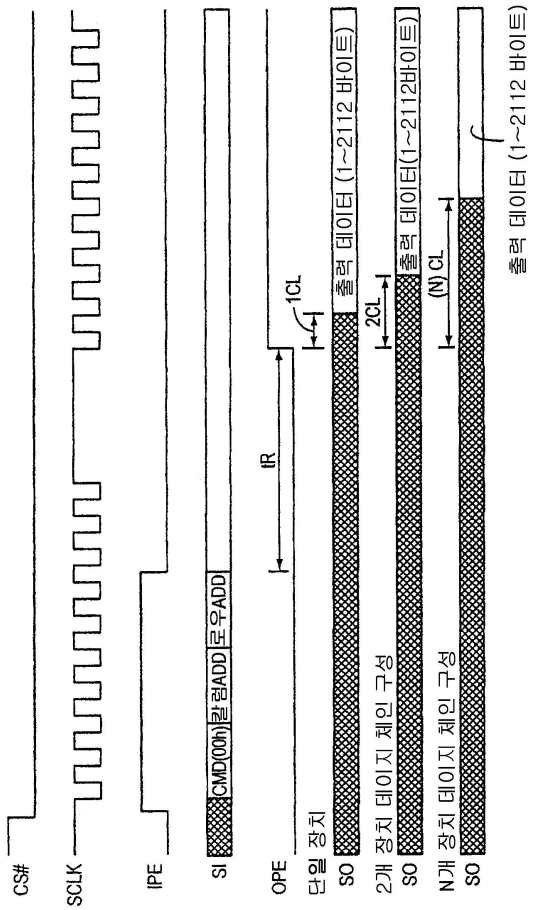
도면5


CS#
SI1
SI2
SCLK
SO1
SO2
장치 0
510a
장치 1
510b
장치 2
510c
장치 3
510d
IPE1
IPE2
OPE1
OPE2
IPEQ1
IPEQ2
OPEQ1
OPEQ2

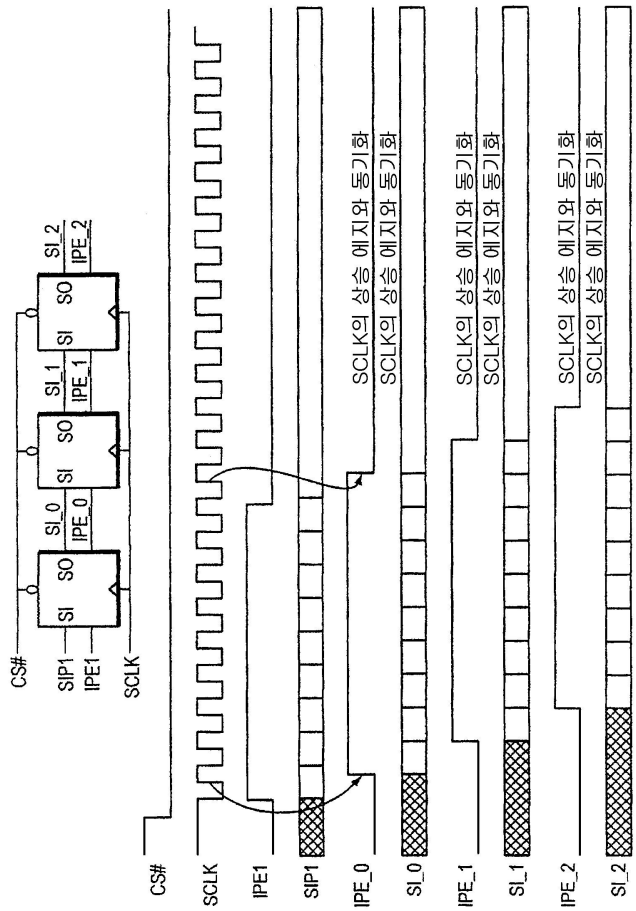
도면6


SI0
SI1
SI2
SI3
SIn
SCLK
CS#
SO0
SO1
SO2
SO3
SOn
장치 0
610a
장치 1
610b
장치 2
610c
장치 3
610d

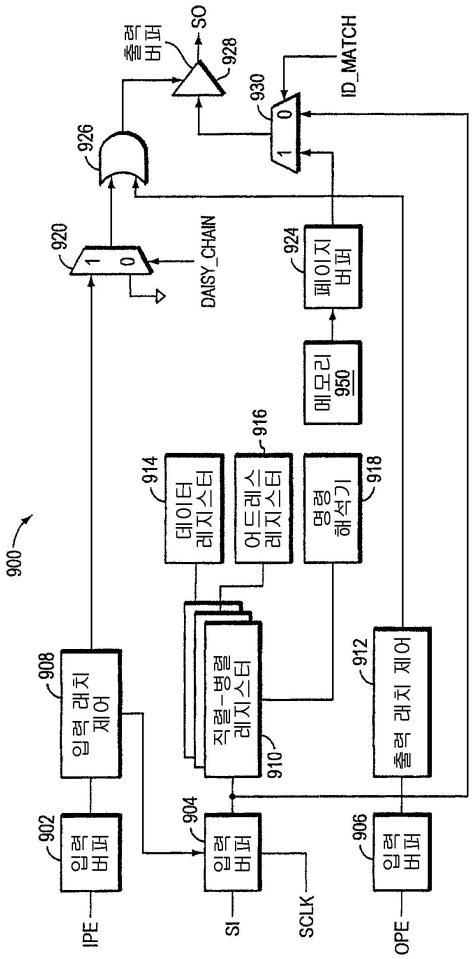
도면7


CS#
SCLK
IPE
SI
CMD(00h)
칼럼ADD
로우ADD
OPE
tR
1CL
단일 장치
SO
출력 데이터 (1~2112 바이트)
2CL
2개 장치 데이지 체인 구성
SO
출력 데이터(1~2112바이트)
(N) CL
N개 장치 데이지 체인 구성
SO
출력 데이터 (1~2112 바이트)

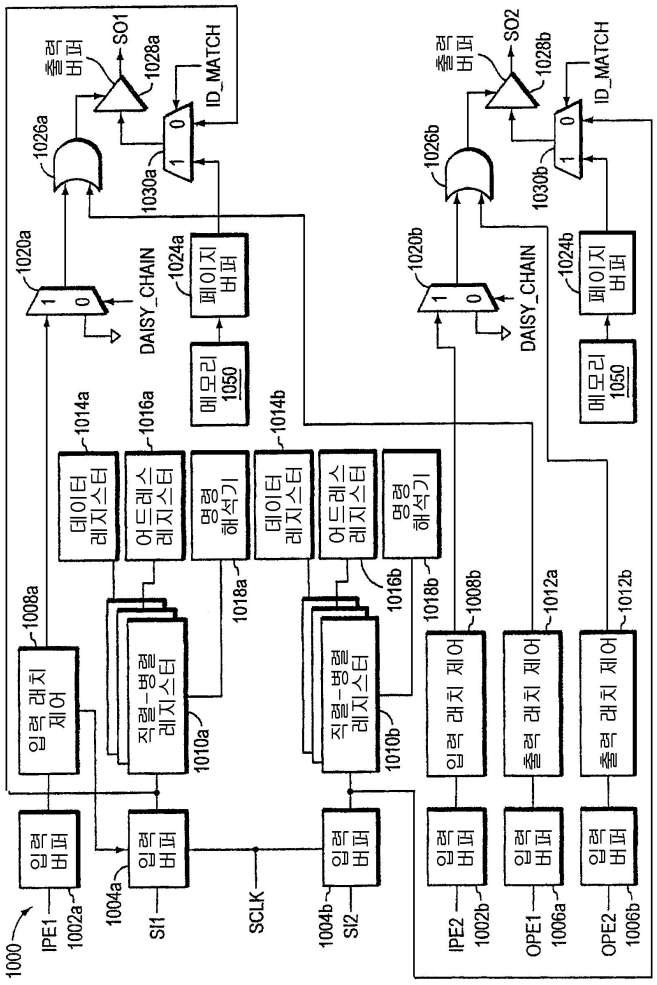
도면8


CS#
SIP1
IPE1
SCLK
SI
SO
SI_0
IPE_0
SI_1
IPE_1
SI_2
IPE_2
SCLK의 상승 에지와 동기화
SCLK의 상승 에지와 동기화
SCLK의 상승 에지와 동기화
SCLK의 상승 에지와 동기화
SCLK의 상승 에지와 동기화
SCLK의 상승 에지와 동기화

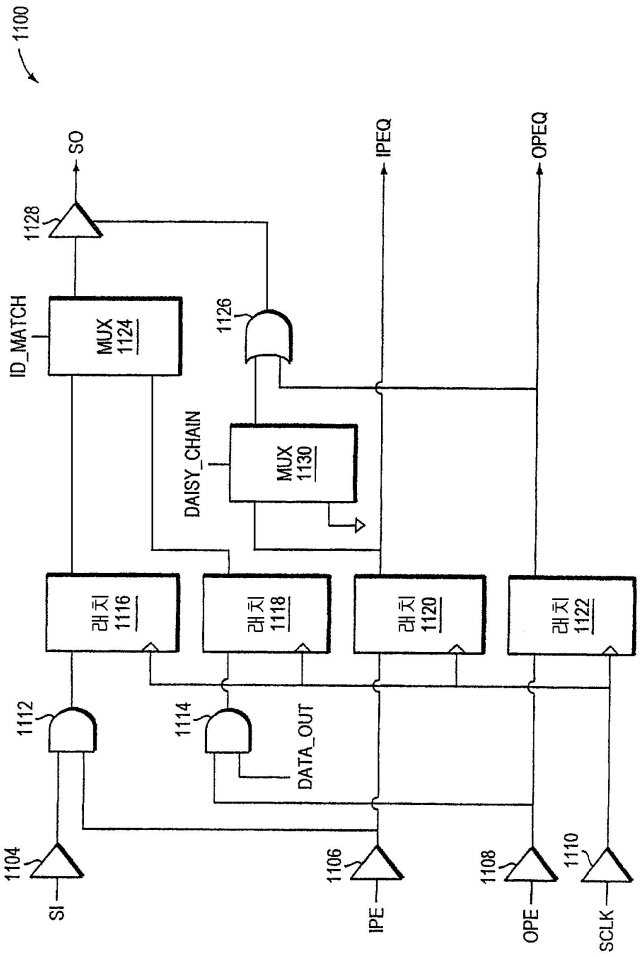
도면9


900
908
입력 래치 제어
902
입력 버퍼
IPE
904
입력 버퍼
SI
SCLK
910
직렬-병렬 레지스터
912
출력 래치 제어
906
입력 버퍼
OPE
914
데이터 레지스터
916
어드레스 레지스터
918
명령 해석기
950
메모리
924
페이지 버퍼
920
DAISY_CHAIN
926
928
출력 버퍼
SO
930
ID_MATCH

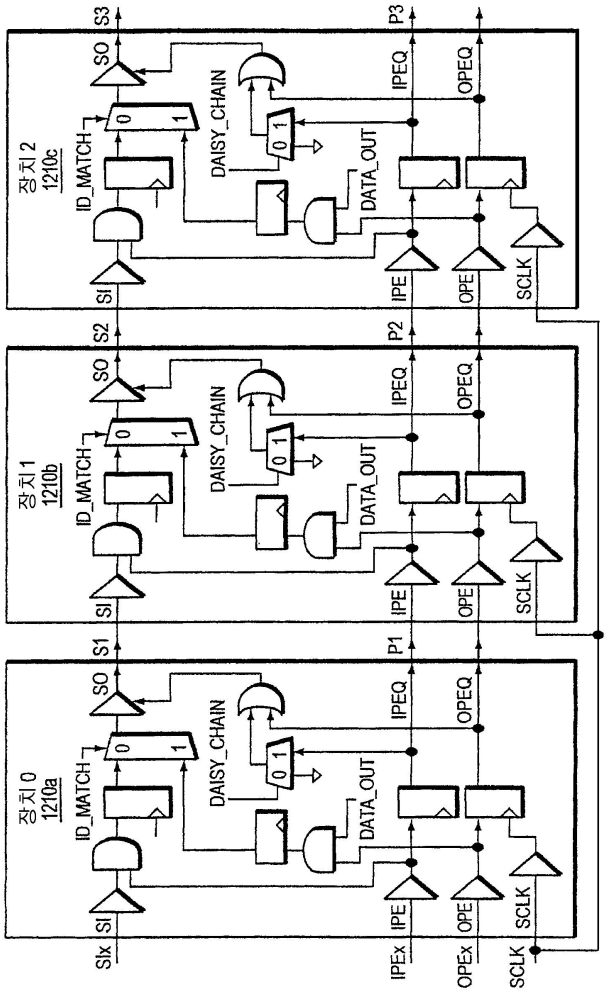
도면10


1000
IPE1
1002a
입력 버퍼
1004a
SI1
입력 버퍼
SCLK
1004b
SI2
입력 버퍼
IPE2
1002b
입력 버퍼
OPE1
1006a
입력 버퍼
OPE2
1006b
입력 버퍼
입력 래치 제어
1008a
입력 래치 제어
1008b
출력 래치 제어
1012a
출력 래치 제어
1012b
직렬-병렬 레지스터
1010a
직렬-병렬 레지스터
1010b
데이터 레지스터
1014a
데이터 레지스터
1014b
어드레스 레지스터
1016a
어드레스 레지스터
1016b
명령 해석기
1018a
명령 해석기
1018b
메모리 1050
메모리 1050
페이지 버퍼
1024a
페이지 버퍼
1024b
DAISY_CHAIN
1020a
DAISY_CHAIN
1020b
1026a
1026b
출력 버퍼
SO1
출력 버퍼
SO2
1028a
1028b
ID_MATCH
1030a
ID_MATCH
1030b

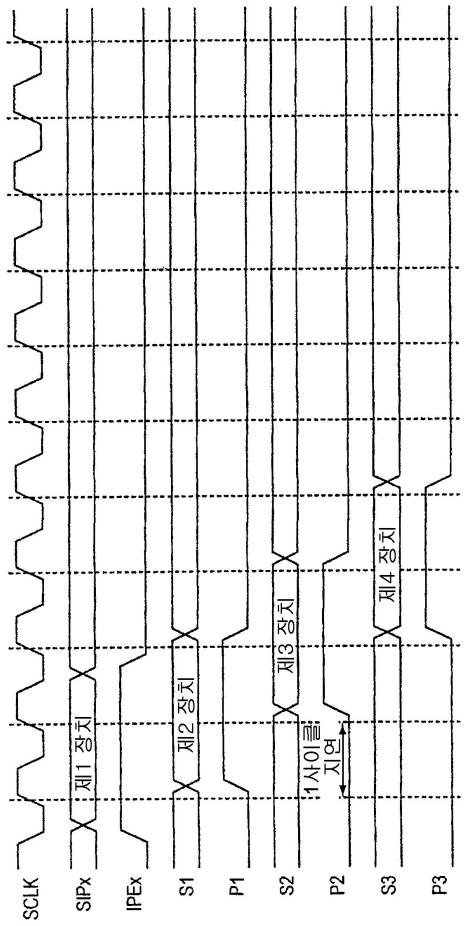
도면11


1100
SO
IPEQ
OPEQ
1128
ID_MATCH
MUX 1124
1126
DAISY_CHAIN
MUX 1130
래치 1116
래치 1118
래치 1120
래치 1122
1112
1114
DATA_OUT
1104
SI
1106
IPE
1108
OPE
1110
SCLK

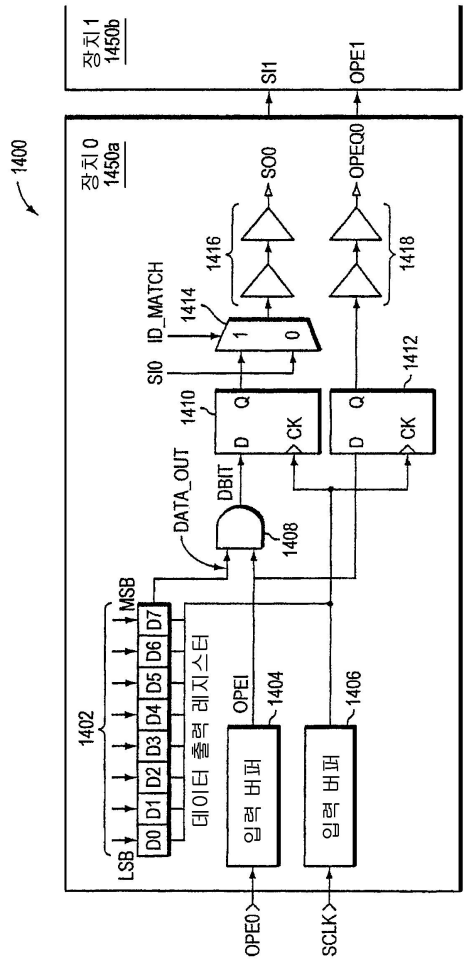
도면12


장치 0
1210a
장치 1
1210b
장치 2
1210c
ID_MATCH
DAISY_CHAIN
DATA_OUT
SO
SI
SIx
S1
S2
S3
P1
P2
P3
IPE
OPE
IPEQ
OPEQ
IPEx
OPEx
SCLK

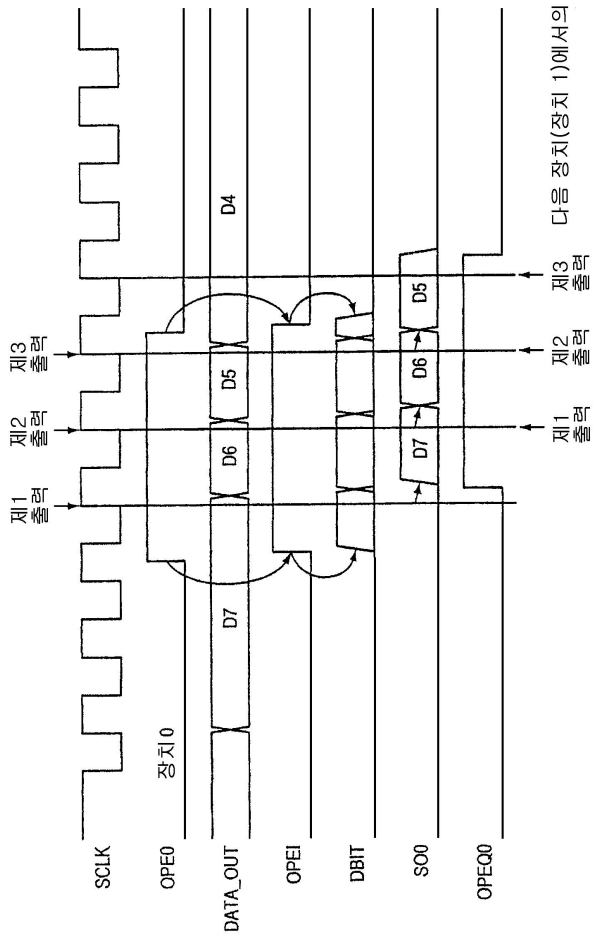
도면13



도면14


1400
장치 0
1450a
장치 1
1450b
SI1
OPE1
SO0
OPEQ0
1416
1418
ID_MATCH
1414
SI0
1412
1410
Q
D
CK
DATA_OUT
DBIT
1408
MSB
LSB
1402
D0
D1
D2
D3
D4
D5
D6
D7
데이터 출력 레지스터
OPEI
1404
입력 버퍼
1406
입력 버퍼
OPE0
SCLK

도면15


SCLK
OPE0
장치0
DATA_OUT
OPEI
DBIT
SO0
OPEQ0
제1 출력
제2 출력
제3 출력
D4
D5
D6
D7
D7
D6
D5
제1 출력
제2 출력
제3 출력
다음 장치(장치 1)에서의