(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月3日(03.12.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/240339 A1

(51) 国際特許分類:
H01L 29/786 (2006.01)　*H03F 3/45* (2006.01)
H04B 1/40 (2015.01)　*H03F 3/62* (2006.01)
H03F 1/22 (2006.01)　*H03F 3/68* (2006.01)

(21) 国際出願番号：　PCT/IB2020/054711

(22) 国際出願日：　2020年5月19日(19.05.2020)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

(30) 優先権データ：
特願 2019-102036　2019年5月31日(31.05.2019)　JP
特願 2019-102029　2019年5月31日(31.05.2019)　JP

(71) 出願人: 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷３９８ Kanagawa (JP).

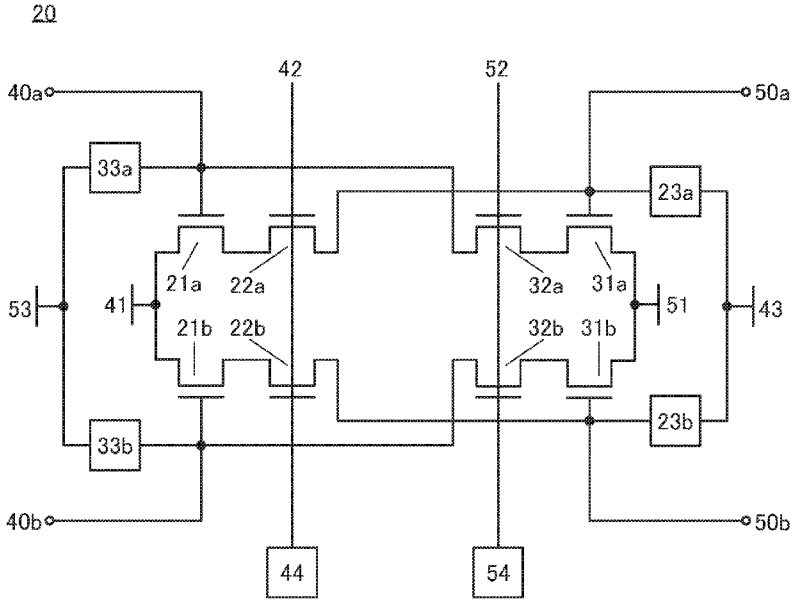
(72) 発明者: 木村肇 (KIMURA, Hajime); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 池田隆之 (IKEDA, Takayuki); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,

(54) **Title:** COMMUNICATION DEVICE

(54) 発明の名称： 通信装置

図2



(57) **Abstract:** Provided is a communication device with a wide range of potentials of signals which can be transmitted and received. This communication device has an amplifier circuit comprising first to fourth transistors, first to fourth bias transistors, first to fourth loads, and first to fourth terminals. The drains of the first to fourth transistors are electrically connected to the sources of the first to fourth bias transistors, respectively. The sources of the first to fourth transistors are electrically connected to the power supply line. The gates of the first and second bias transistors are electrically connected

WO 2020/240339 A1

[続葉有]

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

to first wiring, and the gates of the third and fourth bias transistors are electrically connected to second wiring. The first to fourth terminals are electrically connected to the gates of the first to fourth transistors, respectively, and the drains of the third, fourth, first and second bias transistors are electrically connected to the first to fourth loads, respectively.

(57) 要約:送受信することができる信号の電位の幅が広い通信装置を提供する。 第１乃至第４のトランジスタと、第１乃至第４のバイアストランジスタと、第１乃至第４の負荷と、 第１乃至第４の端子と、が設けられている増幅回路を有する通信装置。第１乃至第４のトランジス タのドレインは、第１乃至第４のバイアストランジスタのソースとそれぞれ電気的に接続されてい る。第１乃至第４のトランジスタのソースは、電源線と電気的に接続されている。第１および第２ のバイアストランジスタのゲートは、第１の配線と電気的に接続され、第３および第４のバイアス トランジスタのゲートは、第２の配線と電気的に接続されている。第１乃至第４の端子は、第１乃 至第４のトランジスタのゲート、第３、第４、第１、第２のバイアストランジスタのドレイン、お よび第１乃至第４の負荷とそれぞれ電気的に接続される。

明細書

発明の名称

通信装置

技術分野

［０００１］

本発明の一態様は、通信装置およびその動作方法に関する。または、本発明の一態様は、半導体装置およびその動作方法に関する。

［０００２］

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

［０００３］

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうるもの全般を指す。よって、トランジスタやダイオード等の半導体素子や、半導体素子を含む回路は半導体装置である。また、表示装置、発光装置、照明装置、電気光学装置、通信装置および電子機器等は、半導体素子や半導体回路を含む場合がある。よって、表示装置、発光装置、照明装置、電気光学装置、撮像装置、通信装置および電子機器等も、半導体装置と呼ばれる場合がある。

背景技術

［０００４］

スマートフォンやタブレット端末等に代表される持ち運びが容易な情報端末の普及が進んでいる。情報端末の普及に伴い、様々な通信規格が制定されている。例えば、第４世代移動通信システム（４Ｇ）と呼ばれるＬＴＥ－Ａｄｖａｎｃｅｄ規格の運用が開始されている。

［０００５］

近年、ＩｏＴ（Ｉｎｔｅｒｎｅｔ　ｏｆ　Ｔｈｉｎｇｓ）等の情報技術の発展により、情報端末で扱われるデータ量は増大する傾向にある。また、情報端末等の電子機器に通信速度の向上が求められている。

［０００６］

ＩｏＴ等の様々な情報技術に対応するため、４Ｇよりも速い通信速度、多くの同時接続、短い遅延時間を実現する第５世代移動通信システム（５Ｇ）と呼ばれる新たな通信規格が検討されている（特許文献１参照）。

［先行技術文献］

［特許文献］

［０００７］

［特許文献１］特開２０１８－１４８５８９号公報

発明の概要

発明が解決しようとする課題

［０００８］

本発明の一態様は、送受信することができる信号の電位の幅が広い通信装置を提供することを課題の一とする。または、増幅率が大きい増幅器を有する通信装置を提供することを課題の一とする。または、低消費電力の通信装置を提供することを課題の一つとする。または、新規な通信装置を提

供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。

［０００９］

本発明の一態様は、送受信することができる信号の電位の幅が広い通信装置の動作方法を提供することを課題の一とする。または、増幅率が大きい増幅器を有する通信装置の動作方法を提供することを課題の一とする。または、低消費電力の通信装置の動作方法を提供することを課題の一つとする。または、新規な通信装置の動作方法を提供することを課題の一とする。または、新規な半導体装置の動作方法を提供することを課題の一とする。

［００１０］

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項等の記載から、自ずと明らかとなるものであり、明細書、図面、請求項等の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

［００１１］

本発明の一態様は、増幅回路を有し、増幅回路は、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、第５のトランジスタと、第６のトランジスタと、第７のトランジスタと、第８のトランジスタと、第１の負荷と、第２の負荷と、第３の負荷と、第４の負荷と、第１の端子と、第２の端子と、第３の端子と、第４の端子と、を有し、第１のトランジスタのソースまたはドレインの一方は、第２のトランジスタのソースまたはドレインの一方と電気的に接続され、第３のトランジスタのソースまたはドレインの一方は、第４のトランジスタのソースまたはドレインの一方と電気的に接続され、第５のトランジスタのソースまたはドレインの一方は、第６のトランジスタのソースまたはドレインの一方と電気的に接続され、第７のトランジスタのソースまたはドレインの一方は、第８のトランジスタのソースまたはドレインの一方と電気的に接続され、第１のトランジスタのソースまたはドレインの他方、および第３のトランジスタのソースまたはドレインの他方は、第１の電源線と電気的に接続され、第５のトランジスタのソースまたはドレインの他方、および第７のトランジスタのソースまたはドレインの他方は、第２の電源線と電気的に接続され、第２のトランジスタのゲート、および第４のトランジスタのゲートは、第１の配線と電気的に接続され、第６のトランジスタのゲート、および第８のトランジスタのゲートは、第２の配線と電気的に接続され、第１の端子は、第１のトランジスタのゲート、第６のトランジスタのソースまたはドレインの他方、および第１の負荷と電気的に接続され、第２の端子は、第３のトランジスタのゲート、第８のトランジスタのソースまたはドレインの他方、および第２の負荷と電気的に接続され、第３の端子は、第５のトランジスタのゲート、第２のトランジスタのソースまたはドレインの他方、および第３の負荷と電気的に接続され、第４の端子は、第７のトランジスタのゲート、第４のトランジスタのソースまたはドレインの他方、および第４の負荷と電気的に接続される通信装置である。

［００１２］

または、本発明の一態様は、増幅回路を有し、増幅回路は、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、第５のトランジスタと、第６のトランジスタと、第７のトランジスタと、第８のトランジスタと、第１のオペアンプと、第２のオペアンプと、第３のオペアンプと、第４のオペアンプと、第１の負荷と、第２の負荷と、第３の負荷と、

第４の負荷と、第１の端子と、第２の端子と、第３の端子と、第４の端子と、を有し、第１のトランジスタのソースまたはドレインの一方は、第２のトランジスタのソースまたはドレインの一方と電気的に接続され、第３のトランジスタのソースまたはドレインの一方は、第４のトランジスタのソースまたはドレインの一方と電気的に接続され、第５のトランジスタのソースまたはドレインの一方は、第６のトランジスタのソースまたはドレインの一方と電気的に接続され、第７のトランジスタのソースまたはドレインの一方は、第８のトランジスタのソースまたはドレインの一方と電気的に接続され、第１のトランジスタのソースまたはドレインの他方、および第３のトランジスタのソースまたはドレインの他方は、第１の電源線と電気的に接続され、第５のトランジスタのソースまたはドレインの他方、および第７のトランジスタのソースまたはドレインの他方は、第２の電源線と電気的に接続され、第１のオペアンプの非反転入力端子、および第２のオペアンプの非反転入力端子は、第１の配線と電気的に接続され、第３のオペアンプの非反転入力端子、および第４のオペアンプの非反転入力端子は、第２の配線と電気的に接続され、第１のオペアンプの反転入力端子は、第１のトランジスタのソースまたはドレインの一方と電気的に接続され、第２のオペアンプの反転入力端子は、第３のトランジスタのソースまたはドレインの一方と電気的に接続され、第３のオペアンプの反転入力端子は、第５のトランジスタのソースまたはドレインの一方と電気的に接続され、第４のオペアンプの反転入力端子は、第７のトランジスタのソースまたはドレインの一方と電気的に接続され、第１のオペアンプの出力端子は、第２のトランジスタのゲートと電気的に接続され、第２のオペアンプの出力端子は、第４のトランジスタのゲートと電気的に接続され、第３のオペアンプの出力端子は、第６のトランジスタのゲートと電気的に接続され、第４のオペアンプの出力端子は、第８のトランジスタのゲートと電気的に接続され、第１の端子は、第１のトランジスタのゲート、第６のトランジスタのソースまたはドレインの他方、および第１の負荷と電気的に接続され、第２の端子は、第３のトランジスタのゲート、第８のトランジスタのソースまたはドレインの他方、および第２の負荷と電気的に接続され、第３の端子は、第５のトランジスタのゲート、第２のトランジスタのソースまたはドレインの他方、および第３の負荷と電気的に接続され、第４の端子は、第７のトランジスタのゲート、第４のトランジスタのソースまたはドレインの他方、および第４の負荷と電気的に接続される通信装置である。

［００１３］

または、上記態様において、第２のトランジスタ、第４のトランジスタ、第６のトランジスタ、および第８のトランジスタは、バックゲートを有し、第２のトランジスタのバックゲートは、第１の端子と電気的に接続され、第４のトランジスタのバックゲートは、第２の端子と電気的に接続され、第６のトランジスタのバックゲートは、第３の端子と電気的に接続され、第８のトランジスタのバックゲートは、第４の端子と電気的に接続されてもよい。

［００１４］

または、上記態様において、増幅回路は、第１の端子に第１の信号波が入力された場合に、第１の信号波に対応する信号波を第３の端子から出力する機能を有し、増幅回路は、第２の端子に第２の信号波が入力された場合に、第２の信号波に対応する信号波を第４の端子から出力する機能を有し、増幅回路は、第３の端子に第３の信号波が入力された場合に、第３の信号波に対応する信号波を第１の端子から出力する機能を有し、増幅回路は、第４の端子に第４の信号波が入力された場合に、第４の信号波に対応する信号波を第２の端子から出力する機能を有してもよい。

［００１５］

または、上記態様において、第１の端子に第１の信号波を入力し、第２の端子に第２の信号波を入力する場合は、第１の配線の電位を、第２および第４のトランジスタが飽和領域で動作する電位とし、かつ第２の配線の電位を、第６および第８のトランジスタがオフ状態となる電位とし、第３の端子に第３の信号波を入力し、第４の端子に第４の信号波を入力する場合は、第１の配線の電位を、第２および第４のトランジスタがオフ状態となる電位とし、かつ第２の配線の電位を、第６および第８のトランジスタが飽和領域で動作する電位としてもよい。

［００１６］

または、上記態様において、第１の信号波と、第２の信号波と、は互いに逆位相の関係にあり、第３の信号波と、第４の信号波と、は互いに逆位相の関係にあってもよい。

［００１７］

または、上記態様において、第１乃至第８のトランジスタのソースまたはドレインの一方は、ソースであってもよい。

発明の効果

［００１８］

本発明の一態様により、送受信することができる信号の電位の幅が広い通信装置を提供することができる。または、増幅率が大きい増幅器を有する通信装置を提供することができる。または、低消費電力の通信装置を提供することができる。または、新規な通信装置を提供することができる。または、新規な半導体装置を提供することができる。

［００１９］

本発明の一態様により、送受信することができる信号の電位の幅が広い通信装置の動作方法を提供することができる。または、増幅率が大きい増幅器を有する通信装置の動作方法を提供することができる。または、低消費電力の通信装置の動作方法を提供することができる。または、新規な通信装置の動作方法を提供することができる。または、新規な半導体装置の動作方法を提供することができる。

［００２０］

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項等の記載から、自ずと明らかとなるものであり、明細書、図面、請求項等の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

［００２１］

図１は、通信装置の構成例を示すブロック図である。

図２は、通信装置の構成例を示す回路図である。

図３は、通信装置の構成例を示す回路図である。

図４Ａおよび図４Ｂは、通信装置の動作方法の一例を示す回路図である。

図５Ａおよび図５Ｂは、半導体装置の構成例を示す回路図である。

図６Ａ１乃至図６Ａ４、ならびに図６Ｂ１および図６Ｂ２は、通信装置の構成例を示す図である。

図７Ａ１および図７Ａ２、ならびに図７Ｂ１および図７Ｂ２は、通信装置の構成例を示す回路図である。

図８Ａおよび図８Ｂは、通信装置の構成例を示す回路図である。

図９Ａは、通信装置の構成例を示す回路図である。図９Ｂは、半導体装置の構成例を示す回路図である。

図１０は、通信装置の構成例を示す回路図である。

図１１は、通信装置の構成例を示す回路図である。

図１２は、通信装置の構成例を示す回路図である。

図１３Ａおよび図１３Ｂは、通信装置の動作方法の一例を示す回路図である。

図１４Ａおよび図１４Ｂは、半導体装置の構成例を示す回路図である。

図１５Ａおよび図１５Ｂは、通信装置の構成例を示す回路図である。

図１６Ａは、通信装置の構成例を示す回路図である。図１６Ｂは、半導体装置の構成例を示す回路図である。

図１７は、通信装置の構成例を示す回路図である。

図１８Ａおよび図１８Ｂは、通信装置の動作方法の一例を示す回路図である。

図１９は、半導体装置の構成例を示す回路図である。

図２０Ａおよび図２０Ｂは、通信装置の構成例を示す回路図である。

図２１は、半導体装置の構成例を示す図である。

図２２Ａおよび図２２Ｂは、トランジスタの構成例を示す図である。

図２３Ａ乃至図２３Ｃは、トランジスタの構成例を示す図である。

図２４Ａ乃至図２４Ｃは、トランジスタの構成例を示す図である。

図２５ＡはＩＧＺＯの結晶構造の分類を説明する図である。図２５ＢはＣＡＡＣ－ＩＧＺＯ膜のＸＲＤスペクトルを説明する図である。図２５ＣはＣＡＡＣ－ＩＧＺＯ膜の極微電子線回折パターンを説明する図である。

図２６Ａは、半導体ウエハの上面図である。図２６Ｂは、チップの拡大図である。

図２７Ａは、電子部品の作製工程例を説明するフローチャートである。図２７Ｂは、電子部品の斜視模式図である。

図２８は、電子機器の一例を示す図である。

図２９Ａ乃至図２９Ｆは、電子機器の一例を示す図である。

図３０は、ＩｏＴネットワークの階層構造と要求仕様の傾向を示す図である。

図３１は、ファクトリーオートメーションのイメージ図である。

発明を実施するための形態

［００２２］

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その説明の繰り返しは省略する。

［００２３］

また、図面等において示す各構成の、位置、大きさ、範囲等は、発明の理解を容易とするため、実際の位置、大きさ、範囲等を表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲等に限定されない。例えば、実際の製造工程において、エッチング等の処理によりレジストマスク等が意図せずに目減りすることがあるが、理解を容易とする

ために図に反映しないことがある。

［００２４］

また、上面図（「平面図」ともいう）や斜視図等において、図面をわかりやすくするために、一部の構成要素の記載を省略する場合がある。

［００２５］

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合等も含む。

［００２６］

また、本明細書等において、電気回路における「端子」とは、電流の入力または出力、電圧の入力または出力、もしくは、信号の受信または送信が行なわれる部位を言う。よって、配線または電極の一部が端子として機能する場合がある。

［００２７］

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層Ａ上の電極Ｂ」の表現であれば、絶縁層Ａの上に電極Ｂが直接接して形成されている必要はなく、絶縁層Ａと電極Ｂとの間に他の構成要素を含むものを除外しない。

［００２８］

また、ソースおよびドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合等、動作条件等によって互いに入れ替わるため、いずれがソースまたはドレインであるかを限定することが困難である。このため、本明細書においては、ソースおよびドレインの用語は、入れ替えて用いることができるものとする。

［００２９］

また、本明細書等において、「電気的に接続」には、直接接続している場合と、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。よって、「電気的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。

［００３０］

なお、本明細書等において、計数値および計量値に関して「同一」、「同じ」、「等しい」または「均一」等と言う場合は、明示されている場合を除き、プラスマイナス２０％の誤差を含むものとする。

［００３１］

また、電圧は、ある電位と、基準の電位（例えば接地電位またはソース電位）との電位差のことを示す場合が多い。よって、電圧と電位は互いに言い換えることが可能な場合が多い。本明細書等では、特段の明示が無いかぎり、電圧と電位を言い換えることができるものとする。

［００３２］

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する。よって、「半導体」を「絶縁体」に置き換えて用いることも可能である。この場合、

「半導体」と「絶縁体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「絶縁体」は、互いに読み換えることができる場合がある。

［００３３］

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する。よって、「半導体」を「導電体」に置き換えて用いることも可能である。この場合、「半導体」と「導電体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「導電体」は、互いに読み換えることができる場合がある。

［００３４］

なお、本明細書等における「第１」、「第２」等の序数詞は、構成要素の混同を避けるために付すものであり、工程順または積層順等、なんらかの順番や順位を示すものではない。また、本明細書等において序数詞が付されていない用語であっても、構成要素の混同を避けるため、特許請求の範囲において序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲において異なる序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲等において序数詞を省略する場合がある。

［００３５］

なお、本明細書等において、トランジスタの「オン状態」とは、トランジスタのソースとドレインが電気的に短絡しているとみなせる状態をいう。また、トランジスタの「オフ状態」とは、トランジスタのソースとドレインが電気的に遮断しているとみなせる状態をいう。

［００３６］

また、本明細書等において、「オン電流」とは、トランジスタがオン状態の時にソースとドレイン間に流れる電流をいう場合がある。また、「オフ電流」とは、トランジスタがオフ状態である時にソースとドレイン間に流れる電流をいう場合がある。

［００３７］

また、本明細書等において、ゲートとは、ゲート電極およびゲート配線の一部または全部のことをいう。ゲート配線とは、少なくとも一つのトランジスタのゲート電極と、別の電極や別の配線とを電気的に接続させるための配線のことをいう。

［００３８］

また、本明細書等において、ソースとは、ソース領域、ソース電極、およびソース配線の一部または全部のことをいう。ソース領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ソース電極とは、ソース領域に接続される部分の導電層のことをいう。ソース配線とは、少なくとも一つのトランジスタのソース電極と、別の電極や別の配線とを電気的に接続させるための配線のことをいう。

［００３９］

また、本明細書等において、ドレインとは、ドレイン領域、ドレイン電極、およびドレイン配線の一部または全部のことをいう。ドレイン領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ドレイン電極とは、ドレイン領域に接続される部分の導電層のことをいう。ドレイン配線とは、少なくとも一つのトランジスタのドレイン電極と、別の電極や別の配線とを電気的に接続させるための配線のことをいう。

［００４０］

本明細書等において、金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）とは、広い意味での金属の酸化物で

ある。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒまたは単にＯＳともいう）等に分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、ＯＳトランジスタと記載する場合においては、酸化物または酸化物半導体を有するトランジスタと換言することができる。

［００４１］

（実施の形態１）

本実施の形態では、本発明の一態様である通信装置について説明する。

［００４２］

図１は、本発明の一態様の通信装置である通信装置１０の構成例を示す図である。通信装置１０は、アンテナ１１、増幅器１２、増幅器１３、移相器１４、増幅器１５、インダクタ１６、およびインダクタ１７を有する。なお、インダクタはコイルともいう。また、インダクタ１６とインダクタ１７は、互いに対向するように設けられる。

［００４３］

通信装置１０は、無線通信を行う機能を有する。例えば、通信装置１０と、基地局と、の間で、信号の授受を行うことにより、当該信号が表す情報のやり取りを行うことができる。

［００４４］

アンテナ１１は、通信装置１０の外部から信号を受信する機能を有する。また、アンテナ１１は、信号を通信装置１０の外部に送信する機能を有する。例えば、アンテナ１１は、基地局が電波として送信した信号を受信する機能を有する。また、例えばアンテナ１１は、信号を電波として通信装置１０の外部に送信する機能を有する。

［００４５］

以上より、通信装置１０が送受信する信号は、波とすることができる。本明細書等において、波である信号を、信号波と呼ぶ場合がある。

［００４６］

増幅器１２は、アンテナ１１が受信した信号を増幅し、増幅器１３に出力する機能を有する。また、増幅器１２は、増幅器１３から入力された信号を増幅し、アンテナ１１に出力する機能を有する。増幅器１２は、パワーアンプとしての機能を有し、アンテナ１１が受信した信号、および増幅器１３から入力された信号を、大幅に増幅することができる。また、増幅器１２は、低ノイズアンプとしての機能を有し、アンテナ１１が受信した信号、および増幅器１３から入力された信号を、高精度に増幅することができる。

［００４７］

増幅器１３は、増幅器１２から入力された信号を増幅し、移相器１４に出力する機能を有する。また、増幅器１３は、移相器１４から入力された信号を増幅し、増幅器１２に出力する機能を有する。増幅器１３は、ＲＦ（Ｒａｄｉｏ　Ｆｒｅｑｕｅｎｃｙ）アンプとしての機能を有し、高周波の信号を増幅することができる。よって、増幅器１３を設けることにより、通信装置１０は高周波の信号の授受を行うことができる。したがって、通信装置１０に増幅器１３を設けることにより、通信装置１０は、例えば第５世代移動通信システム（５Ｇ）を用いた無線通信を行うことができる。

［００４８］

移相器１４は、信号の移相を変化させる機能を有する。通信装置１０が移相器１４を有することに

より、通信装置１０が高周波の信号を送受信する場合であっても、当該信号の位相を高精度に制御することができる。よって、通信装置１０が高周波の信号を送受信する場合であっても、ビームフォーミングを行うことができる。これにより、通信装置１０は、遠くから送信された信号を受信することができる。また、通信装置１０は、信号を遠くまで送信することができる。したがって、通信装置１０に移相器１４を設けることにより、通信装置１０は、例えば５Ｇを用いた無線通信を行うことができる。

［００４９］

増幅器１５は、移相器１４から入力された信号を増幅し、インダクタ１６に出力する機能を有する。また、増幅器１５は、インダクタ１６から入力された信号を増幅し、移相器１４に出力する機能を有する。増幅器１５は、アイソレーションアンプとしての機能を有する。よって、増幅器１５に入力された信号に含まれるノイズを除去することができる。

［００５０］

インダクタ１６に入力された信号は、電磁誘導によりインダクタ１７に供給される。通信装置１０にインダクタ１６およびインダクタ１７を設けることにより、例えばインピーダンス整合を行うことができる。これにより、信号の伝送を効率的に行うことができる。

［００５１］

インダクタ１７の一方の端子は、配線１８と電気的に接続されている。インダクタ１７の他方の端子は、配線１９と電気的に接続されている。配線１９は、電源線としての機能を有する。配線１９の電位は、例えば低電位とすることができ、例えば接地電位とすることができる。

［００５２］

図２は、増幅回路２０の構成例を示す図である。図１に示す増幅器１２、増幅器１３、移相器１４、および増幅器１５は、増幅回路２０を有する構成とすることができる。

［００５３］

増幅回路２０は、トランジスタ２１ａと、トランジスタ２１ｂと、トランジスタ２２ａと、トランジスタ２２ｂと、負荷２３ａと、負荷２３ｂと、トランジスタ３１ａと、トランジスタ３１ｂと、トランジスタ３２ａと、トランジスタ３２ｂと、負荷３３ａと、負荷３３ｂと、端子４０ａと、端子４０ｂと、電位生成回路４４と、端子５０ａと、端子５０ｂと、電位生成回路５４と、を有する。なお、電位生成回路４４、および電位生成回路５４は増幅回路２０の外部に設けてもよい。

［００５４］

以下では、トランジスタ２１ａ、トランジスタ２１ｂ、トランジスタ２２ａ、トランジスタ２２ｂ、トランジスタ３１ａ、トランジスタ３１ｂ、トランジスタ３２ａ、およびトランジスタ３２ｂはすべてｎチャネル型トランジスタとして説明する。しかしながら、必要に応じて、または適宜電位の大小関係を入れ替えること等により、上記トランジスタのいずれかまたはすべてをｐチャネル型トランジスタとしてもよい。例えば、図３に示すように、トランジスタ２１ａ、トランジスタ２１ｂ、トランジスタ２２ａ、トランジスタ２２ｂ、トランジスタ３１ａ、トランジスタ３１ｂ、トランジスタ３２ａ、およびトランジスタ３２ｂをすべてｐチャネル型トランジスタとしてもよい。

［００５５］

トランジスタ２１ａのソースまたはドレインの一方は、トランジスタ２２ａのソースまたはドレインの一方と電気的に接続されている。トランジスタ２１ｂのソースまたはドレインの一方は、トランジスタ２２ｂのソースまたはドレインの一方と電気的に接続されている。トランジスタ３１ａの

ソースまたはドレインの一方は、トランジスタ３２ａのソースまたはドレインの一方と電気的に接続されている。トランジスタ３１ｂのソースまたはドレインの一方は、トランジスタ３２ｂのソースまたはドレインの一方と電気的に接続されている。

［００５６］

トランジスタ２１ａのソースまたはドレインの他方、およびトランジスタ２１ｂのソースまたはドレインの他方は、配線４１と電気的に接続されている。トランジスタ２２ａのゲート、およびトランジスタ２２ｂのゲートは、配線４２と電気的に接続されている。トランジスタ３１ａのソースまたはドレインの他方、およびトランジスタ３１ｂのソースまたはドレインの他方は、配線５１と電気的に接続されている。トランジスタ３２ａのゲート、およびトランジスタ３２ｂのゲートは、配線５２と電気的に接続されている。

［００５７］

電位生成回路４４は、配線４２と電気的に接続されている。電位生成回路５４は、配線５２と電気的に接続されている。

［００５８］

端子４０ａは、トランジスタ２１ａのゲート、トランジスタ３２ａのソースまたはドレインの他方、および負荷３３ａと電気的に接続されている。端子４０ｂは、トランジスタ２１ｂのゲート、トランジスタ３２ｂのソースまたはドレインの他方、および負荷３３ｂと電気的に接続されている。端子５０ａは、トランジスタ３１ａのゲート、トランジスタ２２ａのソースまたはドレインの他方、および負荷２３ａと電気的に接続されている。端子５０ｂは、トランジスタ３１ｂのゲート、トランジスタ２２ｂのソースまたはドレインの他方、および負荷２３ｂと電気的に接続されている。負荷２３ａおよび負荷２３ｂは、配線４３と電気的に接続されている。負荷３３ａおよび負荷３３ｂは、配線５３と電気的に接続されている。

［００５９］

配線４１、配線４３、配線５１、および配線５３は、電源線としての機能を有する。配線４１、配線４３、配線５１、および配線５３の電位は、例えば定電位とすることができる。例えば、配線４１および配線５１の電位を低電位とし、配線４３および配線５３の電位を高電位とすることができる。

［００６０］

ここで、同じ電位が供給される電源線は、互いに電気的に接続することができる。例えば、配線４１と配線５１は、互いに電気的に接続することができる。また、配線４３と配線５３は、互いに電気的に接続することができる。つまり、配線４１と配線５１は、同一の配線とすることができると言ってもよく、配線４３と配線５３は、同一の配線とすることができると言ってもよい。

［００６１］

配線４２および配線５２には、バイアス電位を供給することができる。よって、トランジスタ２２ａ、トランジスタ２２ｂ、トランジスタ３２ａ、およびトランジスタ３２ｂは、バイアストランジスタとして機能することができる。ここで、バイアス電位は、バイアストランジスタとして機能するトランジスタが飽和領域で動作する電位とすることができる。

［００６２］

配線４２に供給する電位は、電位生成回路４４が生成することができる。配線５２に供給する電位は、電位生成回路５４が生成することができる。

［００６３］

また、詳細は後述するが、端子４０ａに信号が入力された場合は、当該信号に対応する信号が端子５０ａから出力され、端子４０ｂに信号が入力された場合は、当該信号に対応する信号が端子５０ｂから出力される。この場合、端子４０ａおよび端子４０ｂは入力端子となり、端子５０ａおよび端子５０ｂは出力端子となる。一方、端子５０ａに信号が入力された場合は、当該信号に対応する信号が端子４０ａから出力され、端子５０ｂに信号が入力された場合は、当該信号に対応する信号が端子４０ｂから出力される。この場合、端子４０ａおよび端子４０ｂは出力端子となり、端子５０ａおよび端子５０ｂは入力端子となる。以上より、端子４０ａ、端子４０ｂ、端子５０ａ、および端子５０ｂは、入力端子としての機能と、出力端子としての機能と、の両方を有するということができる。

［００６４］

ここで、バイアストランジスタとして機能することができるトランジスタ２２ａ、トランジスタ２２ｂ、トランジスタ３２ａ、およびトランジスタ３２ｂのチャネル幅と、チャネル長と、の比は大きいことが好ましい。例えば、トランジスタ２２ａのチャネル幅と、チャネル長と、の比（チャネル幅／チャネル長）は、トランジスタ２１ａのチャネル幅と、チャネル長と、の比以上であることが好ましい。また、トランジスタ２２ｂのチャネル幅と、チャネル長と、の比は、トランジスタ２１ｂのチャネル幅と、チャネル長と、の比以上であることが好ましい。また、トランジスタ３２ａのチャネル幅と、チャネル長と、の比は、トランジスタ３１ａのチャネル幅と、チャネル長と、の比以上であることが好ましい。さらに、トランジスタ３２ｂのチャネル幅と、チャネル長と、の比は、トランジスタ３１ｂのチャネル幅と、チャネル長と、の比以上であることが好ましい。バイアストランジスタとして機能することができるトランジスタ２２ａ、トランジスタ２２ｂ、トランジスタ３２ａ、およびトランジスタ３２ｂのチャネル幅と、チャネル長と、の比を大きくすることにより、ミラー効果を抑制することができる。

［００６５］

または、バイアストランジスタとして機能することができるトランジスタ２２ａ、トランジスタ２２ｂ、トランジスタ３２ａ、およびトランジスタ３２ｂのチャネル幅と、チャネル長と、の積は大きいことが好ましい。例えば、トランジスタ２２ａのチャネル幅と、チャネル長と、の積は、トランジスタ２１ａのチャネル幅と、チャネル長と、の積以上であることが好ましい。また、トランジスタ２２ｂのチャネル幅と、チャネル長と、の積は、トランジスタ２１ｂのチャネル幅と、チャネル長と、の積以上であることが好ましい。また、トランジスタ３２ａのチャネル幅と、チャネル長と、の積は、トランジスタ３１ａのチャネル幅と、チャネル長と、の積以上であることが好ましい。さらに、トランジスタ３２ｂのチャネル幅と、チャネル長と、の積は、トランジスタ３１ｂのチャネル幅と、チャネル長と、の積以上であることが好ましい。バイアストランジスタとして機能することができるトランジスタ２２ａ、トランジスタ２２ｂ、トランジスタ３２ａ、およびトランジスタ３２ｂは、チャネル長またはチャネル幅を大きくしても、周波数特性が低下しないためである。

［００６６］

または、バイアストランジスタとして機能することができるトランジスタ２２ａ、トランジスタ２２ｂ、トランジスタ３２ａ、およびトランジスタ３２ｂのチャネル長は大きいことが好ましい。例えば、トランジスタ２２ａのチャネル長は、トランジスタ２１ａのチャネル長より大きいことが好ましい。また、トランジスタ２２ｂのチャネル長は、トランジスタ２１ｂのチャネル長より大きい

ことが好ましい。また、トランジスタ３２ａのチャネル長は、トランジスタ３１ａのチャネル長より大きいことが好ましい。さらに、トランジスタ３２ｂのチャネル長は、トランジスタ３１ｂのチャネル長より大きいことが好ましい。バイアストランジスタとして機能することができるトランジスタ２２ａ、トランジスタ２２ｂ、トランジスタ３２ａ、およびトランジスタ３２ｂのチャネル長を大きくすることにより、当該トランジスタのドレイン電位と、ソース電位と、の差である電圧Ｖｄｓが大きくなっても、ゲート電位が一定であれば、当該トランジスタを流れるドレイン電流の増加を抑制することができる。

［００６７］

また、トランジスタ２１ａのしきい値電圧は、トランジスタ２２ａのしきい値電圧より大きく、トランジスタ２１ｂのしきい値電圧は、トランジスタ２２ｂのしきい値電圧より大きく、トランジスタ３１ａのしきい値電圧は、トランジスタ３２ａのしきい値電圧より大きく、トランジスタ３１ｂのしきい値電圧は、トランジスタ３２ｂのしきい値電圧より大きいことが好ましい。特に、トランジスタ２１ａ、トランジスタ２１ｂ、トランジスタ３１ａ、およびトランジスタ３１ｂはノーマリーオフであり、トランジスタ２２ａ、トランジスタ２２ｂ、トランジスタ３２ａ、およびトランジスタ３２ｂはノーマリーオンであることが好ましい。これにより、トランジスタ２２ａのゲートーソース間電圧Ｖｇｓ、トランジスタ２２ｂの電圧Ｖｇｓ、トランジスタ３２ａの電圧Ｖｇｓ、およびトランジスタ３２ｂの電圧Ｖｇｓが小さくなる。よって、バイアストランジスタとして機能することができるトランジスタ２２ａ、トランジスタ２２ｂ、トランジスタ３２ａ、およびトランジスタ３２ｂが飽和領域で動作する、ドレインーソース間電圧Ｖｄｓの範囲を広くすることができる。

［００６８］

図４Ａおよび図４Ｂを用いて、図２に示す構成の増幅回路２０の動作方法の一例を説明する。図４Ａは、端子４０ａを入力端子ＩＮａ、端子４０ｂを入力端子ＩＮｂ、端子５０ａを出力端子ＯＵＴａ、端子５０ｂを出力端子ＯＵＴｂとする場合の、図２に示す構成の増幅回路２０の動作方法の一例を示す図である。図４Ｂは、端子５０ａを入力端子ＩＮａ、端子５０ｂを入力端子ＩＮｂ、端子４０ａを出力端子ＯＵＴａ、端子４０ｂを出力端子ＯＵＴｂとする場合の、図２に示す構成の増幅回路２０の動作方法の一例を示す図である。ここで、入力端子ＩＮｂには、入力端子ＩＮａに入力した信号と逆位相の関係にある信号を入力することができる。

［００６９］

なお、図４Ａおよび図４Ｂにおいて、電位ＶＤＤは高電位を示し、電位ＶＳＳは低電位を示す。他の図でも同様の記載をする。

［００７０］

まず、端子４０ａおよび端子４０ｂに信号を入力する場合について説明する。この場合は、図４Ａに示すように、配線４２の電位はバイアス電位Ｖｂとし、配線５２の電位は低電位とする。これにより、トランジスタ２２ａおよびトランジスタ２２ｂは、バイアストランジスタとして機能する。一方、トランジスタ３２ａおよびトランジスタ３２ｂは、オフ状態となる。

［００７１］

図４Ａおよび図４Ｂにおいて、入力端子ＩＮａから出力端子ＯＵＴａへの信号の伝送、および入力端子ＩＮｂから出力端子ＯＵＴｂへの信号の伝送に寄与しないトランジスタ、負荷、回路、および配線を点線で示す。例えば、図４Ａに示すように、トランジスタ３２ａおよびトランジスタ３２ｂはオフ状態となっているため、入力端子ＩＮａから出力端子ＯＵＴａへの信号の伝送、および入力

端子ＩＮｂから出力端子ＯＵＴｂへの信号の伝送に寄与しない。また、トランジスタ３２ａおよびトランジスタ３２ｂがオフ状態となっているため、トランジスタ３１ａおよびトランジスタ３１ｂにも電流が流れず、入力端子ＩＮａから出力端子ＯＵＴａへの信号の伝送、および入力端子ＩＮｂから出力端子ＯＵＴｂへの信号の伝送に寄与しない。さらに、オフ状態となっているトランジスタ３２ａのソースまたはドレインの他方と電気的に接続されている負荷３３ａ、およびオフ状態となっているトランジスタ３２ｂのソースまたはドレインの他方と電気的に接続されている負荷３３ｂも、入力端子ＩＮａから出力端子ＯＵＴａへの信号の伝送、および入力端子ＩＮｂから出力端子ＯＵＴｂへの信号の伝送に寄与しない。以上より、図４Ａでは、トランジスタ３１ａ、トランジスタ３１ｂ、トランジスタ３２ａ、トランジスタ３２ｂ、負荷３３ａ、および負荷３３ｂと、これらと電気的に接続されている回路および配線の一部と、を点線で示している。

［００７２］

図５Ａは、図４Ａに示すトランジスタ２１（トランジスタ２１ａ、またはトランジスタ２１ｂ）、トランジスタ２２（トランジスタ２２ａ、またはトランジスタ２２ｂ）、負荷２３（負荷２３ａ、または負荷２３ｂ）、端子４０（端子４０ａ、または端子４０ｂ）、配線４１、配線４２、配線４３、および端子５０（端子５０ａ、または端子５０ｂ）を抜き出した図である。なお、端子４０を入力端子ＩＮ（入力端子ＩＮａ、または入力端子ＩＮｂ）とし、端子５０を出力端子ＯＵＴ（出力端子ＯＵＴａ、または出力端子ＯＵＴｂ）とする。

［００７３］

図５Ｂは、図５Ａに示す回路から、トランジスタ２２、および配線４２を省略した構成の回路を示す図である。図５Ｂに示す構成の回路では、端子５０は、トランジスタ２１のソースまたはドレインの一方、および負荷２３と電気的に接続されている。

［００７４］

まず、図５Ｂに示す構成について考える。図５Ｂに示す場合では、トランジスタ２１はｎチャネル型トランジスタとする。また、負荷２３を介してトランジスタ２１のソースまたはドレインの一方と電気的に接続されている配線４３の電位は高電位であり、トランジスタ２１のソースまたはドレインの他方と電気的に接続されている配線４１の電位は低電位である。よって、トランジスタ２１のソースまたはドレインの一方はドレインとすることができ、トランジスタ２１のソースまたはドレインの他方はソースとすることができる。

［００７５］

図５Ｂに示す場合では、入力端子ＩＮの電位が大きくなると、トランジスタ２１のソース電位は低電位で固定されていることから、トランジスタ２１のゲート電位と、ソース電位と、の差である電圧Ｖｇｓが大きくなる。これにより、トランジスタ２１のオン抵抗が低下するため、トランジスタ２１のドレイン電位と、ソース電位と、の差である電圧Ｖｄｓが小さくなる。前述のように、トランジスタ２１のソース電位は低電位で固定されていることから、トランジスタ２１のドレイン電位が小さくなる。ここで、トランジスタ２１が線形領域で動作すると、飽和領域で動作する場合より、トランジスタ２１の相互コンダクタンスｇｍ（Ｉｄｓ／Ｖｇｓ、Ｉｄｓはドレイン電流）は小さくなる。よって、出力端子ＯＵＴから出力される信号の電位の、入力端子ＩＮから入力される信号の電位に対する増幅率（「利得」または「ゲイン」ともいう）が小さくなる。したがって、トランジスタ２１は、飽和領域で動作させることが好ましい。以上より、入力端子ＩＮの電位が大きくなりすぎると電圧Ｖｄｓが大幅に低下し、トランジスタ２１が線形領域で動作することから、トランジ

スタ２１を飽和領域で動作させるためには、入力端子ＩＮの電位は所定の値以下とする必要がある。

［００７６］

次に、図５Ａに示す場合について考える。図５Ａに示す場合でも、図５Ｂに示す場合と同様にトランジスタ２１をｎチャネル型トランジスタとすると、トランジスタ２１のソースまたはドレインの一方はドレインとすることができ、トランジスタ２１のソースまたはドレインの他方はソースとすることができる。また、トランジスタ２２のソースまたはドレインの一方はソースとすることができ、トランジスタ２２のソースまたはドレインの他方はドレインとすることができる。

［００７７］

図５Ａに示す場合において、入力端子ＩＮの電位が大きくなると、トランジスタ２１のオン抵抗が低下する。ここで、トランジスタ２１と、トランジスタ２２と、は直列に接続されている。よって、トランジスタ２１のドレイン電流の大きさと、トランジスタ２２のドレイン電流の大きさと、は等しくなる。したがって、トランジスタ２２のゲート電位（バイアス電位Ｖｂ）と、ソース電位（トランジスタ２１のドレイン電位）と、の差は、トランジスタ２１のゲート電位（入力端子ＩＮの電位）と、ソース電位（低電位）と、の差に対応する大きさとなる。例えば、トランジスタ２２の電気特性が、トランジスタ２１の電気特性と等しい場合は、トランジスタ２２のゲート電位と、ソース電位と、の差は、トランジスタ２１のゲート電位と、ソース電位と、の差と等しくなる。ここで、例えばトランジスタ２１とトランジスタ２２のチャネル長、チャネル幅、構成材料等が全て等しい場合に、トランジスタ２１とトランジスタ２２の電気特性が等しくなる。

［００７８］

以上より、トランジスタ２１のオン抵抗が低下した場合であっても、トランジスタ２１のドレイン電位と、ソース電位と、の差である電圧Ｖｄｓは、図５Ｂに示す場合よりは低下しない。したがって、トランジスタ２１を飽和領域で動作させるための入力端子ＩＮの電位の上限値は、図５Ｂに示す場合より大きくなる。以上により、増幅回路２０が、バイアストランジスタとして機能することができるトランジスタ２２を有することにより、入力端子ＩＮに入力することができる信号の電位の幅を広げることができる。よって、通信装置１０が送受信することができる信号の電位の幅を広げることができる。

［００７９］

次に、端子５０ａおよび端子５０ｂに信号を入力する場合について説明する。この場合は、図４Ｂに示すように、配線４２の電位は低電位とし、配線５２の電位はバイアス電位とする。これにより、トランジスタ２２ａおよびトランジスタ２２ｂは、オフ状態となる。一方、トランジスタ３２ａおよびトランジスタ３２ｂは、バイアストランジスタとして機能する。

［００８０］

図４Ｂに示すように、トランジスタ２２ａおよびトランジスタ２２ｂはオフ状態となっているため、入力端子ＩＮａから出力端子ＯＵＴａへの信号の伝送、および入力端子ＩＮｂから出力端子ＯＵＴｂへの信号の伝送に寄与しない。また、トランジスタ２２ａおよびトランジスタ２２ｂはオフ状態となっているため、トランジスタ２１ａおよびトランジスタ２１ｂにも電流が流れず、入力端子ＩＮａから出力端子ＯＵＴａへの信号の伝送、および入力端子ＩＮｂから出力端子ＯＵＴｂへの信号の伝送に寄与しない。さらに、オフ状態となっているトランジスタ２２ａのソースまたはドレインの他方と電気的に接続されている負荷２３ａ、およびオフ状態となっているトランジスタ２２ｂのソースまたはドレインの他方と電気的に接続されている負荷２３ｂも、入力端子ＩＮａから出力端

子ＯＵＴａへの信号の伝送、および入力端子ＩＮｂから出力端子ＯＵＴｂへの信号の伝送に寄与しない。以上より、図４Ｂでは、トランジスタ２１ａ、トランジスタ２１ｂ、トランジスタ２２ａ、トランジスタ２２ｂ、負荷２３ａ、および負荷２３ｂと、これらと電気的に接続されている回路および配線の一部と、を点線で示している。

［００８１］

図６Ａ１乃至図６Ａ４は、負荷２３の構成例を示す図である。なお、図６Ａ１乃至図６Ａ４では、説明の便宜のため配線４３、および端子５０も示している。

［００８２］

図６Ａ１に示すように、負荷２３は抵抗を有してもよい。また、図６Ａ２に示すように、負荷２３はトランジスタを有してもよい。また、図６Ａ３に示すように、負荷２３はトランジスタを有し、当該トランジスタのゲートが端子５０と電気的に接続されていてもよい。さらに、図６Ａ４に示すように、負荷２３はトランジスタを有し、当該トランジスタのゲートが配線４３と電気的に接続されていてもよい。なお、図６Ａ２および図６Ａ３では負荷２３が有するトランジスタをｐチャネル型トランジスタとし、図６Ａ４では負荷２３が有するトランジスタをｎチャネル型トランジスタとしているが、本発明の一態様はこれに限らない。負荷２３が図６Ａ２および図６Ａ３に示す場合であっても、負荷２３が有するトランジスタをｎチャネル型トランジスタとしてもよい。また、負荷２３が図６Ａ４に示す場合であっても、負荷２３が有するトランジスタをｐチャネル型トランジスタとしてもよい。

［００８３］

また、トランジスタ２１と、配線４１と、の間に受動素子を設けてもよい。例えば、図６Ｂ１に示すように、インダクタ１０１を設けてもよい。図６Ｂ１に示す構成では、インダクタ１０１の一方の端子は、トランジスタ２１のソースまたはドレインの他方と電気的に接続され、インダクタ１０１の他方の端子は、配線４１と電気的に接続されている。

［００８４］

また、図６Ｂ２に示すように、インダクタ１０１と、容量１０２と、を設けてもよい。図６Ｂ２に示す構成では、インダクタ１０１の一方の端子、および容量１０２の一方の端子は、トランジスタ２１のソースまたはドレインの他方と電気的に接続されている。また、インダクタ１０１の他方の端子、および容量１０２の他方の端子は、配線４１と電気的に接続されている。

［００８５］

図５Ａ、図５Ｂ、図６Ａ１乃至図６Ａ４、図６Ｂ１、および図６Ｂ２に示す説明は、トランジスタ２１をトランジスタ３１（トランジスタ３１ａ、またはトランジスタ３１ｂ）と、トランジスタ２２をトランジスタ３２（トランジスタ３２ａ、またはトランジスタ３２ｂ）と、負荷２３を負荷３３（負荷３３ａ、または負荷３３ｂ）と、端子４０を端子５０と、配線４１を配線５１と、配線４２を配線５２と、配線４３を配線５３と、端子５０を端子４０とそれぞれ置き換えることにより、図４Ｂに示す場合にも適用することができる。なお、図５Ａに示す構成の回路は、通信装置以外の半導体装置にも適用することができる。例えば、オペアンプの一部として用いることができる。

［００８６］

図４Ａおよび図４Ｂに示すように、配線４２の電位を切り替えることにより、配線４１と、端子５０ａおよび端子５０ｂと、の間の導通／非導通状態を切り替えることができる。また、配線５２の電位を切り替えることにより、配線５１と、端子４０ａおよび端子４０ｂと、の間の導通／非導通

状態を切り替えることができる。以上より、図７Ａ１に示すスイッチ２４、および図７Ａ２に示すスイッチ３４を省略しても、増幅回路２０を正常に動作させることができる。具体的には、端子４０ａおよび端子４０ｂに信号が入力された場合は、当該信号に対応する信号を、端子５０ａおよび端子５０ｂから出力することができる。また、端子５０ａおよび端子５０ｂに信号が入力された場合は、当該信号に対応する信号を、端子４０ａおよび端子４０ｂから出力することができる。なお、スイッチ２４およびスイッチ３４を設けてもよい。この場合、配線４２の電位、および配線５２の電位は、バイアス電位Ｖｂに固定することができる。

［００８７］

なお、スイッチ２４としてトランジスタ２８を設け、スイッチ３４としてトランジスタ３８を設けてもよい。この場合、図７Ｂ１に示すように、トランジスタ２８のソースまたはドレインの一方を、トランジスタ２１ａのソースまたはドレインの他方、およびトランジスタ２１ｂのソースまたはドレインの他方と電気的に接続し、トランジスタ２８のソースまたはドレインの他方を、配線４１と電気的に接続することができる。また、図７Ｂ２に示すように、トランジスタ３８のソースまたはドレインの一方を、トランジスタ３１ａのソースまたはドレインの他方、およびトランジスタ３１ｂのソースまたはドレインの他方と電気的に接続し、トランジスタ３８のソースまたはドレインの他方を、配線５１と電気的に接続することができる。なお、増幅回路２０がトランジスタ２８、およびトランジスタ３８を有する場合、図７Ｂ１および図７Ｂ２に示すように、トランジスタ２８のゲートは配線４２と電気的に接続され、トランジスタ３８のゲートは配線５２と電気的に接続される構成とすることができる。この場合、配線４２の電位は、バイアス電位Ｖｂまたは低電位とすることができる。

［００８８］

図８Ａは、増幅回路２０の構成例を示す図であり、図２に示す構成の変形例である。図８Ａに示す構成の増幅回路２０は、トランジスタ２２ａのゲートと、トランジスタ２２ｂのゲートと、が異なる配線と電気的に接続され、トランジスタ３２ａのゲートと、トランジスタ３２ｂのゲートと、が異なる配線と電気的に接続されている点が、図２に示す構成の増幅回路２０と異なる。

［００８９］

図８Ａに示す構成の増幅回路２０では、配線４２ａを介して、トランジスタ２２ａのゲートと、電位生成回路４４ａと、が電気的に接続されている。また、配線４２ｂを介して、トランジスタ２２ｂのゲートと、電位生成回路４４ｂと、が電気的に接続されている。また、配線５２ａを介して、トランジスタ３２ａのゲートと、電位生成回路５４ａと、が電気的に接続されている。さらに、配線５２ｂを介して、トランジスタ３２ｂのゲートと、電位生成回路５４ｂと、が電気的に接続されている。

［００９０］

図８Ａに示す構成の増幅回路２０では、配線４２ａに供給する電位は、電位生成回路４４ａが生成することができ、配線４２ｂに供給する電位は、電位生成回路４４ｂが生成することができる。また、配線５２ａに供給する電位は、電位生成回路５４ａが生成することができ、配線５２ｂに供給する電位は、電位生成回路５４ｂが生成することができる。

［００９１］

図８Ｂは、増幅回路２０の構成例を示す図であり、図２に示す構成の変形例である。図８Ｂに示す構成の増幅回路２０は、負荷２３ａ、負荷２３ｂ、負荷３３ａ、負荷３３ｂ、配線４３、および配

線５３が設けられていない点が、図２に示す構成の増幅回路２０と異なる。

［００９２］

図９Ａは、増幅回路２０の構成例を示す図であり、図２に示す構成の変形例である。図９Ａに示す構成の増幅回路２０は、トランジスタ２２ａ、トランジスタ２２ｂ、トランジスタ３２ａ、およびトランジスタ３２ｂにバックゲートが設けられている点が、図２に示す構成の増幅回路２０と異なる。

［００９３］

本明細書等において、単に「ゲート」という場合、フロントゲートを示す場合がある。または、フロントゲートおよびバックゲートの一方、または双方を示す場合がある。

［００９４］

トランジスタ２２ａが有するバックゲートは、端子４０ａと電気的に接続されている。トランジスタ２２ｂが有するバックゲートは、端子４０ｂと電気的に接続されている。トランジスタ３２ａが有するバックゲートは、端子５０ａと電気的に接続されている。トランジスタ３２ｂが有するバックゲートは、端子５０ｂと電気的に接続されている。

［００９５］

図９Ｂは、図９Ａに示すトランジスタ２１、トランジスタ２２、負荷２３、端子４０、配線４１、配線４２、配線４３、および端子５０を抜き出した図である。なお、端子４０を入力端子ＩＮとし、端子５０を出力端子ＯＵＴとする。

［００９６］

図９Ｂに示す場合において、入力端子ＩＮの電位が大きくなると、トランジスタ２１のゲート電位（入力端子ＩＮの電位）と、ソース電位（低電位）と、の差である電圧Ｖｇｓが大きくなるため、トランジスタ２１のオン抵抗が低下し、トランジスタ２１のドレイン電流が大きくなる。よって、トランジスタ２１と直列に接続されているトランジスタ２２のドレイン電流も大きくなる。ここで、トランジスタ２２のバックゲートが、入力端子ＩＮと電気的に接続されているため、入力端子ＩＮの電位の増加に伴い、トランジスタ２２のしきい値電圧が低下する。よって、例えば、トランジスタ２１とトランジスタ２２のチャネル長、チャネル幅、構成材料等がすべて等しい場合であっても、入力端子ＩＮの電位の増加に伴うトランジスタ２２のゲート電位と、ソース電位と、の差の大きさの増加幅を、トランジスタ２１のゲート電位と、ソース電位と、の差の大きさの増加幅より小さくすることができる。

［００９７］

以上より、入力端子ＩＮの電位の増加に伴う、トランジスタ２１のドレイン電位（トランジスタ２２のソース電位）の低下を抑制することができるため、トランジスタ２１のドレイン電位と、ソース電位と、の差である電圧Ｖｄｓの低下を抑制することができる。したがって、トランジスタ２１を飽和領域で動作させるための入力端子ＩＮの電位の上限値を大きくすることができる。これにより、入力端子ＩＮに入力することができる信号の電位の幅を広げることができる。よって、通信装置１０が送受信することができる信号の電位の幅を広げることができる。

［００９８］

なお、図９Ｂに示す構成の回路は、通信装置以外の半導体装置にも適用することができる。例えば、オペアンプが有する増幅回路の一部として用いることができる。

［００９９］

図１０は、増幅器１２の構成例を示す図である。なお、説明の便宜のため、図１０にはアンテナ１１も示している。

［０１００］

増幅器１２は、増幅回路２０の他、移相器６１、容量６２、スイッチ６３、移相器６４、インダクタ６５、およびインダクタ６６を有する構成とすることができる。ここで、インダクタ６５とインダクタ６６は、互いに対向するように設けられる。

［０１０１］

図１０では、増幅回路２０を図２に示す構成としている。なお、増幅器１２が有する増幅回路２０の構成は、本実施の形態で示した他の構成としてもよい。また、増幅器１２が有する増幅回路２０は、以降の実施の形態で示す構成としてもよい。

［０１０２］

アンテナ１１は、移相器６１の一方の端子と電気的に接続されている。移相器６１の他方の端子は、容量６２の一方の端子と電気的に接続されている。容量６２の一方の端子は、移相器６４の一方の端子と電気的に接続されている。容量６２の他方の端子は、スイッチ６３の一方の端子と電気的に接続されている。スイッチ６３の他方の端子は、配線７３と電気的に接続されている。移相器６４の他方の端子は、インダクタ６５の一方の端子と電気的に接続されている。インダクタ６５の他方の端子は、配線７５と電気的に接続されている。インダクタ６６の一方の端子は、端子４０ａと電気的に接続されている。インダクタ６６の他方の端子は、端子４０ｂと電気的に接続されている。

［０１０３］

配線７３および配線７５は、電源線としての機能を有する。配線７３の電位、および配線７５の電位は、例えば低電位とすることができ、例えば接地電位とすることができる。

［０１０４］

本実施の形態に示す構成、構造、方法等は、他の実施の形態等に示す構成、構造、方法等と適宜組み合わせて用いることができる。

［０１０５］

（実施の形態２）

本実施の形態では、実施の形態１で示した通信装置の変形例を説明する。具体的には、増幅回路２０の変形例を説明する。なお、本実施の形態では、実施の形態１で示した通信装置と同様の構成等については、適宜説明を省略する。

［０１０６］

図１１は、増幅回路２０の構成例を示す図であり、図２に示す構成の変形例である。図１１に示す構成の増幅回路２０は、オペアンプ２５ａと、オペアンプ２５ｂと、オペアンプ３５ａと、オペアンプ３５ｂと、を有する点が、図２に示す構成の増幅回路２０と異なる。

［０１０７］

なお、図１１では、トランジスタ２１ａ、トランジスタ２１ｂ、トランジスタ２２ａ、トランジスタ２２ｂ、トランジスタ３１ａ、トランジスタ３１ｂ、トランジスタ３２ａ、およびトランジスタ３２ｂはすべてｎチャネル型トランジスタとしている。しかしながら、上記トランジスタのいずれかまたはすべてをｐチャネル型トランジスタとしてもよい。例えば、図１２に示すように、トランジスタ２１ａ、トランジスタ２１ｂ、トランジスタ２２ａ、トランジスタ２２ｂ、トランジスタ３１ａ、トランジスタ３１ｂ、トランジスタ３２ａ、およびトランジスタ３２ｂをすべてｐチャネル

型トランジスタとしてもよい。

［０１０８］

トランジスタ２１ａのソースまたはドレインの一方は、トランジスタ２２ａのソースまたはドレインの一方と電気的に接続されている。トランジスタ２１ｂのソースまたはドレインの一方は、トランジスタ２２ｂのソースまたはドレインの一方と電気的に接続されている。トランジスタ３１ａのソースまたはドレインの一方は、トランジスタ３２ａのソースまたはドレインの一方と電気的に接続されている。トランジスタ３１ｂのソースまたはドレインの一方は、トランジスタ３２ｂのソースまたはドレインの一方と電気的に接続されている。

［０１０９］

トランジスタ２１ａのソースまたはドレインの他方、およびトランジスタ２１ｂのソースまたはドレインの他方は、配線４１と電気的に接続されている。トランジスタ３１ａのソースまたはドレインの他方、およびトランジスタ３１ｂのソースまたはドレインの他方は、配線５１と電気的に接続されている。

［０１１０］

電位生成回路４４は、配線４２と電気的に接続されている。電位生成回路５４は、配線５２と電気的に接続されている。

［０１１１］

オペアンプ２５ａの非反転入力端子、およびオペアンプ２５ｂの非反転入力端子は、配線４２と電気的に接続されている。オペアンプ３５ａの非反転入力端子、およびオペアンプ３５ｂの非反転入力端子は、配線５２と電気的に接続されている。オペアンプ２５ａの反転入力端子は、トランジスタ２１ａのソースまたはドレインの一方、およびトランジスタ２２ａのソースまたはドレインの一方と電気的に接続されている。オペアンプ２５ｂの反転入力端子は、トランジスタ２１ｂのソースまたはドレインの一方、およびトランジスタ２２ｂのソースまたはドレインの一方と電気的に接続されている。オペアンプ３５ａの反転入力端子は、トランジスタ３１ａのソースまたはドレインの一方、およびトランジスタ３２ａのソースまたはドレインの一方と電気的に接続されている。オペアンプ３５ｂの反転入力端子は、トランジスタ３１ｂのソースまたはドレインの一方、およびトランジスタ３２ｂのソースまたはドレインの一方と電気的に接続されている。オペアンプ２５ａの出力端子は、トランジスタ２２ａのゲートと電気的に接続されている。オペアンプ２５ｂの出力端子は、トランジスタ２２ｂのゲートと電気的に接続されている。オペアンプ３５ａの出力端子は、トランジスタ３２ａのゲートと電気的に接続されている。オペアンプ３５ｂの出力端子は、トランジスタ３２ｂのゲートと電気的に接続されている。

［０１１２］

端子４０ａは、トランジスタ２１ａのゲート、トランジスタ３２ａのソースまたはドレインの他方、および負荷３３ａと電気的に接続されている。端子４０ｂは、トランジスタ２１ｂのゲート、トランジスタ３２ｂのソースまたはドレインの他方、および負荷３３ｂと電気的に接続されている。端子５０ａは、トランジスタ３１ａのゲート、トランジスタ２２ａのソースまたはドレインの他方、および負荷２３ａと電気的に接続されている。端子５０ｂは、トランジスタ３１ｂのゲート、トランジスタ２２ｂのソースまたはドレインの他方、および負荷２３ｂと電気的に接続されている。負荷２３ａおよび負荷２３ｂは、配線４３と電気的に接続されている。負荷３３ａおよび負荷３３ｂは、配線５３と電気的に接続されている。

［０１１３］

オペアンプは、非反転入力端子の電位と、反転入力端子の電位と、が等しくなるように、出力端子の電位が変化する。よって、オペアンプの非反転入力端子に所定の電位を供給すると、当該オペアンプの出力端子の電位は、上記所定の電位に対応する電位となる。したがって、配線４２にバイアス電位を供給すると、トランジスタ２２ａ、およびトランジスタ２２ｂはバイアストランジスタとして機能する。また、配線５２にバイアス電位を供給すると、トランジスタ３２ａ、およびトランジスタ３２ｂはバイアストランジスタとして機能する。ここで、前述のように、バイアス電位は、バイアストランジスタとして機能するトランジスタが飽和領域で動作する電位とすることができる。

［０１１４］

図１３Ａおよび図１３Ｂを用いて、図１１に示す構成の増幅回路２０の動作方法の一例を説明する。図１３Ａは、端子４０ａを入力端子ＩＮａ、端子４０ｂを入力端子ＩＮｂ、端子５０ａを出力端子ＯＵＴａ、端子５０ｂを出力端子ＯＵＴｂとする場合の、図１１に示す構成の増幅回路２０の動作方法の一例を示す図である。図１３Ｂは、端子５０ａを入力端子ＩＮａ、端子５０ｂを入力端子ＩＮｂ、端子４０ａを出力端子ＯＵＴａ、端子４０ｂを出力端子ＯＵＴｂとする場合の、図１１に示す構成の増幅回路２０の動作方法の一例を示す図である。ここで、入力端子ＩＮｂには、入力端子ＩＮａに入力した信号と逆位相の関係にある信号を入力することができる。

［０１１５］

図１４Ａは、図１３Ａに示すトランジスタ２１（トランジスタ２１ａ、またはトランジスタ２１ｂ）、トランジスタ２２（トランジスタ２２ａ、またはトランジスタ２２ｂ）、負荷２３（負荷２３ａ、または負荷２３ｂ）、オペアンプ２５（オペアンプ２５ａ、またはオペアンプ２５ｂ）、端子４０（端子４０ａ、または端子４０ｂ）、配線４１、配線４２、配線４３、および端子５０（端子５０ａ、または端子５０ｂ）を抜き出した図である。なお、端子４０を入力端子ＩＮ（入力端子ＩＮａ、または入力端子ＩＮｂ）とし、端子５０を出力端子ＯＵＴ（出力端子ＯＵＴａ、または出力端子ＯＵＴｂ）とする。

［０１１６］

図１４Ｂは、図１４Ａに示す回路から、トランジスタ２２、オペアンプ２５、および配線４２を省略した構成の回路を示す図である。図１４Ｂに示す構成の回路では、端子５０は、トランジスタ２１のソースまたはドレインの一方、および負荷２３と電気的に接続されている。

［０１１７］

図１４Ｂに示す構成は、図５Ｂに示す構成と同様である。図１４Ｂに示す構成では、図５Ｂの説明で示したように、トランジスタ２１を飽和領域で動作させるためには、入力端子ＩＮの電位は所定の値以下とする必要がある。

［０１１８］

次に、図１４Ａに示す場合について考える。図１４Ａに示す場合でも、図５Ｂ、および図１４Ｂに示す場合と同様にトランジスタ２１をｎチャネル型トランジスタとすると、トランジスタ２１のソースまたはドレインの一方はドレインとすることができ、トランジスタ２１のソースまたはドレインの他方はソースとすることができる。また、トランジスタ２２のソースまたはドレインの一方はソースとすることができ、トランジスタ２２のソースまたはドレインの他方はドレインとすることができる。

［０１１９］

図１４Ａに示す場合において、入力端子ＩＮの電位が大きくなると、トランジスタ２１のオン抵抗が低下する。しかしながら、トランジスタ２１のドレインは、オペアンプ２５の反転入力端子と電気的に接続されており、オペアンプ２５の非反転入力端子にはバイアス電位Ｖｂが供給されている。よって、トランジスタ２１のオン抵抗が低下しても、トランジスタ２１のドレイン電位の低下を抑制することができる。例えば、トランジスタ２１のドレイン電位を、バイアス電位Ｖｂとすることができる。したがって、トランジスタ２１を飽和領域で動作させるための入力端子ＩＮの電位の上限値は、図１４Ｂに示す場合より大きくなる。以上により、増幅回路２０が、バイアストランジスタとして機能することができるトランジスタ２２と、オペアンプ２５と、を有することにより、入力端子ＩＮに入力することができる信号の電位の幅を広げることができる。よって、通信装置１０が送受信することができる信号の電位の幅を広げることができる。

［０１２０］

図１５Ａは、増幅回路２０の構成例を示す図であり、図１１に示す構成の変形例である。図１５Ａに示す構成の増幅回路２０は、オペアンプ２５ａの非反転入力端子と、オペアンプ２５ｂの非反転入力端子と、が異なる配線と電気的に接続され、オペアンプ３５ａの非反転入力端子と、オペアンプ３５ｂの非反転入力端子と、が異なる配線と電気的に接続されている点が、図１１に示す構成の増幅回路２０と異なる。

［０１２１］

図１５Ａに示す構成の増幅回路２０では、配線４２ａを介して、オペアンプ２５ａの非反転入力端子と、電位生成回路４４ａと、が電気的に接続されている。また、配線４２ｂを介して、オペアンプ２５ｂの非反転入力端子と、電位生成回路４４ｂと、が電気的に接続されている。また、配線５２ａを介して、オペアンプ３５ａの非反転入力端子と、電位生成回路５４ａと、が電気的に接続されている。また、配線５２ｂを介して、オペアンプ３５ｂの非反転入力端子と、電位生成回路５４ｂと、が電気的に接続されている。

［０１２２］

図１５Ｂは、増幅回路２０の構成例を示す図であり、図１１に示す構成の変形例である。図１５Ｂに示す構成の増幅回路２０は、負荷２３ａ、負荷２３ｂ、負荷３３ａ、負荷３３ｂ、配線４３、および配線５３が設けられていない点が、図１１に示す構成の増幅回路２０と異なる。

［０１２３］

図１６Ａは、増幅回路２０の構成例を示す図であり、図１１に示す構成の変形例である。図１６Ａに示す構成の増幅回路２０は、トランジスタ２２ａ、トランジスタ２２ｂ、トランジスタ３２ａ、およびトランジスタ３２ｂにバックゲートが設けられている点が、図１１に示す構成の増幅回路２０と異なる。

［０１２４］

トランジスタ２２ａが有するバックゲートは、端子４０ａと電気的に接続されている。トランジスタ２２ｂが有するバックゲートは、端子４０ｂと電気的に接続されている。トランジスタ３２ａが有するバックゲートは、端子５０ａと電気的に接続されている。トランジスタ３２ｂが有するバックゲートは、端子５０ｂと電気的に接続されている。

［０１２５］

図１６Ｂは、図１６Ａに示すトランジスタ２１、トランジスタ２２、負荷２３、オペアンプ２５、端子４０、配線４１、配線４２、配線４３、および端子５０を抜き出した図である。なお、端子４

０を入力端子ＩＮとし、端子５０を出力端子ＯＵＴとする。

［０１２６］

図１６Ｂに示す場合において、入力端子ＩＮの電位が大きくなると、トランジスタ２１のゲート電位（入力端子ＩＮの電位）と、ソース電位（低電位）と、の差である電圧Ｖｇｓが大きくなるため、トランジスタ２１のオン抵抗が低下し、トランジスタ２１のドレイン電流が大きくなる。よって、トランジスタ２１と直列に接続されているトランジスタ２２のドレイン電流も大きくなる。ここで、トランジスタ２２のバックゲートが、入力端子ＩＮと電気的に接続されているため、入力端子ＩＮの電位の増加に伴い、トランジスタ２２のしきい値電圧が低下する。よって、例えば、トランジスタ２１とトランジスタ２２のチャネル長、チャネル幅、構成材料等がすべて等しい場合であっても、入力端子ＩＮの電位の増加に伴うトランジスタ２２のゲート電位と、ソース電位と、の差の大きさの増加幅を、トランジスタ２１のゲート電位と、ソース電位と、の差の大きさの増加幅より小さくすることができる。

［０１２７］

以上より、入力端子ＩＮの電位の増加に伴う、トランジスタ２１のドレイン電位（トランジスタ２２のソース電位）の低下を抑制することができるため、トランジスタ２１のドレイン電位と、ソース電位と、の差である電圧Ｖｄｓの低下を抑制することができる。したがって、トランジスタ２１を飽和領域で動作させるための入力端子ＩＮの電位の上限値を大きくすることができる。これにより、入力端子ＩＮに入力することができる信号の電位の幅を広げることができる。よって、通信装置１０が送受信することができる信号の電位の幅を広げることができる。

［０１２８］

なお、図１６Ｂに示す構成の回路は、通信装置以外の半導体装置にも適用することができる。例えば、オペアンプが有する増幅回路の一部として用いることができる。

［０１２９］

図１７は、増幅回路２０の構成例を示す図である。図１７に示す増幅回路２０は、トランジスタ２１ａ、トランジスタ２１ｂ、トランジスタ２２ａ、トランジスタ２２ｂ、負荷２３ａ、負荷２３ｂ、オペアンプ２５ａ、オペアンプ２５ｂ、トランジスタ３１ａ、トランジスタ３１ｂ、トランジスタ３２ａ、トランジスタ３２ｂ、負荷３３ａ、負荷３３ｂ、オペアンプ３５ａ、オペアンプ３５ｂ、端子４０ａ、端子４０ｂ、電位生成回路４４、端子５０ａ、端子５０ｂ、および電位生成回路５４の他、スイッチ２６ａ、スイッチ２６ｂ、スイッチ２７ａ、スイッチ２７ｂ、スイッチ３６ａ、スイッチ３６ｂ、スイッチ３７ａ、スイッチ３７ｂ、メモリ回路８０、およびメモリ回路９０を有する。なお、図１７に示すスイッチは、すべてオフ状態としているが、実際は増幅回路２０の動作に応じて適宜オンオフを切り替える。また、図１７に示すスイッチは、例えばトランジスタとすることができる。

［０１３０］

メモリ回路８０は、トランジスタ８１および容量８２を有する構成とすることができる。メモリ回路９０は、トランジスタ９１および容量９２を有する構成とすることができる。

［０１３１］

トランジスタ２１ａのソースまたはドレインの一方は、トランジスタ２２ａのソースまたはドレインの一方と電気的に接続されている。トランジスタ２２ａのソースまたはドレインの一方は、スイッチ２７ａの一方の端子と電気的に接続されている。トランジスタ２１ｂのソースまたはドレイン

の一方は、トランジスタ２２ｂのソースまたはドレインの一方と電気的に接続されている。トランジスタ２２ｂのソースまたはドレインの一方は、スイッチ２７ｂの一方の端子と電気的に接続されている。トランジスタ３１ａのソースまたはドレインの一方は、トランジスタ３２ａのソースまたはドレインの一方と電気的に接続されている。トランジスタ３２ａのソースまたはドレインの一方は、スイッチ３７ａの一方の端子と電気的に接続されている。トランジスタ３１ｂのソースまたはドレインの一方は、トランジスタ３２ｂのソースまたはドレインの一方と電気的に接続されている。トランジスタ３２ｂのソースまたはドレインの一方は、スイッチ３７ｂの一方の端子と電気的に接続されている。

［０１３２］

トランジスタ２１ａのソースまたはドレインの他方、およびトランジスタ２１ｂのソースまたはドレインの他方は、配線４１と電気的に接続されている。トランジスタ３１ａのソースまたはドレインの他方、およびトランジスタ３１ｂのソースまたはドレインの他方は、配線５１と電気的に接続されている。

［０１３３］

オペアンプ２５ａの非反転入力端子、およびオペアンプ２５ｂの非反転入力端子は、配線４２と電気的に接続されている。オペアンプ３５ａの非反転入力端子、およびオペアンプ３５ｂの非反転入力端子は、配線５２と電気的に接続されている。オペアンプ２５ａの反転入力端子は、スイッチ２６ａの一方の端子、およびスイッチ２７ａの他方の端子と電気的に接続されている。オペアンプ２５ｂの反転入力端子は、スイッチ２６ｂの一方の端子、およびスイッチ２７ｂの他方の端子と電気的に接続されている。オペアンプ３５ａの反転入力端子は、スイッチ３６ａの一方の端子、およびスイッチ３７ａの他方の端子と電気的に接続されている。オペアンプ３５ｂの反転入力端子は、スイッチ３６ｂの一方の端子、およびスイッチ３７ｂの他方の端子と電気的に接続されている。オペアンプ２５ａの出力端子は、トランジスタ２２ａのゲートと電気的に接続されている。オペアンプ２５ｂの出力端子は、トランジスタ２２ｂのゲートと電気的に接続されている。オペアンプ３５ａの出力端子は、トランジスタ３２ａのゲートと電気的に接続されている。オペアンプ３５ｂの出力端子は、トランジスタ３２ｂのゲートと電気的に接続されている。

［０１３４］

スイッチ２６ａの他方の端子は、配線４６ａと電気的に接続されている。スイッチ２６ｂの他方の端子は、配線４６ｂと電気的に接続されている。スイッチ３６ａの他方の端子は、配線５６ａと電気的に接続されている。スイッチ３６ｂの他方の端子は、配線５６ｂと電気的に接続されている。

［０１３５］

端子４０ａは、トランジスタ２１ａのゲート、トランジスタ３２ａのソースまたはドレインの他方、および負荷３３ａと電気的に接続されている。端子４０ｂは、トランジスタ２１ｂのゲート、トランジスタ３２ｂのソースまたはドレインの他方、および負荷３３ｂと電気的に接続されている。端子５０ａは、トランジスタ３１ａのゲート、トランジスタ２２ａのソースまたはドレインの他方、および負荷２３ａと電気的に接続されている。端子５０ｂは、トランジスタ３１ｂのゲート、トランジスタ２２ｂのソースまたはドレインの他方、および負荷２３ｂと電気的に接続されている。負荷２３ａおよび負荷２３ｂは、配線４３と電気的に接続されている。負荷３３ａおよび負荷３３ｂは、配線５３と電気的に接続されている。

［０１３６］

配線４２は、メモリ回路８０と電気的に接続されている。具体的には、配線４２は、トランジスタ８１のソースまたはドレインの一方、および容量８２の一方の端子と電気的に接続されている。また、トランジスタ８１のソースまたはドレインの他方は、電位生成回路４４と電気的に接続され、トランジスタ８１のゲートは、配線８４と電気的に接続されている。さらに、容量８２の他方の端子は、配線８５と電気的に接続されている。

［０１３７］

配線５２は、メモリ回路９０と電気的に接続されている。具体的には、配線５２は、トランジスタ９１のソースまたはドレインの一方、および容量９２の一方の端子と電気的に接続されている。また、トランジスタ９１のソースまたはドレインの他方は、電位生成回路５４と電気的に接続され、トランジスタ９１のゲートは、配線９４と電気的に接続されている。さらに、容量９２の他方の端子は、配線８５と電気的に接続されている。

［０１３８］

配線４６ａ、配線４６ｂ、配線５６ａ、配線５６ｂ、配線８５、および配線９５は、電源線としての機能を有する。配線４６ａ、配線４６ｂ、配線５６ａ、配線５６ｂ、配線８５、および配線９５の電位は、例えば定電位とすることができる。例えば、配線４６ａ、配線４６ｂ、配線５６ａ、および配線５６ｂの電位を高電位とすることができ、配線８５、および配線９５の電位を低電位とすることができる。

［０１３９］

メモリ回路８０は、配線４２の電位を保持する機能を有する。メモリ回路９０は、配線５２の電位を保持する機能を有する。メモリ回路８０を設けることで、配線４２に電位を供給し続ける必要がなくなり、メモリ回路９０を設けることで、配線５２に電位を供給し続ける必要がなくなる。よって、増幅回路２０の消費電力を低減することができるため、通信装置１０の消費電力を低減することができる。

［０１４０］

メモリ回路８０が有するトランジスタ８１は、配線４２への電位の供給を制御する機能を有する。具体的には、トランジスタ８１をオン状態にする電位を配線８４に供給し、電位生成回路４４と配線４２を導通させる。すると、電位生成回路４４が生成した電位が配線４２に供給される。電位生成回路４４が生成する電位は、バイアス電位Ｖｂとすることができる。よって、配線４２にバイアス電位Ｖｂを供給することができる。配線４２にバイアス電位Ｖｂを供給した後、トランジスタ８１をオフ状態とする電位を配線８４に供給する。トランジスタ８１をオフ状態にすることで、配線４２の電位を保持できる。

［０１４１］

トランジスタ８１は、活性層に金属酸化物を用いたトランジスタ（ＯＳトランジスタ）とすることが好ましい。金属酸化物の一種である酸化物半導体はバンドギャップが２ｅＶ以上あるため、オフ電流が著しく少ない。トランジスタ８１をＯＳトランジスタとすることにより、配線４２の電位を長期間保持することができる。

［０１４２］

トランジスタ８１をＯＳトランジスタとする場合、メモリ回路８０を「ＯＳメモリ」ということができる。

［０１４３］

ＯＳメモリは、電力の供給を停止しても、１年以上、さらには１０年以上の期間で書き込まれた情報を保持することができる。よって、ＯＳメモリを不揮発性メモリと見なすこともできる。

［０１４４］

また、ＯＳメモリはＯＳトランジスタを介してノードに電荷を書き込む方式であるため、従来のフラッシュメモリで必要であった高電圧が不要であり、高速な書き込み動作も実現できる。また、フローティングゲートまたは電荷捕獲層への電荷注入および引き抜きも行われないため、ＯＳメモリは実質的に無制限回のデータの書き込みおよび読み出しが可能である。ＯＳメモリは、従来のフラッシュメモリと比較して劣化が少なく、高い信頼性が得られる。

［０１４５］

また、ＯＳメモリは磁気メモリあるいは抵抗変化型メモリ等のように原子レベルでの構造変化を伴わない。よって、ＯＳメモリは、磁気メモリおよび抵抗変化型メモリよりも書き換え耐性に優れている。

［０１４６］

メモリ回路８０についての上記説明は、メモリ回路８０をメモリ回路９０と、トランジスタ８１をトランジスタ９１と、容量８２を容量９２と、電位生成回路４４を電位生成回路５４と、配線４２を配線５２と、配線８４を配線９４と、配線８５を配線９５と、それぞれ読み替えることにより、メモリ回路９０にも適用することができる。

［０１４７］

図１８Ａおよび図１８Ｂを用いて、図１７に示す構成の増幅回路２０の動作方法の一例を説明する。図１８Ａは、端子４０ａを入力端子ＩＮａ、端子４０ｂを入力端子ＩＮｂ、端子５０ａを出力端子ＯＵＴａ、端子５０ｂを出力端子ＯＵＴｂとする場合の、図１７に示す構成の増幅回路２０の動作方法の一例を示す図である。図１８Ｂは、端子５０ａを入力端子ＩＮａ、端子５０ｂを入力端子ＩＮｂ、端子４０ａを出力端子ＯＵＴａ、端子４０ｂを出力端子ＯＵＴｂとする場合の、図１７に示す構成の増幅回路２０の動作方法の一例を示す図である。

［０１４８］

図１８Ａおよび図１８Ｂに示す方法で増幅回路２０を動作させる場合は、配線４２および配線５２の電位がバイアス電位Ｖｂとなるように、メモリ８０およびメモリ９０にあらかじめ電荷を保持させておく。

［０１４９］

まず、端子４０ａおよび端子４０ｂに信号を入力する場合について説明する。この場合は、図１８Ａに示すように、スイッチ２７ａ、スイッチ２７ｂ、スイッチ３６ａ、およびスイッチ３６ｂをオン状態とする。これにより、トランジスタ２１ａのソースまたはドレインの一方と、オペアンプ２５ａの反転入力端子と、が導通し、トランジスタ２１ｂのソースまたはドレインの一方と、オペアンプ２５ｂの反転入力端子と、が導通する。よって、図１４Ａ等に示す通り、トランジスタ２２ａ、およびトランジスタ２２ｂは、バイアストランジスタとして機能する。

［０１５０］

一方、スイッチ２６ａ、スイッチ２６ｂ、スイッチ３７ａ、およびスイッチ３７ｂをオフ状態とする。これにより、オペアンプ３５ａの反転入力端子の電位、およびオペアンプ３５ｂの反転入力端子の電位が高電位となる。図１８Ａに示す状態では、オペアンプ３５ａの非反転入力端子、およびオペアンプ３５ｂの非反転入力端子の電位はバイアス電位Ｖｂであり、高電位より低い。また、ス

イッチ３７ａおよびスイッチ３７ｂがオフ状態であるため、オペアンプ３５ａおよびオペアンプ３５ｂには帰還がかかっていない。以上より、図１８Ａに示す状態では、オペアンプ３５ａ、およびオペアンプ３５ｂはコンパレータとして機能する。前述のように、オペアンプ３５ａの反転入力端子の電位は、オペアンプ３５ａの非反転入力端子の電位より高く、オペアンプ３５ｂの反転入力端子の電位は、オペアンプ３５ｂの非反転入力端子の電位より高い。よって、オペアンプ３５ａ、およびオペアンプ３５ｂは、例えば低電位を出力する。したがって、トランジスタ３２ａのゲート電位、およびトランジスタ３２ｂのゲート電位は低電位となるため、トランジスタ３２ａ、およびトランジスタ３２ｂはオフ状態となる。

［０１５１］

図１８Ａおよび図１８Ｂにおいて、入力端子ＩＮａから出力端子ＯＵＴａへの信号の伝送、および入力端子ＩＮｂから出力端子ＯＵＴｂへの信号の伝送に寄与しないトランジスタ、負荷、スイッチ、回路、および配線を点線で示す。例えば、図１８Ａに示すように、スイッチ２６ａ、スイッチ２６ｂ、トランジスタ３２ａ、トランジスタ３２ｂ、スイッチ３７ａ、およびスイッチ３７ｂはオフ状態となっているため、入力端子ＩＮａから出力端子ＯＵＴａへの信号の伝送、および入力端子ＩＮｂから出力端子ＯＵＴｂへの信号の伝送に寄与しない。また、トランジスタ３２ａおよびトランジスタ３２ｂがオフ状態となっているため、トランジスタ３１ａおよびトランジスタ３１ｂには電流が流れず、入力端子ＩＮａから出力端子ＯＵＴａへの信号の伝送、および入力端子ＩＮｂから出力端子ＯＵＴｂへの信号の伝送に寄与しない。さらに、オフ状態となっているトランジスタ３２ａのソースまたはドレインの他方と電気的に接続されている負荷３３ａ、およびオフ状態となっているトランジスタ３２ｂのソースまたはドレインの他方と電気的に接続されている負荷３３ｂも、入力端子ＩＮａから出力端子ＯＵＴａへの信号の伝送、および入力端子ＩＮｂから出力端子ＯＵＴｂへの信号の伝送に寄与しない。以上より、図１８Ａでは、トランジスタ３１ａ、トランジスタ３１ｂ、トランジスタ３２ａ、トランジスタ３２ｂ、負荷３３ａ、負荷３３ｂ、スイッチ２６ａ、スイッチ２６ｂ、スイッチ３７ａ、およびスイッチ３７ｂと、これらと電気的に接続されている回路および配線の一部と、を点線で示している。

［０１５２］

次に、端子５０ａおよび端子５０ｂに信号を入力する場合について説明する。この場合は、図１８Ｂに示すように、スイッチ２６ａ、スイッチ２６ｂ、スイッチ３７ａ、およびスイッチ３７ｂをオン状態とする。これにより、トランジスタ３１ａのソースまたはドレインの一方と、オペアンプ３５ａの反転入力端子と、が導通し、トランジスタ３１ｂのソースまたはドレインの一方と、オペアンプ３５ｂの反転入力端子と、が導通する。よって、図１４Ａ等に示す通り、トランジスタ３２ａ、およびトランジスタ３２ｂは、バイアストランジスタとして機能する。

［０１５３］

一方、スイッチ２７ａ、スイッチ２７ｂ、スイッチ３６ａ、およびスイッチ３６ｂをオフ状態とする。これにより、オペアンプ２５ａの反転入力端子の電位、およびオペアンプ２５ｂの反転入力端子の電位が高電位となる。図１８Ｂに示す状態では、オペアンプ２５ａの非反転入力端子、およびオペアンプ２５ｂの非反転入力端子の電位はバイアス電位Ｖｂであり、高電位より低い。また、スイッチ２７ａおよびスイッチ２７ｂがオフ状態であるため、オペアンプ２５ａおよびオペアンプ２５ｂには帰還がかかっていない。以上より、図１８Ｂに示す状態では、オペアンプ３５ａ、およびオペアンプ３５ｂはコンパレータとして機能する。前述のように、オペアンプ２５ａの反転入力端

子の電位は、オペアンプ２５ａの非反転入力端子の電位より高く、オペアンプ２５ｂの反転入力端子の電位は、オペアンプ２５ｂの非反転入力端子の電位より高い。よって、オペアンプ２５ａ、およびオペアンプ２５ｂは、例えば低電位を出力する。したがって、トランジスタ２２ａのゲート電位、およびトランジスタ２２ｂのゲート電位は低電位となるため、トランジスタ２２ａ、およびトランジスタ２２ｂはオフ状態となる。

［０１５４］

図１８Ｂに示すように、スイッチ２７ａ、スイッチ２７ｂ、トランジスタ２２ａ、トランジスタ２２ｂ、スイッチ３６ａ、およびスイッチ３６ｂはオフ状態となっているため、入力端子ＩＮａから出力端子ＯＵＴａへの信号の伝送、および入力端子ＩＮｂから出力端子ＯＵＴｂへの信号の伝送に寄与しない。また、トランジスタ２２ａおよびトランジスタ２２ｂがオフ状態となっているため、トランジスタ２１ａおよびトランジスタ２１ｂには電流が流れず、入力端子ＩＮａから出力端子ＯＵＴａへの信号の伝送、および入力端子ＩＮｂから出力端子ＯＵＴｂへの信号の伝送に寄与しない。さらに、オフ状態となっているトランジスタ２２ａのソースまたはドレインの他方と電気的に接続されている負荷２３ａ、およびオフ状態となっているトランジスタ２２ｂのソースまたはドレインの他方と電気的に接続されている負荷２３ｂも、入力端子ＩＮａから出力端子ＯＵＴａへの信号の伝送、および入力端子ＩＮｂから出力端子ＯＵＴｂへの信号の伝送に寄与しない。以上より、図１８Ｂでは、トランジスタ２１ａ、トランジスタ２１ｂ、トランジスタ２２ａ、トランジスタ２２ｂ、負荷２３ａ、負荷２３ｂ、スイッチ２７ａ、スイッチ２７ｂ、スイッチ３６ａ、およびスイッチ３６ｂと、これらと電気的に接続されている回路および配線の一部と、を点線で示している。

［０１５５］

なお、図１４Ａおよび図１４Ｂに示す説明は、増幅回路２０が図１７に示す構成である場合にも適用することができる。また、図１６Ａに示す構成、および図１６Ｂに示す説明は、増幅回路２０が図１７に示す構成である場合にも適用することができる。具体的には、図１７に示す構成の増幅回路２０が有するトランジスタ２２ａ、トランジスタ２２ｂ、トランジスタ３２ａ、およびトランジスタ３２ｂにバックゲートを設けることができる。そして、トランジスタ２２ａが有するバックゲートは、端子４０ａと電気的に接続され、トランジスタ２２ｂが有するバックゲートは、端子４０ｂと電気的に接続され、トランジスタ３２ａが有するバックゲートは、端子５０ａと電気的に接続され、トランジスタ３２ｂが有するバックゲートは、端子５０ｂと電気的に接続されている構成とすることができる。

［０１５６］

図１９は、図１８Ａに示すトランジスタ２１（トランジスタ２１ａ、またはトランジスタ２１ｂ）、トランジスタ２２（トランジスタ２２ａ、またはトランジスタ２２ｂ）、負荷２３（負荷２３ａ、または負荷２３ｂ）、オペアンプ２５（オペアンプ２５ａ、またはオペアンプ２５ｂ）、スイッチ２６（スイッチ２６ａ、またはスイッチ２６ｂ）、スイッチ２７（スイッチ２７ａ、またはスイッチ２７ｂ）、端子４０（端子４０ａ、または端子４０ｂ）、配線４１、配線４２、配線４３、および端子５０（端子５０ａ、または端子５０ｂ）を抜き出した図である。なお、端子４０を入力端子ＩＮ（入力端子ＩＮａ、または入力端子ＩＮｂ）とし、端子５０を出力端子ＯＵＴ（出力端子ＯＵＴａ、または出力端子ＯＵＴｂ）とする。

［０１５７］

図１９に示す構成の回路は、通信装置以外の半導体装置にも適用することができる。例えば、オペ

アンプが有する増幅回路の一部として用いることができる。

［０１５８］

図２０Ａは、増幅回路２０の構成例を示す図であり、図１７に示す構成の変形例である。図１３Ａに示す構成の増幅回路２０は、メモリ回路８０およびメモリ回路９０を有さない点が、図１７に示す構成の増幅回路２０と異なる。

［０１５９］

図２０Ａに示す構成の増幅回路２０では、電位生成回路４４および電位生成回路５４がバイアス電位Ｖｂを生成する。これにより、配線４２および配線５２の電位をバイアス電位Ｖｂとする。

［０１６０］

図２０Ｂは、増幅回路２０の構成例を示す図であり、図１７に示す構成の変形例である。図２０Ｂに示す構成の増幅回路２０は、オペアンプ２５ａの非反転入力端子およびオペアンプ２５ｂの非反転入力端子と、オペアンプ３５ａの非反転入力端子およびオペアンプ３５ｂの非反転入力端子と、が互いに電気的に接続されている点が、図１７に示す構成の増幅回路２０と異なる。また、メモリ回路９０および電位生成回路５４が設けられていない点が、図１７に示す構成の増幅回路２０と異なる。

［０１６１］

図２０Ｂに示す構成の増幅回路２０は、オペアンプ２５ａの非反転入力端子、オペアンプ２５ｂの非反転入力端子、オペアンプ３５ａの非反転入力端子、およびオペアンプ３５ｂの非反転入力端子が、メモリ回路８０と電気的に接続されている。具体的には、オペアンプ２５ａの非反転入力端子、オペアンプ２５ｂの非反転入力端子、オペアンプ３５ａの非反転入力端子、およびオペアンプ３５ｂの非反転入力端子が、トランジスタ８１のソースまたはドレインの一方、および容量８２の一方の端子と電気的に接続されている。

［０１６２］

本実施の形態に示す構成、構造、方法等は、他の実施の形態等に示す構成、構造、方法等と適宜組み合わせて用いることができる。

［０１６３］

（実施の形態３）

本実施の形態では、上記実施の形態で説明した通信装置、および半導体装置に適用可能なトランジスタの構成について説明する。

［０１６４］

本発明の一態様の通信装置、または本発明の一態様の半導体装置が有する半導体装置の断面構成の一部を図２１に示す。図２１に示す構成の半導体装置は、トランジスタ５５０と、トランジスタ５００と、を有している。また、トランジスタ５００、およびトランジスタ５５０のチャネル長方向の断面図を図２２Ａに示し、トランジスタ５００、およびトランジスタ５５０のチャネル幅方向の断面図を図２２Ｂに示す。例えば、トランジスタ５００は上記実施の形態に示したトランジスタ２１に相当し、トランジスタ５５０は上記実施の形態に示したトランジスタ２２に相当する。ここで、トランジスタ５００およびトランジスタ５５０は、ＯＳトランジスタとすることができる。なお、トランジスタ５００およびトランジスタ５５０の一方または双方を、ＯＳトランジスタ以外のトランジスタとしてもよい。例えば、トランジスタ５００およびトランジスタ５５０の一方または双方を、活性層にシリコンを用いたトランジスタ（Ｓｉトランジスタ）としてもよい。

［０１６５］
図２１に示す構成の半導体装置では、トランジスタ５００はトランジスタ５５０の上方に設けられている。なお、トランジスタ５００と、トランジスタ５５０と、を同一の層に設けてもよい。

［０１６６］
図２２Ａおよび図２２Ｂに示すように、トランジスタ５００およびトランジスタ５５０は、絶縁体５１４および絶縁体５１６に埋め込まれるように配置された導電体５０３と、絶縁体５１６および導電体５０３の上に配置された絶縁体５２０と、絶縁体５２０の上に配置された絶縁体５２２と、絶縁体５２２の上に配置された絶縁体５２４と、絶縁体５２４の上に配置された酸化物５３０ａと、酸化物５３０ａの上に配置された酸化物５３０ｂと、酸化物５３０ｂ上に互いに離れて配置された導電体５４２ａおよび導電体５４２ｂと、導電体５４２ａおよび導電体５４２ｂ上に配置され、導電体５４２ａと導電体５４２ｂの間に重畳して開口が形成された絶縁体５８０と、開口の底面および側面と接する領域を有するように配置された絶縁体５４５と、絶縁体５４５の形成面に配置された導電体５６０と、を有する。

［０１６７］
また、図２２Ａおよび図２２Ｂに示すように、酸化物５３０ａ、酸化物５３０ｂ、導電体５４２ａ、および導電体５４２ｂと、絶縁体５８０の間に絶縁体５４４が配置されることが好ましい。また、図２２Ａおよび図２２Ｂに示すように、導電体５６０は、絶縁体５４５の内側に設けられた導電体５６０ａと、導電体５６０ａの内側に埋め込まれるように設けられた導電体５６０ｂと、を有することが好ましい。また、図２２Ａおよび図２２Ｂに示すように、絶縁体５８０、導電体５６０、および絶縁体５４５の上に絶縁体５７４が配置されることが好ましい。

［０１６８］
なお、本明細書等において、酸化物５３０ａ、および酸化物５３０ｂをまとめて酸化物５３０という場合がある。

［０１６９］
なお、トランジスタ５００およびトランジスタ５５０では、チャネルが形成される領域と、その近傍において、酸化物５３０ａ、および酸化物５３０ｂの２層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物５３０ｂの単層、または３層以上の積層構成を設ける構成にしてもよい。

［０１７０］
また、トランジスタ５００およびトランジスタ５５０では、導電体５６０を２層の積層構成として示しているが、本発明はこれに限られるものではない。例えば、導電体５６０が、単層構成であってもよいし、３層以上の積層構成であってもよい。また、図２１、ならびに図２２Ａおよび図２２Ｂに示すトランジスタ５００、およびトランジスタ５５０は一例であり、その構成に限定されず、回路構成や駆動方法等に応じて適切なトランジスタを用いればよい。

［０１７１］
ここで、導電体５６０は、トランジスタのゲート電極として機能し、導電体５４２ａおよび導電体５４２ｂは、それぞれソース電極またはドレイン電極として機能する。上記のように、導電体５６０は、絶縁体５８０の開口、および導電体５４２ａと導電体５４２ｂに挟まれた領域に埋め込まれるように形成される。導電体５６０、導電体５４２ａおよび導電体５４２ｂの配置は、絶縁体５８０の開口に対して、自己整合的に選択される。つまり、トランジスタ５００、およびトランジスタ

５５０において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体５６０を位置合わせのマージンを設けることなく形成することができるため、トランジスタ５００、およびトランジスタ５５０の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

［０１７２］

さらに、導電体５６０が、導電体５４２ａと導電体５４２ｂの間の領域に自己整合的に形成されるため、導電体５６０は、導電体５４２ａまたは導電体５４２ｂと重畳する領域を有さない。これにより、導電体５６０と導電体５４２ａおよび導電体５４２ｂとの間に形成される寄生容量を低減することができる。よって、トランジスタ５００、およびトランジスタ５５０のスイッチング速度を向上させ、周波数特性を高めることができる。

［０１７３］

導電体５６０は、第１のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体５０３は、第２のゲート（ボトムゲートともいう）電極として機能する場合がある。また、導電体５６０がフロントゲート電極として機能し、導電体５０３がバックゲート電極として機能する場合がある。その場合、導電体５０３に印加する電位を、導電体５６０に印加する電位と連動させず、独立して変化させることで、トランジスタ５００、およびトランジスタ５５０のしきい値電圧を制御することができる。特に、導電体５０３に負の電位を印加することにより、トランジスタ５００、およびトランジスタ５５０のしきい値電圧を０Ｖより大きくし、オフ電流を低減することが可能となる。したがって、導電体５０３に負の電位を印加したほうが、印加しない場合よりも、導電体５６０に印加する電位が０Ｖのときのドレイン電流を小さくすることができる。

［０１７４］

導電体５０３は、酸化物５３０、および導電体５６０と重なるように配置する。これにより、導電体５６０、および導電体５０３に電位を印加した場合、導電体５６０から生じる電界と、導電体５０３から生じる電界と、がつながり、酸化物５３０に形成されるチャネル形成領域を覆うことができる。

［０１７５］

本明細書等において、一対のゲート電極（第１のゲート電極、および第２のゲート電極）の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構成を、ｓｕｒｒｏｕｎｄｅｄ　ｃｈａｎｎｅｌ（ｓ－ｃｈａｎｎｅｌ）構成とよぶ。また、本明細書等において、ｓ－ｃｈａｎｎｅｌ構成は、ソース電極およびドレイン電極として機能する導電体５４２ａおよび導電体５４２ｂに接する酸化物５３０の側面および周辺が、チャネル形成領域と同じくＩ型であるといった特徴を有する。また、導電体５４２ａおよび導電体５４２ｂに接する酸化物５３０の側面および周辺は、絶縁体５４４と接しているため、チャネル形成領域と同様にＩ型となりうる。なお、本明細書等において、Ｉ型とは後述する、高純度真性と同様として扱うことができる。また、本明細書等で開示するｓ－ｃｈａｎｎｅｌ構成は、Ｆｉｎ型構成およびプレーナ型構成とは異なる。ｓ－ｃｈａｎｎｅｌ構成を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

［０１７６］

また、導電体５０３は、導電体５０３ａと、導電体５０３ｂを有する構成とすることができる。絶縁体５１４および絶縁体５１６の開口の内壁に接して導電体５０３ａが形成され、さらに内側に導

電体５０３ｂが形成されている。なお、本実施の形態では、導電体５０３を、導電体５０３ａと導電体５０３ｂが積層する構成としているが、本発明はこれに限られるものではない。例えば、導電体５０３は、単層、または３層以上の積層構成として設ける構成にしてもよい。

［０１７７］

ここで、導電体５０３ａは、水素原子、水素分子、水分子、銅原子等の不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一または、すべての拡散を抑制する機能とする。

［０１７８］

例えば、導電体５０３ａが酸素の拡散を抑制する機能を持つことにより、導電体５０３ｂが酸化して導電率が低下することを抑制することができる。

［０１７９］

また、導電体５０３が配線の機能を兼ねる場合、導電体５０３ｂは、タングステン、銅、またはアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。

［０１８０］

絶縁体５２０、絶縁体５２２、および絶縁体５２４は、導電体５０３に対するゲート絶縁膜としての機能を有する。

［０１８１］

ここで、酸化物５３０と接する絶縁体５２４は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。当該酸素は、加熱により膜中から放出されやすい。本明細書等では、加熱により放出される酸素を「過剰酸素」と呼ぶ場合がある。つまり、絶縁体５２４には、過剰酸素を含む領域（「過剰酸素領域」ともいう）が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物５３０に接して設けることにより、酸化物５３０中の酸素欠損（V_O：ｏｘｙｇｅｎ　ｖａｃａｎｃｙともいう）を低減し、トランジスタ５００、およびトランジスタ５５０の信頼性を向上させることができる。なお、酸化物５３０中の酸素欠損に水素が入った場合、当該欠陥（以下、V_OHと呼ぶ場合がある）はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界等のストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物５３０中のV_OHをできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、V_OHが十分低減された酸化物半導体を得るには、酸化物半導体中の水分、水素等の不純物を除去すること（「脱水」または「脱水素化処理」ともいう）と、酸化物半導体に酸素を供給して酸素欠損を補填すること（「加酸素化処理」ともいう）が重要である。V_OH等の不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０１８２］

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を

用いることが好ましい。加熱により酸素を脱離する酸化物とは、ＴＤＳ（Ｔｈｅｒｍｋｅｓｏｒｐｔｉｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）分析にて、酸素原子に換算しての酸素の脱離量が１．０×10^{18}ａｔｏｍｓ／ｃｍ^{3}以上、好ましくは１．０×10^{19}ａｔｏｍｓ／ｃｍ^{3}以上、さらに好ましくは２．０×10^{19}ａｔｏｍｓ／ｃｍ^{3}以上、または３．０×10^{20}ａｔｏｍｓ／ｃｍ^{3}以上である酸化物膜である。なお、上記ＴＤＳ分析時における膜の表面温度としては１００℃以上７００℃以下、または１００℃以上４００℃以下の範囲が好ましい。

［０１８３］

また、上記過剰酸素領域を有する絶縁体と、酸化物５３０と、を接して加熱処理、マイクロ波処理、またはＲＦ処理のいずれか一または複数の処理を行ってもよい。当該処理を行うことで、酸化物５３０中の水、または水素を除去することができる。例えば、酸化物５３０において、ＶｏＨの結合が切断される反応が起きる、別言すると「$V_OH \rightarrow Vo + H$」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合してH_2Oとして、酸化物５３０、または酸化物５３０近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体５４２ａまたは導電体５４２ｂにゲッタリングされる場合がある。

［０１８４］

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にＲＦを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、かつ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる。そして、基板側にＲＦを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率良く酸化物５３０、または酸化物５３０近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を１３３Ｐａ以上、好ましくは２００Ｐａ以上、さらに好ましくは４００Ｐａ以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比（O_2／（O_2＋Ａｒ））が５０％以下、好ましくは１０％以上３０％以下で行うとよい。

［０１８５］

また、トランジスタ５００、およびトランジスタ５５０の作製工程中において、酸化物５３０の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、１００℃以上４５０℃以下、より好ましくは３５０℃以上４００℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを１０ｐｐｍ以上、１％以上、もしくは１０％以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物５３０に酸素を供給して、酸素欠損（V_O）の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で行ってもよい。または、酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気で加熱処理を行ってもよい。

［０１８６］

なお、酸化物５３０に加酸素化処理を行うことで、酸化物５３０中の酸素欠損を、供給された酸素により修復させる、別言すると「Ｖｏ＋Ｏ→ｎｕｌｌ」という反応を促進させることができる。さらに、酸化物５３０中に残存した水素に供給された酸素が反応することで、当該水素をH_2Oとし

て除去する（脱水化する）ことができる。これにより、酸化物５３０中に残存していた水素が酸素欠損に再結合してV_OHが形成されることを抑制することができる。

［０１８７］

また、絶縁体５２４が、過剰酸素領域を有する場合、絶縁体５２２は、酸素（例えば、酸素原子、酸素分子等）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

［０１８８］

絶縁体５２２が、酸素や不純物の拡散を抑制する機能を有すると、酸化物５３０が有する酸素は、絶縁体５２０側へ拡散することがないため好ましい。また、導電体５０３が、絶縁体５２４や酸化物５３０が有する酸素と反応することを抑制することができるため好ましい。

［０１８９］

絶縁体５２２は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（ＰＺＴ）、チタン酸ストロンチウム（$SrTiO_3$）、または（Ｂａ，Ｓｒ）TiO_3（ＢＳＴ）等のいわゆるｈｉｇｈ－ｋ材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にｈｉｇｈ－ｋ材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

［０１９０］

特に、不純物、および酸素等の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウムの一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。このような材料を用いて絶縁体５２２を形成した場合、絶縁体５２２は、酸化物５３０からの酸素の放出や、トランジスタ５００、およびトランジスタ５５０の周辺部から酸化物５３０への水素等の不純物の混入を抑制する層として機能する。

［０１９１］

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

［０１９２］

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を示し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を示し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

［０１９３］

また、絶縁体５２０は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、好適である。また、ｈｉｇｈ－ｋ材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構成の

絶縁体５２０を得ることができる。

［０１９４］

なお、図２２Ａおよび図２２Ｂのトランジスタ５００、およびトランジスタ５５０では、導電体５０３に対する、３層の積層構成からなるゲート絶縁膜として、絶縁体５２０、絶縁体５２２、および絶縁体５２４が図示されているが、当該ゲート絶縁膜は、単層、２層、または４層以上の積層構成を有していてもよい。その場合、同じ材料からなる積層構成に限定されず、異なる材料からなる積層構成でもよい。

［０１９５］

トランジスタ５００、およびトランジスタ５５０は、チャネル形成領域を含む酸化物５３０に、酸化物半導体として機能する金属酸化物を用いる。例えば、酸化物５３０として、Ｉｎ－Ｍ－Ｚｎ酸化物（元素Ｍは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウム等から選ばれた一種、または複数種）等の金属酸化物を用いるとよい。

［０１９６］

酸化物半導体として機能する金属酸化物の形成は、スパッタリング法で行なってもよいし、ＡＬＤ（Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法で行なってもよい。なお、酸化物半導体として機能する金属酸化物については、他の実施の形態で詳細に説明する。

［０１９７］

また、酸化物５３０においてチャネル形成領域として機能する金属酸化物は、バンドギャップが２ｅＶ以上のものを用いることが好ましく、２．５ｅＶ以上のものを用いることがより好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

［０１９８］

酸化物５３０は、酸化物５３０ｂ下に酸化物５３０ａを有することで、酸化物５３０ａよりも下方に形成された構成物から、酸化物５３０ｂへの不純物の拡散を抑制することができる。

［０１９９］

なお、酸化物５３０は、各金属原子の原子数比が異なる複数の酸化物層の積層構成を有することが好ましい。具体的には、酸化物５３０ａに用いる金属酸化物において、構成元素中の元素Ｍの原子数比が、酸化物５３０ｂに用いる金属酸化物における、構成元素中の元素Ｍの原子数比より、大きいことが好ましい。また、酸化物５３０ａに用いる金属酸化物において、Ｉｎに対する元素Ｍの原子数比が、酸化物５３０ｂに用いる金属酸化物における、Ｉｎに対する元素Ｍの原子数比より大きいことが好ましい。また、酸化物５３０ｂに用いる金属酸化物において、元素Ｍに対するＩｎの原子数比が、酸化物５３０ａに用いる金属酸化物における、元素Ｍに対するＩｎの原子数比より大きいことが好ましい。

［０２００］

また、酸化物５３０ａの伝導帯下端のエネルギーが、酸化物５３０ｂの伝導帯下端のエネルギーより高くなることが好ましい。言い換えると、酸化物５３０ａ電子親和力が、酸化物５３０ｂの電子親和力より小さいことが好ましい。

［０２０１］

ここで、酸化物５３０ａと酸化物５３０ｂの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。言い換えると、酸化物５３０ａと酸化物５３０ｂの接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物５３０ａと酸化物５３０ｂとの界面において形成される混合層の欠陥準位密度を低くするとよい。

［０２０２］

具体的には、酸化物５３０ａと酸化物５３０ｂが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物５３０ｂがＩｎ－Ｇａ－Ｚｎ酸化物の場合、酸化物５３０ａとして、Ｉｎ－Ｇａ－Ｚｎ酸化物、Ｇａ－Ｚｎ酸化物、酸化ガリウム等を用いるとよい。

［０２０３］

このとき、キャリアの主たる経路は酸化物５３０ｂとなる。酸化物５３０ａを上述の構成とすることで、酸化物５３０ａと酸化物５３０ｂとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ５００、およびトランジスタ５５０は高いオン電流を得られる。

［０２０４］

酸化物５３０ｂ上には、ソース電極、およびドレイン電極として機能する導電体５４２ａ、および導電体５４２ｂが設けられる。導電体５４２ａ、および導電体５４２ｂとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物等を用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタル等の金属窒化物膜は、水素または酸素に対するバリア性があるため好ましい。

［０２０５］

また、図２２Ａでは、導電体５４２ａ、および導電体５４２ｂを単層構成として示したが、２層以上の積層構成としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構成、銅－マグネシウム－アルミニウム合金膜上に銅膜を積層する二層構成、チタン膜上に銅膜を積層する二層構成、タングステン膜上に銅膜を積層する二層構成としてもよい。

［０２０６］

また、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構成、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニ

ウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構成等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

［０２０７］

また、図２２Ａに示すように、酸化物５３０の、導電体５４２ａ（導電体５４２ｂ）との界面とその近傍には、低抵抗領域として、領域５４３ａ、および領域５４３ｂが形成される場合がある。このとき、領域５４３ａはソース領域またはドレイン領域の一方として機能し、領域５４３ｂはソース領域またはドレイン領域の他方として機能する。また、領域５４３ａと領域５４３ｂに挟まれる領域にチャネル形成領域が形成される。

［０２０８］

酸化物５３０と接するように上記導電体５４２ａ（導電体５４２ｂ）を設けることで、領域５４３ａ（領域５４３ｂ）の酸素濃度が低減する場合がある。また、導電体５４２ａ（導電体５４２ｂ）に含まれる金属と、酸化物５３０の成分と、を含む金属化合物層が領域５４３ａ（領域５４３ｂ）に形成される場合がある。このような場合、領域５４３ａ（領域５４３ｂ）のキャリア密度が増加し、領域５４３ａ（領域５４３ｂ）は、低抵抗領域となる。

［０２０９］

絶縁体５４４は、導電体５４２ａ、および導電体５４２ｂを覆うように設けられ、導電体５４２ａ、および導電体５４２ｂの酸化を抑制する。このとき、絶縁体５４４は、酸化物５３０の側面を覆い、絶縁体５２４と接するように設けられてもよい。

［０２１０］

絶縁体５４４として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタンまたは、マグネシウム等から選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。また、絶縁体５４４として、窒化酸化シリコンまたは窒化シリコン等も用いることができる。

［０２１１］

特に、絶縁体５４４として、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、または酸化ハフニウムを用いることが好ましい。又は、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、導電体５４２ａおよび導電体５４２ｂが耐酸化性を有する材料である場合、または、酸素を吸収しても導電性が著しくは低下しない材料である場合は、絶縁体５４４は必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

［０２１２］

絶縁体５４４を有することで、絶縁体５８０に含まれる水、および水素等の不純物が酸化物５３０ｂに拡散することを抑制することができる。また、絶縁体５８０が有する過剰酸素により、導電体５６０が酸化することを抑制することができる。

［０２１３］

絶縁体５４５は、導電体５６０に対するゲート絶縁膜として機能する。絶縁体５４５は、上述した絶縁体５２４と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

［０２１４］

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

［０２１５］

過剰酸素を含む絶縁体を絶縁体５４５として設けることにより、絶縁体５４５から、酸化物５３０ｂのチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体５２４と同様に、絶縁体５４５中の水または水素等の不純物濃度が低減されていることが好ましい。絶縁体５４５の膜厚は、１ｎｍ以上２０ｎｍ以下とすることが好ましい。

［０２１６］

また、絶縁体５４５が有する過剰酸素を、効率的に酸化物５３０へ供給するために、絶縁体５４５と導電体５６０との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体５４５から導電体５６０への酸素拡散を抑制する機能を有することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体５４５から導電体５６０への過剰酸素の拡散が抑制される。つまり、酸化物５３０へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体５６０の酸化を抑制することができる。当該金属酸化物としては、絶縁体５４４に用いることができる材料を用いればよい。

［０２１７］

なお、絶縁体５４５は、導電体５０３に対するゲート絶縁膜と同様に、積層構成としてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流等の問題が生じる場合がある。このため、ゲート絶縁膜として機能する絶縁体を、ｈｉｇｈ－ｋ材料と、熱的に安定している材料との積層構成とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位を低減することが可能となる。また、熱的に安定かつ比誘電率の高い積層構成とすることができる。

［０２１８］

第１のゲート電極として機能する導電体５６０は、図２２Ａおよび図２２Ｂでは２層構成として示しているが、単層構成でもよいし、３層以上の積層構成であってもよい。

［０２１９］

導電体５６０ａは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、ＮＯ、NO_2等）、銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体５６０ａが酸素の拡散を抑制する機能を持つことにより、絶縁体５４５に含まれる酸素により、導電体５６０ｂが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウム等を用いることが好ましい。また、導電体５６０ａとして、酸化物５３０に適用できる酸化物半導体を用いることができる。その場合、導電体５６０ｂをスパッタリング法で成膜することで、導電体５６０ａの電気抵抗値を低下させて導電体にすることができる。これをＯＣ（Ｏｘｉｄｅ　Ｃｏｎｄｕｃｔｏｒ）電極と呼ぶことができる。

［０２２０］
また、導電体５６０ｂは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体５６０ｂは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体５６０ｂは積層構成としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層構成としてもよい。

［０２２１］
絶縁体５８０は、絶縁体５４４を介して、導電体５４２ａ上、および導電体５４２ｂ上に設けられる。絶縁体５８０は、過剰酸素領域を有することが好ましい。例えば、絶縁体５８０として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂等を有することが好ましい。特に、酸化シリコン、および酸化窒化シリコンは、熱的に安定であるため好ましい。また、酸化シリコン、および空孔を有する酸化シリコンは、後の工程で容易に過剰酸素領域を形成することができるため好ましい。

［０２２２］
絶縁体５８０は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体５８０を設けることで、絶縁体５８０中の酸素を酸化物５３０へと効率良く供給することができる。なお、絶縁体５８０中の、水または水素等の不純物濃度が低減されていることが好ましい。

［０２２３］
絶縁体５８０の開口は、導電体５４２ａと導電体５４２ｂの間の領域に重畳して形成される。これにより、導電体５６０は、絶縁体５８０の開口、および導電体５４２ａと導電体５４２ｂに挟まれた領域に、埋め込まれるように形成される。

［０２２４］
半導体装置を微細化するにあたり、ゲート長を短くすることが求められる。一方、導電体５６０の導電性が下がらないようにする必要がある。導電体５６０の導電性が下がらないようにするために導電体５６０の膜厚を大きくすると、導電体５６０はアスペクト比が高い形状となりうる。本実施の形態では、導電体５６０を絶縁体５８０の開口に埋め込むように設けるため、導電体５６０をアスペクト比の高い形状にしても、工程中に導電体５６０を倒壊させることなく、形成することができる。

［０２２５］
絶縁体５７４は、絶縁体５８０の上面、導電体５６０の上面、および絶縁体５４５の上面に接して設けられることが好ましい。絶縁体５７４をスパッタリング法で成膜することで、絶縁体５４５、および絶縁体５８０に過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物５３０中に酸素を供給することができる。

［０２２６］
例えば、絶縁体５７４として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグネシウム等から選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

［０２２７］
特に、酸化アルミニウムはバリア性が高く、０．５ｎｍ以上３．０ｎｍ以下の薄膜であっても、水

素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素等の不純物のバリア膜としての機能も有することができる。

［０２２８］

また、絶縁体５７４の上に、層間膜として機能する絶縁体５８１を設けることが好ましい。絶縁体５８１は、絶縁体５２４等と同様に、膜中の水または水素等の不純物濃度が低減されていることが好ましい。

［０２２９］

また、絶縁体５８１、絶縁体５７４、絶縁体５８０、および絶縁体５４４に形成された開口に、導電体５４０ａ、および導電体５４０ｂを配置する。導電体５４０ａおよび導電体５４０ｂは、導電体５６０を挟んで対向して設ける。導電体５４０ａおよび導電体５４０ｂは、後述する導電体５４６と同様の構成である。

［０２３０］

トランジスタ５５０の上方に、配線層を設けてもよい。例えば、図２１では、トランジスタ５５０上に、絶縁体５７４および絶縁体５８１の他、絶縁体３５０、絶縁体３５２、および絶縁体３５４が積層して設けられている。また、絶縁体３５０、絶縁体３５２、および絶縁体３５４には、導電体３５６が埋め込まれている。導電体３５６は、トランジスタ５５０と接続するプラグ、または配線としての機能を有する。

［０２３１］

各プラグ、および配線の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料等の導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデン等の高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅等の低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで、配線抵抗を低くすることができる。

［０２３２］

絶縁体３５４上、および導電体３５６上に、配線層を設けてもよい。例えば、図２１では、絶縁体３６０、絶縁体３６２、および絶縁体３６４が順に積層して設けられている。また、絶縁体３６０、絶縁体３６２、および絶縁体３６４には、導電体３６６が埋め込まれている。導電体３６６は、プラグまたは配線としての機能を有する。

［０２３３］

絶縁体３６４上、および導電体３６６上に、配線層を設けてもよい。例えば、図２１では、絶縁体３７０、絶縁体３７２、および絶縁体３７４が順に積層して設けられている。また、絶縁体３７０、絶縁体３７２、および絶縁体３７４には、導電体３７６が埋め込まれている。導電体３７６は、プラグまたは配線としての機能を有する。

［０２３４］

絶縁体３７４上、および導電体３７６上に、配線層を設けてもよい。例えば、図８では、絶縁体３８０、絶縁体３８２、および絶縁体３８４が順に積層して設けられている。また、絶縁体３８０、絶縁体３８２、および絶縁体３８４には、導電体３８６が埋め込まれている。導電体３８６は、プラグまたは配線としての機能を有する。

［０２３５］

導電体３６６、導電体３７６、および導電体３８６は、導電体３５６と同様の構成とすることができる。

［０２３６］

上記において、本発明の一態様の半導体装置が導電体３５６を含む配線層と、導電体３６６を含む配線層と、導電体３７６を含む配線層と、導電体３８６を含む配線層を有するとしたが、本発明の一態様の半導体装置はこれに限らない。導電体３５６を含む配線層と同様の配線層を３層以下にしてもよいし、導電体３５６を含む配線層と同様の配線層を５層以上にしてもよい。

［０２３７］

絶縁体３８４上には絶縁体５１０、絶縁体５１２、絶縁体５１４、および絶縁体５１６が、順に積層して設けられている。

［０２３８］

また、絶縁体５１０、絶縁体５１２、絶縁体５１４、および絶縁体５１６には、導電体５１８、およびトランジスタ５００を構成する導電体（例えば、導電体５０３）等が埋め込まれている。なお、導電体５１８は、プラグまたは配線としての機能を有する。

［０２３９］

トランジスタ５００上には、絶縁体５７４および絶縁体５８１の他、絶縁体５８２および絶縁体５８６が積層して設けられている。絶縁体５８２は、酸素や水素に対してバリア性のある物質を用いることが好ましい。例えば、絶縁体５８２には、酸化アルミニウム、酸化ハフニウム、酸化タンタル等の金属酸化物を用いることが好ましい。

［０２４０］

特に、酸化アルミニウムは、酸素と、トランジスタの電気特性の変動要因となる水素、水分等の不純物と、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分等の不純物のトランジスタ５００への混入を防止することができる。また、トランジスタ５００を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ５００に対する保護膜として用いることに適している。

［０２４１］

また、絶縁体５２０、絶縁体５２２、絶縁体５２４、絶縁体５４４、絶縁体５８０、絶縁体５７４、絶縁体５８１、絶縁体５８２、および絶縁体５８６には、導電体５４６等が埋め込まれている。

［０２４２］

導電体５４６は、トランジスタ５００、またはトランジスタ５５０と接続されているプラグ、または配線としての機能を有する。

［０２４３］

また、トランジスタ５００の形成後、トランジスタ５００を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ５００を包み込むことで、外部から水分、および水素が侵入することを防止することができる。または、複数のトランジスタ５００をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ５００を囲むように開口を形成する場合、例えば、絶縁体５２２または絶縁体５１４に達する開口を形成し、絶縁体５２２または絶縁体５１４に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ５００の作製

工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば、絶縁体５２２または絶縁体５１４と同様の材料を用いればよい。なお、トランジスタ５５０の形成後においても、トランジスタ５００の形成後と同様に、トランジスタ５５０を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。

［０２４４］

また、導電体５４６上、および絶縁体５８６上に、導電体６１０および導電体６１２を設けてもよい。導電体６１０および導電体６１２は、トランジスタ５００と電気的に接続されているプラグ、または配線としての機能を有する。図２１に示す構成では、トランジスタ５５０のソース電極またはドレイン電極の一方（トランジスタ５５０が有する導電体５４２ｂ）と、トランジスタ５００のソース電極またはドレイン電極の一方（トランジスタ５００が有する導電体５４２ｂ）と、は導電体５４６、導電体３５６、導電体３６６、導電体３７６、導電体３８６、導電体５１８、および導電体６１０を介して電気的に接続されている。

［０２４５］

導電体６１２、および導電体６１０には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物等の導電性材料を適用することもできる。

［０２４６］

本実施の形態では、導電体６１２、および導電体６１０を単層構成で示したが、当該構成に限定されず、２層以上の積層構成でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

［０２４７］

導電体６１０上、導電体６１２上、および絶縁体５８６上には、絶縁体６４０が設けられている。絶縁体６４０は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

［０２４８］

本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。

［０２４９］

＜トランジスタの変形例１＞

図２３Ａ、図２３Ｂ、および図２３Ｃを用いて、トランジスタ６００Ａの構成例を説明する。トランジスタ６００Ａは、図２２Ａ、および図２２Ｂに示す構成のトランジスタ５００、およびトランジスタ５５０の変形例である。図２３Ａは、トランジスタ６００Ａの上面図である。図２３Ｂは、図２３Ａに一点鎖線で示すＬ１－Ｌ２部位の断面図である。図２３Ｃは、図２３Ａに一点鎖線で示すＷ１－Ｗ２部位の断面図である。なお、図２３Ａの上面図では、図の明瞭化のために一部の要素の記載を省略している。

［０２５０］

トランジスタ６００Ａは、絶縁体５５２、絶縁体５１３および絶縁体４０４を有する点が、図２２Ａ、図２２Ｂに示す構成のトランジスタ５００、およびトランジスタ５５０と異なる。また、導電体５４０ａの側面に接して絶縁体５５２が設けられ、導電体５４０ｂの側面に接して絶縁体５５２が設けられる点が、図２２Ａ、図２２Ｂに示す構成のトランジスタ５００、およびトランジスタ５５０と異なる。さらに、絶縁体５２０を有さない点が、図２２Ａ、図２２Ｂに示す構成のトランジスタ５００、およびトランジスタ５５０と異なる。

［０２５１］

トランジスタ６００Ａは、絶縁体５１２上に絶縁体５１３が設けられる。また、絶縁体５７４上、および絶縁体５１３上に絶縁体４０４が設けられる。

［０２５２］

トランジスタ６００Ａでは、絶縁体５１４、絶縁体５１６、絶縁体５２２、絶縁体５２４、絶縁体５４４、絶縁体５８０、および絶縁体５７４がパターニングされており、絶縁体４０４がこれらを覆う構成になっている。つまり、絶縁体４０４は、絶縁体５７４の上面、絶縁体５７４の側面、絶縁体５８０の側面、絶縁体５４４の側面、絶縁体５２４の側面、絶縁体５２２の側面、絶縁体５１６の側面、絶縁体５１４の側面、および絶縁体５１３の上面とそれぞれ接する。これにより、酸化物５３０等は、絶縁体４０４と絶縁体５１３によって外部から隔離される。

［０２５３］

絶縁体５１３および絶縁体４０４は、水素（例えば、水素原子、水素分子等の少なくとも一）または水分子の拡散を抑制する機能が高いことが好ましい。例えば、絶縁体５１３および絶縁体４０４として、水素バリア性が高い材料である、窒化シリコンまたは窒化酸化シリコンを用いることが好ましい。これにより、酸化物５３０に水素等が拡散することを抑制することができるため、トランジスタ６００Ａの特性低下を抑制できる。よって、本発明の一態様の半導体装置の信頼性を高めることができる。

［０２５４］

絶縁体５５２は、絶縁体５８１、絶縁体４０４、絶縁体５７４、絶縁体５８０、および絶縁体５４４に接して設けられる。絶縁体５５２は、水素または水分子の拡散を抑制する機能を有することが好ましい。例えば、絶縁体５５２として、水素バリア性が高い材料である、窒化シリコン、酸化アルミニウム、または窒化酸化シリコン等の絶縁体を用いることが好ましい。特に、窒化シリコンは水素バリア性が高い材料であるため、絶縁体５５２として用いると好適である。絶縁体５５２として水素バリア性が高い材料を用いることにより、水または水素等の不純物が、絶縁体５８０等から導電体５４０ａまたは導電体５４０ｂを通じて酸化物５３０に拡散することを抑制することができる。また、絶縁体５８０に含まれる酸素が導電体５４０ａおよび導電体５４０ｂに吸収されることを抑制することができる。以上により、本発明の一態様の半導体装置の信頼性を高めることができる。

［０２５５］

＜トランジスタの変形例２＞

図２４Ａ、図２４Ｂ、および図２４Ｃを用いて、トランジスタ６００Ｂの構成例を説明する。図２４Ａはトランジスタ６００Ｂの上面図である。図２４Ｂは、図２４Ａに一点鎖線で示すＬ１－Ｌ２部位の断面図である。図２４Ｃは、図２４Ａに一点鎖線で示すＷ１－Ｗ２部位の断面図である。な

お、図２４Ａの上面図では、図の明瞭化のために一部の要素の記載を省略している。

［０２５６］

トランジスタ６００Ｂはトランジスタ５００、およびトランジスタ５５０の変形例であり、トランジスタ５００、およびトランジスタ５５０に置き換え可能なトランジスタである。よって、説明の繰り返しを防ぐため、主にトランジスタ６００Ｂのトランジスタ５００、およびトランジスタ５５０と異なる点について説明する。

［０２５７］

第１のゲート電極として機能する導電体５６０は、導電体５６０ａ、および導電体５６０ａ上の導電体５６０ｂを有する。導電体５６０ａは、水素原子、水素分子、水分子、銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

［０２５８］

導電体５６０ａが酸素の拡散を抑制する機能を持つことにより、導電体５６０ｂの材料選択性を向上することができる。つまり、導電体５６０ａを有することで、導電体５６０ｂの酸化が抑制され、導電率が低下することを防止することができる。

［０２５９］

また、導電体５６０の上面および側面と絶縁体５４５の側面を覆うように、絶縁体５４４を設けることが好ましい。なお、絶縁体５４４は、水または水素等の不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウム等を用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、または酸化タンタル等の金属酸化物、窒化酸化シリコンまたは窒化シリコン等を用いることができる。

［０２６０］

絶縁体５４４を設けることで、導電体５６０の酸化を抑制することができる。また、絶縁体５４４を有することで、絶縁体５８０が有する水、および水素等の不純物がトランジスタ６００Ｂへ拡散することを抑制することができる。

［０２６１］

トランジスタ６００Ｂは、導電体５４２ａの一部と導電体５４２ｂの一部に導電体５６０が重なるため、トランジスタ５００、およびトランジスタ５５０よりも寄生容量が大きくなりやすい。よって、トランジスタ５００、およびトランジスタ５５０に比べて動作周波数が低くなる傾向がある。しかしながら、絶縁体５８０等に開口を設けて導電体５６０や絶縁体５４５等を埋めこむ工程が不要であるため、トランジスタ５００、およびトランジスタ５５０と比較して生産性が高い。

［０２６２］

本実施の形態に示す構成、構造、方法等は、他の実施の形態等に示す構成、構造、方法等と適宜組み合わせて用いることができる。

［０２６３］

（実施の形態４）

本実施の形態では、金属酸化物の一種である酸化物半導体について説明する。

［０２６４］

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜

鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズ等が含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルト等から選ばれた一種、または複数種が含まれていてもよい。

［０２６５］

＜結晶構造の分類＞

まず、酸化物半導体における、結晶構造の分類について、図２５Ａを用いて説明を行う。図２５Ａは、酸化物半導体、代表的にはＩＧＺＯ（Ｉｎと、Ｇａと、Ｚｎと、を含む金属酸化物）の結晶構造の分類を説明する図である。

［０２６６］

図２５Ａに示すように、酸化物半導体は、大きく分けて「Ａｍｏｒｐｈｏｕｓ（無定形）」と、「Ｃｒｙｓｔａｌｌｉｎｅ（結晶性）」と、「Ｃｒｙｓｔａｌ（結晶）」と、に分類される。また、「Ａｍｏｒｐｈｏｕｓ」の中には、ｃｏｍｐｌｅｔｅｌｙ　ａｍｏｒｐｈｏｕｓが含まれる。また、「Ｃｒｙｓｔａｌｌｉｎｅ」の中には、ＣＡＡＣ（ｃ－ａｘｉｓ－ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌｌｉｎｅ）、ｎｃ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ）、およびＣＡＣ（ｃｌｏｕｄ－ａｌｉｇｎｅｄ　ｃｏｍｐｏｓｉｔｅ）が含まれる。なお、「Ｃｒｙｓｔａｌｌｉｎｅ」の分類には、ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ、ｐｏｌｙ　ｃｒｙｓｔａｌ、およびｃｏｍｐｌｅｔｅｌｙ　ａｍｏｒｐｈｏｕｓは除かれる。また、「Ｃｒｙｓｔａｌ」の中には、ｓｉｎｇｌｅ　ｃｒｙｓｔａｌ、およびｐｏｌｙ　ｃｒｙｓｔａｌが含まれる。

［０２６７］

なお、図２５Ａに示す太枠内の構造は、「Ａｍｏｒｐｈｏｕｓ（無定形）」と、「Ｃｒｙｓｔａｌ（結晶）」との間の中間状態であり、新しい境界領域（Ｎｅｗ　ｃｒｙｓｔａｌｌｉｎｅ　ｐｈａｓｅ）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Ａｍｏｒｐｈｏｕｓ（無定形）」や、「Ｃｒｙｓｔａｌ（結晶）」とは全く異なる構造と言い換えることができる。

［０２６８］

なお、膜または基板の結晶構造は、Ｘ線回折（ＸＲＤ：Ｘ－Ｒａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）スペクトルを用いて評価することができる。ここで、「Ｃｒｙｓｔａｌｌｉｎｅ」に分類されるＣＡＡＣ－ＩＧＺＯ膜のＧＩＸＤ（Ｇｒａｚｉｎｇ－Ｉｎｃｉｄｅｎｃｅ　ＸＲＤ）測定で得られるＸＲＤスペクトルを図２５Ｂに示す。なお、ＧＩＸＤ法は、薄膜法またはＳｅｅｍａｎｎ－Ｂｏｈｌｉｎ法ともいう。以降、図２５Ｂに示すＧＩＸＤ測定で得られるＸＲＤスペクトルを、単にＸＲＤスペクトルと記す。なお、図２５Ｂに示すＣＡＡＣ－ＩＧＺＯ膜の組成は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］近傍である。また、図２５Ｂに示すＣＡＡＣ－ＩＧＺＯ膜の厚さは、５００ｎｍである。

［０２６９］

図２５Ｂに示すように、ＣＡＡＣ－ＩＧＺＯ膜のＸＲＤスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、ＣＡＡＣ－ＩＧＺＯ膜のＸＲＤスペクトルでは、$2\theta=31^\circ$近傍に、ｃ軸配向を示すピークが検出される。なお、図２５Ｂに示すように、$2\theta=31^\circ$近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

［０２７０］

また、膜または基板の結晶構造は、極微電子線回折法（ＮＢＥＤ：Ｎａｎｏ　Ｂｅａｍ　Ｅｌｅｃ

ｔｒｏｎ　Ｄｉｆｆｒａｃｔｉｏｎ）によって観察される回折パターン（極微電子線回折パターンともいう）にて評価することができる。ＣＡＡＣ－ＩＧＺＯ膜の回折パターンを、図２５Ｃに示す。図２５Ｃは、電子線を基板に対して平行に入射するＮＢＥＤによって観察される回折パターンである。なお、図２５Ｃに示すＣＡＡＣ－ＩＧＺＯ膜の組成は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］近傍である。また、極微電子線回折法では、プローブ径を１ｎｍとして電子線回折が行われる。

［０２７１］

図２５Ｃに示すように、ＣＡＡＣ－ＩＧＺＯ膜の回折パターンでは、ｃ軸配向を示す複数のスポットが観察される。

［０２７２］

＜＜酸化物半導体の構造＞＞

なお、酸化物半導体は、結晶構造に着目した場合、図２５Ａとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のＣＡＡＣ－ＯＳ、およびｎｃ－ＯＳがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（ａ－ｌｉｋｅ　ＯＳ：ａｍｏｒｐｈｏｕｓ－ｌｉｋｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、非晶質酸化物半導体、等が含まれる。

［０２７３］

ここで、上述のＣＡＡＣ－ＯＳ、ｎｃ－ＯＳ、およびａ－ｌｉｋｅ　ＯＳの詳細について、説明を行う。

［０２７４］

［ＣＡＡＣ－ＯＳ］

ＣＡＡＣ－ＯＳは、複数の結晶領域を有し、当該複数の結晶領域はｃ軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、ＣＡＡＣ－ＯＳ膜の厚さ方向、ＣＡＡＣ－ＯＳ膜の被形成面の法線方向、またはＣＡＡＣ－ＯＳ膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、ＣＡＡＣ－ＯＳは、ａ－ｂ面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を示す。つまり、ＣＡＡＣ－ＯＳは、ｃ軸配向し、ａ－ｂ面方向には明らかな配向をしていない酸化物半導体である。

［０２７５］

なお、上記複数の結晶領域のそれぞれは、１つまたは複数の微小な結晶（最大径が１０ｎｍ未満である結晶）で構成される。結晶領域が１つの微小な結晶で構成されている場合、当該結晶領域の最大径は１０ｎｍ未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十ｎｍ程度となる場合がある。

［０２７６］

また、Ｉｎ－Ｍ－Ｚｎ酸化物（元素Ｍは、アルミニウム、ガリウム、イットリウム、スズ、チタン等から選ばれた一種、または複数種）において、ＣＡＡＣ－ＯＳは、インジウム（Ｉｎ）、および酸素を有する層（以下、Ｉｎ層）と、元素Ｍ、亜鉛（Ｚｎ）、および酸素を有する層（以下、（Ｍ,

Ｚｎ）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（Ｍ，Ｚｎ）層にはインジウムが含まれる場合がある。また、Ｉｎ層には元素Mが含まれる場合がある。なお、Ｉｎ層にはＺｎが含まれる場合もある。当該層状構造は、例えば、高分解能ＴＥＭ像において、格子像として観察される。

［０２７７］

ＣＡＡＣ－ＯＳ膜に対し、例えば、ＸＲＤ装置を用いて構造解析を行うと、θ／２θ スキャンを用いたＯｕｔ－ｏｆ－ｐｌａｎｅ　ＸＲＤ測定では、ｃ軸配向を示すピークが２θ＝３１°またはその近傍に検出される。なお、ｃ軸配向を示すピークの位置（２θ の値）は、ＣＡＡＣ－ＯＳを構成する金属元素の種類、組成等により変動する場合がある。

［０２７８］

また、例えば、ＣＡＡＣ－ＯＳ膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう）を対称中心として、点対称の位置に観測される。

［０２７９］

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形等の格子配列を有する場合がある。なお、ＣＡＡＣ－ＯＳにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、ＣＡＡＣ－ＯＳが、ａ－ｂ面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化すること等によって、歪みを許容することができるためと考えられる。

［０２８０］

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（ｐｏｌｙｃｒｙｓｔａｌ）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下等を引き起こす可能性が高い。よって、明確な結晶粒界が確認されないＣＡＡＣ－ＯＳは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、ＣＡＡＣ－ＯＳを構成するには、Ｚｎを有する構成が好ましい。例えば、Ｉｎ－Ｚｎ酸化物、およびＩｎ－Ｇａ－Ｚｎ酸化物は、Ｉｎ酸化物よりも結晶粒界の発生を抑制できるため好適である。

［０２８１］

ＣＡＡＣ－ＯＳは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、ＣＡＡＣ－ＯＳは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成等によって低下する場合があるため、ＣＡＡＣ－ＯＳは不純物や欠陥（酸素欠損等）の少ない酸化物半導体ともいえる。従って、ＣＡＡＣ－ＯＳを有する酸化物半導体は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する酸化物半導体は熱に強く、信頼性が高い。また、ＣＡＡＣ－ＯＳは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、ＯＳトランジスタにＣＡＡＣ－ＯＳを用いると、製造工程の自由度を広げることが可能となる。

［０２８２］

［ｎｃ－ＯＳ］

ｎｃ－ＯＳは、微小な領域（例えば、１ｎｍ以上１０ｎｍ以下の領域、特に１ｎｍ以上３ｎｍ以下

の領域）において原子配列に周期性を有する。別言すると、ｎｃ－ＯＳは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、１ｎｍ以上１０ｎｍ以下、特に１ｎｍ以上３ｎｍ以下であることから、当該微小な結晶をナノ結晶ともいう。また、ｎｃ－ＯＳは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、ｎｃ－ＯＳは、分析方法によっては、ａ－ｌｉｋｅ　ＯＳや非晶質酸化物半導体と区別が付かない場合がある。例えば、ｎｃ－ＯＳ膜に対し、ＸＲＤ装置を用いて構造解析を行うと、θ／２θ　スキャンを用いたＯｕｔ－ｏｆ－ｐｌａｎｅ　ＸＲＤ測定では、結晶性を示すピークが検出されない。また、ｎｃ－ＯＳ膜に対し、ナノ結晶よりも大きいプローブ径（例えば５０ｎｍ以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう）を行うと、ハローパターンのような回折パターンが観測される。一方、ｎｃ－ＯＳ膜に対し、ナノ結晶の大きさと近いかナノ結晶より小さいプローブ径（例えば１ｎｍ以上３０ｎｍ以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

［０２８３］

［ａ－ｌｉｋｅ　ＯＳ］

ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳと非晶質酸化物半導体との間の構造を有する酸化物半導体である。ａ－ｌｉｋｅ　ＯＳは、鬆または低密度領域を有する。即ち、ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳおよびＣＡＡＣ－ＯＳと比べて、結晶性が低い。また、ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳおよびＣＡＡＣ－ＯＳと比べて、膜中の水素濃度が高い。

［０２８４］

＜＜酸化物半導体の構成＞＞

次に、上述のＣＡＣ－ＯＳの詳細について、説明を行う。なお、ＣＡＣ－ＯＳは材料構成に関する。

［０２８５］

［ＣＡＣ－ＯＳ］

ＣＡＣ－ＯＳとは、例えば、金属酸化物を構成する元素が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上３ｎｍ以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上３ｎｍ以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

［０２８６］

さらに、ＣＡＣ－ＯＳとは、第１の領域と、第２の領域と、に材料が分離することでモザイク状となり、当該第１の領域が、膜中に分布した構成（以下、クラウド状ともいう）である。つまり、ＣＡＣ－ＯＳは、当該第１の領域と、当該第２の領域とが、混合している構成を有する複合金属酸化物である。

［０２８７］

ここで、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳを構成する金属元素に対するＩｎ、Ｇａ、およびＺｎの原子数比のそれぞれを、［Ｉｎ］、［Ｇａ］、および［Ｚｎ］と表記する。例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳにおいて、第１の領域は、［Ｉｎ］が、ＣＡＣ－ＯＳ膜の組成における［Ｉｎ］よりも大きい領域である。また、第２の領域は、［Ｇａ］が、ＣＡＣ－ＯＳ膜の組成における［Ｇａ］よりも大きい領域である。または、例えば、第１の領域は、［Ｉ

ｎ］が、第２の領域における［Ｉｎ］よりも大きく、かつ、［Ｇａ］が、第２の領域における［Ｇａ］よりも小さい領域である。また、第２の領域は、［Ｇａ］が、第１の領域における［Ｇａ］よりも大きく、かつ、［Ｉｎ］が、第１の領域における［Ｉｎ］よりも小さい領域である。

［０２８８］

具体的には、上記第１の領域は、インジウム酸化物、インジウム亜鉛酸化物等が主成分である領域である。また、上記第２の領域は、ガリウム酸化物、ガリウム亜鉛酸化物等が主成分である領域である。つまり、上記第１の領域を、Ｉｎを主成分とする領域と言い換えることができる。また、上記第２の領域を、Ｇａを主成分とする領域と言い換えることができる。

［０２８９］

なお、上記第１の領域と、上記第２の領域とは、明確な境界が観察できない場合がある。

［０２９０］

例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳでは、エネルギー分散型Ｘ線分光法（ＥＤＸ：Ｅｎｅｒｇｙ　Ｄｉｓｐｅｒｓｉｖｅ　Ｘ－ｒａｙ　ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いて取得したＥＤＸマッピングにより、Ｉｎを主成分とする領域（第１の領域）と、Ｇａを主成分とする領域（第２の領域）とが、偏在し、混合している構造を有することが確認できる。

［０２９１］

ＣＡＣ－ＯＳをトランジスタに用いる場合、第１の領域に起因する導電性と、第２の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（Ｏｎ／Ｏｆｆさせる機能）をＣＡＣ－ＯＳに付与することができる。つまり、ＣＡＣ－ＯＳとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、ＣＡＣ－ＯＳをトランジスタに用いることで、高いオン電流（I_{on}）、高い電界効果移動度（μ）、および良好なスイッチング動作を実現することができる。

［０２９２］

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、ａ－ｌｉｋｅ　ＯＳ、ＣＡＣ－ＯＳ、ｎｃ－ＯＳ、ＣＡＡＣ－ＯＳのうち、二種以上を有していてもよい。

［０２９３］

＜酸化物半導体を有するトランジスタ＞

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

［０２９４］

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

［０２９５］

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は$1\times10^{17}cm^{-3}$以下、好ましくは$1\times10^{15}cm^{-3}$以下、さらに好ましくは$1\times10^{13}cm^{-3}$以下、より好ましくは$1\times10^{11}cm^{-3}$以下、さらに好ましくは$1\times10^{10}cm^{-3}$未満であり、$1\times10^{-9}cm^{-3}$以上である。なお、酸化物半導体膜のキャリア濃度を低くするためには、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度が低いことを高純度真性、または実質的に高純

度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

［０２９６］

また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

［０２９７］

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

［０２９８］

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

［０２９９］

＜不純物＞

ここで、酸化物半導体中における各不純物の影響について説明する。

［０３００］

酸化物半導体において、第１４族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）により得られる濃度）を、2×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは2×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［０３０１］

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、ＳＩＭＳにより得られる酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を、1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは2×10^{16}ａｔｏｍｓ／ｃｍ^{3}以下にする。

［０３０２］

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、ｎ型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、ＳＩＭＳにより得られる酸化物半導体中の窒素濃度を、5×10^{19}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは5×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは5×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下にする。

［０３０３］

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合

がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、ＳＩＭＳにより得られる水素濃度を、1×10^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは5×10^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}未満にする。

［０３０４］

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０３０５］

本実施の形態に示す構成、構造、方法等は、他の実施の形態等に示す構成、構造、方法等と適宜組み合わせて用いることができる。

［０３０６］

（実施の形態５）

本実施の形態では上述した半導体装置の応用例について説明する。なお、本実施の形態において、「半導体装置」という用語が示す範囲には、通信装置が含まれるものとする。また、他の実施の形態においても、「半導体装置」という用語が示す範囲には、通信装置が含まれる場合がある。

［０３０７］

〔半導体ウエハ、チップ〕

図２６Ａは、ダイシング処理が行なわれる前の基板７１１の上面図を示している。基板７１１としては、例えば、半導体基板（「半導体ウエハ」ともいう）を用いることができる。基板７１１上には、複数の回路領域７１２が設けられている。回路領域７１２には、本発明の一態様に係る半導体装置や、ＣＰＵ、ＲＦタグ、またはイメージセンサ等を設けることができる。

［０３０８］

複数の回路領域７１２は、それぞれが分離領域７１３に囲まれている。分離領域７１３と重なる位置に分離線（「ダイシングライン」ともいう）７１４が設定される。分離線７１４に沿って基板７１１を切断することで、回路領域７１２を含むチップ７１５を基板７１１から切り出すことができる。図２６Ｂにチップ７１５の拡大図を示す。

［０３０９］

また、分離領域７１３に導電層や半導体層を設けてもよい。分離領域７１３に導電層や半導体層を設けることで、ダイシング工程時に生じうるＥＳＤを緩和し、ダイシング工程の歩留まり低下を防ぐことができる。また、一般にダイシング工程は、基板の冷却、削りくずの除去、帯電防止等を目的として、炭酸ガス等を溶解させて比抵抗を下げた純水を切削部に流しながら行なわれる。分離領域７１３に導電層や半導体層を設けることで、当該純水の使用量を削減することができる。よって、半導体装置の生産コストを低減することができる。また、半導体装置の生産性を高めることができる。

［０３１０］

分離領域７１３に設ける半導体層としては、バンドギャップが２．５ｅＶ以上４．２ｅＶ以下の材料を用いることが好ましく、２．７ｅＶ以上３．５ｅＶ以下の材料を用いることがより好ましい。このような材料を用いると、蓄積された電荷をゆっくりと放電することができるため、ＥＳＤによ

る電荷の急激な移動が抑えられ、静電破壊を生じにくくすることができる。

［０３１１］

〔電子部品〕

チップ７１５を電子部品に適用する例について、図２７を用いて説明する。なお、電子部品は、半導体パッケージ、またはＩＣ用パッケージともいう。電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。

［０３１２］

電子部品は、組み立て工程（後工程）において、上記実施の形態に示した半導体装置と該半導体装置以外の部品が組み合わされて完成する。

［０３１３］

図２７Ａに示すフローチャートを用いて、後工程について説明する。前工程において上記実施の形態に示した半導体装置を有する素子基板が完成した後、該素子基板の裏面（半導体装置等が形成されていない面）を研削する「裏面研削工程」を行なう（ステップＳ７２１）。研削により素子基板を薄くすることで、素子基板の反り等を低減し、電子部品の小型化を図ることができる。

［０３１４］

次に、素子基板を複数のチップ（チップ７１５）に分離する「ダイシング工程」を行う（ステップＳ７２２）。そして、分離したチップを個々ピックアップしてリードフレーム上に接合する「ダイボンディング工程」を行う（ステップＳ７２３）。ダイボンディング工程におけるチップとリードフレームとの接合は、樹脂による接合や、テープによる接合等、適宜製品に応じて適した方法を選択する。なお、リードフレームに代えてインターポーザ基板上にチップを接合してもよい。

［０３１５］

次いで、リードフレームのリードとチップ上の電極とを、金属の細線（ワイヤー）で電気的に接続する「ワイヤーボンディング工程」を行う（ステップＳ７２４）。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

［０３１６］

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される「封止工程（モールド工程）」が施される（ステップＳ７２５）。封止工程を行うことで電子部品の内部が樹脂で充填され、チップに内蔵される回路部やチップとリードを接続するワイヤーを機械的な外力から保護することができ、また水分や埃による特性の劣化（信頼性の低下）を低減することができる。

［０３１７］

次いで、リードフレームのリードをめっき処理する「リードめっき工程」を行なう（ステップＳ７２６）。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。次いで、リードを切断および成形加工する「成形工程」を行なう（ステップＳ７２７）。

［０３１８］

次いで、パッケージの表面に印字処理（マーキング）を施す「マーキング工程」を行なう（ステップＳ７２８）。そして外観形状の良否や動作不良の有無等を調べる「検査工程」（ステップＳ７２９）を経て、電子部品が完成する（ステップＳ７２９）。

［０３１９］

また、完成した電子部品の斜視模式図を図２７Ｂに示す。図２７Ｂでは、電子部品の一例として、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）の斜視模式図を示している。図２７Ｂに示す電子部品７５０は、リード７５５および半導体装置７５３を示している。半導体装置７５３としては、上記実施の形態に示した半導体装置等を用いることができる。

［０３２０］

図２７Ｂに示す電子部品７５０は、例えばプリント基板７５２に実装される。このような電子部品７５０が複数組み合わされて、それぞれがプリント基板７５２上で電気的に接続されることで電子部品が実装された基板（実装基板７５４）が完成する。完成した実装基板７５４は、電子機器等に用いられる。

［０３２１］

〔電子機器〕

次に、本発明の一態様に係る半導体装置または上記電子部品を備えた電子機器の例について図２８を用いて説明を行う。

［０３２２］

本発明の一態様に係る半導体装置または電子部品を用いた電子機器として、テレビ、モニタ等の表示装置、照明装置、デスクトップ型或いはノート型のパーソナルコンピュータ、ワードプロセッサ、ＤＶＤ（Ｄｉｇｉｔａｌ　Ｖｅｒｓａｔｉｌｅ　Ｄｉｓｃ）等の記録媒体に記憶された静止画または動画を再生する画像再生装置、ポータブルＣＤプレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、置き時計、壁掛け時計、コードレス電話子機、トランシーバ、携帯電話、自動車電話、携帯型ゲーム機、タブレット型端末、パチンコ機等の大型ゲーム機、電卓、携帯可能な情報端末（「携帯情報端末」ともいう）、電子手帳、電子書籍端末、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、温水器、扇風機、毛髪乾燥機、エアコンディショナー、加湿器、除湿器等の空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、ＤＮＡ保存用冷凍庫、懐中電灯、チェーンソー等の工具、煙感知器、透析装置等の医療機器等が挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム、電力の平準化やスマートグリッドのための蓄電装置等の産業機器が挙げられる。

［０３２３］

また、蓄電装置からの電力を用いて電動機により推進する移動体等も、電子機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車（ＥＶ）、内燃機関と電動機を併せ持ったハイブリッド車（ＨＥＶ）、プラグインハイブリッド車（ＰＨＥＶ）、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型または大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船等が挙げられる。

［０３２４］

本発明の一態様に係る半導体装置または電子部品は、これらの電子機器に内蔵される通信装置等に用いることができる。

［０３２５］

電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温

度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）等を有していてもよい。

［０３２６］

電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻等を表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

［０３２７］

図２８および図２９Ａ乃至図２９Ｆに、電子機器の一例を示す。図２８において、表示装置８０００は、本発明の一態様に係る半導体装置８００４を用いた電子機器の一例である。具体的に、表示装置８０００は、ＴＶ放送受信用の表示装置に相当し、筐体８００１、表示部８００２、スピーカ部８００３、半導体装置８００４、蓄電装置８００５等を有する。本発明の一態様に係る半導体装置８００４は、筐体８００１の内部に設けられている。半導体装置８００４により、制御情報や、制御プログラム等を保持することができる。また、半導体装置８００４は通信機能を有し、表示装置８０００をＩｏＴ機器として機能させることができる。また、表示装置８０００は、商用電源から電力の供給を受けることもできるし、蓄電装置８００５に蓄積された電力を用いることもできる。

［０３２８］

表示部８００２には、液晶表示装置、有機ＥＬ素子等の発光素子を各画素に備えた発光表示装置、電気泳動表示装置、ＤＭＤ（Ｄｉｇｉｔａｌ Ｍｉｃｒｏｍｉｒｒｏｒ Ｄｅｖｉｃｅ）、ＰＤＰ（Ｐｌａｓｍａ Ｄｉｓｐｌａｙ Ｐａｎｅｌ）、ＦＥＤ（Ｆｉｅｌｄ Ｅｍｉｓｓｉｏｎ Ｄｉｓｐｌａｙ）等の表示装置を用いることができる。

［０３２９］

なお、表示装置には、ＴＶ放送受信用の他、パーソナルコンピュータ用、広告表示用等、全ての情報表示用表示装置が含まれる。

［０３３０］

図２８において、据え付け型の照明装置８１００は、本発明の一態様に係る半導体装置８１０３を用いた電子機器の一例である。具体的に、照明装置８１００は、筐体８１０１、光源８１０２、半導体装置８１０３、蓄電装置８１０５等を有する。図２８では、半導体装置８１０３が、筐体８１０１および光源８１０２が据え付けられた天井８１０４の内部に設けられている場合を例示しているが、半導体装置８１０３は、筐体８１０１の内部に設けられていてもよい。半導体装置８１０３により、光源８１０２の発光輝度等の情報や、制御プログラム等を保持することができる。また、半導体装置８１０３は通信機能を有し、照明装置８１００を、ＩｏＴ機器として機能させることができる。また、照明装置８１００は、商用電源から電力の供給を受けることもできるし、蓄電装置に蓄積された電力を用いることもできる。

［０３３１］

なお、図２８では天井８１０４に設けられた据え付け型の照明装置８１００を例示しているが、本発明の一態様に係る半導体装置は、天井８１０４以外、例えば側壁８４０５、床８４０６、窓８４０７等に設けられた据え付け型の照明装置に用いることもできるし、卓上型の照明装置等に用いることもできる。

［０３３２］

また、光源８１０２には、電力を利用して人工的に光を得る人工光源を用いることができる。具体的には、白熱電球、蛍光灯等の放電ランプ、ＬＥＤや有機ＥＬ素子等の発光素子が、上記人工光源の一例として挙げられる。

［０３３３］

図２８において、室内機８２００および室外機８２０４を有するエアコンディショナーは、本発明の一態様に係る半導体装置８２０３を用いた電子機器の一例である。具体的に、室内機８２００は、筐体８２０１、送風口８２０２、半導体装置８２０３、蓄電装置８２０５等を有する。図２８では、半導体装置８２０３が、室内機８２００に設けられている場合を例示しているが、半導体装置８２０３は室外機８２０４に設けられていてもよい。或いは、室内機８２００と室外機８２０４の両方に、半導体装置８２０３が設けられていてもよい。半導体装置８２０３により、エアコンディショナーの制御情報や、制御プログラム等を保持することができる。また、半導体装置８２０３は通信機能を有し、エアコンディショナーを、ＩｏＴ機器として機能させることができる。また、エアコンディショナーは、商用電源から電力の供給を受けることもできるし、蓄電装置８２０５に蓄積された電力を用いることもできる。

［０３３４］

なお、図２８では、室内機と室外機で構成されるセパレート型のエアコンディショナーを例示しているが、室内機の機能と室外機の機能とを１つの筐体に有する一体型のエアコンディショナーに、本発明の一態様に係る半導体装置を用いることもできる。

［０３３５］

図２８において、電気冷凍冷蔵庫８３００は、本発明の一態様に係る半導体装置８３０４を用いた電子機器の一例である。具体的に、電気冷凍冷蔵庫８３００は、筐体８３０１、冷蔵室用扉８３０２、冷凍室用扉８３０３、半導体装置８３０４、蓄電装置８３０５等を有する。図２８では、蓄電装置８３０５が、筐体８３０１の内部に設けられている。半導体装置８３０４により、電気冷凍冷蔵庫８３００の制御情報や、制御プログラム等を保持することができる。また、半導体装置８３０４は通信機能を有し、電気冷凍冷蔵庫８３００を、ＩｏＴ機器として機能させることができる。また、電気冷凍冷蔵庫８３００は、商用電源から電力の供給を受けることもできるし、蓄電装置８３０５に蓄積された電力を用いることもできる。

［０３３６］

図２９Ａに、腕時計型の携帯情報端末の一例を示す。携帯情報端末６１００は、筐体６１０１、表示部６１０２、バンド６１０３、操作ボタン６１０５等を備える。また、携帯情報端末６１００は、その内部に二次電池と、本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を携帯情報端末６１００に用いることで、携帯情報端末６１００を、ＩｏＴ機器として機能させることができる。

［０３３７］

図２９Ｂは、携帯電話機の一例を示している。携帯情報端末６２００は、筐体６２０１に組み込まれた表示部６２０２の他、操作ボタン６２０３、スピーカ６２０４、マイクロフォン６２０５等を備えている。

［０３３８］

また、携帯情報端末６２００は、表示部６２０２と重なる領域に指紋センサ６２０９を備える。指紋センサ６２０９は有機光センサであってもよい。指紋は個人によって異なるため、指紋センサ６

２０９で指紋パターンを取得して、個人認証を行うことができる。指紋センサ６２０９で指紋パターンを取得するための光源として、表示部６２０２から発せられた光を用いることができる。

［０３３９］

また、携帯情報端末６２００は、その内部に二次電池と、本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を携帯情報端末６２００に用いることで、携帯情報端末６２００を、ＩｏＴ機器として機能させることができる。

［０３４０］

図２９Ｃは、掃除ロボットの一例を示している。掃除ロボット６３００は、筐体６３０１上面に配置された表示部６３０２、側面に配置された複数のカメラ６３０３、ブラシ６３０４、操作ボタン６３０５、各種センサ等を有する。図示されていないが、掃除ロボット６３００には、タイヤ、吸い込み口等が備えられている。掃除ロボット６３００は自走し、ゴミ６３１０を検知し、下面に設けられた吸い込み口からゴミを吸引することができる。

［０３４１］

例えば、掃除ロボット６３００は、カメラ６３０３が撮影した画像を解析し、壁、家具または段差等の障害物の有無を判断することができる。また、配線等、ブラシ６３０４に絡まりそうな物体を画像解析により検知した場合は、ブラシ６３０４の回転を止めることができる。掃除ロボット６３００は、その内部に二次電池と、本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を掃除ロボット６３００に用いることで、掃除ロボット６３００を、ＩｏＴ機器として機能させることができる。

［０３４２］

図２９Ｄは、ロボットの一例を示している。図２９Ｄに示すロボット６４００は、演算装置６４０９、照度センサ６４０１、マイクロフォン６４０２、上部カメラ６４０３、スピーカ６４０４、表示部６４０５、下部カメラ６４０６および障害物センサ６４０７、移動機構６４０８を備える。

［０３４３］

マイクロフォン６４０２は、使用者の話し声および環境音等を検知する機能を有する。また、スピーカ６４０４は、音声を発する機能を有する。ロボット６４００は、マイクロフォン６４０２およびスピーカ６４０４を用いて、使用者とコミュニケーションをとることが可能である。

［０３４４］

表示部６４０５は、種々の情報の表示を行う機能を有する。ロボット６４００は、使用者の望みの情報を表示部６４０５に表示することが可能である。表示部６４０５は、タッチパネルを搭載していてもよい。また、表示部６４０５は取り外しのできる情報端末であってもよく、ロボット６４００の定位置に設置することで、充電およびデータの受け渡しを可能とする。

［０３４５］

上部カメラ６４０３および下部カメラ６４０６は、ロボット６４００の周囲を撮像する機能を有する。また、障害物センサ６４０７は、移動機構６４０８を用いてロボット６４００が前進する際の進行方向における障害物の有無を察知することができる。ロボット６４００は、上部カメラ６４０３、下部カメラ６４０６および障害物センサ６４０７を用いて、周囲の環境を認識し、安全に移動することが可能である。

［０３４６］

ロボット６４００は、その内部に二次電池と、本発明の一態様に係る半導体装置または電子部品を

備える。本発明の一態様に係る半導体装置または電子部品をロボット６４００に用いることで、ロボット６４００を、ＩｏＴ機器として機能させることができる。

［０３４７］

図２９Ｅは、飛行体の一例を示している。図２９Ｅに示す飛行体６５００は、プロペラ６５０１、カメラ６５０２、およびバッテリ６５０３等を有し、自律して飛行する機能を有する。

［０３４８］

例えば、カメラ６５０２で撮影した画像データは、電子部品６５０４に記憶される。電子部品６５０４は、画像データを解析し、移動する際の障害物の有無等を察知することができる。また、電子部品６５０４によってバッテリ６５０３の蓄電容量の変化から、バッテリ残量を推定することができる。飛行体６５００は、その内部に本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を飛行体６５００に用いることで、飛行体６５００を、ＩｏＴ機器として機能させることができる。

［０３４９］

図２９Ｆは、自動車の一例を示している。自動車７１６０は、エンジン、タイヤ、ブレーキ、操舵装置、カメラ等を有する。自動車７１６０は、その内部に本発明の一態様に係る半導体装置または電子部品を備える。本発明の一態様に係る半導体装置または電子部品を自動車７１６０に用いることで、自動車７１６０を、ＩｏＴ機器として機能させることができる。

［０３５０］

本実施の形態に示す構成、構造、方法等は、他の実施の形態等に示す構成、構造、方法等と適宜組み合わせて用いることができる。

［０３５１］

（実施の形態６）

本明細書等に示したＯＳトランジスタを用いて、ノーマリーオフＣＰＵ（「Ｎｏｆｆ－ＣＰＵ」ともいう）を実現することができる。なお、Ｎｏｆｆ－ＣＰＵとは、ゲート電圧が０Ｖであっても非導通状態（オフ状態ともいう）であるノーマリーオフ型のトランジスタを含む集積回路である。

［０３５２］

Ｎｏｆｆ－ＣＰＵは、Ｎｏｆｆ－ＣＰＵ内の動作不要な回路への電力供給を停止し、当該回路を待機状態にすることができる。電力供給が停止され、待機状態になった回路では電力が消費されない。よって、Ｎｏｆｆ－ＣＰＵは、電力使用量を最小限にすることができる。また、Ｎｏｆｆ－ＣＰＵは、電力供給が停止されても設定条件等の動作に必要な情報を長期間保持することができる。待機状態からの復帰は当該回路への電力供給を再開するだけでよく、設定条件等の再書き込みが不要である。すなわち、待機状態からの高速復帰が可能である。このように、Ｎｏｆｆ－ＣＰＵは、動作速度を大きく落とすことなく消費電力を低減できる。

［０３５３］

Ｎｏｆｆ－ＣＰＵは、例えば、ＩｏＴ末端機器（「エンドポイントマイコン」ともいう）等の小規模システムに好適に用いることができる。

［０３５４］

図３０にＩｏＴネットワークの階層構造と要求仕様の傾向を示す。図３０では、要求仕様として消費電力８０４と処理性能８０５を示している。ＩｏＴネットワークの階層構造は、上層部であるクラウド分野８０１と下層部である組み込み分野８０２に大別される。クラウド分野８０１には例え

ばサーバが含まれる。組み込み分野８０２には例えば機械、産業用ロボット、車載機器、家電等が含まれる。

［０３５５］

上層ほど、消費電力の少なさよりも高い処理性能が求められる。よって、クラウド分野８０１では高性能ＣＰＵ、高性能ＧＰＵ、大規模ＳｏＣ（Ｓｙｓｔｅｍ　ｏｎ　ａ　Ｃｈｉｐ）等が用いられる。また、下層ほど処理性能よりも消費電力の少なさが求められ、デバイス個数も爆発的に多くなる。本発明の一態様に係る通信装置、または半導体装置は、低消費電力が求められるＩｏＴ末端機器８０３の通信装置に好適に用いることができる。

［０３５６］

なお、「エンドポイント」とは、組み込み分野８０２の末端領域を示す。エンドポイントに用いられるデバイスとしては、例えば、工場、家電、インフラ、農業等で使用されるマイコンが該当する。

［０３５７］

図３１にエンドポイントマイコンの応用例として、ファクトリーオートメーションのイメージ図を示す。工場８８４はインターネット回線（Ｉｎｔｅｒｎｅｔ）を介してクラウド８８３と接続される。また、クラウド８８３は、インターネット回線を介してホーム８８１およびオフィス８８２と接続される。インターネット回線は有線通信方式であってもよいし、無線通信方式であってもよい。例えば、無線通信方式の場合は、通信装置に本発明の一態様に係る通信装置、または半導体装置を用いて、第４世代移動通信システム（４Ｇ）や第５世代移動通信システム（５Ｇ）等の通信規格に沿った無線通信を行なえばよい。また、工場８８４は、インターネット回線を介して工場８８５および工場８８６と接続してもよい。

［０３５８］

工場８８４はマスタデバイス（制御機器）８３１を有する。マスタデバイス８３１は、クラウド８８３と接続し、情報の授受を行う機能を有する。また、マスタデバイス８３１は、ＩｏＴ末端機器８４１に含まれる複数の産業用ロボット８４２と、Ｍ２Ｍ（Ｍａｃｈｉｎｅ　ｔｏ　Ｍａｃｈｉｎｅ）インターフェイス８３２を介して接続される。Ｍ２Ｍインターフェイス８３２としては、例えば、有線通信方式の一種である産業イーサネット（「イーサネット」は登録商標）や、無線通信方式の一種であるローカル５Ｇ等を用いてもよい。

［０３５９］

工場の管理者は、ホーム８８１またはオフィス８８２から、クラウド８８３を介して工場８８４に接続し、稼働状況等を知ることができる。また、誤品・欠品チェック、置き場所指示、タクトタイムの計測等を行うことができる。

［０３６０］

近年「スマート工場」と銘打って、世界的にＩｏＴの工場への導入が進められている。スマート工場の事例では、エンドポイントマイコンによる単なる検査、監査だけでなく、故障検知や異常予測等も行う事例が報告されている。

［０３６１］

エンドポイントマイコン等の小規模システムは、稼働時のシステム全体の消費電力が小さい場合が多いため、Ｎｏｆｆ－ＣＰＵによる待機動作時の電力削減効果が大きくなる。また、ＩｏＴの組み込み分野では即応性が求められる場合があるが、Ｎｏｆｆ－ＣＰＵを用いることで待機動作時からの高速復帰が実現できる。

［０３６２］

本実施の形態に示す構成、構造、方法等は、他の実施の形態等に示す構成、構造、方法等と適宜組み合わせて用いることができる。

［符号の説明］

［０３６３］

１０：通信装置、１１：アンテナ、１２：増幅器、１３：増幅器、１４：移相器、１５：増幅器、１６：インダクタ、１７：インダクタ、１８：配線、１９：配線、２０：増幅回路、２１：トランジスタ、２１ａ：トランジスタ、２１ｂ：トランジスタ、２２：トランジスタ、２２ａ：トランジスタ、２２ｂ：トランジスタ、２３：負荷、２３ａ：負荷、２３ｂ：負荷、２４：スイッチ、２５：オペアンプ、２５ａ：オペアンプ、２５ｂ：オペアンプ、２６：スイッチ、２６ａ：スイッチ、２６ｂ：スイッチ、２７：スイッチ、２７ａ：スイッチ、２７ｂ：スイッチ、２８：トランジスタ、３１：トランジスタ、３１ａ：トランジスタ、３１ｂ：トランジスタ、３２：トランジスタ、３２ａ：トランジスタ、３２ｂ：トランジスタ、３３：負荷、３３ａ：負荷、３３ｂ：負荷、３４：スイッチ、３５ａ：オペアンプ、３５ｂ：オペアンプ、３６ａ：スイッチ、３６ｂ：スイッチ、３７ａ：スイッチ、３７ｂ：スイッチ、３８：トランジスタ、４０：端子、４０ａ：端子、４０ｂ：端子、４１：配線、４２：配線、４２ａ：配線、４２ｂ：配線、４３：配線、４４：電位生成回路、４４ａ：電位生成回路、４４ｂ：電位生成回路、４６ａ：配線、４６ｂ：配線、５０：端子、５０ａ：端子、５０ｂ：端子、５１：配線、５２：配線、５２ａ：配線、５２ｂ：配線、５３：配線、５４：電位生成回路、５４ａ：電位生成回路、５４ｂ：電位生成回路、５６ａ：配線、５６ｂ：配線、６１：移相器、６２：容量、６３：スイッチ、６４：移相器、６５：インダクタ、６６：インダクタ、７３：配線、７５：配線、８０：メモリ回路、８１：トランジスタ、８２：容量、８４：配線、８５：配線、９０：メモリ回路、９１：トランジスタ、９２：容量、９４：配線、９５：配線、１０１：インダクタ、１０２：容量、３５０：絶縁体、３５２：絶縁体、３５４：絶縁体、３５６：導電体、３６０：絶縁体、３６２：絶縁体、３６４：絶縁体、３６６：導電体、３７０：絶縁体、３７２：絶縁体、３７４：絶縁体、３７６：導電体、３８０：絶縁体、３８２：絶縁体、３８４：絶縁体、３８６：導電体、４０４：絶縁体、５００：トランジスタ、５０３：導電体、５０３ａ：導電体、５０３ｂ：導電体、５１０：絶縁体、５１２：絶縁体、５１３：絶縁体、５１４：絶縁体、５１６：絶縁体、５１８：導電体、５２０：絶縁体、５２２：絶縁体、５２４：絶縁体、５３０：酸化物、５３０ａ：酸化物、５３０ｂ：酸化物、５４０ａ：導電体、５４０ｂ：導電体、５４２ａ：導電体、５４２ｂ：導電体、５４３ａ：領域、５４３ｂ：領域、５４４：絶縁体、５４５：絶縁体、５４６：導電体、５５０：トランジスタ、５５２：絶縁体、５６０：導電体、５６０ａ：導電体、５６０ｂ：導電体、５７４：絶縁体、５８０：絶縁体、５８１：絶縁体、５８２：絶縁体、５８６：絶縁体、６００Ａ：トランジスタ、６００Ｂ：トランジスタ、６１０：導電体、６１２：導電体、６４０：絶縁体、７１１：基板、７１２：回路領域、７１３：分離領域、７１４：分離線、７１５：チップ、７５０：電子部品、７５２：プリント基板、７５３：半導体装置、７５４：実装基板、７５５：リード、８０１：クラウド分野、８０２：分野、８０３：ＩｏＴ末端機器、８０４：消費電力、８０５：処理性能、８３１：マスタデバイス、８３２：インターフェイス、８４１：ＩｏＴ末端機器、８４２：産業用ロボット、８８１：ホーム、８８２：オフィス、８８３：クラウド、８８４：工場、８８５：工場、８８６：工場、６１００：携帯情報端末、６１０１：筐体、６１０２：表示部、６１０３：バンド、６１０５：操作ボタン、６２００：携帯情報端末、６

２０１：筐体、６２０２：表示部、６２０３：操作ボタン、６２０４：スピーカ、６２０５：マイクロフォン、６２０９：指紋センサ、６３００：掃除ロボット、６３０１：筐体、６３０２：表示部、６３０３：カメラ、６３０４：ブラシ、６３０５：操作ボタン、６３１０：ゴミ、６４００：ロボット、６４０１：照度センサ、６４０２：マイクロフォン、６４０３：上部カメラ、６４０４：スピーカ、６４０５：表示部、６４０６：下部カメラ、６４０７：障害物センサ、６４０８：移動機構、６４０９：演算装置、６５００：飛行体、６５０１：プロペラ、６５０２：カメラ、６５０３：バッテリ、６５０４：電子部品、７１６０：自動車、８０００：表示装置、８００１：筐体、８００２：表示部、８００３：スピーカ部、８００４：半導体装置、８００５：蓄電装置、８１００：照明装置、８１０１：筐体、８１０２：光源、８１０３：半導体装置、８１０４：天井、８１０５：蓄電装置、８２００：室内機、８２０１：筐体、８２０２：送風口、８２０３：半導体装置、８２０４：室外機、８２０５：蓄電装置、８３００：電気冷凍冷蔵庫、８３０１：筐体、８３０２：冷蔵室用扉、８３０３：冷凍室用扉、８３０４：半導体装置、８３０５：蓄電装置、８４０５：側壁、８４０６：床、８４０７：窓

請求の範囲

［請求項１］

増幅回路を有し、

前記増幅回路は、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、第５のトランジスタと、第６のトランジスタと、第７のトランジスタと、第８のトランジスタと、第１の負荷と、第２の負荷と、第３の負荷と、第４の負荷と、第１の端子と、第２の端子と、第３の端子と、第４の端子と、を有し、

前記第１のトランジスタのソースまたはドレインの一方は、前記第２のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第３のトランジスタのソースまたはドレインの一方は、前記第４のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第５のトランジスタのソースまたはドレインの一方は、前記第６のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第７のトランジスタのソースまたはドレインの一方は、前記第８のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第１のトランジスタのソースまたはドレインの他方、および前記第３のトランジスタのソースまたはドレインの他方は、第１の電源線と電気的に接続され、

前記第５のトランジスタのソースまたはドレインの他方、および前記第７のトランジスタのソースまたはドレインの他方は、第２の電源線と電気的に接続され、

前記第２のトランジスタのゲート、および前記第４のトランジスタのゲートは、第１の配線と電気的に接続され、

前記第６のトランジスタのゲート、および前記第８のトランジスタのゲートは、第２の配線と電気的に接続され、

前記第１の端子は、前記第１のトランジスタのゲート、前記第６のトランジスタのソースまたはドレインの他方、および前記第１の負荷と電気的に接続され、

前記第２の端子は、前記第３のトランジスタのゲート、前記第８のトランジスタのソースまたはドレインの他方、および前記第２の負荷と電気的に接続され、

前記第３の端子は、前記第５のトランジスタのゲート、前記第２のトランジスタのソースまたはドレインの他方、および前記第３の負荷と電気的に接続され、

前記第４の端子は、前記第７のトランジスタのゲート、前記第４のトランジスタのソースまたはドレインの他方、および前記第４の負荷と電気的に接続される通信装置。

［請求項２］

増幅回路を有し、

前記増幅回路は、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、第５のトランジスタと、第６のトランジスタと、第７のトランジスタと、第８のトランジスタと、第１のオペアンプと、第２のオペアンプと、第３のオペアンプと、第４のオペアンプと、第１の負荷と、第２の負荷と、第３の負荷と、第４の負荷と、第１の端子と、第２の端子と、第３の端子と、第４の端子と、を有し、

前記第１のトランジスタのソースまたはドレインの一方は、前記第２のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第３のトランジスタのソースまたはドレインの一方は、前記第４のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第５のトランジスタのソースまたはドレインの一方は、前記第６のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第７のトランジスタのソースまたはドレインの一方は、前記第８のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第１のトランジスタのソースまたはドレインの他方、および前記第３のトランジスタのソースまたはドレインの他方は、第１の電源線と電気的に接続され、

前記第５のトランジスタのソースまたはドレインの他方、および前記第７のトランジスタのソースまたはドレインの他方は、第２の電源線と電気的に接続され、

前記第１のオペアンプの非反転入力端子、および前記第２のオペアンプの非反転入力端子は、第１の配線と電気的に接続され、

前記第３のオペアンプの非反転入力端子、および前記第４のオペアンプの非反転入力端子は、第２の配線と電気的に接続され、

前記第１のオペアンプの反転入力端子は、前記第１のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第２のオペアンプの反転入力端子は、前記第３のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第３のオペアンプの反転入力端子は、前記第５のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第４のオペアンプの反転入力端子は、前記第７のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第１のオペアンプの出力端子は、前記第２のトランジスタのゲートと電気的に接続され、

前記第２のオペアンプの出力端子は、前記第４のトランジスタのゲートと電気的に接続され、

前記第３のオペアンプの出力端子は、前記第６のトランジスタのゲートと電気的に接続され、

前記第４のオペアンプの出力端子は、前記第８のトランジスタのゲートと電気的に接続され、

前記第１の端子は、前記第１のトランジスタのゲート、前記第６のトランジスタのソースまたはドレインの他方、および前記第１の負荷と電気的に接続され、

前記第２の端子は、前記第３のトランジスタのゲート、前記第８のトランジスタのソースまたはドレインの他方、および前記第２の負荷と電気的に接続され、

前記第３の端子は、前記第５のトランジスタのゲート、前記第２のトランジスタのソースまたはドレインの他方、および前記第３の負荷と電気的に接続され、

前記第４の端子は、前記第７のトランジスタのゲート、前記第４のトランジスタのソースまたはドレインの他方、および前記第４の負荷と電気的に接続される通信装置。

［請求項３］

請求項１または２において、

前記第２のトランジスタ、前記第４のトランジスタ、前記第６のトランジスタ、および前記第８のトランジスタは、バックゲートを有し、

前記第２のトランジスタのバックゲートは、前記第１の端子と電気的に接続され、

前記第４のトランジスタのバックゲートは、前記第２の端子と電気的に接続され、

前記第６のトランジスタのバックゲートは、前記第３の端子と電気的に接続され、

前記第８のトランジスタのバックゲートは、前記第４の端子と電気的に接続される通信装置。

［請求項４］

請求項１乃至３のいずれか一項において、

前記増幅回路は、前記第１の端子に第１の信号波が入力された場合に、前記第１の信号波に対応する信号波を前記第３の端子から出力する機能を有し、

前記増幅回路は、前記第２の端子に第２の信号波が入力された場合に、前記第２の信号波に対応する信号波を前記第４の端子から出力する機能を有し、

前記増幅回路は、前記第３の端子に第３の信号波が入力された場合に、前記第３の信号波に対応する信号波を前記第１の端子から出力する機能を有し、

前記増幅回路は、前記第４の端子に第４の信号波が入力された場合に、前記第４の信号波に対応する信号波を前記第２の端子から出力する機能を有する通信装置。

［請求項５］

請求項４において、

前記第１の端子に前記第１の信号波を入力し、前記第２の端子に前記第２の信号波を入力する場合は、前記第１の配線の電位を、前記第２および第４のトランジスタが飽和領域で動作する電位とし、かつ前記第２の配線の電位を、前記第６および第８のトランジスタがオフ状態となる電位とし、

前記第３の端子に前記第３の信号波を入力し、前記第４の端子に前記第４の信号波を入力する場合は、前記第１の配線の電位を、前記第２および第４のトランジスタがオフ状態となる電位とし、かつ前記第２の配線の電位を、前記第６および第８のトランジスタが飽和領域で動作する電位とする通信装置。

［請求項６］

請求項１乃至５のいずれか一項において、

前記第１の信号波と、前記第２の信号波と、は互いに逆位相の関係にあり、

前記第３の信号波と、前記第４の信号波と、は互いに逆位相の関係にある通信装置。

［請求項７］

請求項１乃至６のいずれか一項において、

前記第１乃至第８のトランジスタのソースまたはドレインの一方は、ソースである通信装置。

図1

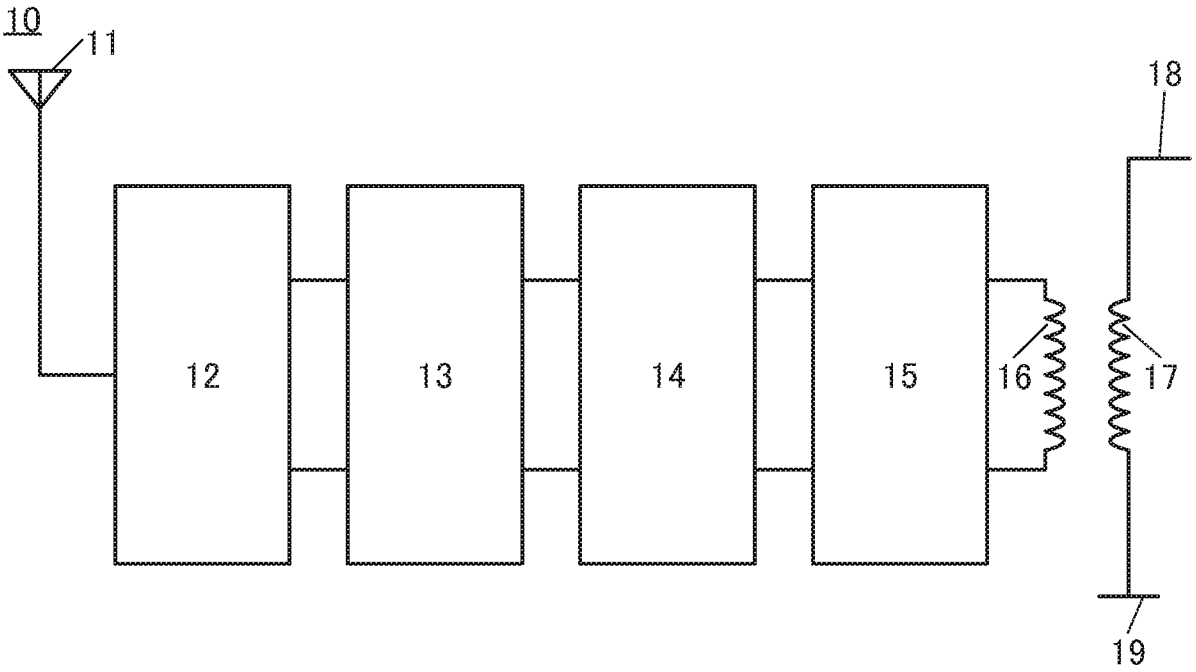


図2

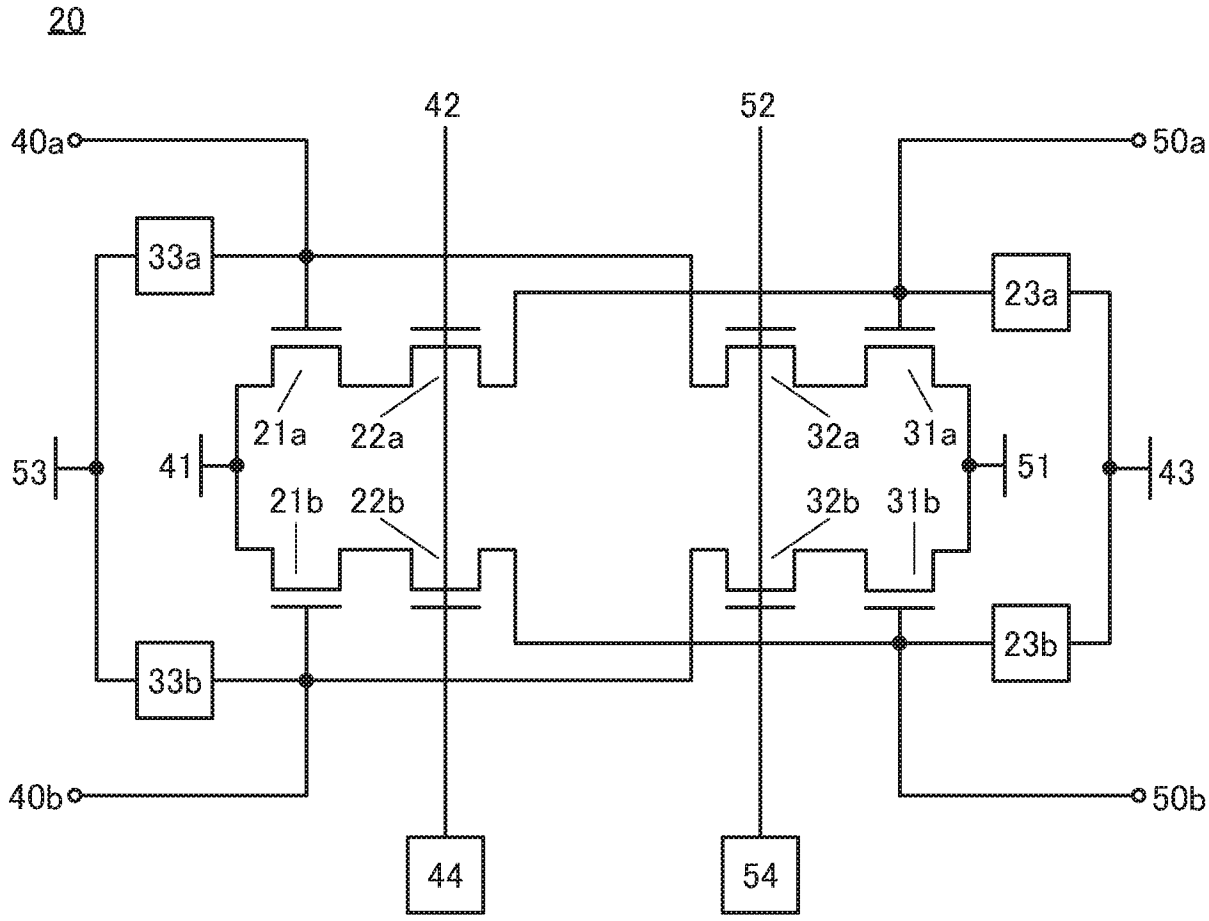

20
42
52
40a
50a
33a
23a
21a
22a
32a
31a
53
41
51
43
21b
22b
32b
31b
23b
33b
40b
50b
44
54

図3

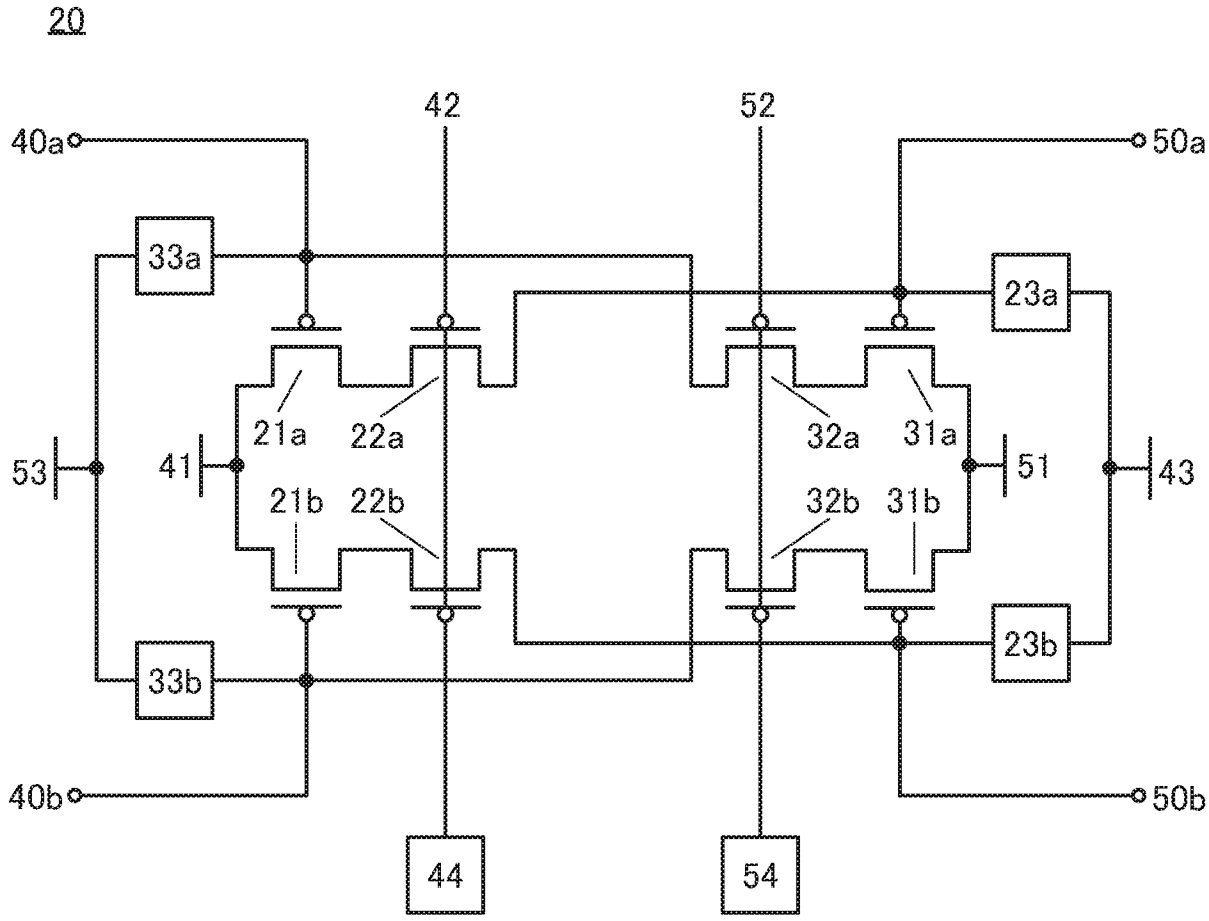

20
42
52
40a
50a
33a
23a
21a
22a
32a
31a
53
41
51
43
21b
22b
32b
31b
23b
33b
40b
50b
44
54

図4A

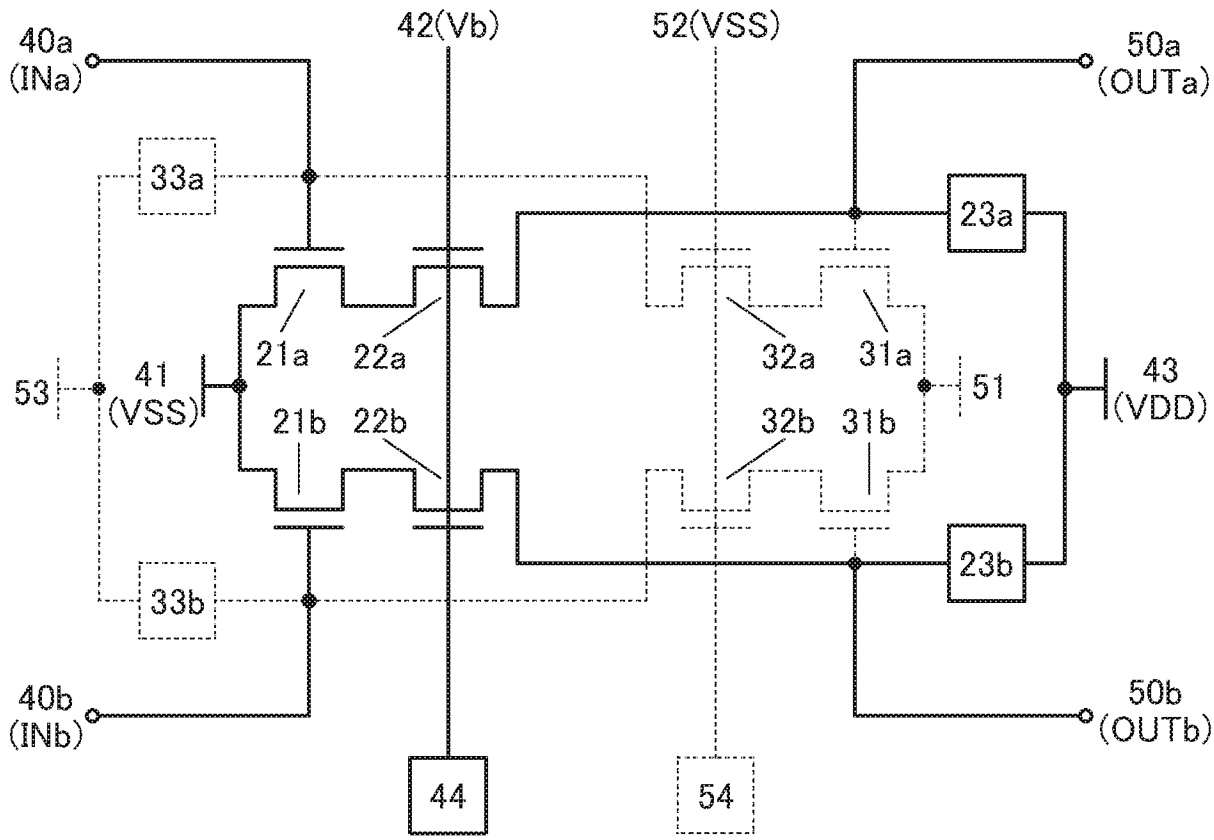

20
40a
(INa)
42(Vb)
52(VSS)
50a
(OUTa)
33a
23a
21a
22a
32a
31a
53
41
(VSS)
51
43
(VDD)
21b
22b
32b
31b
23b
33b
40b
(INb)
50b
(OUTb)
44
54

図4B

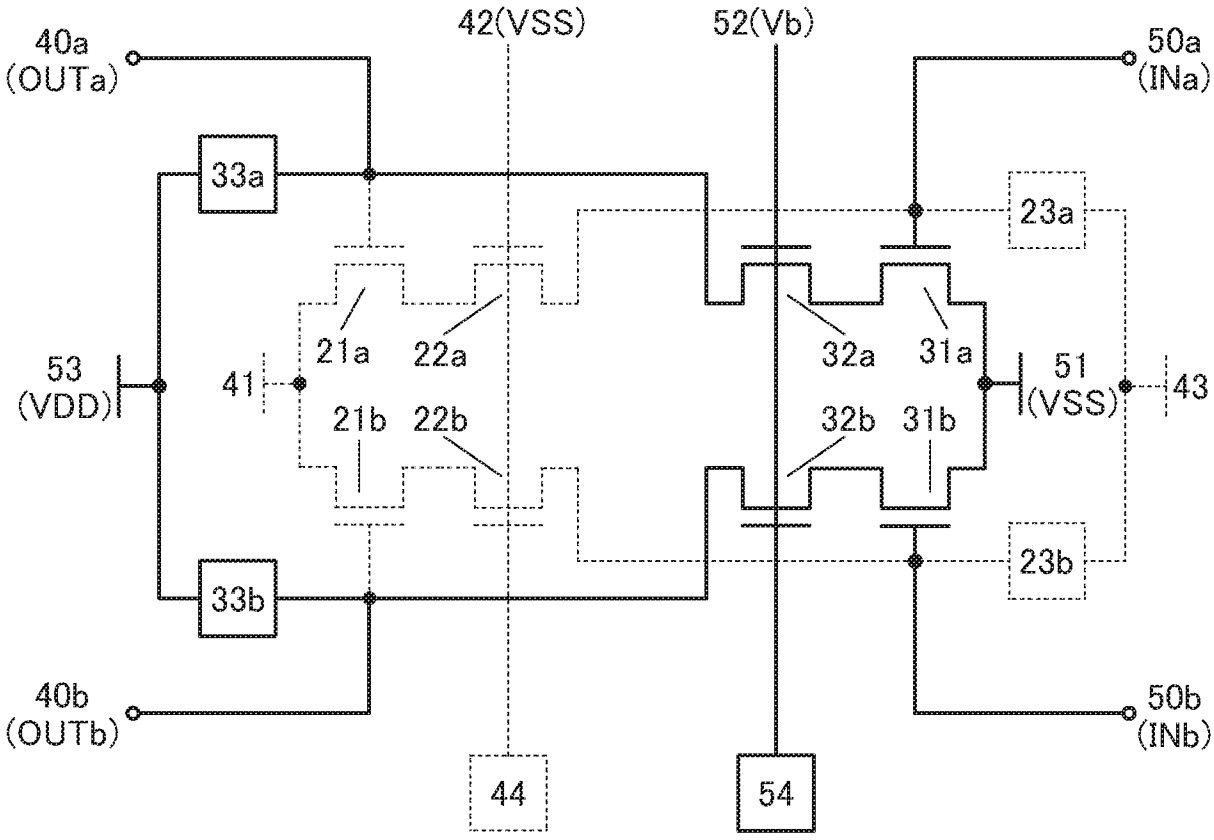

20
40a
(OUTa)
42(VSS)
52(Vb)
50a
(INa)
33a
23a
21a
22a
32a
31a
53
(VDD)
41
51
(VSS)
43
21b
22b
32b
31b
23b
33b
40b
(OUTb)
50b
(INb)
44
54

図5A

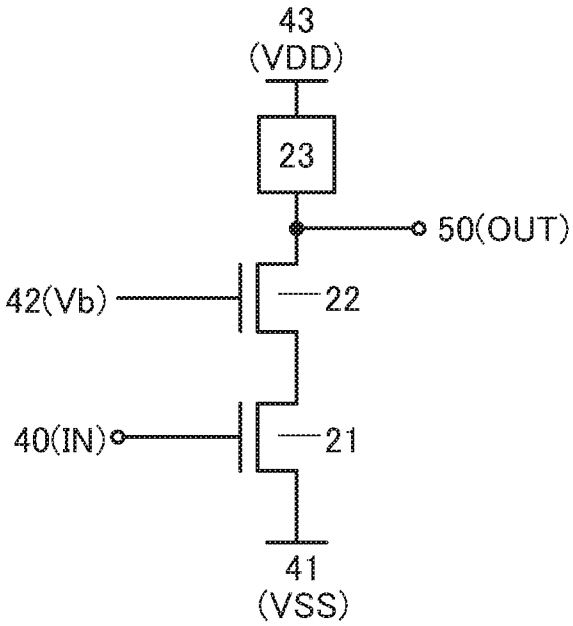

43
(VDD)
23
50(OUT)
42(Vb)
22
40(IN)
21
41
(VSS)

図5B

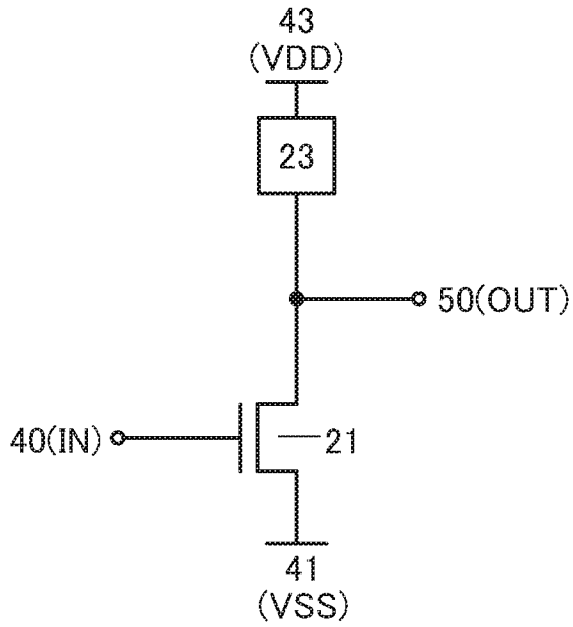

43
(VDD)
23
50(OUT)
40(IN)
21
41
(VSS)

図6A1

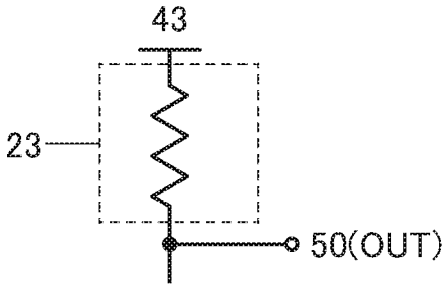


図6A2

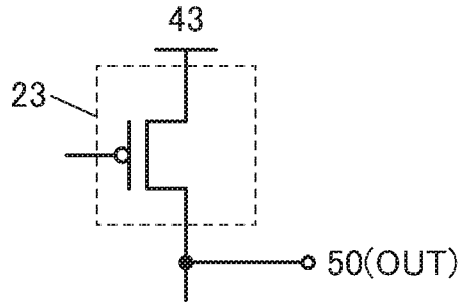


図6A3

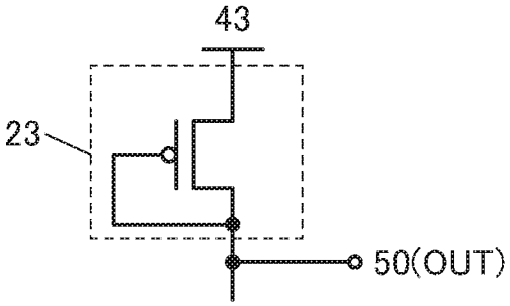


図6A4

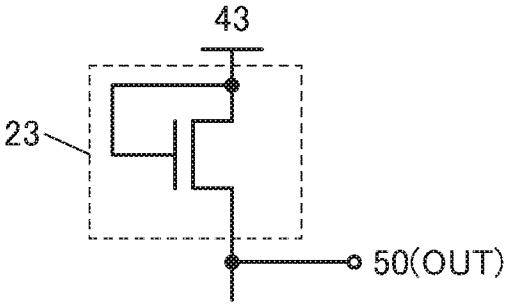


図6B1

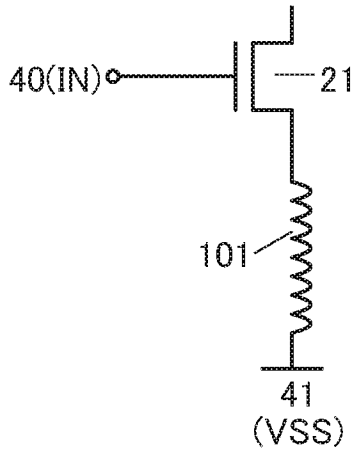


図6B2

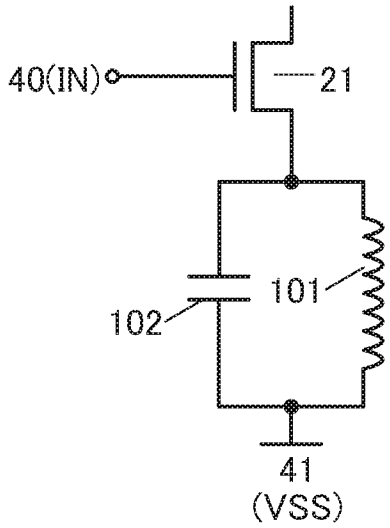


図7A1

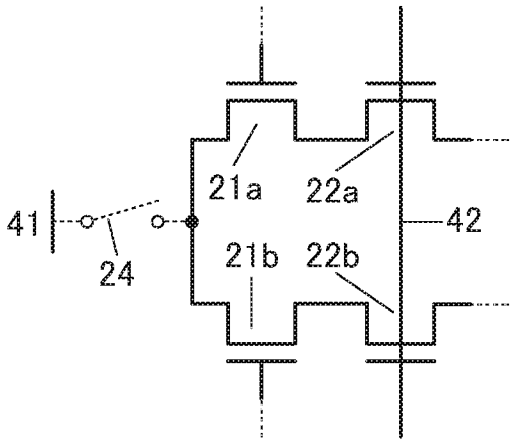


図7A2

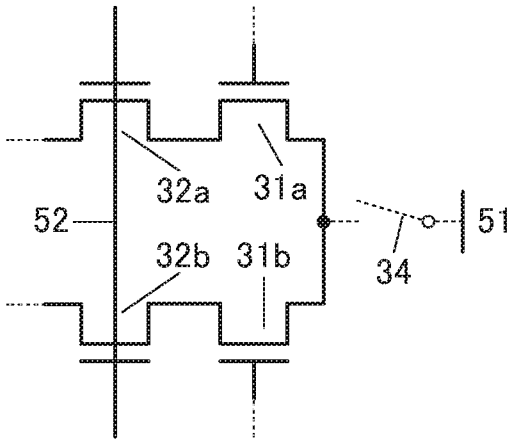


図7B1

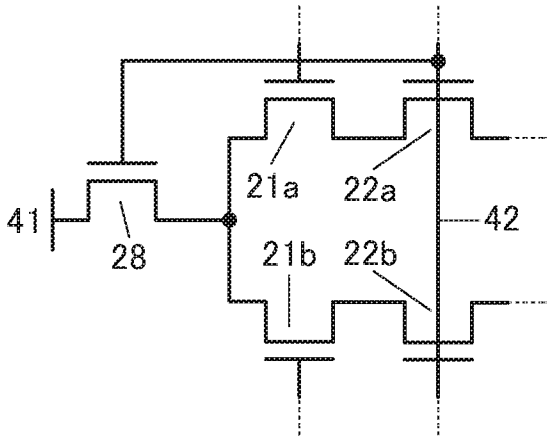


図7B2

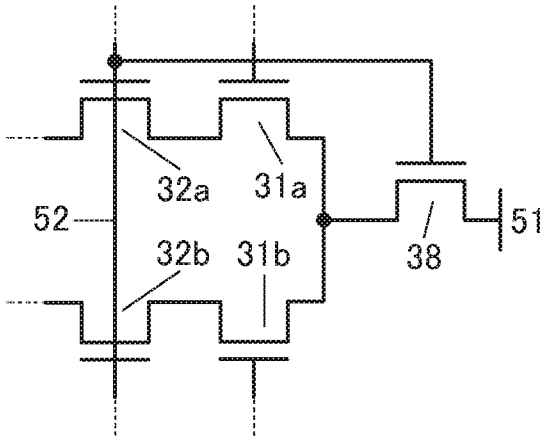


図8A

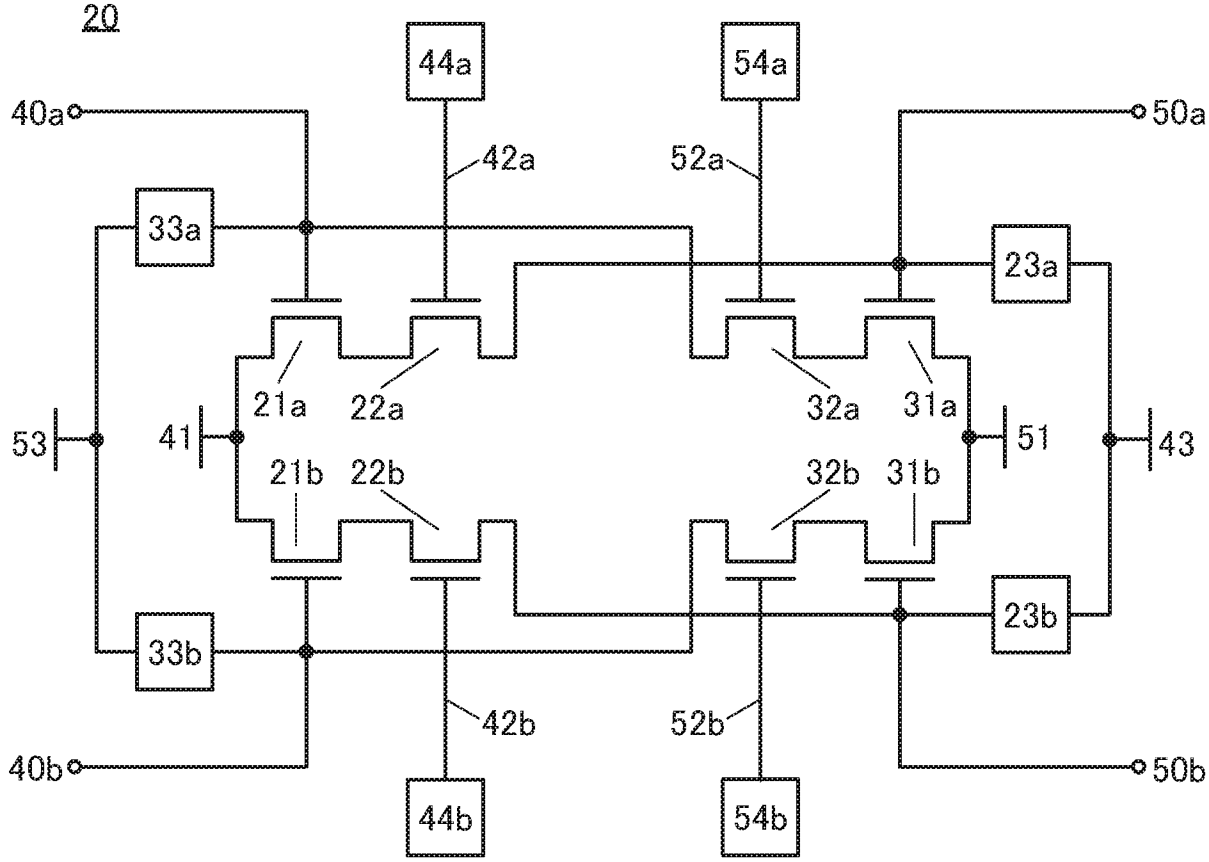

20
44a
54a
40a
50a
42a
52a
33a
23a
21a
22a
32a
31a
53
41
51
43
21b
22b
32b
31b
23b
33b
42b
52b
40b
50b
44b
54b

図8B

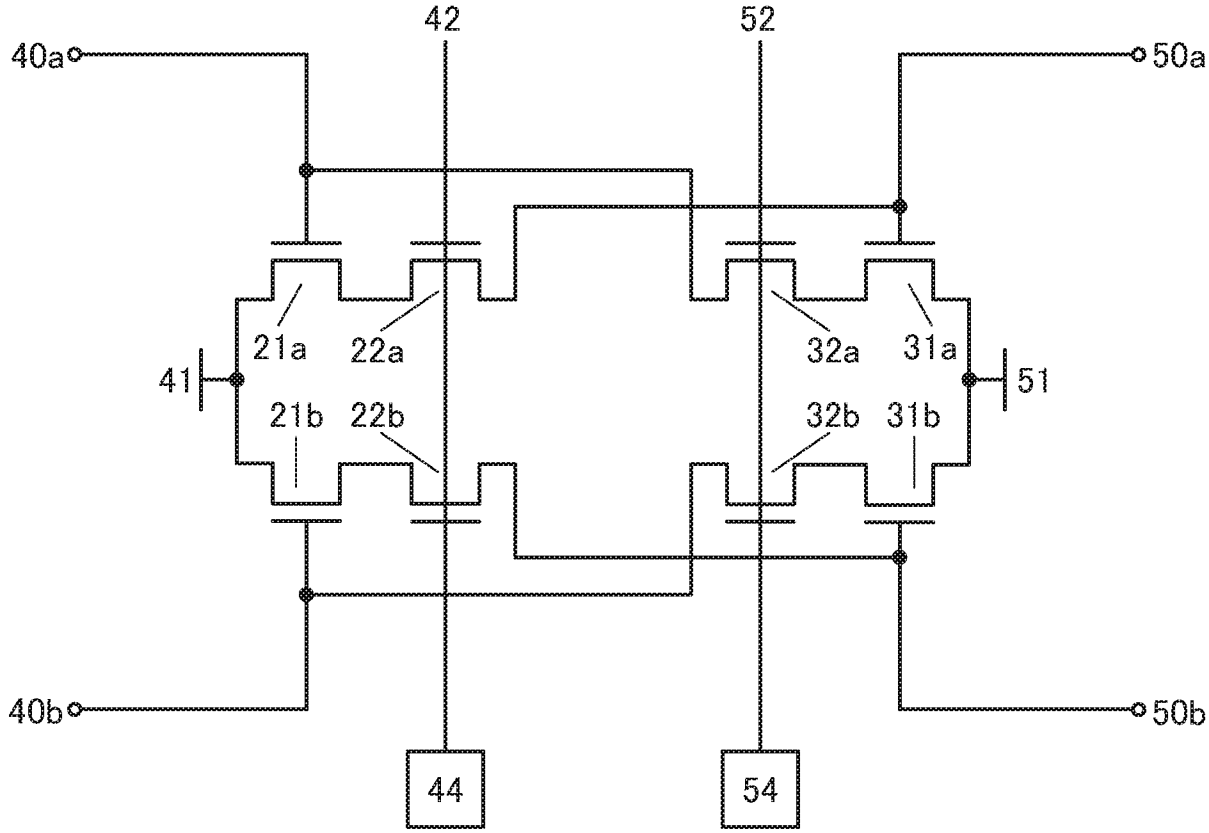

20
42
52
40a
50a
21a
22a
32a
31a
41
51
21b
22b
32b
31b
40b
50b
44
54

図9A

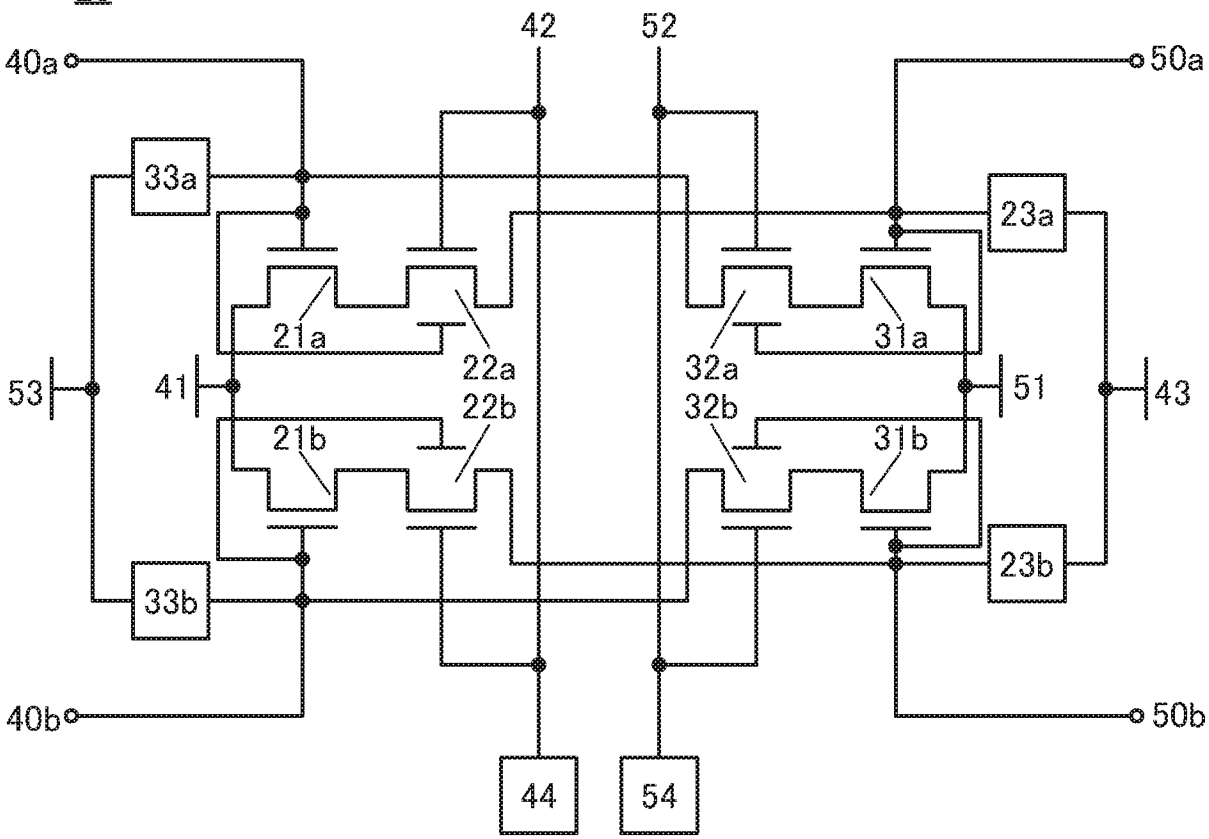

20
42
52
40a
50a
33a
23a
21a
22a
31a
32a
53
41
51
43
21b
22b
31b
32b
23b
33b
40b
50b
44
54

図9B

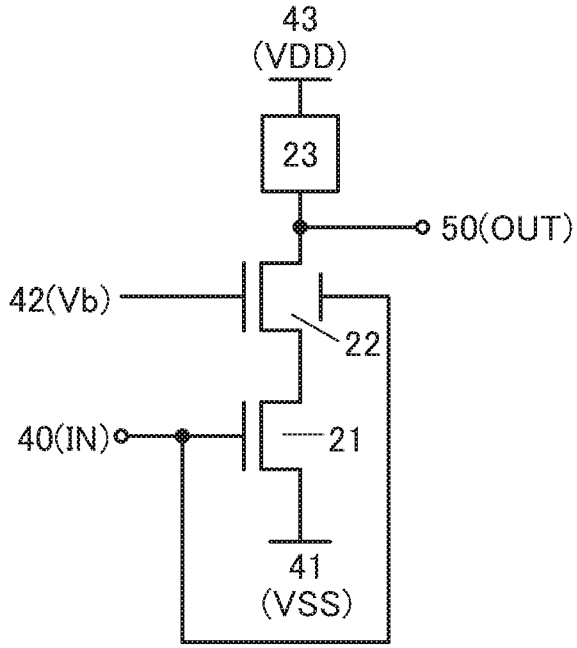

43
(VDD)
23
50(OUT)
42(Vb)
22
40(IN)
21
41
(VSS)

図10

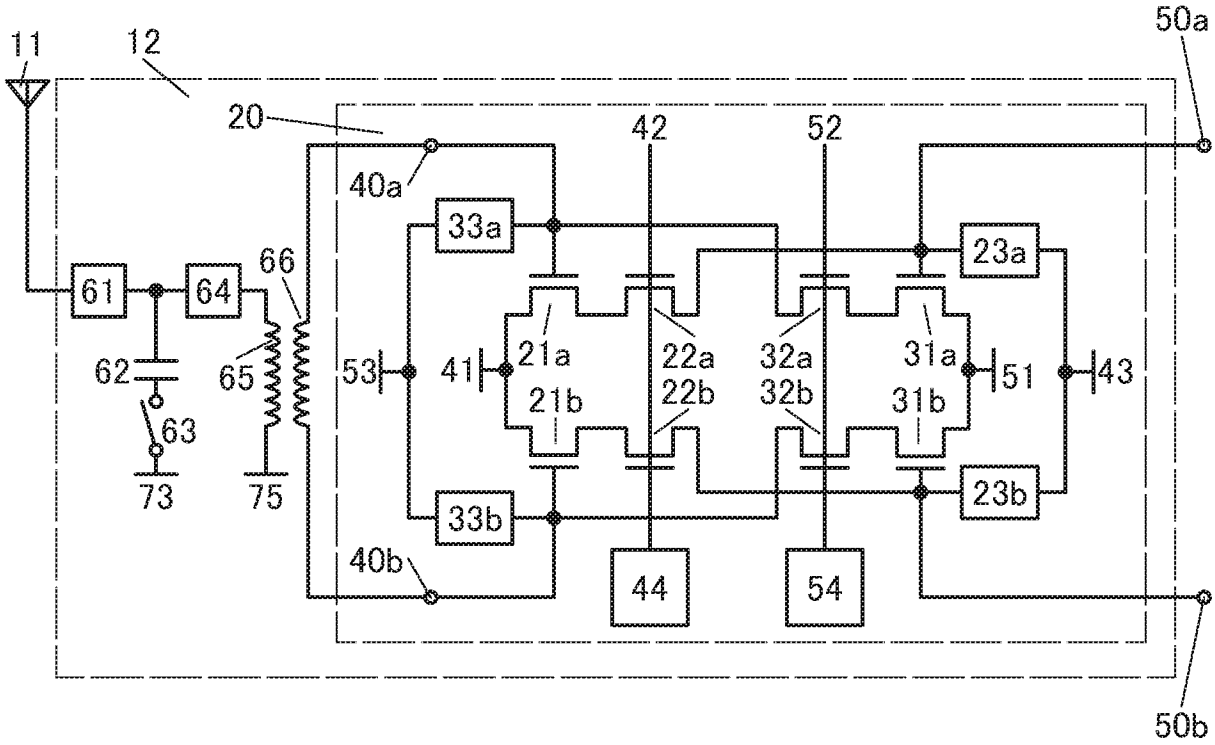

11
12
20
50a
42
52
40a
33a
23a
61
64
66
62
65
53
41
21a
22a
32a
31a
51
43
21b
22b
32b
31b
63
73
75
33b
23b
40b
44
54
50b

図11

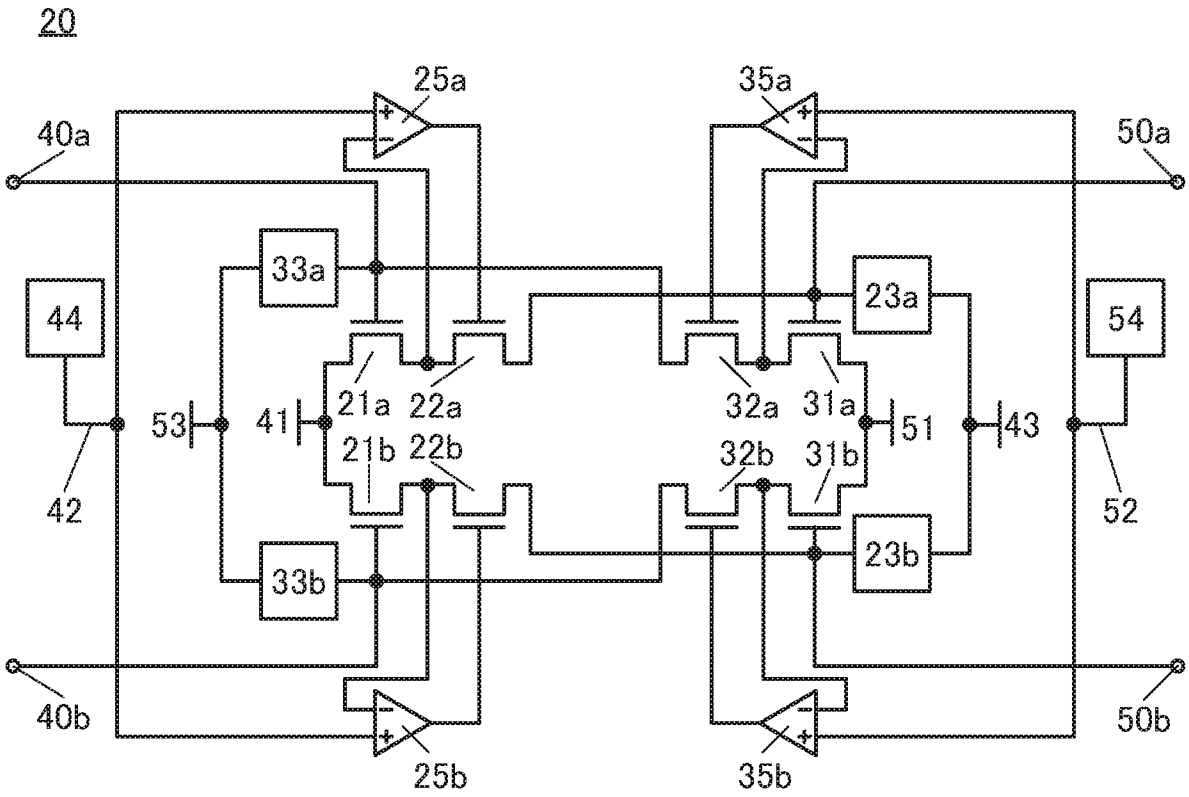

20
25a
35a
40a
50a
33a
23a
44
54
53
41
21a
22a
32a
31a
51
43
21b
22b
32b
31b
42
52
33b
23b
40b
50b
25b
35b

図12

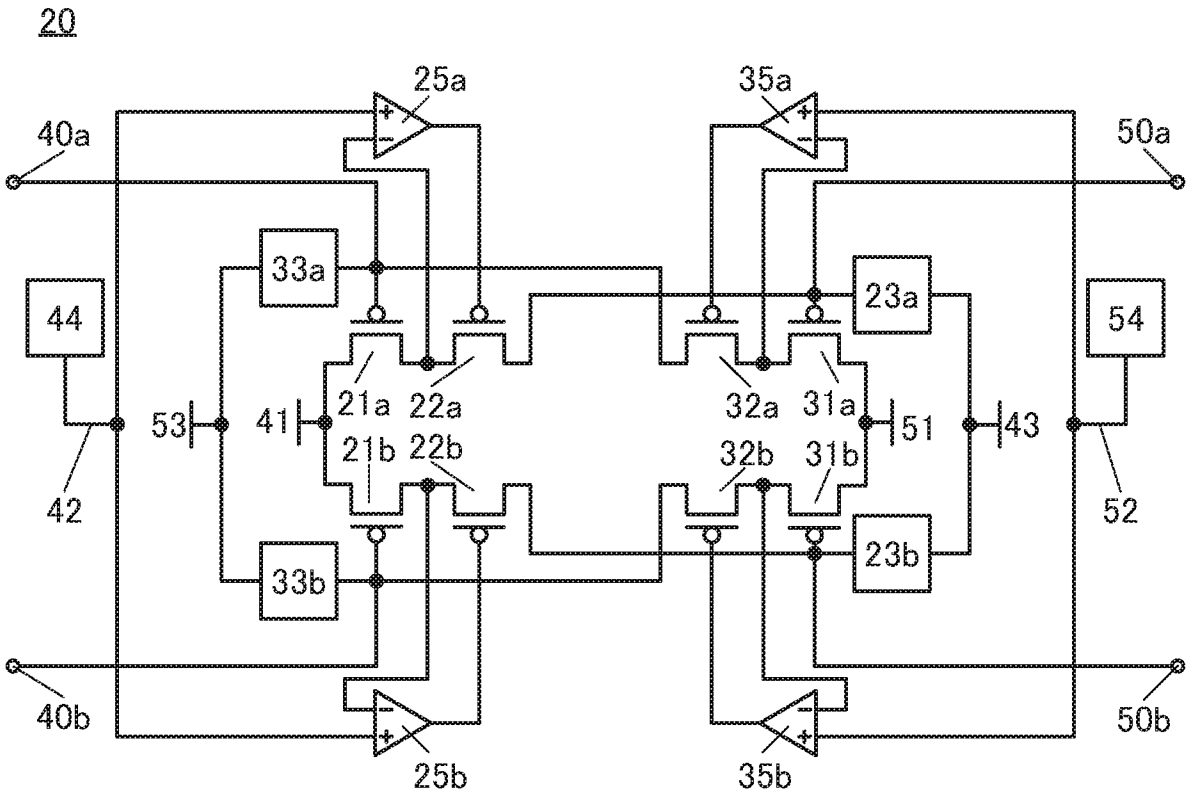

20
25a
35a
40a
50a
33a
23a
44
54
53
41
21a
22a
32a
31a
51
43
21b
22b
32b
31b
42
52
33b
23b
40b
50b
25b
35b

図13A

20

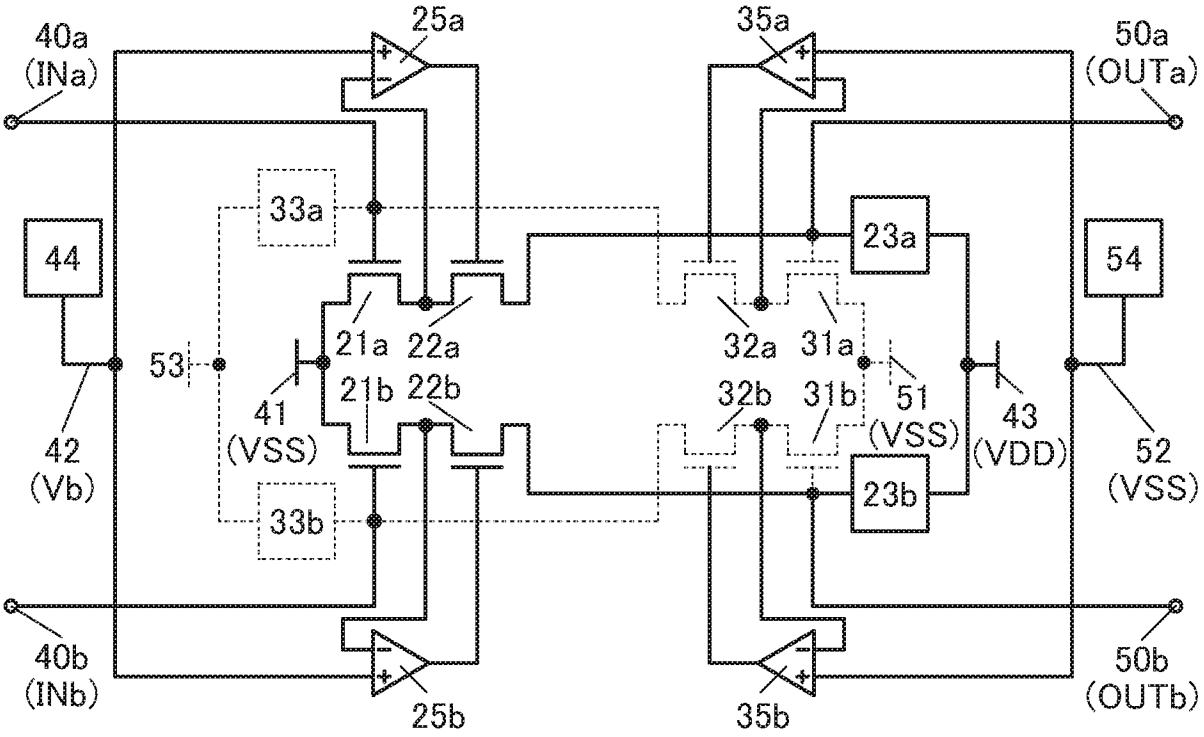


図13B

20

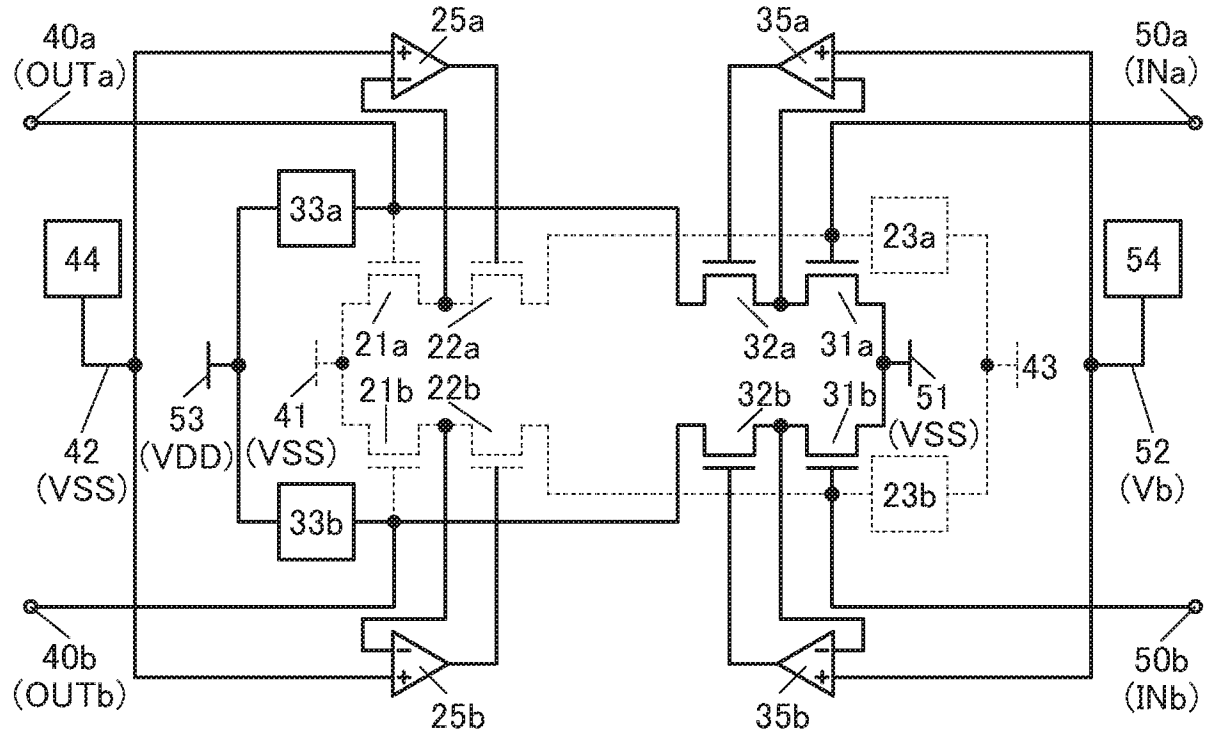


図14A

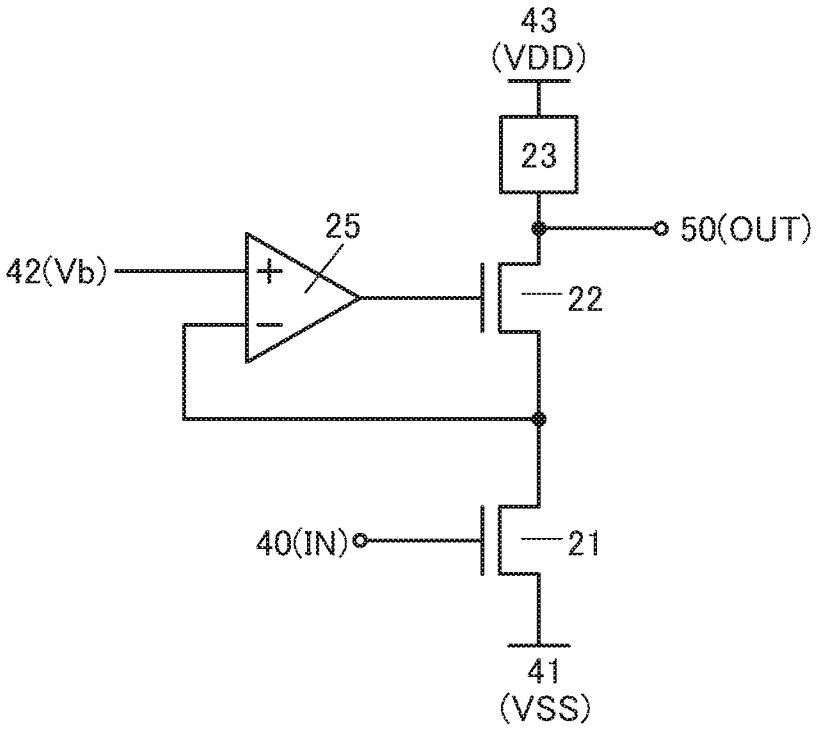

43
(VDD)
23
50(OUT)
25
42(Vb)
+
−
22
40(IN)
21
41
(VSS)

図14B

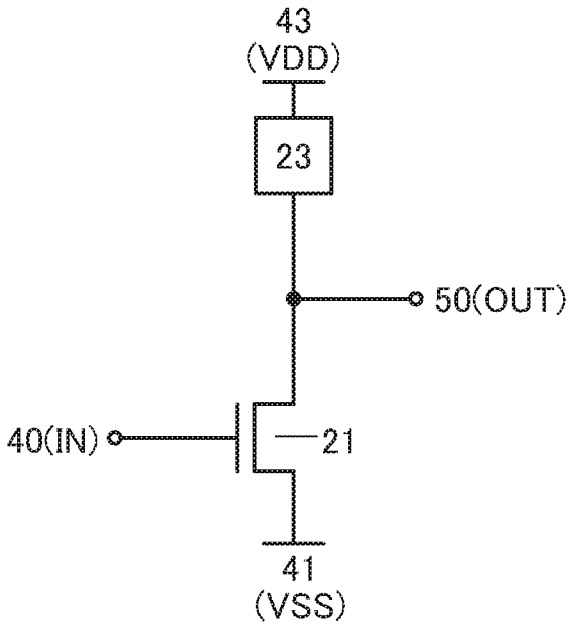

43
(VDD)
23
50(OUT)
40(IN)
21
41
(VSS)

図15A

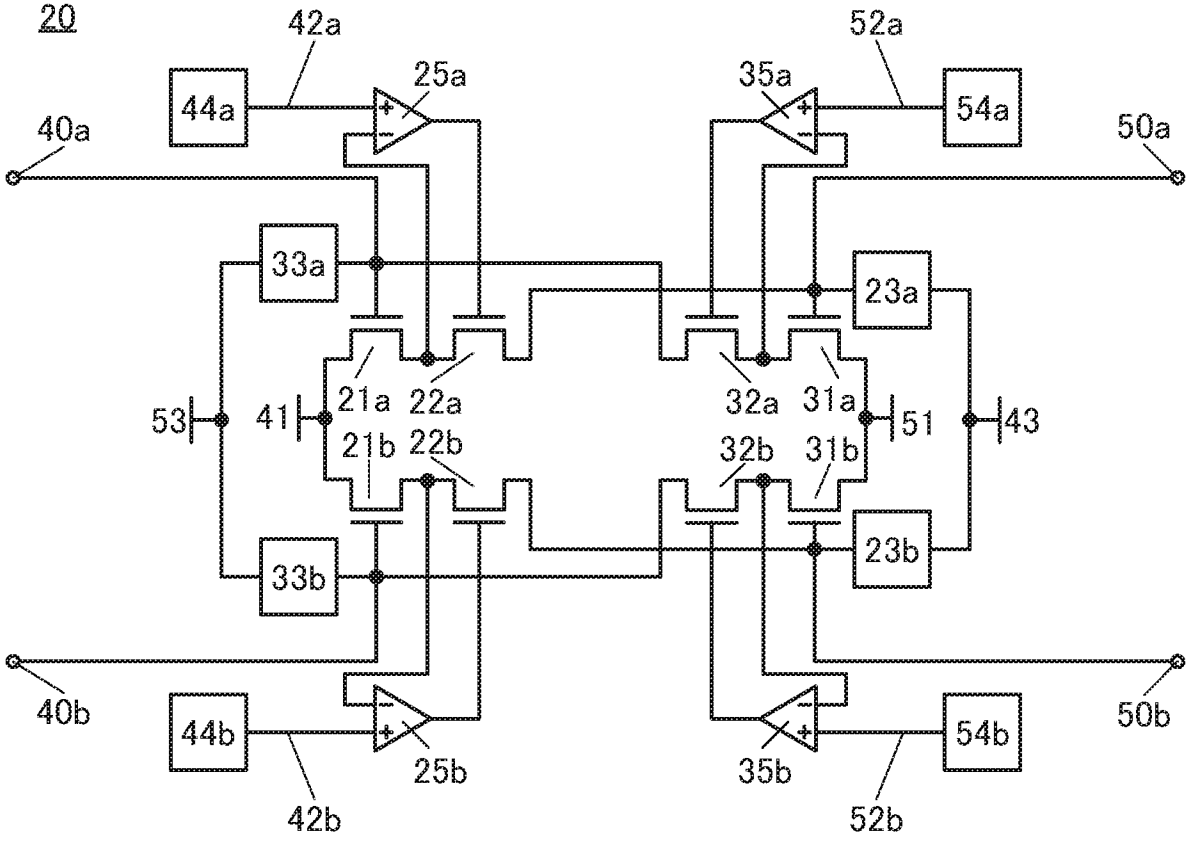

20
42a
52a
25a
35a
44a
54a
40a
50a
33a
23a
53
41
21a
22a
32a
31a
51
43
21b
22b
32b
31b
33b
23b
40b
50b
44b
54b
25b
35b
42b
52b

図15B

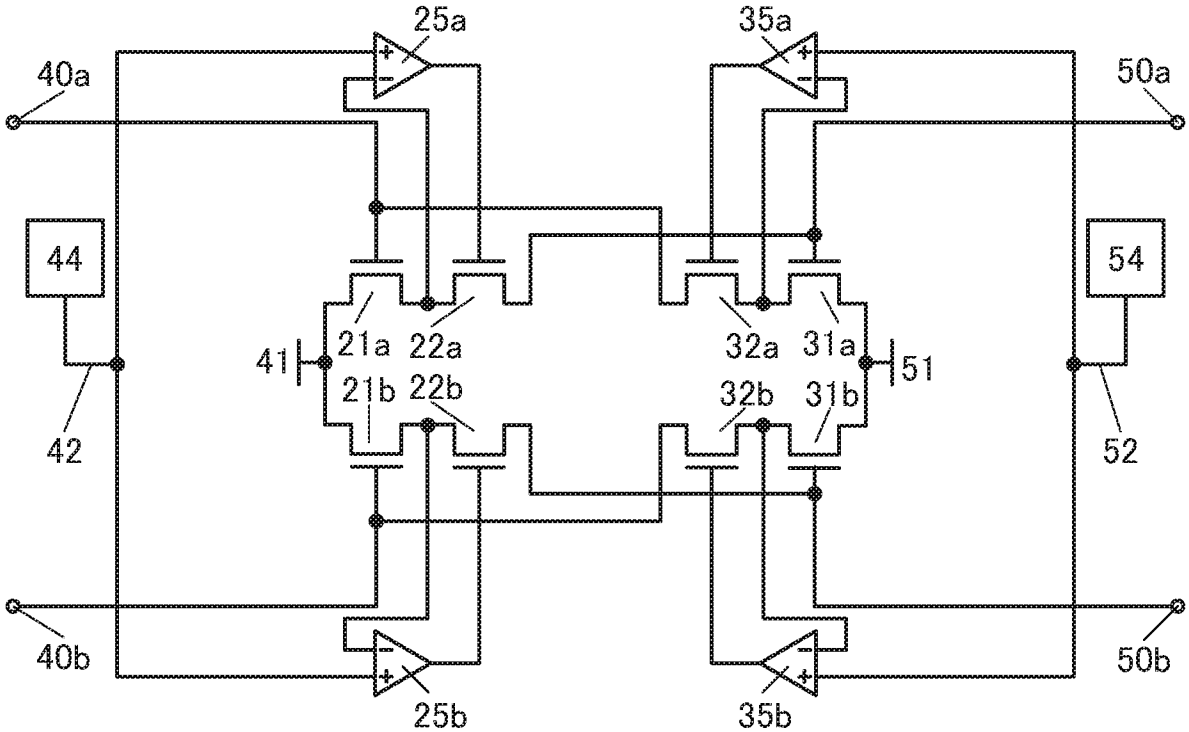

20
25a
35a
40a
50a
44
54
41
21a
22a
32a
31a
51
21b
22b
32b
31b
42
52
40b
50b
25b
35b

図16A

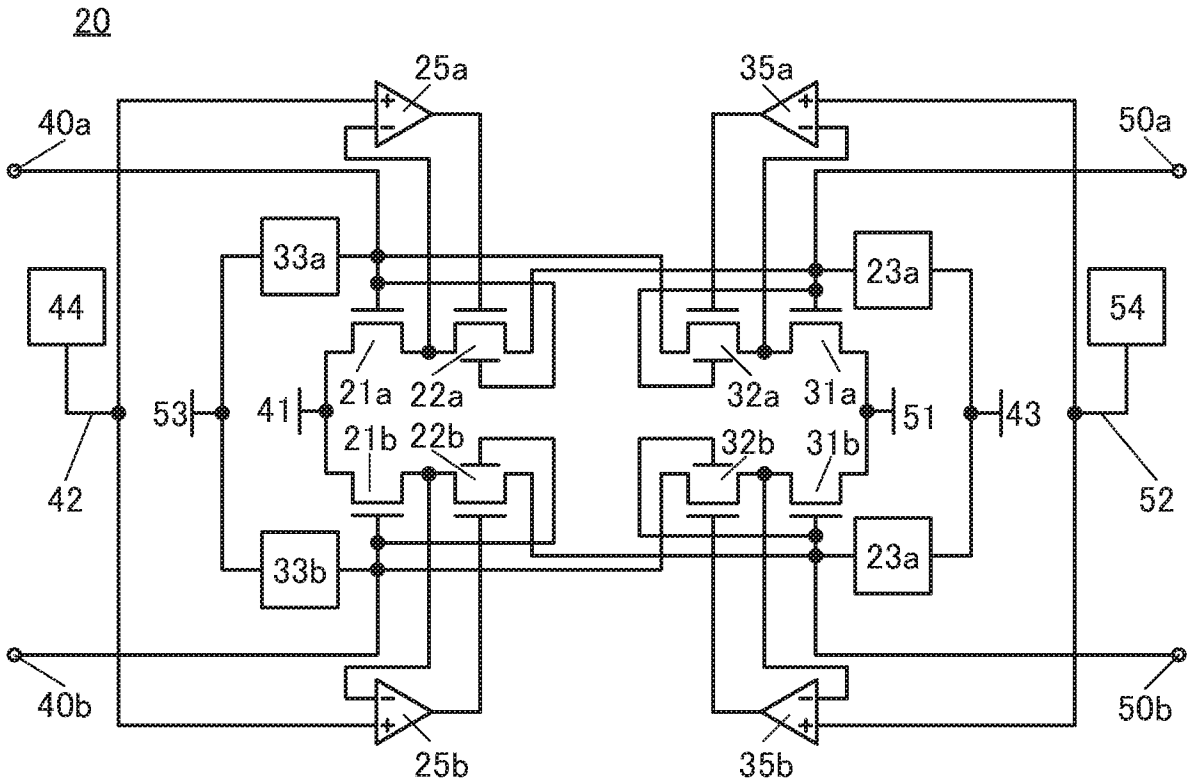

20
25a
35a
40a
50a
33a
23a
44
54
53
41
21a
22a
32a
31a
51
43
21b
22b
32b
31b
42
52
33b
23a
40b
50b
25b
35b

図16B

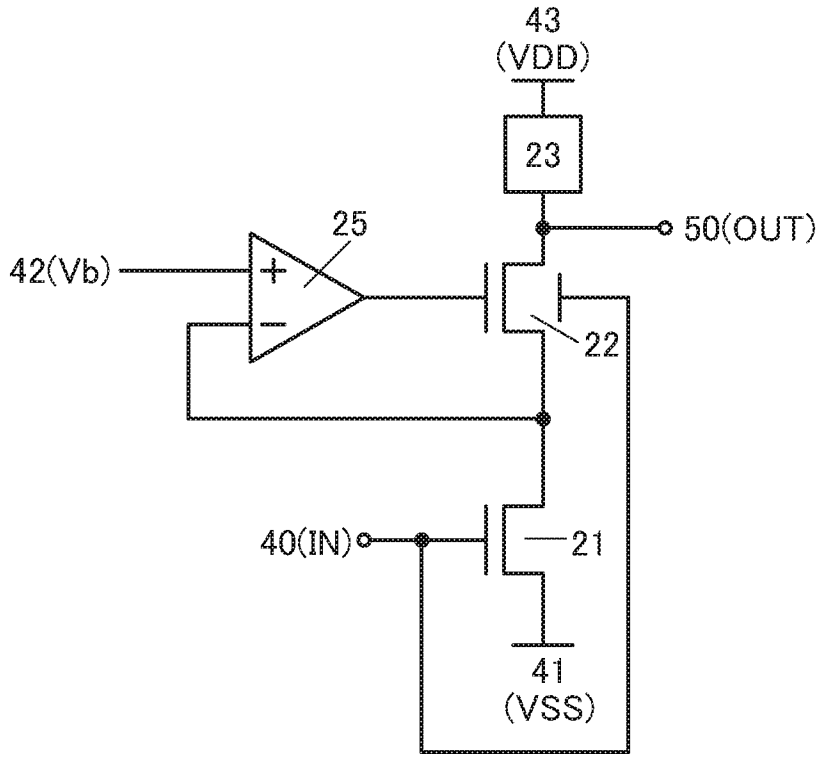

43
(VDD)
23
25
50(OUT)
42(Vb)
22
40(IN)
21
41
(VSS)

図17

20

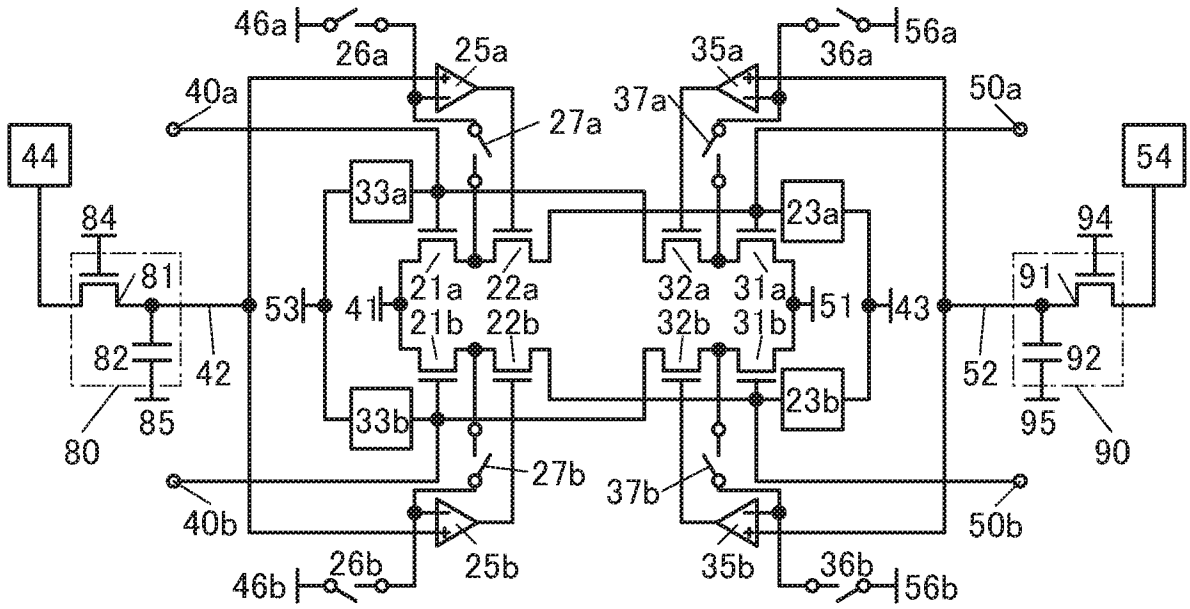

46a
26a
25a
40a
27a
35a
36a
56a
37a
50a
44
54
33a
23a
84
94
81
21a
22a
32a
31a
91
53
41
51
43
21b
22b
32b
31b
82
42
52
92
23b
33b
80
85
95
90
27b
37b
40b
50b
26b
25b
35b
36b
46b
56b

図18A

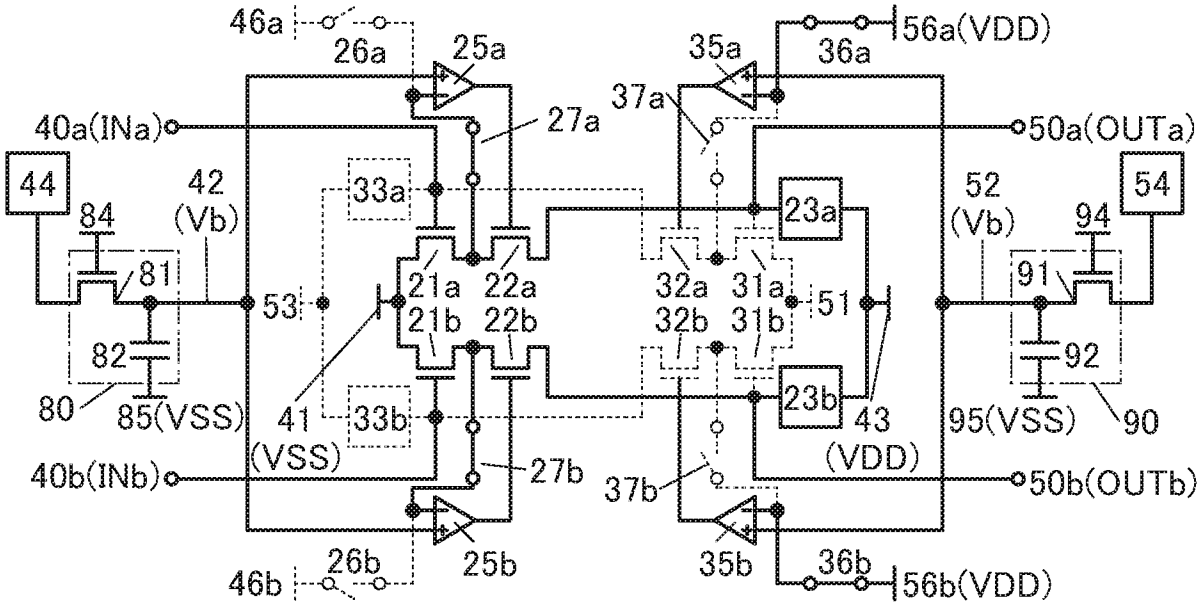

20
46a
26a
25a
35a
36a
56a(VDD)
37a
40a(INa)
27a
50a(OUTa)
44
42
(Vb)
33a
23a
52
(Vb)
54
84
94
81
21a
22a
32a
31a
91
53
51
21b
22b
32b
31b
82
92
23b
80
85(VSS)
41
(VSS)
33b
43
(VDD)
95(VSS)
90
40b(INb)
27b
37b
50b(OUTb)
46b
26b
25b
35b
36b
56b(VDD)

図18B

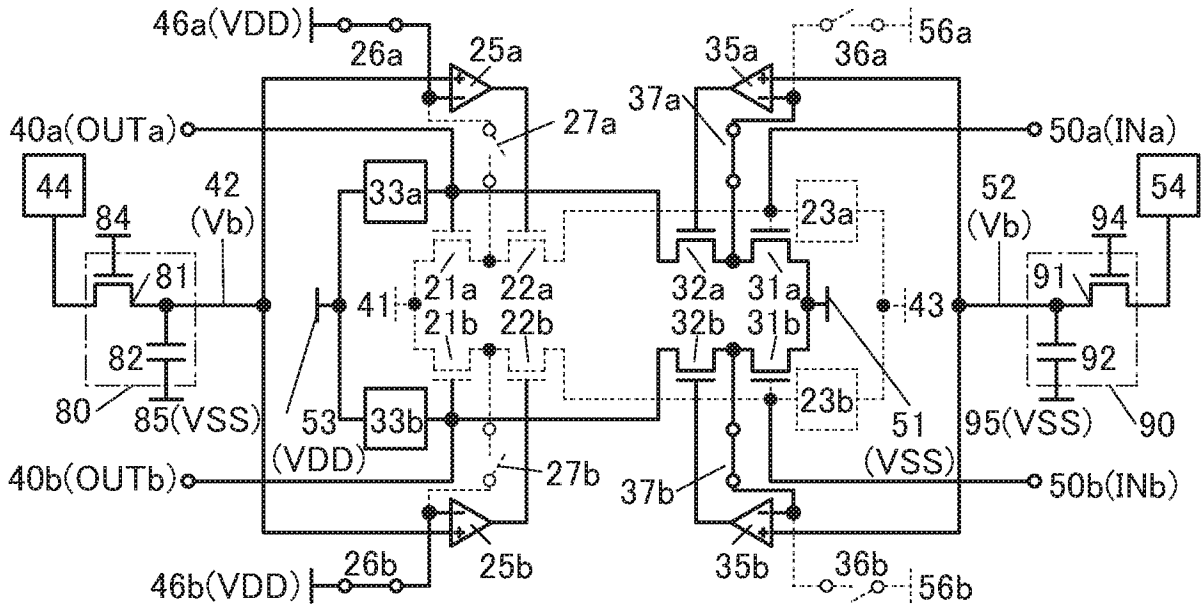

20
46a(VDD)
26a
25a
35a
36a
56a
37a
40a(OUTa)
27a
50a(INa)
44
42
(Vb)
33a
23a
52
(Vb)
54
84
94
81
21a
22a
32a
31a
91
41
43
21b
22b
32b
31b
82
92
23b
80
85(VSS)
53
(VDD)
33b
51
(VSS)
95(VSS)
90
40b(OUTb)
27b
37b
50b(INb)
46b(VDD)
26b
25b
35b
36b
56b

図19

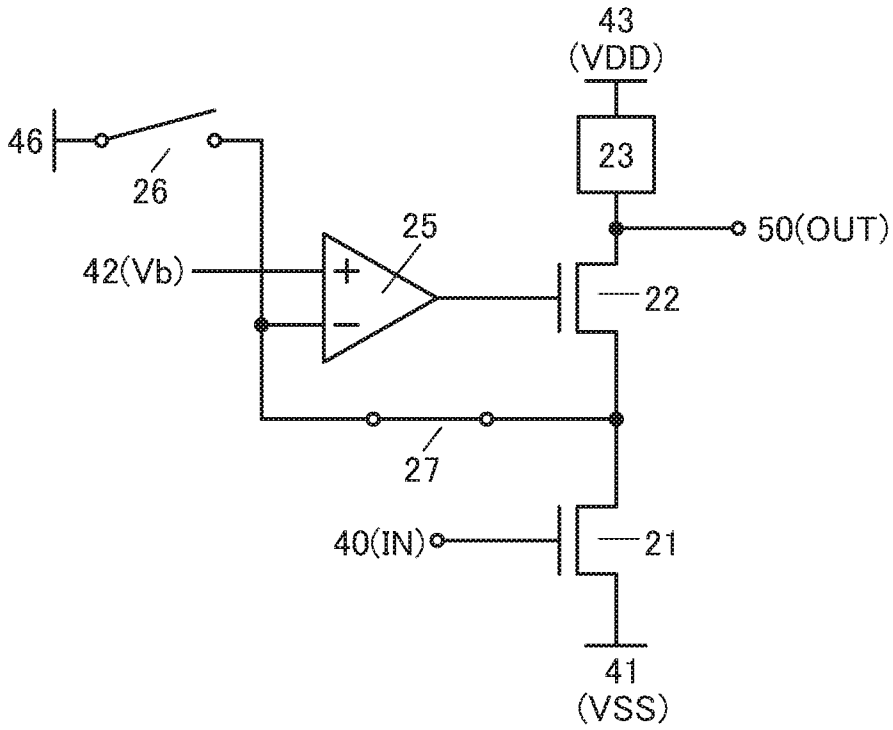


図20A

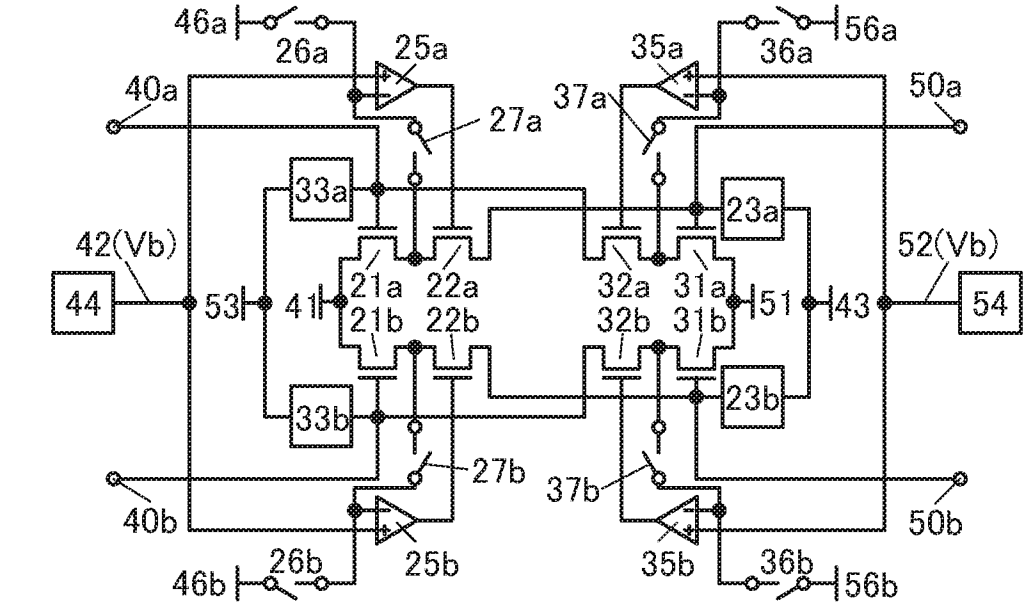

20
46a
26a
25a
40a
27a
35a
36a
56a
37a
50a
33a
23a
42(Vb)
44
53
41
21a
22a
21b
22b
32a
31a
32b
31b
51
43
52(Vb)
54
33b
23b
27b
37b
40b
50b
46b
26b
25b
35b
36b
56b

図20B

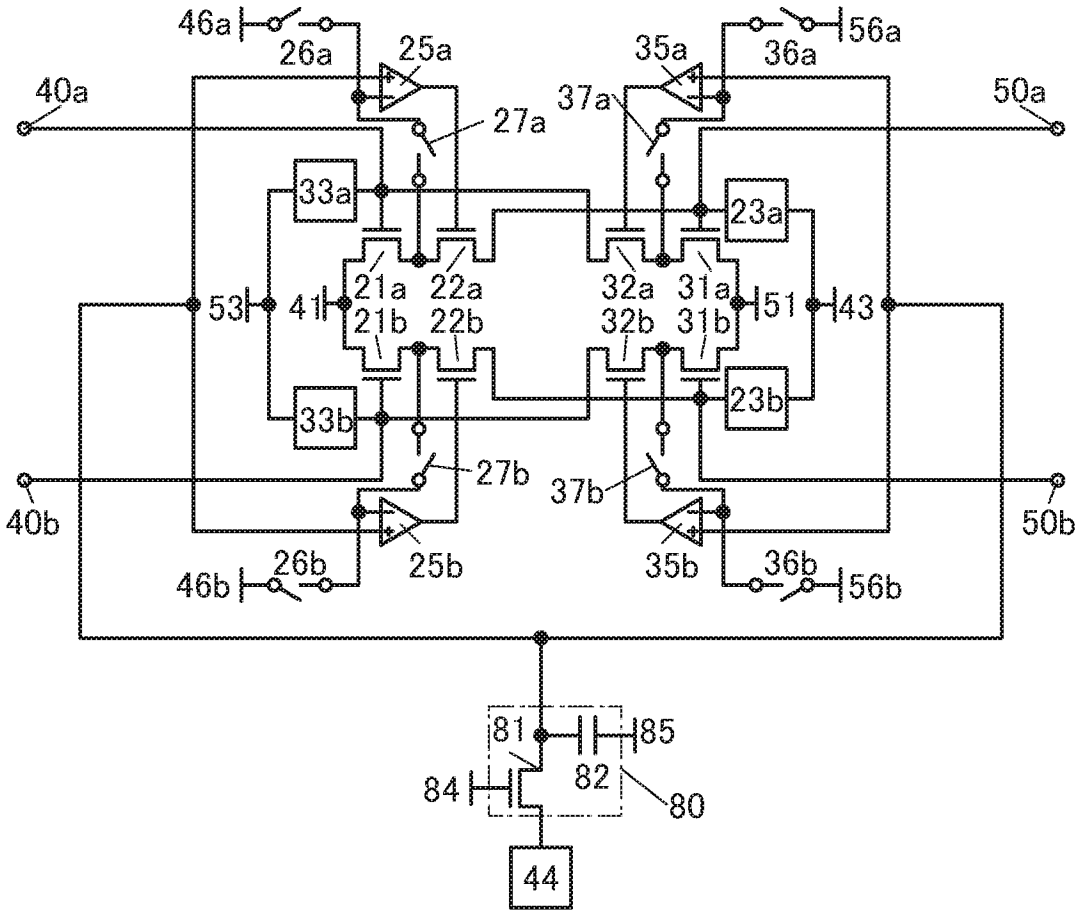

20
46a
26a
25a
35a
36a
56a
40a
37a
50a
27a
33a
23a
53
41
21a
22a
21b
22b
32a
31a
32b
31b
51
43
33b
23b
27b
37b
40b
50b
46b
26b
25b
35b
36b
56b
81
85
84
82
80
44

図21

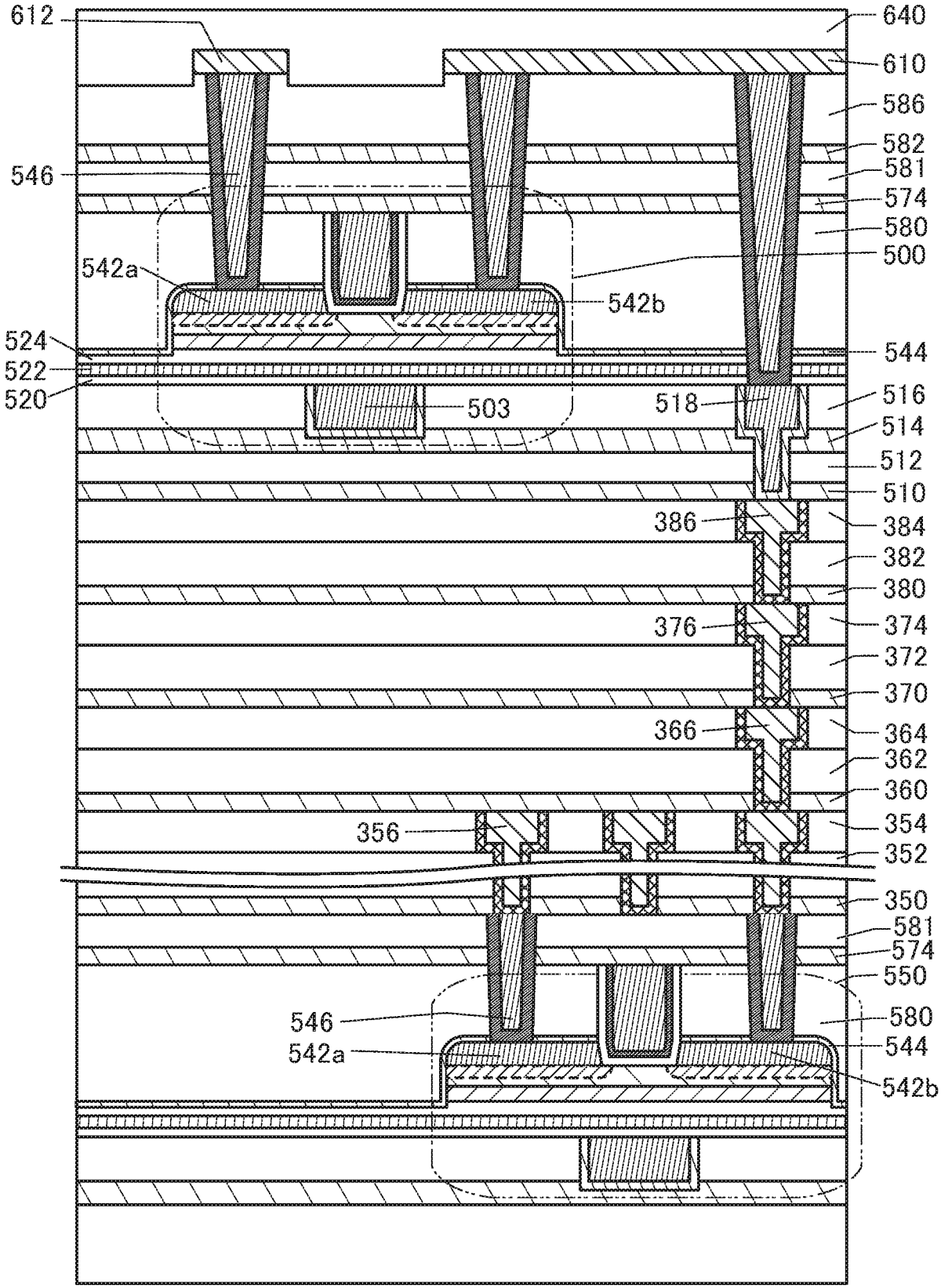

612
640
610
586
582
581
574
580
500
546
542a
542b
524
522
520
544
503
518
516
514
512
510
386
384
382
380
376
374
372
370
366
364
362
360
356
354
352
350
581
574
550
546
580
542a
544
542b

図22A

500, 550

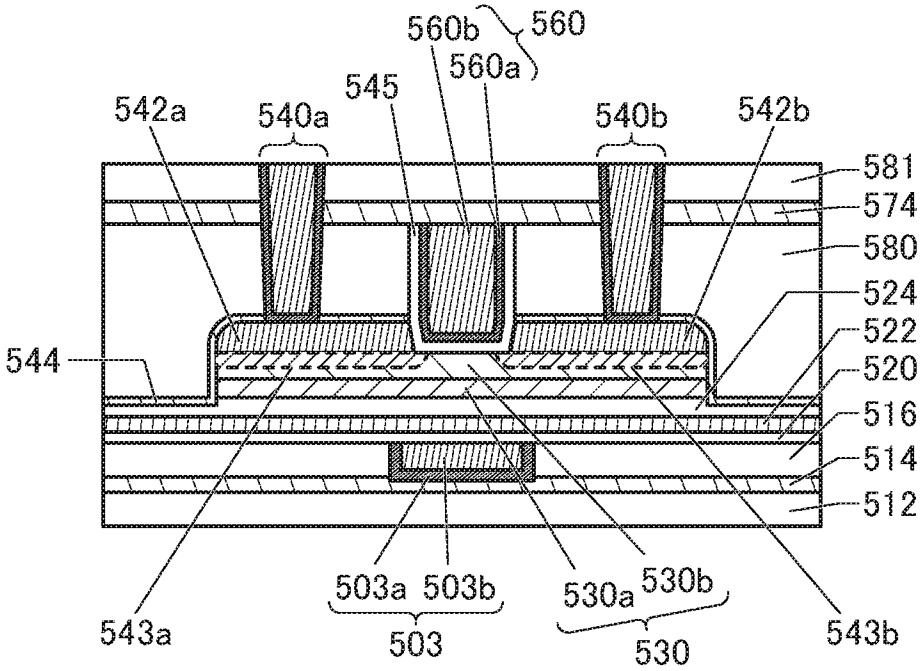


図22B

500, 550

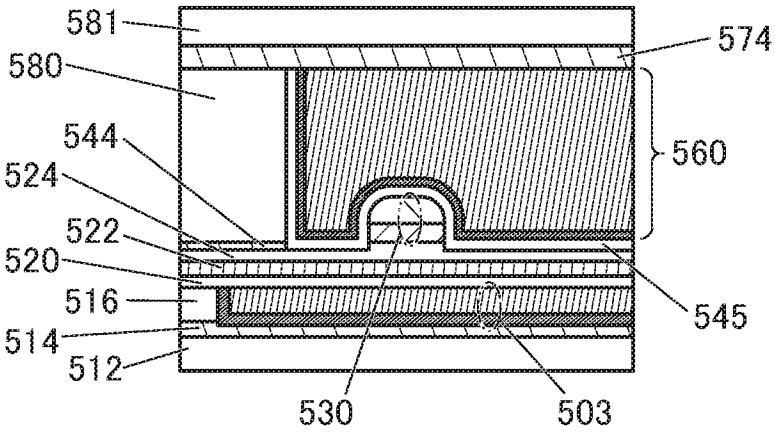


図23A

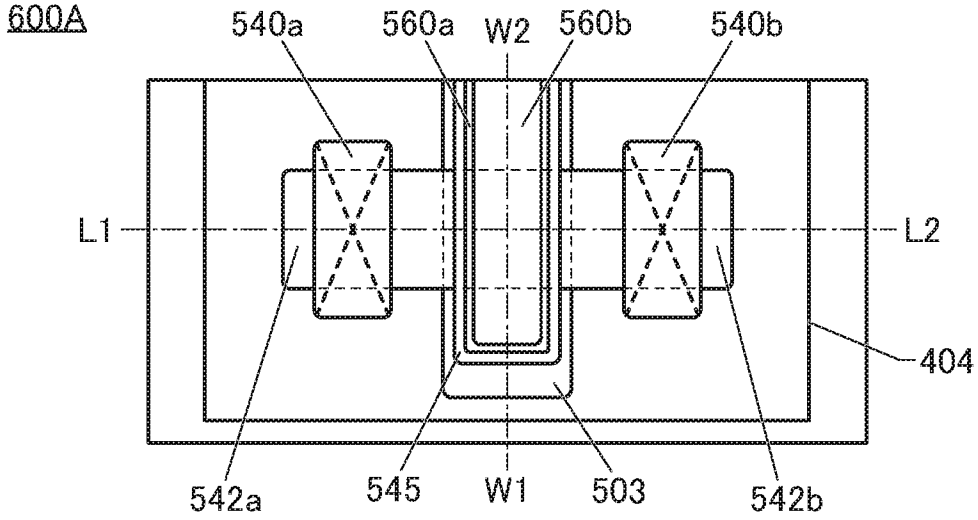


図23B

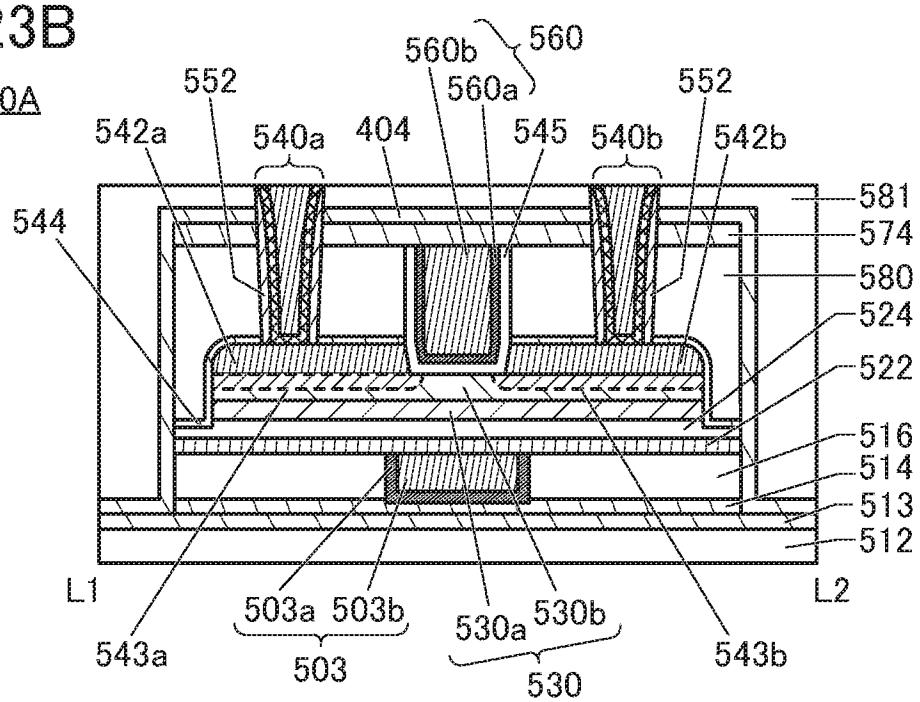


図23C

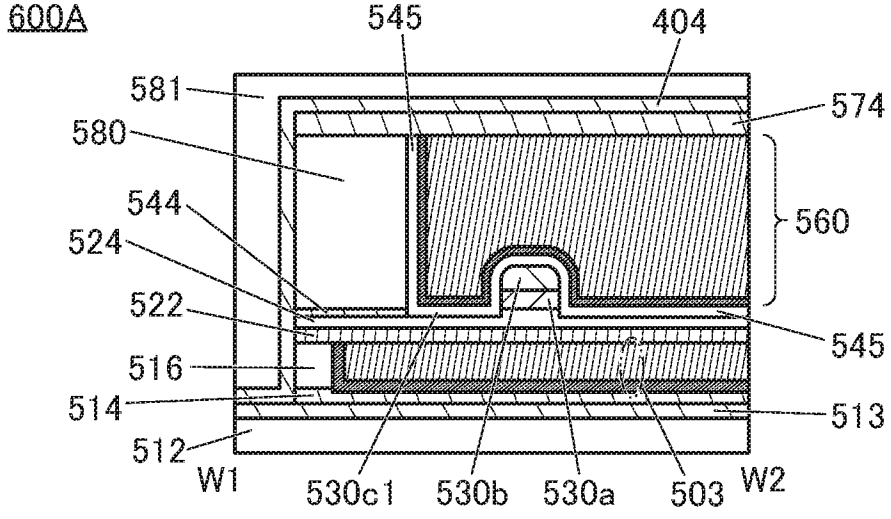


図24A

600B

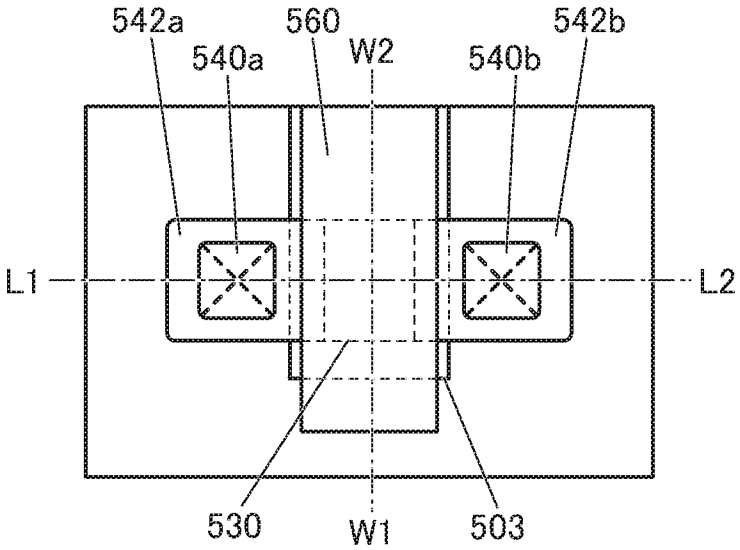


図24B

600B

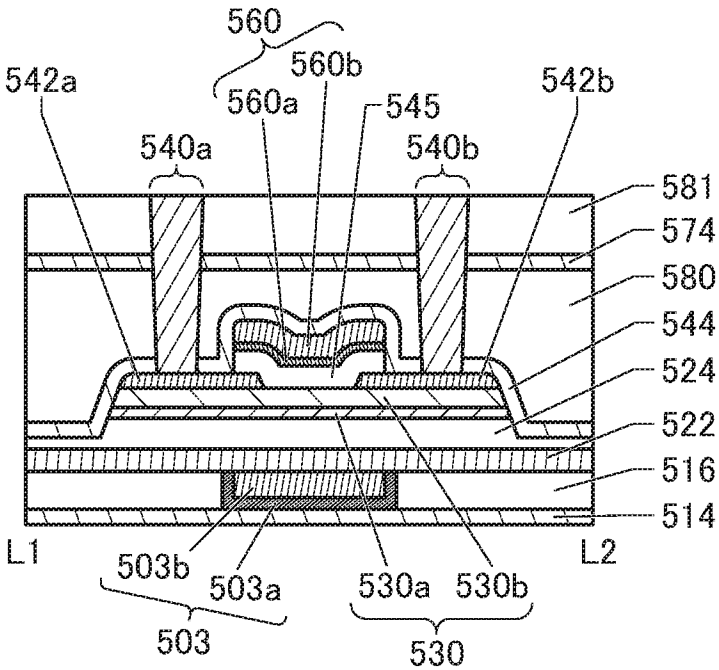


図24C

600B

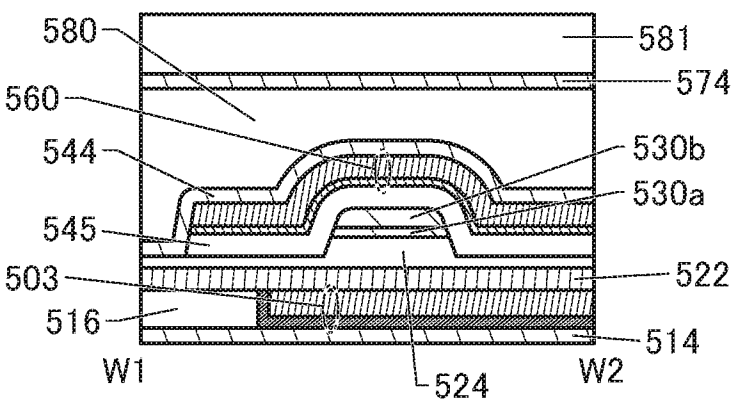


図25A

中間状態
新しい境界領域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
・completely amorphous	・CAAC ・nc ・CAC excluding single crystal and poly crystal	・single crystal ・poly crystal

図25B

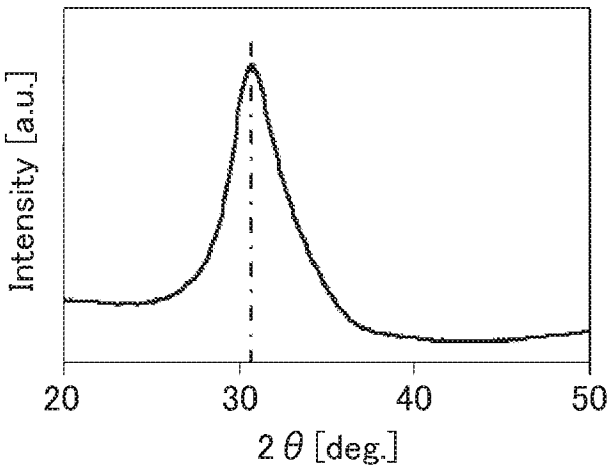


図25C

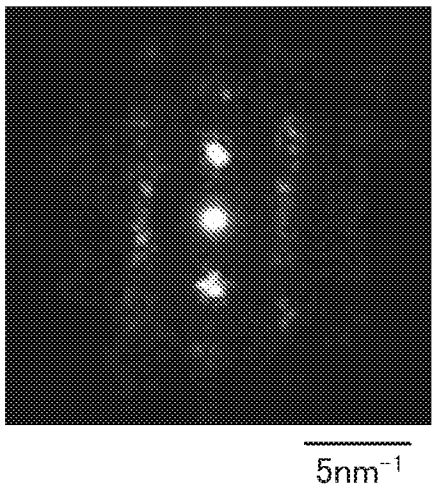


図26A

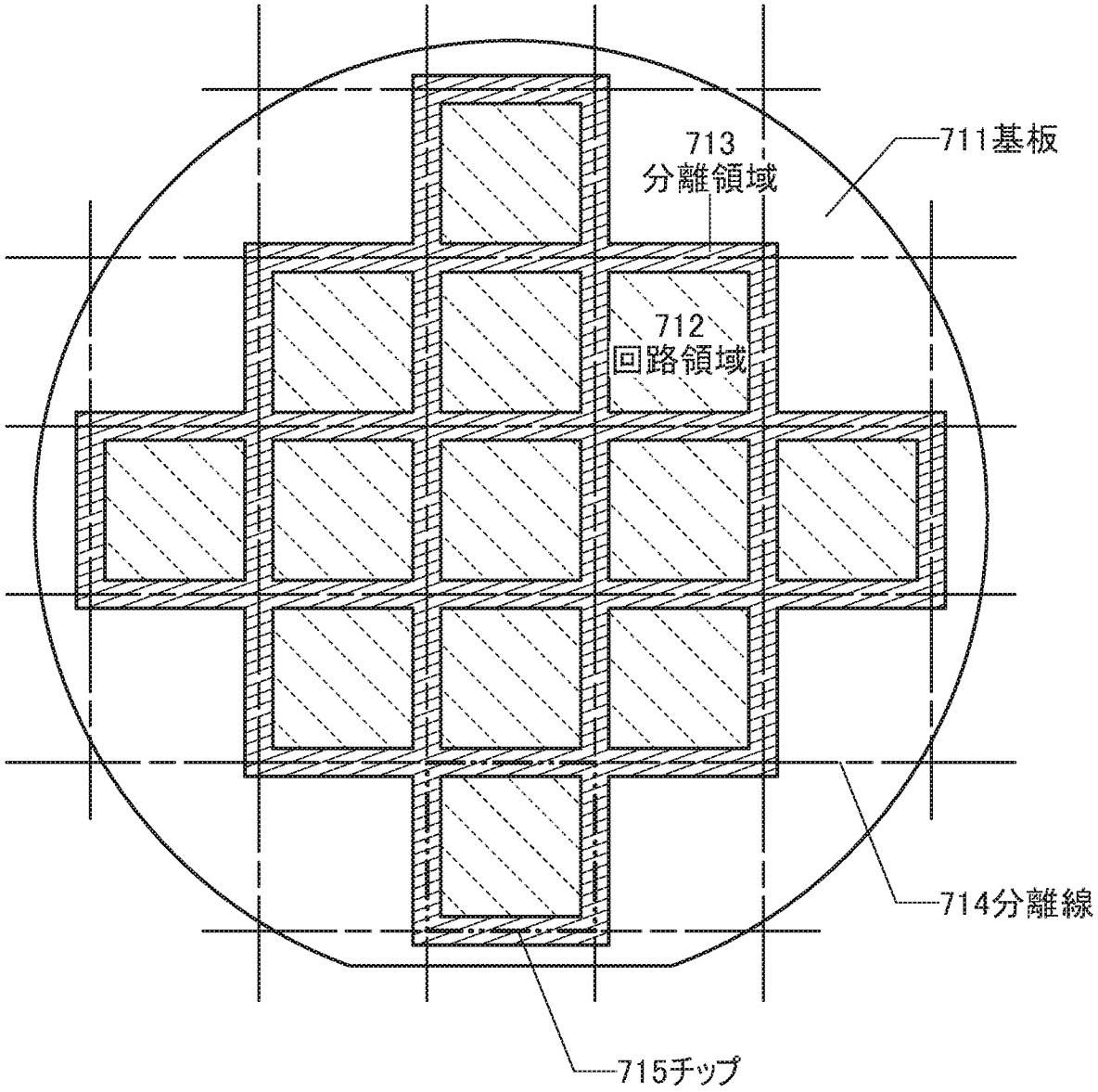


図26B

715チップ

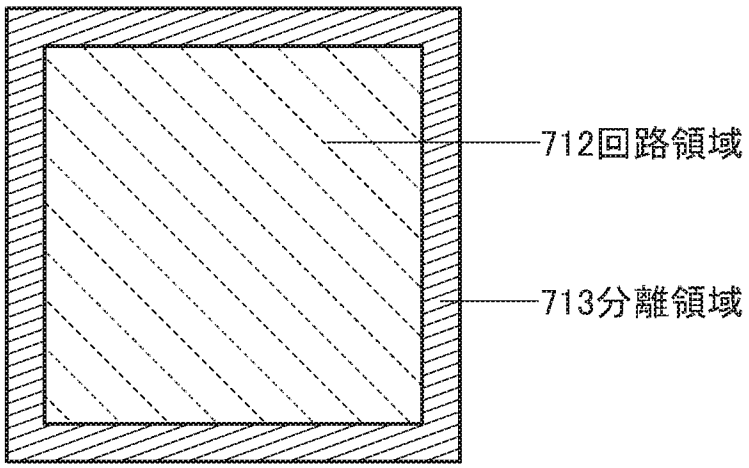


図27A

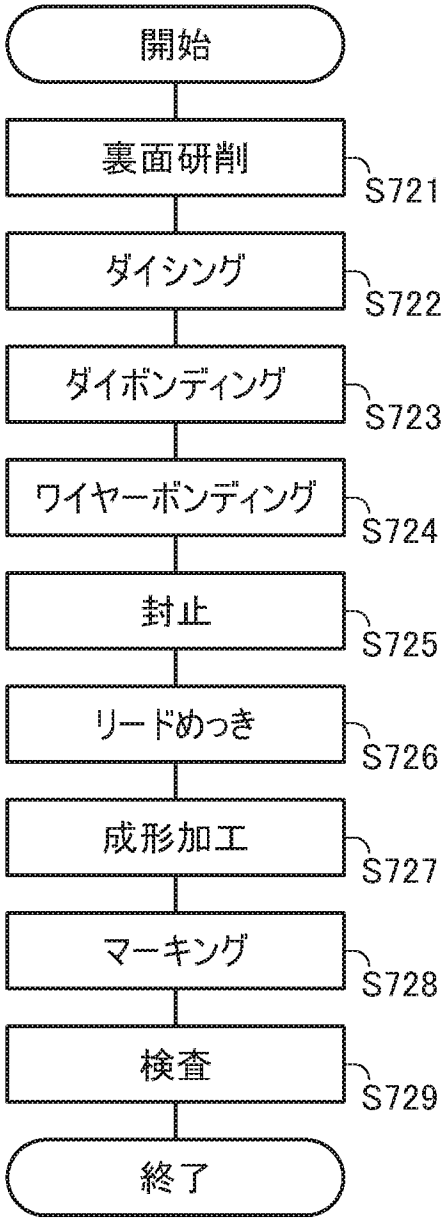
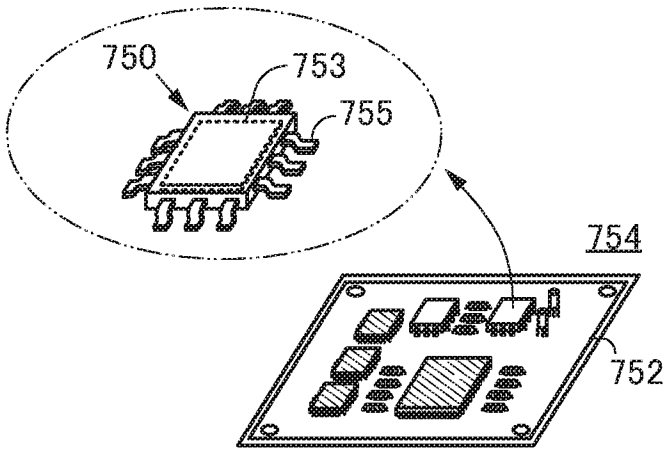

開始
裏面研削
S721
ダイシング
S722
ダイボンディング
S723
ワイヤーボンディング
S724
封止
S725
リードめっき
S726
成形加工
S727
マーキング
S728
検査
S729
終了

図27B


750
753
755
754
752

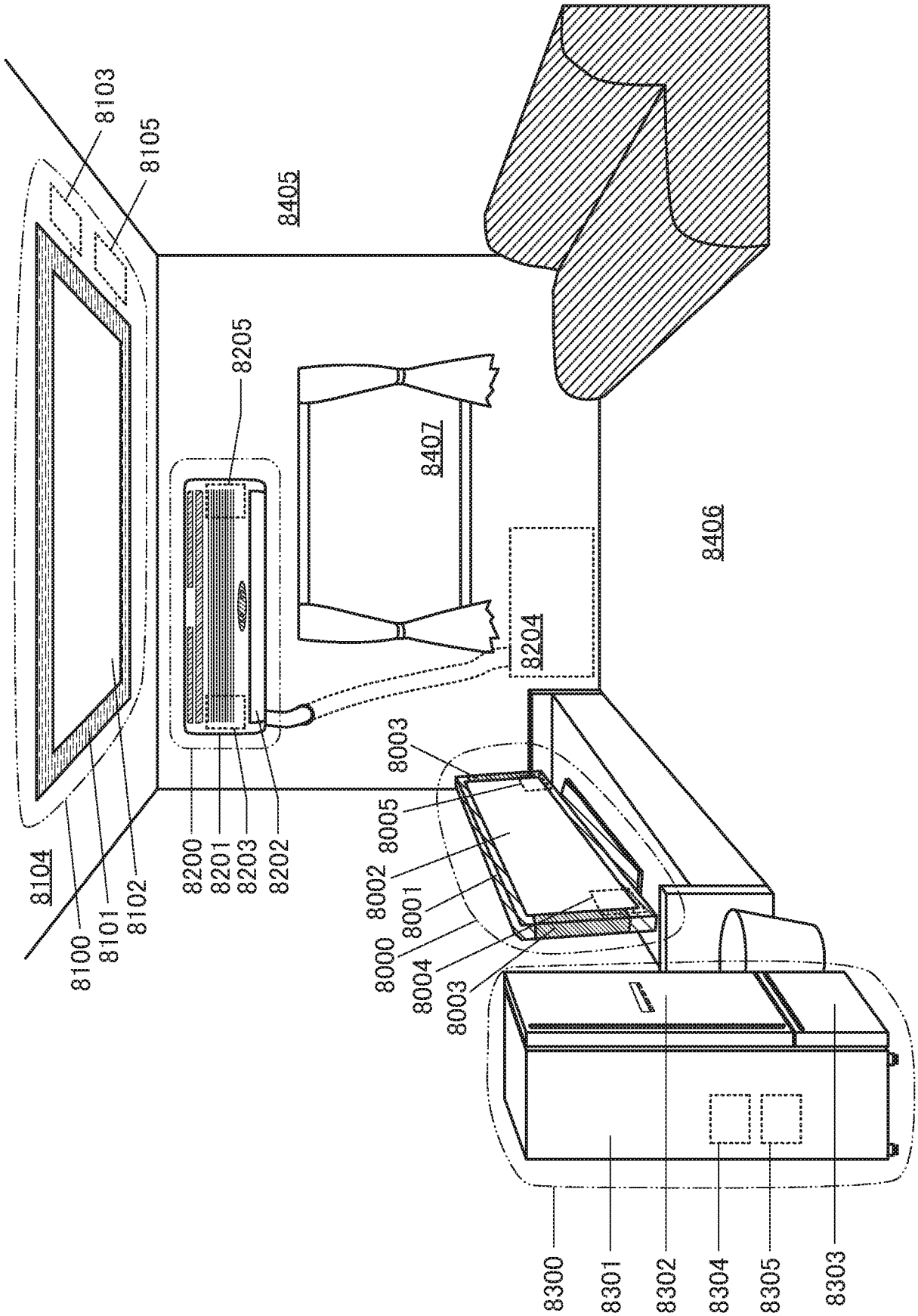

8103
8105
8405
8205
8407
8406
8204
8104
8100
8101
8102
8200
8201
8203
8202
8003
8005
8002
8001
8000
8004
8003
8300
8301
8302
8304
8305
8303

図28

図29A

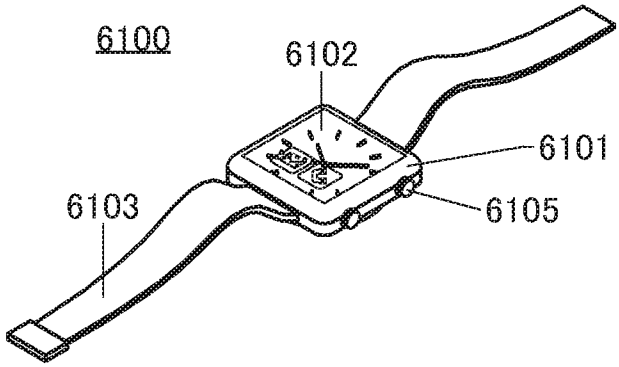


図29B

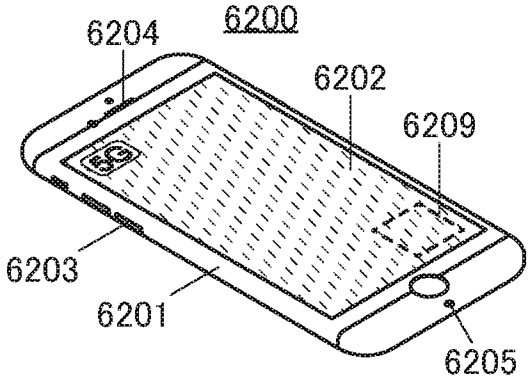


図29C

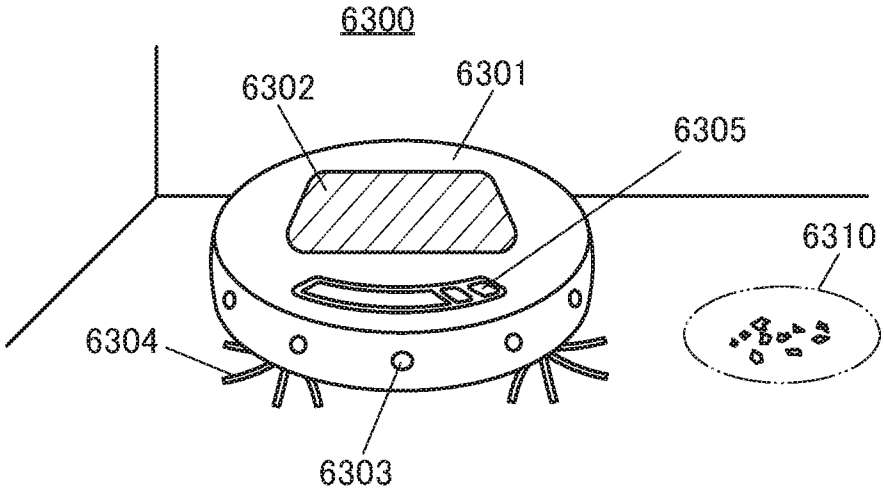


図29D

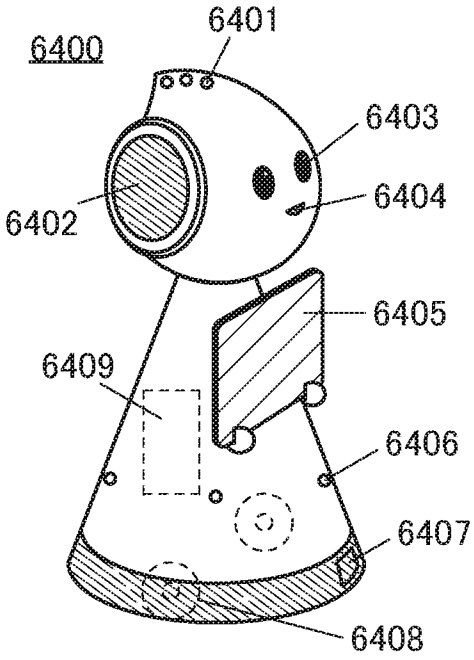


図29E

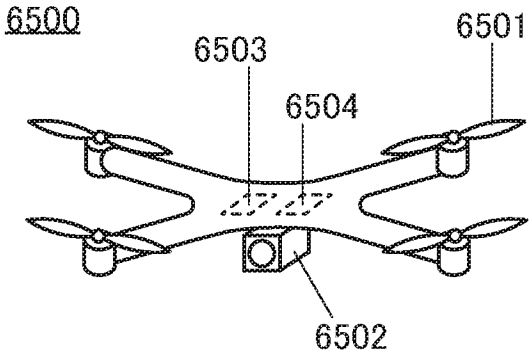


図29F

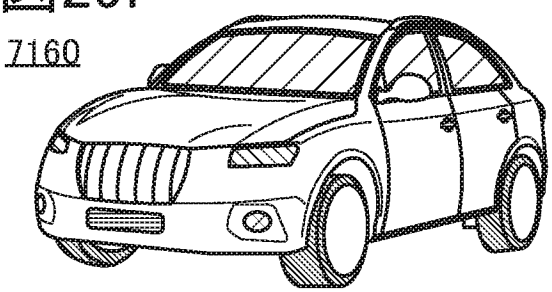
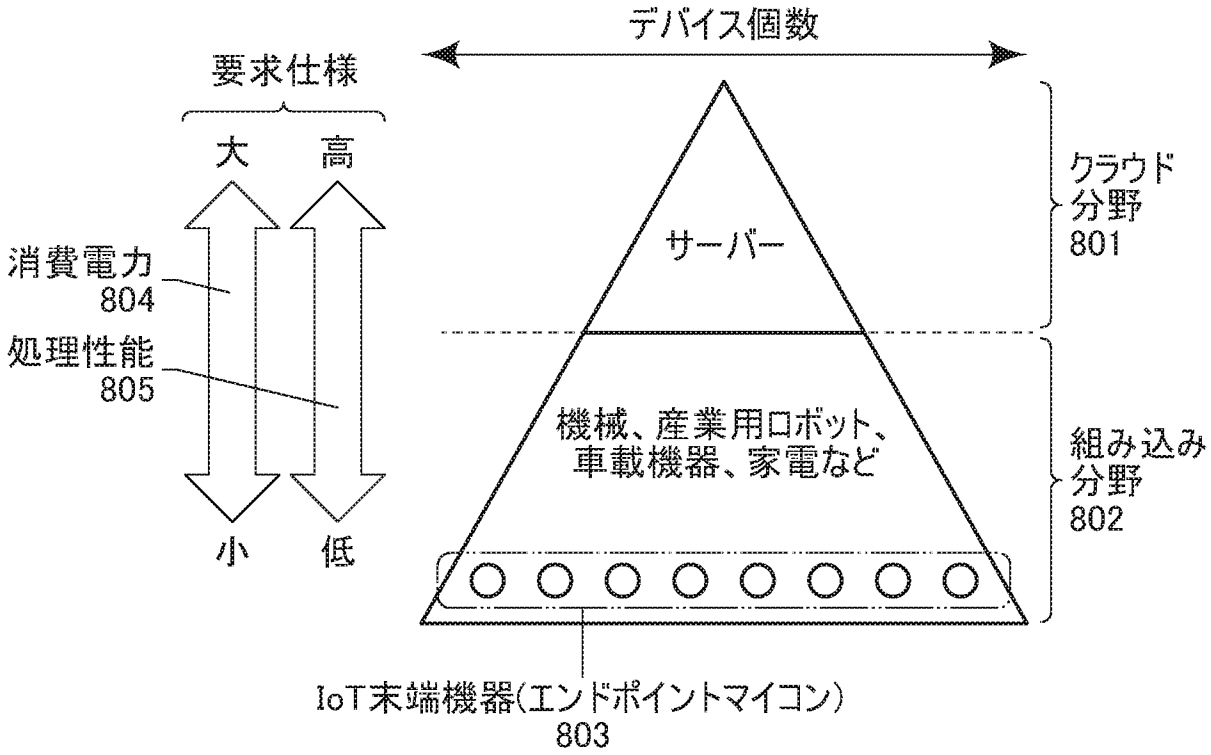


図30


デバイス個数
要求仕様
大
高
消費電力
804
処理性能
805
小
低
サーバー
クラウド
分野
801
機械、産業用ロボット、
車載機器、家電など
組み込み
分野
802
IoT末端機器(エンドポイントマイコン)
803

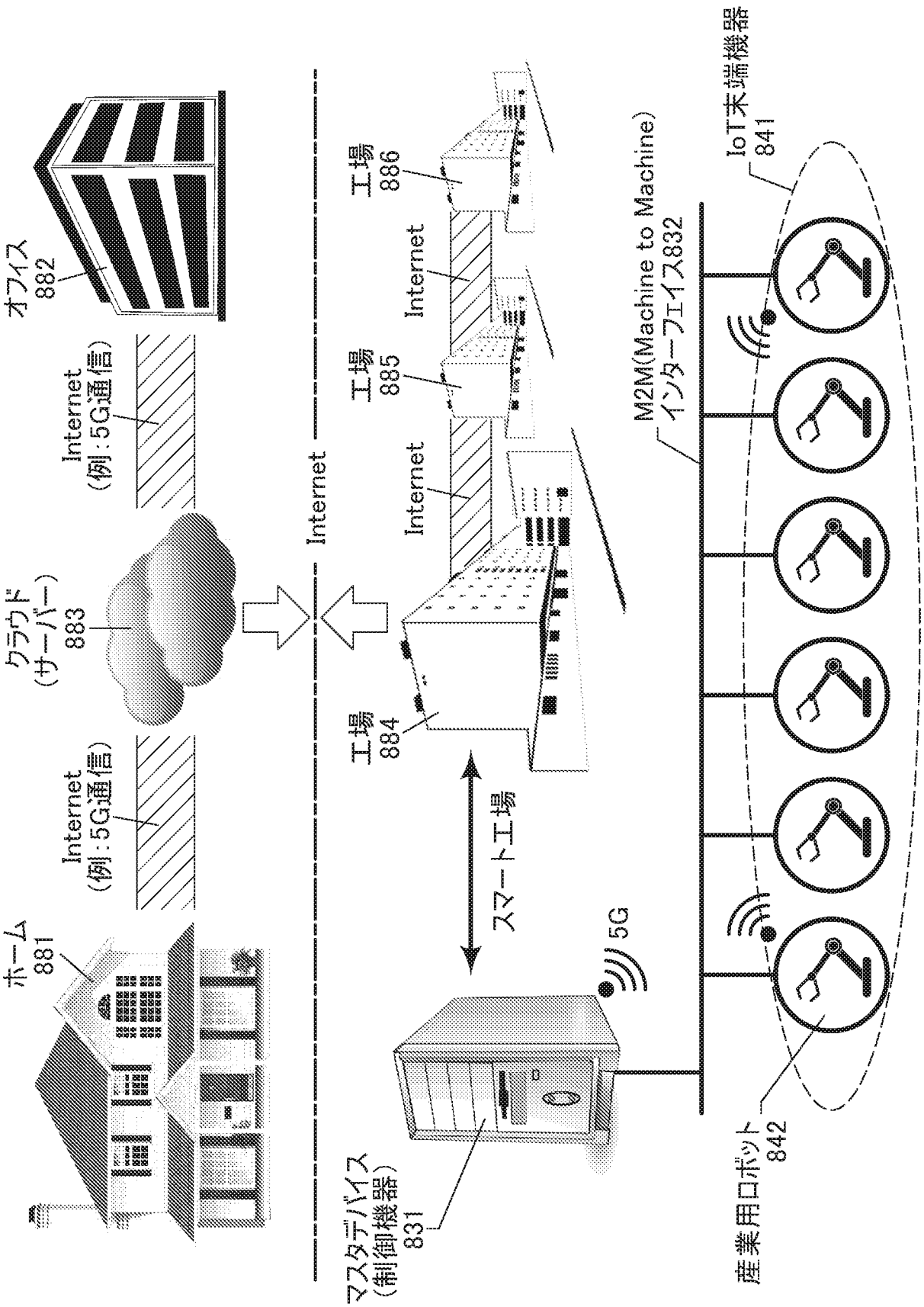

ホーム
881
Internet
(例:5G通信)
クラウド
(サーバー)
883
Internet
(例:5G通信)
オフィス
882
Internet
工場
884
工場
885
工場
886
Internet
Internet
スマート工場
5G
マスタデバイス
(制御機器)
831
M2M(Machine to Machine)
インターフェイス832
IoT末端機器
841
産業用ロボット
842

図31

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2020/054711

A. CLASSIFICATION OF SUBJECT MATTER
H01L 29/786(2006.01)i; H04B 1/40(2015.01)i; H03F 1/22(2006.01)i; H03F 3/45(2006.01)i; H03F 3/62(2006.01)i; H03F 3/68(2006.01)i
FI: H03F3/62; H01L29/78 617N; H03F1/22; H03F3/68 220; H04B1/40; H03F3/45
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/786; H04B1/40; H03F1/22; H03F3/45; H03F3/62; H03F3/68

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 00/02307 A1 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 13.01.2000 (2000-01-13) page 10, line 24 to page 17, line 25, fig. 2	1-7
Y	US 2018/0019719 A1 (TELEDYNE SCIENTIFIC & IMAGING, LLC) 18.01.2018 (2018-01-18) paragraphs [0004], [0036]-[0052]	1-7
Y	WO 2008/026528 A1 (ASAHI KASEI ELECTRONICS CO., LTD.) 06.03.2008 (2008-03-06) paragraph [0003], fig. 1	2-7
Y	JP 2003-78355 A (MITSUBISHI ELECTRIC CORP.) 14.03.2003 (2003-03-14) paragraphs [0023]-[0025], fig. 3	3-7

☒ Further documents are listed in the continuation of Box C.
☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 02 July 2020 (02.07.2020)	Date of mailing of the international search report 14 July 2020 (14.07.2020)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2020/054711

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2008/035480 A1 (PANASONIC CORP.) 27.03.2008 (2008-03-27) paragraphs [0022]-[0033], fig. 3	5-7

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2020/054711

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 00/02307 A1	13 Jan. 2000	US 6366172 B1 column 6, line 58 to column 10, line 61, fig. 2 CN 1308788 A	
US 2018/0019719 A1	18 Jan. 2018	(Family: none)	
WO 2008/026528 A1	06 Mar. 2008	US 2010/0013556 A1 paragraph [0003], fig. 1 KR 10-2009-0037488 A	
JP 2003-78355 A	14 Mar. 2003	US 2003/0052727 A1 paragraphs [0051]-[0062], fig. 3	
WO 2008/035480 A1	27 Mar. 2008	US 2010/0226411 A1 paragraphs [0070]-[0082], fig. 3 CN 101356724 A	

国際調査報告

国際出願番号
PCT/IB2020/054711

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/786(2006.01)i; H04B 1/40(2015.01)i; H03F 1/22(2006.01)i; H03F 3/45(2006.01)i; H03F 3/62(2006.01)i; H03F 3/68(2006.01)i
FI: H03F3/62; H01L29/78 617N; H03F1/22; H03F3/68 220; H04B1/40; H03F3/45

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/786; H04B1/40; H03F1/22; H03F3/45; H03F3/62; H03F3/68

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 00/02307 A1 (松下電器産業株式会社) 13.01.2000 (2000-01-13) 第１０頁第２４行－第１７頁第２５行，図２	１－７
Y	US 2018/0019719 A1 (TELEDYNE SCIENTIFIC & IMAGING,LLC) 18.01.2018 (2018-01-18) [0004],[0036]-[0052]	１－７
Y	WO 2008/026528 A1 (旭化成エレクトロニクス株式会社) 06.03.2008 (2008-03-06) ［０００３］，図１	２－７
Y	JP 2003-78355 A (三菱電機株式会社) 14.03.2003 (2003-03-14) 段落［００２３］－［００２５］，図３	３－７
Y	WO 2008/035480 A1 (パナソニック株式会社) 27.03.2008 (2008-03-27) ［００２２］－［００３３］，図３	５－７

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
02.07.2020	14.07.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
小林　正明 5W 4241

電話番号 03-3581-1101 内線 3576

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2020/054711

引用文献	公表日	パテントファミリー文献	公表日
WO 00/02307 A1	13.01.2000	US 6366172 B1 第６欄第５８行ー第１０欄第６１行, FIG.2 CN 1308788 A	
US 2018/0019719 A1	18.01.2018	（ファミリーなし）	
WO 2008/026528 A1	06.03.2008	US 2010/0013556 A1 [0003],FIG.1 KR 10-2009-0037488 A	
JP 2003-78355 A	14.03.2003	US 2003/0052727 A1 [0051]-[0062],FIG.3	
WO 2008/035480 A1	27.03.2008	US 2010/0226411 A1 [0070]-[0082],FIG.3 CN 101356724 A	