

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 17 年 4 月 28 日 (2005.4.28)

【公開番号】特開 2000-307424 (P2000-307424A)

【公開日】平成 12 年 11 月 2 日 (2000.11.2)

【出願番号】特願 2000-30625 (P2000-30625)

【国際特許分類第 7 版】

H 0 3 M 1/10
 G 0 2 F 1/133
 G 0 9 F 9/35
 G 0 9 G 3/20
 G 0 9 G 3/36
 H 0 3 M 1/66

【F I】

H 0 3 M 1/10 B
 G 0 2 F 1/133 5 0 5
 G 0 9 F 9/35 3 0 5
 G 0 9 G 3/20 6 1 1 H
 G 0 9 G 3/20 6 2 3 F
 G 0 9 G 3/36
 H 0 3 M 1/66 C

【手続補正書】

【提出日】平成 16 年 6 月 21 日 (2004.6.21)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

デジタルデータを記憶する記憶手段と、

入力されたデジタル信号と、前記記憶手段から読み出された前記デジタルデータとを加算又は減算する演算を行う演算手段と、

前記演算手段から出力された演算されたデジタル信号を入力し、アナログ信号に変換して出力する D A コンバータと、を有するユニットを、

複数備えた電子回路であって、

各ユニットの前記記憶手段は、同ユニット内の前記 D A コンバータ固有のオフセット量を前記デジタルデータとして記憶しており、当該デジタルデータを基に前記 D A コンバータ固有のオフセット量が補正された、アナログ信号を出力することを特徴とする電子回路

。

【請求項 2】

順次オンされるスイッチを介して前記各ユニットの前記 D A コンバータからのアナログ信号を入力して、前記各ユニットの前記オフセット量を測定する、前記各ユニットに共通の回路を有する請求項 1 に記載の電子回路。

【請求項 3】

更に、第 2 の演算手段と、第 2 の D A コンバータと、前記各ユニットの前記 D A コンバータからの出力と前記第 2 の D A コンバータの出力とを比較する比較器と、前記比較器からのアナログ出力を前記デジタルデータにエンコードするエンコーダと、を有しており、

各ユニットに、対応する前記 D A コンバータからの出力と前記第 2 の D A コンバータの出力とを比較して、各 D A コンバータ固有のオフセット量を測定する請求項 1 に記載の電子回路。

【請求項 4】

前記各ユニットは、前記入力されたデジタル信号の上位ビットをデコードし、前記デコードの出力に応じて前記 D A コンバータに供給する基準電圧を選択する請求項 1 乃至 3 のいずれか 1 項に記載の電子回路。

【請求項 5】

前記各ユニットの前記演算手段は、前記入力されたデジタル信号の下位ビットと前記記憶手段に記憶された前記デジタルデータの上位ビットとを演算する請求項 1 乃至 3 のいずれか 1 項に記載の電子回路。

【請求項 6】

前記各ユニットの前記 D A コンバータは、
前記入力されたデジタル信号の上位ビットをデコードすることにより選択された基準電圧と、
前記入力されたデジタル信号の下位ビットと前記記憶手段に記憶された前記デジタルデータの上位ビットとを演算して得られたデータと、
前記記憶手段に記憶された前記デジタルデータの下位ビットと、を入力する請求項 1 乃至 3 のいずれか 1 項に記載の電子回路。

【請求項 7】

画像表示装置において、
請求項 1 乃至 6 に記載の電子回路と、
前記電子回路に接続された信号線を有するアクティブマトリクス回路基板と、
を具備することを特徴とする画像表示装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

【課題を解決するための手段】

上記の課題を解決するための本発明の電子回路は、複数の第 1 D A コンバータを含み、前記第 1 D A コンバータの各々は、オフセット量を補正するためのデジタルデータを記憶するオフセット記憶手段と、前記デジタルの入力信号に対し前記オフセット量を補正するためのデジタルデータを加算又は減算する演算手段とを有する。

また、本発明は、デジタルデータを記憶する記憶手段(3)と、入力されたデジタル信号と、前記記憶手段から読み出された前記デジタルデータとを加算又は減算する演算を行う演算手段(4)と、前記演算手段から出力された演算されたデジタル信号を入力し、アナログ信号に変換して出力する D A コンバータ(1)と、を有するユニットを、複数備えた電子回路であって、各ユニットの前記記憶手段は、同ユニット内の前記 D A コンバータ固有のオフセット量を前記デジタルデータとして記憶しており、当該デジタルデータを基に前記 D A コンバータ固有のオフセット量が補正された、アナログ信号を出力することを特徴とする。