



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월13일
 (11) 등록번호 10-1422974
 (24) 등록일자 2014년07월17일

(51) 국제특허분류(Int. Cl.)
 H03F 1/52 (2006.01) H01L 27/02 (2006.01)
 (21) 출원번호 10-2012-7020989
 (22) 출원일자(국제) 2011년01월19일
 심사청구일자 2012년08월09일
 (85) 번역문제출일자 2012년08월09일
 (65) 공개번호 10-2012-0117857
 (43) 공개일자 2012년10월24일
 (86) 국제출원번호 PCT/US2011/021752
 (87) 국제공개번호 WO 2011/091064
 국제공개일자 2011년07월28일
 (30) 우선권주장
 12/748,067 2010년03월26일 미국(US)
 61/296,212 2010년01월19일 미국(US)
 (56) 선행기술조사문헌
 US20050231867 A1*
 US20060065932 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
켈컴 인코포레이티드
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
 (72) 발명자
윌리 유진 알
 미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
민 병욱
 미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
우 더-웨이
 미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
 (74) 대리인
특허법인코리아나

전체 청구항 수 : 총 25 항

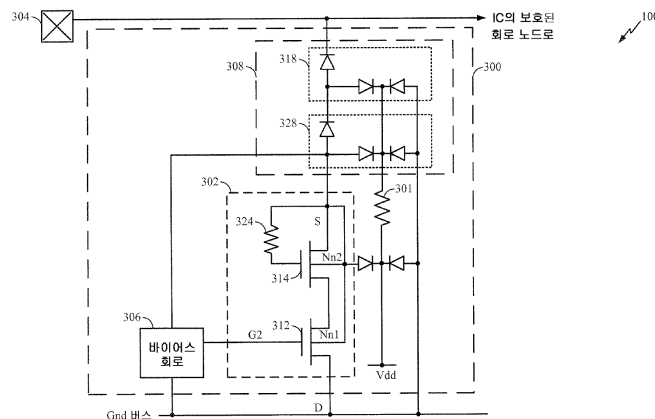
심사관 : 강현일

(54) 발명의 명칭 **RF IC들에 대한 고전압, 고주파수 ESD 보호 회로**

(57) 요약

고전압과 고주파수 동작 모두를 요구하는 RFIC들에 대한 개선된 ESD 보호 회로들이 기술된다. 프리차지 회로 및 다이오드 네트워크와 결합된 캐스코드 그라운드드 게이트 스냅-백 NFET (GGNFET) 는 낮은 커패시턴스 및 높은 턴 온 전압을 가진 포지티브 ESD 보호 클램프를 초래한다. 포지티브 ESD 보호 클램프는 포지티브 전압 ESD 펄스 동안 IC 에 ESD 보호를 제공한다. 네거티브 ESD 전압 펄스들에 대하여 보호를 제공하기 위해 다이오드 네트워크 및 캐스코드 그라운드드 게이트 스냅-백 NFET 와 함께 바이어스 회로 또는 차지 펌프의 조합을 허용하는 방식으로 바이어스 회로 또는 차지 펌프가 프리차지 회로 대신에 사용되는 네거티브 ESD 보호 클램프의 예시적인 실시형태들이 개시된다. 포지티브와 네거티브 ESD 보호 클램프의 조합은 포지티브나 네거티브 전압 ESD 펄스 동안 IC 에 ESD 보호를 제공한다. 대안의 실시형태들은 포지티브 ESD 펄스 동안 ESD 보호를 제공하기 위해 포지티브 ESD 클램프만을 이용함으로써 ESD 보호 회로의 커패시턴스를 추가로 저감시키는 한편, 네거티브 ESD 펄스에 대한 보호는 네거티브 ESD 다이오드에 커플링된 RFFE (RF front-end) 스위치의 경로에 의해 형성되는 방전 경로에 의해 제공된다.

대표도



특허청구의 범위

청구항 1

포지티브 전압 정전 방전 (ESD) 펄스들에 대하여 집적 회로 (IC) 에 보호를 제공하기 위해, 캐스코드 그라운드드 게이트 NFET 를 포함하는 디바이스로서,

상기 IC 의 IC 패드와 상기 캐스코드 그라운드드 게이트 NFET 의 드레인 사이에 커플링되고, 상기 디바이스의 턴 온 전압을 원하는 레벨로 설정하는 다이오드 네트워크; 및

상기 IC 패드에서의 용량성 로딩을 저감시키기 위하여 상기 캐스코드 그라운드드 게이트 NFET 의 드레인에서의 바이어스 전압을 원하는 레벨로 설정하기 위한 프리차지 회로를 포함하고,

상기 프리차지 회로는, 포지티브 공급기 (positive supply) 에 커플링된 애노드 및 상기 캐스코드 그라운드드 게이트 NFET 의 드레인에, 그리고 상기 다이오드 네트워크에 커플링된 캐소드를 갖는 다이오드를 포함하는, 디바이스.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 다이오드 네트워크는, 적어도, 상기 캐스코드 그라운드드 게이트 NFET 의 드레인에 커플링된 캐소드 및 상기 IC 의 상기 IC 패드에 커플링된 애노드를 갖는 제 1 다이오드를 포함하는, 디바이스.

청구항 4

제 3 항에 있어서,

상기 다이오드 네트워크는, 상기 IC 의 상기 IC 패드에 커플링된 상기 제 1 다이오드의 애노드 및 상기 캐스코드 그라운드드 게이트 NFET 의 드레인에 커플링된 마지막 다이오드의 캐소드를 갖는, 직렬로 접속된 복수의 다이오드들을 포함하는, 디바이스.

청구항 5

제 4 항에 있어서,

상기 다이오드들은 P+N웰 다이오드들인, 디바이스.

청구항 6

제 1 항에 있어서,

상기 캐스코드 그라운드드 게이트 NFET 는, 적어도 제 1 NFET 및 제 2 NFET 를 캐스코드 구성으로 포함하며,

상기 제 1 NFET 의 게이트는 제 1 저항기를 통하여 그라운드에 커플링되고, 상기 제 1 NFET 의 드레인은 상기 제 2 NFET 의 소스에 커플링되고, 상기 제 2 NFET 의 드레인은 상기 다이오드 네트워크에 커플링되며, 상기 제 2 NFET 의 게이트는 제 2 저항기를 통하여 전력 공급기에 커플링되는, 디바이스.

청구항 7

제 1 항에 있어서,

상기 캐스코드 그라운드드 게이트 NFET 의 트랜지스터들 중 하나의 게이트를 바이어싱하기 위한 차지 펌프를 더 포함하는, 디바이스.

청구항 8

네거티브 전압 정전 방전 (ESD) 펄스들에 대하여 집적 회로 (IC) 에 보호를 제공하기 위해, 캐스코드 그라운드드 게이트 NFET 를 포함하는 디바이스로서,

상기 IC 의 IC 패드와 상기 캐스코드 그라운드드 게이트 NFET 의 소스 사이에 커플링되고, 상기 디바이스의 턴 온 전압을 원하는 레벨로 설정하는 다이오드 네트워크; 및

상기 캐스코드 그라운드드 게이트 NFET 의 게이트에 원하는 네거티브 전압 레벨을 설정하기 위한 바이어스 회로를 포함하고,

상기 캐스코드 그라운드드 게이트 NFET 는, 적어도 제 1 NFET 및 제 2 NFET 를 캐스코드 구성으로 포함하며,

상기 바이어스 회로는 상기 제 2 NFET 의 소스에 커플링된 제 1 단자, 그라운드에 커플링된 제 2 단자 및 상기 제 1 NFET 의 게이트에 커플링된 제 3 단자를 가지며, 상기 제 3 단자는 상기 제 1 NFET 의 게이트에 원하는 네거티브 전압 레벨을 제공하는, 디바이스.

청구항 9

삭제

청구항 10

제 8 항에 있어서,

상기 다이오드 네트워크는, 적어도, 상기 캐스코드 그라운드드 게이트 NFET 의 소스에 커플링된 애노드 및 상기 IC 의 상기 IC 패드에 커플링된 캐소드를 갖는 제 1 다이오드를 포함하는, 디바이스.

청구항 11

제 10 항에 있어서,

상기 다이오드 네트워크는, 처음에 직렬로 상기 캐스코드 그라운드드 게이트 NFET 의 소스에 커플링된 다이오드의 애노드 및 마지막에 직렬로 상기 IC 의 상기 IC 패드에 커플링된 다이오드의 캐소드를 갖는 직렬로 접속된 복수의 다이오드들을 포함하는, 디바이스.

청구항 12

제 11 항에 있어서,

상기 다이오드들은, 저항기를 통하여 포지티브 공급기 (positive supply) 에 커플링된 딥 (Deep) N웰 단자를 갖는 N+P웰 다이오드들인, 디바이스.

청구항 13

제 8 항에 있어서,

상기 바이어스 회로는 상기 제 1 NFET 의 게이트에 원하는 네거티브 전압 레벨을 설정하기 위한 차지 펌프 회로인, 디바이스.

청구항 14

제 8 항에 있어서,

상기 바이어스 회로는, 직렬 접속의 복수의 NFET 디바이스들 및 일 저항기를 포함하며,

각각의 NFET 디바이스는, 상기 캐스코드 그라운드드 게이트 NFET 의 상기 제 2 NFET 의 소스에 커플링된 제 1 NFET 디바이스로서, 상기 NFET 디바이스는 마지막에 직렬 접속으로 상기 캐스코드 그라운드드 게이트 NFET 의 상기 제 1 NFET 의 게이트에, 그리고 상기 저항기의 제 1 단자에 커플링된, 상기 제 1 NFET 디바이스, 및 그라운드에 커플링된 상기 저항기의 제 2 단자를 갖는, 다이오드로서 구성되는, 디바이스.

청구항 15

포지티브 전압 정전 방전 (ESD) 펄스들에 의해 야기되는 ESD 차지들에 대하여 집적 회로 (IC) 에 보호를 제공하고, 캐스코드 그라운드드 게이트 NFET (202), 프리차지 회로 및 다이오드 네트워크를 갖는 제 1 ESD

클램프로서, 상기 다이오드 네트워크는 상기 IC 의 IC 패드와 상기 캐스코드 그라운드드 게이트 NFET 의 드레인 노드 사이에 커플링되고, 상기 제 1 ESD 클램프는 상기 IC 패드로부터 그라운드로 방전시키기 위해 ESD 차지에 대한 전기 경로를 제공하는, 상기 제 1 ESD 클램프; 및

네거티브 전압 ESD 펄스들에 의해 야기되는 ESD 차지들에 대하여 상기 IC 에 보호를 제공하고, 캐스코드 그라운드드 게이트 NFET, 바이어스 회로 및 다이오드 네트워크를 갖는, 상기 제 1 ESD 클램프와 병렬로 커플링된 제 2 ESD 클램프로서, 상기 다이오드 네트워크는 상기 IC 의 IC 패드와 상기 캐스코드 그라운드드 게이트 NFET 의 소스 사이에 커플링되고, 상기 제 2 ESD 클램프는 그라운드로부터 IC 패드로 방전시키기 위해 ESD 차지에 대한 전기 경로를 제공하는, 상기 제 2 ESD 클램프를 포함하고,

상기 프리차지 회로는, 포지티브 공급기 (positive supply) 에 커플링된 애노드 및 상기 캐스코드 그라운드드 게이트 NFET 의 드레인에, 그리고 상기 다이오드 네트워크에 커플링된 캐소드를 갖는 다이오드를 포함하는, 디바이스.

청구항 16

제 15 항에 있어서,

상기 바이어스 회로는 상기 제 2 ESD 클램프의 상기 캐스코드 그라운드드 게이트 NFET 의 게이트에 원하는 네거티브 전압을 설정하는, 디바이스.

청구항 17

RFFE (RF front-end) 스위치에 커플링된 집적 회로 (IC) 패드를 포함하는 IC 로서,

ESD 클램프의 턴 온 전압을 원하는 레벨로 설정하기 위해 캐스코드 그라운드드 게이트 NFET, 프리차지 회로 및 다이오드 네트워크를 갖는 상기 ESD 클램프로서, 상기 다이오드 네트워크는 상기 IC 의 IC 패드와 상기 캐스코드 그라운드드 게이트 NFET 의 드레인 사이에 커플링되고, 상기 ESD 클램프는 상기 IC 패드로부터 그라운드로 방전시키기 위해 ESD 차지에 대한 전기 경로를 제공함으로써 포지티브 전압 ESD 펄스들에 의해 야기되는 차지들에 대하여 상기 IC 에 보호를 제공하는, 상기 ESD 클램프; 및

네거티브 전압 ESD 펄스들에 대하여 상기 IC 를 보호하기 위해 그라운드로부터 상기 IC 패드로 방전시키기 위해 ESD 차지에 대한 전기 경로를 제공하기 위해 상기 RFFE 스위치의 직렬 스위치와 그라운드 사이에 커플링된 ESD 보호 회로를 포함하고,

상기 프리차지 회로는, 포지티브 공급기 (positive supply) 에 커플링된 애노드 및 상기 캐스코드 그라운드드 게이트 NFET 의 드레인에, 그리고 상기 다이오드 네트워크에 커플링된 캐소드를 갖는 다이오드를 포함하는, IC.

청구항 18

제 17 항에 있어서,

상기 ESD 보호 회로는, 그라운드에 커플링된 애노드 및 상기 직렬 스위치에 커플링된 캐소드를 갖는 ESD 다이오드인, IC.

청구항 19

제 17 항에 있어서,

상기 ESD 보호 회로는, ESD 다이오드에 커플링된 상기 RFFE 스위치의 분로 스위치 (shunt switch) 를 포함하며, 상기 ESD 다이오드는, 그라운드에 커플링된 애노드 및 상기 분로 스위치에 커플링된 캐소드를 갖는, IC.

청구항 20

제 17 항에 있어서,

상기 프리차지 회로는, 상기 IC 패드에서의 용량성 로딩을 저감시키기 위하여 상기 캐스코드 그라운드드 게이트 NFET 의 드레인에서의 바이어스 전압을 설정하는, IC.

청구항 21

삭제

청구항 22

제 17 항에 있어서,

상기 다이오드 네트워크는, 적어도, 상기 캐스코드 그라운드드 게이트 NFET 의 드레인에 커플링된 캐소드 및 상기 IC 의 상기 IC 패드에 커플링된 애노드를 갖는 제 1 다이오드를 포함하는, IC.

청구항 23

제 20 항에 있어서,

상기 다이오드 네트워크는, 처음에 직렬로 상기 IC 의 상기 IC 패드에 커플링된 다이오드의 애노드 및 마지막에 직렬로 상기 캐스코드 그라운드드 게이트 NFET 의 드레인에 커플링된 다이오드의 캐소드를 갖는, 직렬로 접속된 복수의 다이오드들을 포함하는, IC.

청구항 24

제 23 항에 있어서,

상기 다이오드들은 P+N웰 다이오드들인, IC.

청구항 25

제 17 항에 있어서,

상기 캐스코드 그라운드드 게이트 NFET 는, 적어도 제 1 NFET 및 제 2 NFET 를 캐스코드 구성으로 포함하며, 상기 제 1 NFET 디바이스의 게이트는 제 1 저항기를 통하여 그라운드에 커플링되고, 상기 제 1 NFET 디바이스의 드레인은 상기 제 2 NFET 디바이스의 소스에 커플링되고, 상기 제 2 NFET 디바이스의 드레인은 상기 다이오드 네트워크에 커플링되며, 상기 제 2 NFET 디바이스의 게이트는 제 2 저항기를 통하여 전력 공급기에 커플링되는, IC.

청구항 26

포지티브 전압 정전 방전 (ESD) 펄스들에 대하여 집적 회로 (IC) 에 보호를 제공하기 위해 ESD 클램프를 포함하는 디바이스 (200) 로서,

상기 IC 의 IC 패드와 상기 ESD 클램프의 노드 사이에 커플링되고, 캐스코드 그라운드드 게이트 NFET, 프리차지 회로 및 다이오드 네트워크를 포함하는, 상기 디바이스의 턴 온 전압을 원하는 레벨로 설정하는 수단; 및

상기 IC 패드에서의 용량성 로딩을 저감시키기 위하여 상기 노드에서의 바이어스 전압을 원하는 레벨로 설정하는 수단을 포함하고,

상기 프리차지 회로는, 포지티브 공급기 (positive supply) 에 커플링된 애노드 및 상기 캐스코드 그라운드드 게이트 NFET 의 드레인에, 그리고 상기 다이오드 네트워크에 커플링된 캐소드를 갖는 다이오드를 포함하는, 디바이스.

청구항 27

네거티브 전압 정전 방전 (ESD) 펄스들에 대하여 집적 회로 (IC) 에 보호를 제공하기 위해, 적어도 제 1 단자 및 제 2 단자를 갖는 ESD 클램프를 포함하는 디바이스로서,

상기 IC 의 IC 패드와 상기 ESD 클램프의 상기 제 1 단자 사이에 커플링되고, 캐스코드 구성의 제 1 NFET 및 제 2 NFET 를 특징으로 하는 캐스코드 그라운드드 게이트 NFET 를 포함하는, 상기 디바이스의 턴 온 전압을 원하는 레벨로 설정하는 수단; 및

상기 ESD 클램프의 상기 제 2 단자에 원하는 네거티브 전압 레벨을 제공하기 위하여 상기 ESD 클램프의 상기 제 1 단자 및 상기 제 2 단자에서의 바이어스 전압을 원하는 레벨로 설정하는 수단을 포함하고,

상기 바이어스 전압을 설정하는 수단은, 상기 제 2 NFET 의 소스에 커플링된 제 1 단자, 그라운드에 커플링된

제 2 단자 및 상기 제 1 NFET 의 게이트에 커플링된 제 3 단자를 가지며, 상기 제 3 단자는 상기 제 1 NFET 의 게이트에 원하는 네거티브 전압 레벨을 제공하는, 디바이스.

청구항 28

RFFE (RF front-end) 스위치에 커플링된 집적 회로 (IC) 패드를 포함하는 IC 로서,

(i) 캐스코드 구성의 제 1 NFET 및 제 2 NFET 를 특징으로 하는 캐스코드 그라운드드 게이트 NFET, (ii) 상기 IC 의 상기 IC 패드와 상기 캐스코드 그라운드드 게이트 NFET 의 단자 사이에 커플링된, 정전 방전 (ESD) 클램프의 턴 온 전압을 원하는 레벨로 설정하는 수단, 및 (iii) 상기 IC 패드에서의 용량성 로딩을 저감시키기 위하여 상기 캐스코드 그라운드드 게이트 NFET 의 단자에서의 바이어스 전압을 원하는 레벨로 설정하는 수단을 갖는 상기 ESD 클램프로서, 상기 ESD 클램프는, 상기 IC 패드로부터 그라운드로 방전시키기 위해 ESD 차지에 대한 전기 경로를 제공함으로써 포지티브 전압 ESD 펄스들에 의해 야기되는 차지들에 대하여 상기 IC 에 보호를 제공하는, 상기 ESD 클램프; 및

그라운드와 상기 RFFE 스위치의 직렬 스위치 사이에 커플링된, 네거티브 전압 ESD 펄스들에 대하여 상기 IC 를 보호하기 위해 그라운드로부터 상기 IC 패드로 방전시키기 위해 ESD 차지에 대한 전기 경로를 제공하는 수단을 포함하고,

상기 바이어스 전압을 설정하는 수단은, 상기 제 2 NFET 의 소스에 커플링된 제 1 단자, 그라운드에 커플링된 제 2 단자 및 상기 제 1 NFET 의 게이트에 커플링된 제 3 단자를 가지며, 상기 제 3 단자는 상기 제 1 NFET 의 게이트에 원하는 네거티브 전압 레벨을 제공하는, IC.

명세서

기술분야

- [0001] 35 U.S.C. § 119 하의 우선권 주장
- [0002] 본 특허 출원은 2010년 1월 19일자로 출원된 발명의 명칭이 "Bi-directional HV ESD clamp for RF power amplifiers" 이고, 본 특허 출원의 양수인에게 양도되며 여기에 참조로 명백히 포함되는 가출원번호 제 61/296,212호에 대해 우선권을 주장한다.
- [0003] 본 개시물은 전자장치에 관한 것으로, 특히 정전 방전 (ESD) 보호 회로의 분야에 관한 것이며, 보다 구체적으로는 무선 주파수 집적 회로들에 대한 ESD 보호의 개선에 관한 것이다.

배경기술

- [0004] 정전 방전 (ESD) 보호는 저전압 딥-서브마이크로미터 (deep-submicrometer) 실리콘 기술에 있어서 큰 관심사이다. 실리콘 집적 회로 (IC) 들의 신뢰성은, 더 작은 피쳐 사이즈로 인해, 점점 더 중요해지고 있다. 더 얇은 게이트 산화물 두께로 인해, 실리콘 회로들은 ESD 로부터의 스트레스에 더 민감하다. IC들의 제조 및 조립 동안, ESD 는 손상을 야기할 수도 있다. DC ESD 보호를 위한 고속 스위칭, 및 고전압 강건성 (robustness) 의 성숙 기술 (mature technology) 에도 불구하고, 최신식 실리콘 기술들에서의 무선 주파수 (RF) ESD 보호 설계는 특히 고전압 애플리케이션들의 경우 여전히 문제이다.
- [0005] 보다 상세하게는, RF 전력 증폭기들은 그라운드를 상회하고, 또한 하회하는 큰 신호 스윙을 요구하며, 그 RF 전력 증폭기들은 고주파수에서 동작해야 한다. 이것은 특히, PA 에 커플링된, 집적 회로의 패드 노드에서 스윙하는 전압이 이용가능한 실리콘 프로세스의 동작 한계를 초과하는 경우에 특히 문제가 되고 있다.
- [0006] 도 1 은 집적 회로 (IC) 의 ESD 보호 회로 (102) 를 표현하는 통상의 개략 블록도를 도시한다. 이 표현은, 일단이 IC (100) 의 보호된 노드 및 IC 패드 (104) 에, 그리고 타단이 그라운드에 커플링된 ESD 보호 회로 (102) 를 예시적으로 도시한다. ESD 보호 회로 (102) 는 캐스코드 그라운드드 게이트 스냅-백 NFET (GGNFET) 와 같은 ESD 보호 디바이스를 포함한다. ESD 보호 회로 (102) 는 2 개의 NFET 디바이스들, 즉 Np1 및 Np2 를 캐스코드 구성으로 포함한다.
- [0007] IC (100) 의 정상 동작 하에서, ESD 보호 회로 (102) 는 오프이어야 한다. 포지티브 극성 ESD 펄스 동안, GGNFET 는 액티브 방전 경로를 제공하여 IC 패드 (104) 로부터의 전류 서지를 그라운드로 분로 (shunt) 한다. 더욱이, IC 패드 전압을 충분히 낮은 레벨로 클램핑하여 IC 의 보호된 회로 노드의 손상을 회피한다.

[0008] ESD 보호 회로 (102) 는 턴 온 전압을 특징으로 한다. 이 턴 온 전압은 ESD 보호 회로가 턴 온 전에 견딜 수 있는 최대 전압이다. 보다 상세하게는, ESD 보호 회로 (102) 는 정상 동작 동안, 각각의 NFET 의 최대 동작 전압의 2 배의 전압을 견딜 수 있다. 일 예로서, 통상의 65nm 프로세스에서, 긴 채널 NFET 들은 3.6V (Volts) 의 최대 동작 전압을 가지며, 따라서 IC 패드에서 스윙하는 최대 허용가능한 전압은 7.2V 이다. 집적된 실리콘 PA 출력 전압 스윙 요건은 7.2V 를 초과할 수도 있으며, 이는 도 1 에 도시된 ESD 보호 회로로 하여금, PA 설계가 7.2V 를 상회하는 전압 스윙을 요구하는 잘못된 선택을 하게 한다.

[0009] 더욱이, GGNFET 는 드레인 안정 저항 (ballast resistance) 을 요구하여 전도 균일성 (conduction uniformity) 을 달성한다. 안정화 요건은 GGNFET 의 드레인 노드 D 에서 기생 로드 커패시턴스를 크게 증가시키기 때문에, RF 전력 증폭기의 고주파수 동작을 제한한다. 동작 주파수가 기가헤르쯔 범위까지 증가하기 때문에, 기생 커패시턴스는 그라운드로의 저임피던스 경로의 역할을 하며, RF 전력 증폭기, 또는 IC 패드에 커플링된 임의의 다른 RF 회로의 성능을 상당히 저하시킨다.

[0010] 무선 주파수 집적 회로 (RFIC) 들의 경우에는, 반드시 고전압, 고주파수 애플리케이션들에 대해 낮은 기생 커패시턴스를 가진 ESD 보호 회로를 개발할 필요가 있다.

도면의 간단한 설명

- [0011] 도 1 은 집적 회로 (IC) 의 ESD 보호 회로를 표현하는 통상의 개략 블록도를 도시한다.
- 도 2 는 포지티브 전압 ESD 펄스 동안 ESD 보호를 제공하는 ESD 보호 디바이스의 실시형태를 도시한다.
- 도 3 은 네거티브 ESD 전압 펄스 동안 ESD 보호를 제공하는 ESD 보호 디바이스의 대안의 실시형태를 도시한다.
- 도 4 는 네거티브 ESD 보호 펄스 동안 ESD 보호를 제공하는 ESD 보호 디바이스에 대한 대안의 실시형태를 도시한다.
- 도 5 는 도 3 에 도시된 ESD 보호 디바이스의 예시적인 실시형태를 도시한다.
- 도 6 은 포지티브 및 네거티브 ESD 보호 펄스들 동안 보호를 제공하는 양방향성 ESD 보호 디바이스를 도시한다.
- 도 7 은 (i) IC 패드에 인가된 사인파 전압, (ii) 도 2 에 도시된 실시형태에서와 같은 포지티브 ESD 클램프 및 (iii) 도 5 에 도시된 실시형태에서와 같은 네거티브 ESD 클램프를 가진 IC 패드에서의 전압의 예시적인 전기적 시뮬레이션을 도시한다.
- 도 8 은 도 5 의 드레인 노드 D 및 도 5 의 ESD 보호 디바이스의 소스 노드 S 의 바이어스 전압을 도시한다.
- 도 9 는 IC 패드에서의 정상 상태 전압 및 전류 파형들을 도시한다.
- 도 10 은 포지티브 ESD 펄스에 대한, 도 2 및 도 5 에 도시된 예시적인 ESD 보호 디바이스들을 포함하는 제조된 양방향성 ESD 보호 디바이스의 측정된 송신 라인 펄스 (TLP) 플롯들을 도시한다.
- 도 11 은 네거티브 ESD 펄스에 대한, 도 2 및 도 5 에 도시된 예시적인 ESD 보호 디바이스들을 포함하는 제조된 양방향성 ESD 보호 디바이스의 측정된 송신 라인 펄스 (TLP) 플롯들을 도시한다.
- 도 12 는 집적된 SP3T (Single-Pole-Triple-Throw) RFFE (RF front-end) 스위치에 커플링된 IC 패드를 갖는 IC 를 도시한다.
- 도 13 은 RFFE 스위치에 커플링된 IC 패드를 갖는, IC 에 대한 ESD 보호의 예시적인 실시형태를 도시한다.
- 도 14 는 RFFE 스위치에 커플링된 IC 패드를 갖는, IC 에 대한 ESD 보호의 대안의 실시형태를 도시한다.
- 도 15 는 네거티브 전압 ESD 펄스들에 대한 제조된 IC 의 측정된 송신 라인 펄스 (TLP) 플롯들을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0012] 단어 "예시적인" 은 여기서 "예, 경우 또는 예시로서 기능하는 것" 을 의미하는데 사용된다. 여기에 "예시적인" 것으로 설명된 임의의 실시형태가 반드시 다른 실시형태들에 비해 바람직하거나 이로운 것으로 해석될 필요는 없다.

[0013] 첨부된 도면들과 함께 이하에 기술된 상세한 설명은 본 발명의 예시적인 실시형태들의 설명인 것으로 의도되며, 단지 본 발명이 실시될 수 있는 실시형태들만을 표현하는 것으로 의도되지 않는다. 본 설명의 전반에 걸쳐

사용되는 용어 "예시적인"은 "예, 경우 또는 예시로서 기능하는 것"을 의미하며, 반드시 다른 예시적인 실시 형태들에 비해 바람직하거나 이로운 것으로 해석되어서는 안된다. 상세한 설명은 본 발명의 예시적인 실시 형태들의 완전한 이해를 제공할 목적으로 특정 상세를 포함한다. 본 발명의 예시적인 실시 형태들은 이들 특정 상세 없이 실시될 수도 있다는 것이 당업자에게 자명할 것이다. 일부 경우에는, 여기에 제시된 예시적인 실시 형태들의 신규성을 모호하게 하는 것을 회피하기 위하여 널리 알려진 구조들 및 디바이스들은 블록도 형태로 도시된다.

- [0014] 당업자는, 정보 및 신호들이 다양한 상이한 기술들 및 기법들 중 임의의 것을 이용하여 표현될 수도 있다는 것을 이해할 것이다. 예를 들어, 상기 설명 전반에 걸쳐 참조될 수도 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들, 및 칩들은 전압들, 전류들, 전자기파들, 자계들 또는 자기 입자들, 광학계들 또는 광학 입자들, 또는 이들의 임의의 조합에 의해 표현될 수도 있다.
- [0015] 본 개시물은 고전압 및 고주파수 동작 모두를 요구하는 RFIC들에 대한 개선된 ESD 보호 회로들과 관련된다.
- [0016] 단지 포지티브 ESD 전압 펄스들 동안에만, 또는 단지 네거티브 ESD 전압 펄스들 동안에만, 또는 포지티브와 네거티브 양자의 ESD 펄스들 동안에 ESD 보호를 제공하는 것이 가능한 ESD 보호 회로들의 여러 실시 형태들이 개시된다.
- [0017] 도 2는 포지티브 전압 ESD 펄스 동안 ESD 보호를 제공하는 ESD 보호 디바이스의 실시 형태를 도시한다. 도 2에 도시한 바와 같이, ESD 보호 디바이스 (200)는 프리차지 회로 (206), 다이오드 네트워크 (208) 및 캐스코드 그라운드드 게이트 NFET (GGNFET) (202)를 포함한다.
- [0018] 다이오드 네트워크 (208)는 직렬로 접속된 복수의 다이오드들을 포함한다. 예시를 목적으로 단 2개, 즉 218 및 228만이 도시된다. 당업자는, 직렬로 접속된 임의의 수의 다이오드들이 다이오드 네트워크 (208)를 형성할 수도 있다는 것을 알 수도 있다. 각 다이오드는 P+N웰 다이오드이다. 다이오드 네트워크가 단 하나의 P+N웰 다이오드만으로 구성될 수도 있는 애플리케이션들이 있다.
- [0019] 처음에 직렬 구성으로 배치된 다이오드의 애노드는 IC 패드에 커플링되고, 마지막에 직렬 구성으로 배치된 다이오드의 캐소드는 캐스코드 GGNFET (202)의 드레인, 노드 D에 커플링된다. 도 2에 도시된 특정 예에서, 제 1 다이오드 (218)의 애노드는 IC 패드 (204)에 커플링된다. 제 1 다이오드 (218)의 캐소드는 제 2 다이오드 (228)의 애노드에 커플링되고, 제 2 다이오드 (228)의 캐소드는 캐스코드 GGNFET (202)의 드레인, 노드 D에 커플링된다. 프리차지 회로 (206)의 제 1 단자는 포지티브 공급기 (positive supply) (Vdd)에 커플링되고, 프리차지 회로 (206)의 제 2 단자는 제 2 다이오드 (228)의 캐소드 및 캐스코드 GGNFET (202)의 드레인에 커플링된다. 캐스코드 GGNFET (202)의 소스, 노드 S는 그라운드에 커플링된다.
- [0020] 캐스코드 GGNFET (202)는 적어도 2개의 NFET 디바이스들, 즉 제 1 NFET (212) (Np1) 및 제 2 NFET (214) (Np2)로 구성된다. 제 1 NFET 디바이스 (212)의 게이트 단자는 저항기 (222)를 통하여 그라운드에 커플링된다. 제 1 NFET 디바이스 (212)의 드레인 단자는 제 2 NFET 디바이스 (214)의 소스 단자에 커플링된다. 제 2 NFET 디바이스 (214)는 제 1 NFET 디바이스 (212)에 캐스코드된다. 제 2 NFET 디바이스 (214)의 게이트는 저항기 (224)를 통하여 포지티브 공급기 (Vdd)에 커플링된다. 포지티브 공급기 (Vdd)는 저항기 (224)를 통하여 제 2 NFET 디바이스 (214)의 게이트에 커플링함으로써 캐스코드 GGNFET 디바이스 (202)에 바이어스를 제공한다.
- [0021] 포지티브 전압 공급기로부터 동작하는, 차지 펌프 회로가 제 2 NFET 디바이스 (214)의 게이트에 커플링함으로써 캐스코드 GGNFET 디바이스 (202)에 바이어스를 제공하는데도 이용될 수도 있다는 것이 당업자에게 자명할 것이다.
- [0022] 프리차지 회로 (206)는 다이오드 (216)를 포함한다. 다이오드 (216)의 애노드는 포지티브 전위 (Vdd)에 커플링된다. 다이오드 (216)의 캐소드는 캐스코드 GGNFET (202)의 드레인, 노드 D에 커플링된다. 대안의 실시 형태에서는, 다이오드 접속된 MOSFET이 다이오드 (216) 대신 사용될 수 있다.
- [0023] 캐스코드 GGNFET (202)는 액티브 방전 경로를 제공하여 포지티브 전압 ESD 펄스 동안 IC 패드 (204)로부터의 전류 서지를 그라운드로 분로한다. 다이오드 네트워크 (208)는, IC 패드 (204)에서의 신호가 그라운드를 상회하여 스윙하기 때문에, 캐스코드 GGNFET (202)에 걸린 전압을, 캐스코드 GGNFET가 (즉 정상 동작 동안 턴 온 또는 브레이크 다운 없이) 견딜 수 있는 레벨로 저감시킨다. 다이오드 네트워크는 정상 동작 동안의 ESD 보호 디바이스 (200)의 턴 온 전압을, GGNFET에 직렬 연결된 각각의 다이오드의 정션 전압의 합만큼 증가시킨다. 그 결과, IC 패드에서 스윙하는 허용가능한 전압이 증가한다. 직렬로 접속된 선택된 수의 다이오드

들은 ESD 회로의 턴 온 전압을 원하는 레벨로 설정하는데 이용될 수도 있다.

- [0024] 다이오드 네트워크는 또한 IC 패드 (204) 에 제시된 고용량성 로딩을 캐스코드 GGNFET (202) 에 의해 저감시킨다. 프리차지 회로 (206) 를 다이오드 네트워크 (208) 에 커플링함으로써, IC 패드 (204) 에 대한 용량성 로드는 다이오드 네트워크 (208) 의 용량성 로드로 저감된다.
- [0025] 프라차지 회로 (206) 는 캐스코드 GGNFET (202) 의 드레인에서 DC 전압 레벨을 확립한다. DC 전압 레벨은 포지티브 공급기 (Vdd) 에서의 전압 마이너스 다이오드 (216) 의 정션 전압과 같다. 캐스코드 GGNFET 의 드레인에서 DC 전압을 확립하는 것은, 평형 DC 전압에 도달하도록, 캐스코드 GGNFET 의 드레인에 존재하는 신호로부터, 요구된 차지량을 저감시킨다. 따라서, IC 패드에서의 커패시턴스를 다이오드 네트워크의 커패시턴스로 효과적으로 저감시킨다.
- [0026] ESD 보호 디바이스 (200) 는 IC 패드로부터 그라운드로의 방향으로만 전류를 효율적으로 전도하기 때문에 포지티브 전압 ESD 펄스 동안에만 IC 에 ESD 보호를 제공할 수도 있다.
- [0027] ESD 보호 디바이스 (200) 는 그라운드로부터 IC 패드로의 방향으로 전류를 전도하지 못할 수도 있기 때문에, 네거티브 전압 ESD 펄스 동안 IC 패드에 ESD 보호를 제공하지 못할 수도 있다. 네거티브 전압 ESD 펄스 동안 ESD 보호를 제공할 수도 있는 대안의 실시형태들이 이하에 설명된다.
- [0028] 도 3 은 네거티브 전압 ESD 펄스 동안 ESD 보호의 제공을 제공하는 ESD 보호 디바이스의 대안의 실시형태를 도시한다. 도 3 에 도시한 바와 같이, ESD 보호 디바이스 (300) 는 바이어스 회로 (306), 다이오드 네트워크 (308) 및 캐스코드 그라운드드 게이트 NFET (302) 를 포함한다.
- [0029] 바이어스 회로 (306) 는 캐스코드 GGNFET (302) 의 소스, 노드 S 에 커플링된 제 1 단자, 그라운드에 커플링된 제 2 단자, 및 캐스코드 그라운드드 게이트 NFET 의 제 1 NFET (312) 의 게이트 G2 에 커플링된 제 3 단자를 갖는다.
- [0030] 캐스코드 GGNFET (302) 는 적어도 2 개의 NFET 디바이스들, 즉 제 1 NFET 디바이스 (312) (Nn1) 및 제 2 NFET 디바이스 (314) (Nn2) 로 구성된다. 제 1 NFET 디바이스 (312) 는 제 2 NFET 디바이스 (314) 에 캐스코드된다. NFET 디바이스 (312) 의 드레인은 그라운드에 커플링된다. 제 1 NFET 디바이스 (312) 의 게이트는 바이어스 회로 (306) 의 제 3 단자에 커플링된다. 제 1 NFET 디바이스 (312) 의 소스는 제 2 NFET 디바이스 (314) 의 드레인에 커플링된다. 제 2 NFET 디바이스 (314) 의 게이트는 저항기 (324) 를 통하여 제 2 NFET 디바이스 (314) 의 소스에 커플링된다. NFET 디바이스들 (Nn1 및 Nn2) 은 트리플 웰 프로세스에 있다.
- [0031] 다이오드 네트워크 (308) 는 직렬로 접속된 제 1 다이오드 (318) 및 제 2 다이오드 (328) 를 포함한다. 예시를 목적으로, 단 2 개, 즉 318 및 328 만이 도시된다. 당업자는, 직렬로 접속된 임의의 수의 다이오드들이 다이오드 네트워크 (308) 를 형성할 수도 있다는 것을 알 수도 있다. 각각의 다이오드는 딥 N웰에서의 N+P웰 다이오드이다. 다이오드 네트워크가 단 하나의 N+P웰 다이오드만을 포함할 수도 있는 애플리케이션들이 있다.
- [0032] 캐스코드 GGNFET (302) 는 액티브 방전 경로를 제공하여 네거티브 전압 ESD 펄스 동안 그라운드로부터의 전류 서지를 IC 패드 (304) 로 분로한다. 이전의 실시형태에서와 유사한 방식으로, 다이오드 네트워크 (308) 는, IC 패드 (304) 에서의 신호가 그라운드를 하회하여 스윙하기 때문에, 캐스코드 GGNFET (302) 에 걸린 전압을, 캐스코드 GGNFET 가 정상 동작 동안 턴 온 또는 브레이크 다운 없이 견딜 수 있는 레벨로 저감시킨다. 다이오드 네트워크는 정상 동작 동안의 ESD 보호 디바이스 (300) 의 턴 온 전압을 증가시키며, IC 패드 (304) 에 제시된 고용량성 로딩을 캐스코드 GGNFET 에 의해 저감시킨다.
- [0033] NFET 디바이스들 (312 Nn1 및 314 Nn2) 의 쌍을 위해 캐스코드 바이어스가 요구된다. NFET 디바이스들은 트리플 웰 프로세스에 있기 때문에, 캐스코드 바이어스를 위해 네거티브 전압이 요구된다. 캐스코드 GGNFET 의 게이트에서의 적절한 네거티브 전압은 IC 의 정상 동작 동안 캐스코드 GGNFET 가 오프를 유지하는 것을 보장한다. 네거티브 전압은 도 3 의 실시형태에 도시한 바와 같이 IC 패드에 존재하는 RF 신호를 이용한 바이어스 회로나, 또는 도 4 의 실시형태에 도시한 바와 같은 차지 펌프를 이용하는 것에 의해 생성될 수도 있다.
- [0034] 또한, 네거티브 전력 공급기가 이용가능한 경우에는, 이러한 네거티브 전력 공급기가 원하는 캐스코드 바이어스 전압을 제공하는데 이용될 수도 있다는 것이 당업자에게 자명할 것이다.
- [0035] 도 3 의 예시적인 실시형태에서, 다이오드 네트워크 (308) 는 RF 신호를 정류하고 캐스코드 GGNFET (302) 의 소스, 노드 S 에서 DC 전압을 설정한다. 캐스코드 GGNFET (302) 의 소스에서 DC 전압을 확립하는 것은, 평형

DC 전압에 도달하도록, 캐스코드 GGNFET (302) 의 드레인에 존재하는 신호로부터, 요구된 차지량을 저감시킨다.
따라서, IC 패드 (304) 에서의 커패시턴스를 다이오드 네트워크 (308) 의 커패시턴스로 효과적으로 저감시킨다.

- [0036] 바이어스 회로 (306) 는 캐스코드 GGNFET 의 소스에서의 DC 전압을 이용하여 NFET 디바이스 Nn1 (312) 의 게이트, G2 에서 적절한 네거티브 전압을 생성한다.
- [0037] 도 4 는 네거티브 ESD 전압 펄스 동안 ESD 보호를 제공하는 ESD 보호 디바이스에 대한 대안의 실시형태를 도시한다. 도 4 에 도시한 바와 같이, ESD 보호 디바이스 (300a) 는 차지 펌프 회로 (316), 다이오드 네트워크 (308) 및 캐스코드 그라운드드 게이트 NFET (302) 를 포함한다.
- [0038] 도 4 의 예시적인 실시형태에서, 차지 펌프 회로 (316) 는 바이어스 회로 (306) 대신에 NFET 디바이스 (312) 의 게이트에 적절한 네거티브 바이어스 전압을 제공하는데 사용된다. 차지 펌프 회로 (316) 는 포지티브 전력 공급기 (Vdd) 에 커플링된 제 1 단자, 그라운드에 커플링된 제 2 단자 및 NFET (312) 의 게이트에 커플링된 제 3 단자를 갖는다.
- [0039] 차지 펌프 회로 (316) 는 포지티브 전력 공급기 (Vdd) 로부터 동작하여 원하는 캐스코드 바이어스 전압을 제공한다.
- [0040] 여러 차지 펌프 회로들이 전력 공급기의 포지티브 전압을 네거티브 전압으로 변환하는데 이용될 수도 있으며, 따라서 차지 펌프 회로 구현이 도시되지 않는다는 것이 당업자에게 자명할 것이다.
- [0041] 차지 펌프에 존재하는 로드는 게이트 커패시턴스이기 때문에, 차지 펌프는 매우 적은 전력을 소비하도록 설계될 수 있다.
- [0042] 통상적으로, 다이오드들 (318 및 328) 의 딥 N웰 단자는 디바이스들 (318 및 328) 의 (그들의 P웰 정션 및 N웰 사이에 형성되는) 기생 다이오드들을 역바이어싱하기 위해 포지티브 공급기 (Vdd) 에 접속된다.
- [0043] 도 5 는 도 3 에 도시된 ESD 보호 디바이스의 예시적인 실시형태를 도시한다. 도 5 에 도시된 예시적인 실시형태에서, 바이어스 회로 (306a) 는 복수의 NFET들 (3 개 도시) 및 일 저항기를 포함한다. 복수의 NFET들은 직렬로 접속되며 그들은 딥 N웰 (N1, N2 및 N3) 에 제조된다.
- [0044] NFET들은 다이오드-접속된 구성으로 존재하며, 저임피던스를 캐스코드 GGNFET (302) 의 게이트로부터 캐스코드 GGNFET 의 소스로 제공한다. 캐스코드 GGNFET 의 소스가 RF 신호에 의해 파워 업되고 있기 때문에, 캐스코드 GGNFET 의 게이트에서의 캐스코드 바이어스 전압은 캐스코드 GGNFET 의 소스에서의 바이어스 전압을 빠르게 따라간다. 캐스코드 NFET 의 소스에 대한 바이어스 전압은 NFET 임계 전압 (Vt) 드롭의 대략 3 배이다. 바이어스 회로의 DC 전류는 캐스코드 GGNFET 의 소스에서의 바이어스 전압 마이너스 $3 \times N1$ 내지 $N3$ 의 Vt 드롭의 합을 저항기 Rn2 (326) 의 값으로 나눈 값에 의해 설정된다. 다이오드 접속된 NFET들의 수는 캐스코드 NFET 에 대해 원하는 네거티브 전압을 생성하기 위해 적절히 선택된다.
- [0045] 도 3, 도 4 및 도 5 에 도시된 ESD 디바이스들의 펄스된 포지티브 ESD 테스트 동안, 다이오드 (328) 의 N+/P웰 정션이 포워드 바이어싱된 P웰/딥 N웰 정션을 통하여 Vdd 노드로 에벌랜치 (avalanche) 되며, 이는 ESD 테스트 동안 그라운드에 유지된다는 것이 확인되었다. 그 결과, 다이오드 (328) 는 ESD 디바이스가 도달할 수 있는 원하는 트리거 전압 전에 파열될 것이다. 다이오드 (328) 의 N+/P웰 정션의 고장 전압 (failure voltage) 은 저항기 (301) 를 딥 N웰 단자 및 포지티브 공급기 (Vdd) 와 직렬로 배치함으로써 개선될 수도 있다. 그 결과, 고장 전압은 고장 동안 예상되는 전류와 저항기 (301) 의 저항값의 곱만큼 증가될 수 있다.
- [0046] 도 6 은 포지티브 및 네거티브 ESD 전압 펄스들 동안 보호를 제공하는 양방향성 ESD 보호 디바이스를 도시한다. ESD 보호 디바이스 (600) 는 포지티브 ESD 클램프 (200) 및 네거티브 ESD 클램프 (300) 를 포함한다. 포지티브 ESD 클램프 (200) 는 네거티브 ESD 클램프 (300) 와 병렬로 접속된다. 포지티브 ESD 클램프 (200) 는 포지티브 ESD 펄스들 동안 보호를 제공하며, 도 2 의 ESD 보호 회로를 포함한다. 네거티브 ESD 클램프 (300) 는 네거티브 ESD 펄스들 동안 ESD 보호를 제공한다. 도 3, 도 4 및 도 5 에 제시된 예시적인 실시형태들 중 임의의 실시형태가 네거티브 ESD 클램프로써 이용될 수도 있다는 것이 당업자에게 자명할 것이다.
- [0047] 본 실시형태들은 CMOS 디바이스들을 참조하여 설명된다. 그러나, 본 발명이 Bipolar, BiCMOS, SiGe BiCMOS, 및 ESD 에 의해 야기되는 손상에 민감한 다른 프로세스들에 적용될 수도 있다는 것을 당업자는 알 것이다. 본 발명은, ESD 과도 전압들이 임의의 게이트 산화물 또는 다른 연약한 반도체 디바이스를 손상시키지 않게 적절히 제한되도록 하는 턴 온 전압 및 고전류 클램핑 특성들을 갖는 ESD 보호 디바이스의 여러 실시형태

들을 포함한다.

- [0048] 도 7 은 (i) IC 패드에 인가된 사인파 전압, (ii) 도 2 에 도시된 실시형태에서와 같은 포지티브 ESD 클램프 및 (iii) 도 5 에 도시된 실시형태에서와 같은 네거티브 ESD 클램프를 가진 IC 패드에서의 전압의 예시적인 전기적 시물레이션을 도시한다. 포지티브 ESD 클램프와 네거티브 ESD 클램프는 병렬로 접속된다.
- [0049] 무선 주파수 (RF) 신호 소스 저항은 50Ω 으로 설정되었다. RF 신호의 진폭은 6.5V 로 설정되었고, DC 오프셋 전압은 1.1V 로 설정되었다. 주파수는 2.5GHz 로 설정되었다. 몇몇 사이클들의 경우에는, ESD 보호 디바이스 (200) 의 캐스코드 GGNFET 의 드레인, 노드 D 를 부분적으로 차징하고 ESD 보호 디바이스 (300) 의 캐스코드 GGNFET 의 소스, 노드 S 를 완전히 차징하는데 기여가능한 브리프 트랜지언트 (brief transient) 가 존재한다는 것에 주목한다. 몇몇 사이클들 후에는, 정상 상태에 도달한다.
- [0050] 도 8 은 도 5 의 드레인 노드 D, 및 도 5 의 ESD 보호 디바이스의 소스 노드 S 의 바이어스 전압을 도시한다. 커브 800 은 드레인 노드 D 에서의 바이어스 전압을 도시한다. 그리고, 커브 801 은 소스 노드 S 에서의 바이어스 전압을 도시한다. 이 전압들은 캐스코드 GGNFET 의 최대 브레이크 다운 전압보다 매우 낮으며, 제시된 예의 경우에는 7.2V 라는 것에 주목한다.
- [0051] 도 9 는 IC 패드에서의 정상 상태 전압 및 전류 파형들을 도시한다. 커브 900 은 정상 상태 전압 파형을 도시하고 커브 901 은 정상 상태 전류 파형을 도시한다. 전류는 전압과 대략 90 도 위상차가 나며, 이는 2 개의 ESD 클램프들의 지배적 용량성 로드의 결과라는 것에 주목한다. 유효 커패시턴스는 125fF 인 것으로 계산된다.
- [0052] 도 10 은 포지티브 ESD 펄스에 대한, 도 2 및 도 5 에 도시된 예시적인 ESD 보호 디바이스들을 포함하는 제조된 양방향성 ESD 보호 디바이스의 측정된 송신 라인 펄스 (TLP) 플롯들을 도시한다.
- [0053] 도 11 은 네거티브 ESD 펄스에 대한, 도 2 및 도 5 에 도시된 예시적인 ESD 보호 디바이스들을 포함하는 제조된 양방향성 ESD 보호 디바이스의 측정된 송신 라인 펄스 (TLP) 플롯들을 도시한다.
- [0054] 측정에 이용되는 TLP 는 100ns 의 펄스 폭을 가졌다. TLP 고장 전류 (failure current) 및 HBM (human body model) 고장 전압 사이의 변환 계수는 약 2kV HBM/A TLP 이다. 따라서, 이 복합 클램프는 2kV HBM 의 산업상 폭넓은 공통 사양에 적합한 수준 이상이다.
- [0055] 도 12 는 집적된 SP3T (Single-Pole-Triple-Throw) RFFE (RF front-end) 스위치에 커플링된 IC 패드를 갖는 IC 를 도시한다. IC 패드는 양방향성 ESD 클램프에 의해 보호된다. 양방향성 ESD 클램프 (1010) 는 IC 패드 (1014) 에 인가된 포지티브나 네거티브 전압 ESD 펄스 동안 IC (1000) 에 보호를 제공하기 위해 IC 패드 (1014) 에 커플링된다. 양방향성 ESD 클램프 (1010) 는 도 6 의 디바이스 (600) 와 같은 디바이스를 포함한다.
- [0056] IC 패드는 집적된 전력 증폭기 (1011), 집적된 저잡음 증폭기 (1012) 및 제 2 IC (1015) 에 RFFE (RF front-end) 스위치 (1013) 를 통하여 커플링된다. RFFE 스위치 (1013) 는 SP3T 스위치이며, 송신 경로 (1023), 수신 경로 (1024) 및 제 2 IC 경로 (1025) 를 포함한다. RFFE 스위치 (1013) 는 송신 경로 (1023), 수신 경로 (1024) 및 제 2 IC 경로 (1025) 와 각각 관련된, 3 개의 포트들, 즉 포트-1 (P1), 포트-2 (P2) 및 포트-3 (P3) 을 갖는 단극 (single pole) 이다.
- [0057] 송신 경로 (1023) 는 PA (1011) 에 커플링된 제 1 단자, IC 패드 (1014) 에 커플링된 제 2 단자 및 그라운드에 커플링된 제 3 단자를 갖는다. 수신 경로 (1024) 는 LNA (1012) 에 커플링된 제 1 단자, IC 패드 (1014) 에 커플링된 제 2 단자 및 그라운드에 커플링된 제 3 단자를 갖는다. 제 2 IC 경로 (1025) 는 제 2 IC 패드 (1034) 에 커플링된 제 1 단자, IC 패드 (1014) 에 커플링된 제 2 단자 및 그라운드에 커플링된 제 3 단자를 갖는다. 제 2 IC 패드 (1034) 는 네거티브 ESD 다이오드 (1032) 에, 그리고 포지티브 ESD 다이오드 (1030) 에 커플링된다.
- [0058] 소정의 상황에서는, 양방향성 ESD 클램프 (1010) 에 의해 제시된 기생 커패시턴스를 추가로 저감시켜 RFFE 스위치를 통해 IC 패드에 커플링된 RF 회로들의 RF 성능을 개선시키는 것이 바람직하다.
- [0059] 기생 커패시턴스의 추가 저감은, 도 2 의 ESD 디바이스 (200) 와 같은 포지티브 ESD 클램프만이 RFFE 스위치에 커플링된 IC 패드나, 또는 제 2 IC 패드나, 또는 양자 모두에 ESD 보호를 제공하는데 이용되는 경우에 가능할 수도 있다. 하나의 ESD 클램프만이 IC 패드에 커플링되는 경우, 기생 커패시턴스는 상당히 저감된다.

- [0060] 도 13 은 RFFE 스위치에 커플링된 IC 패드를 갖는, IC 에 대한 ESD 보호의 예시적인 실시형태를 도시한다.
- [0061] IC 패드 (1114) 는 포지티브 ESD 클램프 (1110) 에 커플링된다. IC 패드는 RFFE 스위치 (1113) 를 통하여 집적된 전력 증폭기 (1111), 집적된 저잡음 증폭기 (1112) 및 제 2 IC (1115) 에 추가로 커플링된다. RFFE 스위치 (1113) 는 SP3T 스위치이며, 송신 경로 (1123), 수신 경로 (1124) 및 제 2 IC 경로 (1125) 를 포함한다. 제 2 IC 경로 (1125) 는 직렬 스위치 (series switch) (1140) 및 분로 스위치 (shunt switch) (1144) 를 포함한다. 직렬 스위치 (1140) 는 IC 패드 (1114) 에 커플링된 일 단자 및 제 2 IC 패드 (1134) 에 커플링된 제 2 단자를 갖는다.
- [0062] RFFE 스위치 (1113) 는 송신 경로 (1123), 수신 경로 (1124) 및 제 2 IC 경로 (1125) 에 각각 관련된, 3 개의 포트들, 즉 포트-1 (P1), 포트-2 (P2) 및 포트-3 (P3) 을 갖는 단극이다.
- [0063] 송신 경로 (1123) 는 PA (1111) 에 커플링된 제 1 단자, IC 패드 (1114) 에 커플링된 제 2 단자 및 그라운드에 커플링된 제 3 단자를 갖는다. 수신 경로 (1124) 는 LNA (1112) 에 커플링된 제 1 단자, IC 패드 (1114) 에 커플링된 제 2 단자 및 그라운드에 커플링된 제 3 단자를 갖는다. 제 2 IC 경로 (1125) 는 제 2 IC 패드 (1134) 에 커플링된 제 1 단자, IC 패드 (1114) 에 커플링된 제 2 단자 및 그라운드에 커플링된 제 3 단자를 갖는다. 제 2 IC 패드 (1134) 는 포지티브 ESD 클램프 (1130) 에, 그리고 ESD 보호 회로 (1142) 에 커플링된다. 포지티브 ESD 클램프 (1110 및 1130) 각각은 도 2 의 디바이스 (200) 와 같은 ESD 디바이스를 포함한다.
- [0064] 포지티브 ESD 클램프 (1110) 는 IC 패드 (1114) 에 인가된 포지티브 ESD 전압 펄스 동안 IC (1100) 에 ESD 보호를 제공한다. 그러나, 도 2 의 ESD 디바이스 (200) 는 그라운드로부터 IC 패드 (1114) 로의 방향으로 전류를 효율적으로 전도하지 못할 수도 있으며, 따라서 네거티브 전압 ESD 펄스 동안 IC 에 ESD 보호를 제공하지 못할 수도 있다. 네거티브 전압 ESD 펄스들에 대한 ESD 보호는 IC 패드 (1114) 로부터 네거티브 ESD 다이오드 (1132) 의 그라운드까지 형성되는 저임피던스 경로에 의해 제공된다.
- [0065] 저임피던스 경로는 직렬 스위치 (1140) 및 ESD 보호 회로 (1142) 를 포함한다. ESD 보호 회로 (1142) 는 그라운드에 커플링된 애노드 및 IC 패드 (1134) 에 접속된 캐소드를 갖는 ESD 다이오드 (1132) 를 포함한다.
- [0066] 네거티브 전압 ESD 펄스 동안, IC 패드 (1114) 는 그라운드보다 더 낮은 전위에 있다. 그 결과, 제 2 IC 경로 (1125) 의 직렬 스위치 (1140) 는 턴 온되고, 그라운드로부터 ESD 다이오드 (1132) 를 통해 저임피던스 경로를 제공한다. 따라서, ESD 전류는 네거티브 ESD 전압 펄스 동안 그라운드로부터 ESD 다이오드를 통해 흐를 수 있다.
- [0067] RFFE 스위치의 어떠한 경로도 ESD 다이오드와 같은 ESD 보호 회로를 통하여 그라운드에 커플링되지 않는 경우에, ESD 다이오드는 이하에 설명되는 도 14 에 도시된 바와 같은 ESD 보호 회로를 형성하기 위해 RFFE 스위치의 분로 (shunt path) 에 적절히 접속될 수도 있다.
- [0068] 도 14 는 RFFE 스위치에 커플링된 IC 패드를 갖는, IC 에 대한 ESD 보호의 대안의 실시형태를 도시한다.
- [0069] IC 패드 (1214) 는 포지티브 ESD 클램프 (1210) 에 커플링된다. IC 패드는 RFFE 스위치 (1213) 를 통하여 집적된 전력 증폭기 (1211), 집적된 저잡음 증폭기 (1212) 에 추가로 커플링된다. RFFE 스위치 (1213) 는 SP2T (single pole double throw) 스위치이며, 송신 경로 (1223) 및 수신 경로 (1224) 를 포함한다. 수신 경로 (1224) 는 직렬 스위치 (1240) 및 분로 스위치 (1224) 를 포함한다. 분로 스위치 (1224) 는 커패시터 (1230) 를 통하여 그라운드에 커플링된다.
- [0070] RFFE 스위치 (1213) 는 송신 경로 (1223) 및 수신 경로 (1224) 와 각각 관련된, 2 개의 포트들, 즉 포트-1 (P1) 및 포트-2 (P2) 를 갖는 단극이다.
- [0071] 송신 경로 (1223) 는 PA (1211) 에 커플링된 제 1 단자, IC 패드 (1214) 에 커플링된 제 2 단자 및 그라운드에 커플링된 제 3 단자를 갖는다. 수신 경로 (1224) 는 LNA (1212) 에 커플링된 제 1 단자, IC 패드 (1214) 에 커플링된 제 2 단자 및 그라운드에 커플링된 제 3 단자를 갖는다.
- [0072] 포지티브 ESD 클램프 (1210) 는 도 2 의 ESD 디바이스 (200) 와 같은 ESD 디바이스를 포함한다.
- [0073] 포지티브 ESD 클램프 (1210) 는 IC 패드 (1214) 에 인가된 포지티브 전압 ESD 펄스 동안 IC (1200) 에 ESD 보호를 제공한다. 그러나, 도 2 의 ESD 디바이스 (200) 는 그라운드로부터 IC 패드 (1214) 로의 방향으로 전류를 효율적으로 전도하지 못할 수도 있으며, 따라서 네거티브 전압 ESD 펄스 동안 IC 에 ESD 보호를 제공하지

못할 수도 있다.

- [0074] 네거티브 전압 ESD 펄스에 대한 ESD 보호는 직렬 스위치 (1240) 를 ESD 보호 회로 (1242) 에 접속함으로써 제공된다. ESD 보호 회로 (1242) 는 ESD 다이오드 (1232) 에 커플링된 분로 스위치 (1244) 를 포함한다. ESD 다이오드 (1232) 는 그라운드에 커플링된 애노드 및 분로 스위치 (1244) 에 커플링된 캐소드를 갖는다. 네거티브 전압 ESD 펄스 동안, IC 패드 (1214) 는 그라운드보다 더 낮은 전위에 있다. 그 결과, 직렬 스위치 (1240) 및 분로 스위치 (1244) 는 그라운드로부터 ESD 다이오드 (1232) 를 통해 IC 패드에 저임피던스 경로를 제공하기 위해 턴 온된다. 따라서, ESD 전류는 네거티브 전압 ESD 펄스 동안 그라운드로부터 ESD 다이오드를 통해 흐를 수 있다.
- [0075] 당업자는 또한, 도 13 및 도 14 를 참조하여 제시되는 제안된 솔루션이 SP3T 및 SP2T 타입 RFFE 스위치들에 제한되지 않는다는 것을 알 것이다. 제안된 ESD 보호 솔루션은 RFFE 스위치에 커플링된 IC 패드를 갖는 IC 에 ESD 보호를 제공할 수도 있으며, 여기서 RFFE 스위치는 그들의 각각의 포트들을 가진 임의의 수의 경로들을 포함한다.
- [0076] 도 15 는 네거티브 전압 ESD 펄스들 동안 제조된 IC 의 측정된 송신 라인 펄스 (TLP) 플롯들을 도시한다. 제조에 이용된 TLP 는 100ns 의 펄스 폭을 가졌다. 전압 및 전류는 절대값들로서 플롯팅되며 실제로는 그라운드에 대하여 네거티브라는 것이 주목된다. 포지티브 ESD 펄스들에 대한 TLP 측정은, ESD 보호가 주로 포지티브 ESD 클램프로 인한 것이기 때문에, 도 10 에 도시된 결과와 동일한 결과를 보여주었다.
- [0077] 당업자는 또한, 여기에 개시된 실시형태들과 함께 설명된 여러 예시적인 로직 블록들, 모듈들, 회로들 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어 또는 양자의 조합으로서 구현될 수도 있다는 것을 알 것이다. 하드웨어와 소프트웨어의 이런 상호교환가능성을 명확히 예시하기 위해, 여러 예시적인 컴포넌트들, 블록들, 모듈들, 회로들 및 단계들이 그들의 기능성의 관점에서 일반적으로 상술되었다. 이러한 기능이 하드웨어로서 구현되는지 또는 소프트웨어로서 구현되는지 여부는, 전체 시스템에 부과된 특정 애플리케이션 및 설계 제약에 의존한다. 당업자는, 상기 설명된 기능성을 각각의 특정 애플리케이션마다 여러가지 방식으로 구현할 수도 있지만, 이러한 구현 결정은 본 발명의 예시적인 실시형태들의 범위로부터 벗어남을 야기하는 것으로 해석되어서는 안된다.
- [0078] 여기에 개시된 실시형태들과 함께 설명된 여러 예시적인 로직 블록들, 모듈들 및 회로들은 여기에 설명된 기능들을 수행하도록 설계된 범용 프로세서, 디지털 신호 프로세서 (DSP), 주문형 집적 회로 (ASIC), 필드 프로그램 가능한 게이트 어레이 (FPGA) 또는 다른 프로그램가능한 로직 디바이스, 별개의 게이트 또는 트랜지스터 로직, 별개의 하드웨어 컴포넌트들, 또는 이들의 임의의 조합으로 구현 또는 수행될 수도 있다. 범용 프로세서는 마이크로프로세서일 수도 있지만, 대안으로, 프로세서는 종래의 프로세서, 제어기, 마이크로제어기 또는 상태 머신일 수도 있다. 프로세서는 또한 컴퓨팅 디바이스들이 조합, 예를 들어 DSP 와 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 이상의 마이크로프로세서들 또는 임의의 다른 이러한 구성으로서 구현될 수도 있다.
- [0079] 여기에 개시된 실시형태들과 함께 설명된 방법 또는 알고리즘의 단계들은 직접 하드웨어에, 소프트웨어에 의해 실행된 소프트웨어 모듈에, 또는 이들의 조합에 구현될 수도 있다. 소프트웨어 모듈은 랜덤 액세스 메모리 (RAM), 플래시 메모리, 판독 전용 메모리 (ROM), 전기적으로 프로그램가능한 ROM (EPROM), 전기적으로 소거가능한 프로그램가능한 ROM (EEPROM), 레지스터, 하드 디스크, 착탈식 디스크, CO-ROM, 또는 당업계에 알려진 임의의 다른 형태의 저장 매체에 상주할 수도 있다. 예시적인 저장 매체는 프로세서에 커플링되어, 그 프로세서가 저장 매체로부터 정보를 판독하고 그 저장 매체에 정보를 기록할 수 있도록 한다. 대안으로, 저장 매체는 프로세서와 일체형일 수도 있다. 프로세서와 저장 매체는 ASIC 에 상주할 수도 있다. ASIC 은 사용자 단말기에 상주할 수도 있다. 대안으로, 프로세서와 저장 매체는 사용자 단말기 내에 별개의 컴포넌트들로서 상주할 수도 있다.
- [0080] 하나 이상의 예시적인 실시형태들에서, 상기 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어 또는 이들의 임의의 조합에 구현될 수도 있다. 소프트웨어에 구현되면, 이 기능들은 컴퓨터 판독가능 매체 상에 하나 이상의 명령들 또는 코드로서 저장 또는 송신될 수도 있다. 컴퓨터 판독가능 매체는 일 장소로부터 타 장소로의 컴퓨터 프로그램의 전송을 용이하게 하는 임의의 매체를 포함하는 통신 매체와 컴퓨터 저장 매체 양자를 포함한다. 저장 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체일 수도 있다. 제한이 아닌 일 예로, 이러한 컴퓨터 판독가능 매체는 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 스토리지, 자기 디스크 스토리지 또는 다른 자기 스토리지 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프

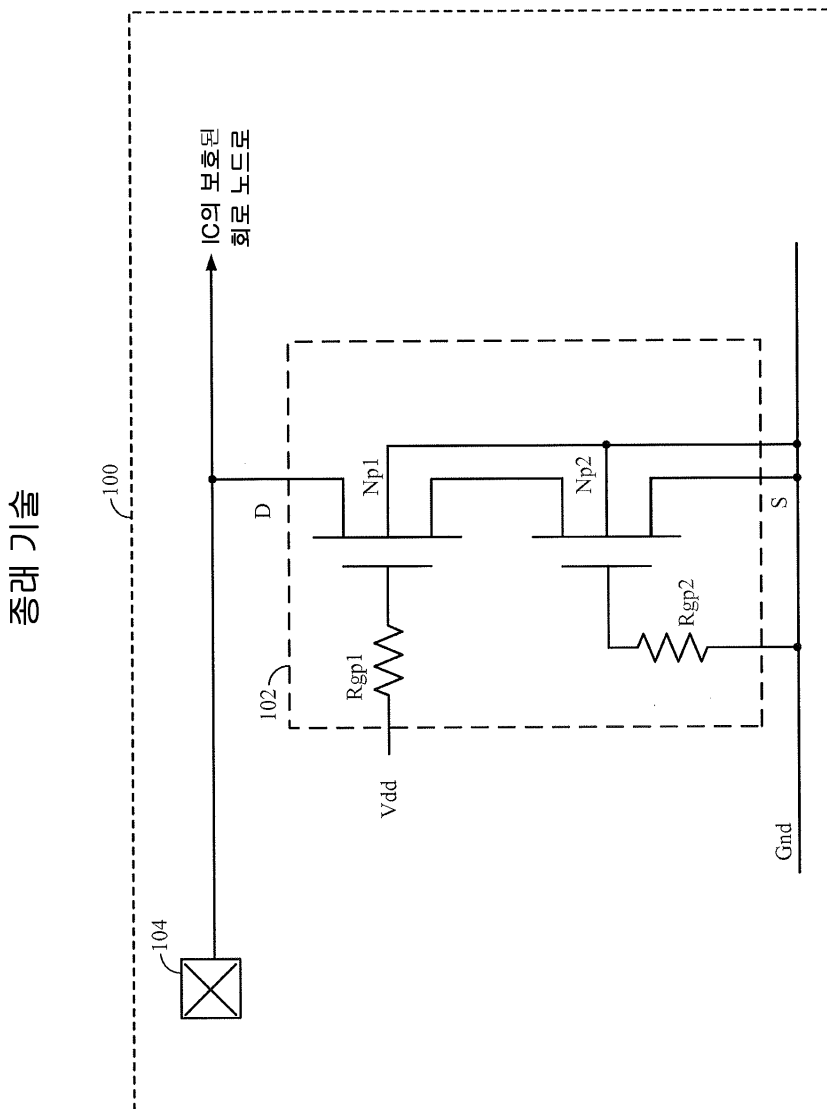
로그 프로그램 코드를 운반 또는 저장하는데 이용될 수 있고 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 또한, 임의의 접속이 컴퓨터 판독가능 매체라 적절히 불리게 된다. 예를 들어, 소프트웨어가 동축 케이블, 광섬유 케이블, 트위스티드 페어, 디지털 가입자 회선 (DSL), 또는 적외선, 무선 및 마이크로파와 같은 무선 기술들을 이용하여 웹사이트, 서버 또는 다른 원격 소스로부터 송신된다면, 매체의 정의에는 동축 케이블, 광섬유 케이블, 트위스티드 페어, DSL, 또는 적외선, 무선 및 마이크로파와 같은 무선 기술들이 포함된다. 디스크 (disk) 및 디스크 (disc) 는 여기에 사용한 바와 같이, 콤팩트 디스크 (compact disc; CD), 레이저 디스크 (laser disc), 광디스크 (optical disc), 디지털 다기능 디스크 (digital versatile disc; DVD), 플로피 디스크 (floppy disk) 및 블루-레이 디스크 (blu-ray disc) 를 포함하며, 여기서 디스크 (disk) 는 보통 데이터를 자기적으로 재생시키는 한편, 디스크 (disc) 는 레이저를 이용하여 데이터를 광학적으로 재생시킨다. 상기의 조합이 또한 컴퓨터 판독가능 매체의 범위 내에 포함되어야 한다.

[0081]

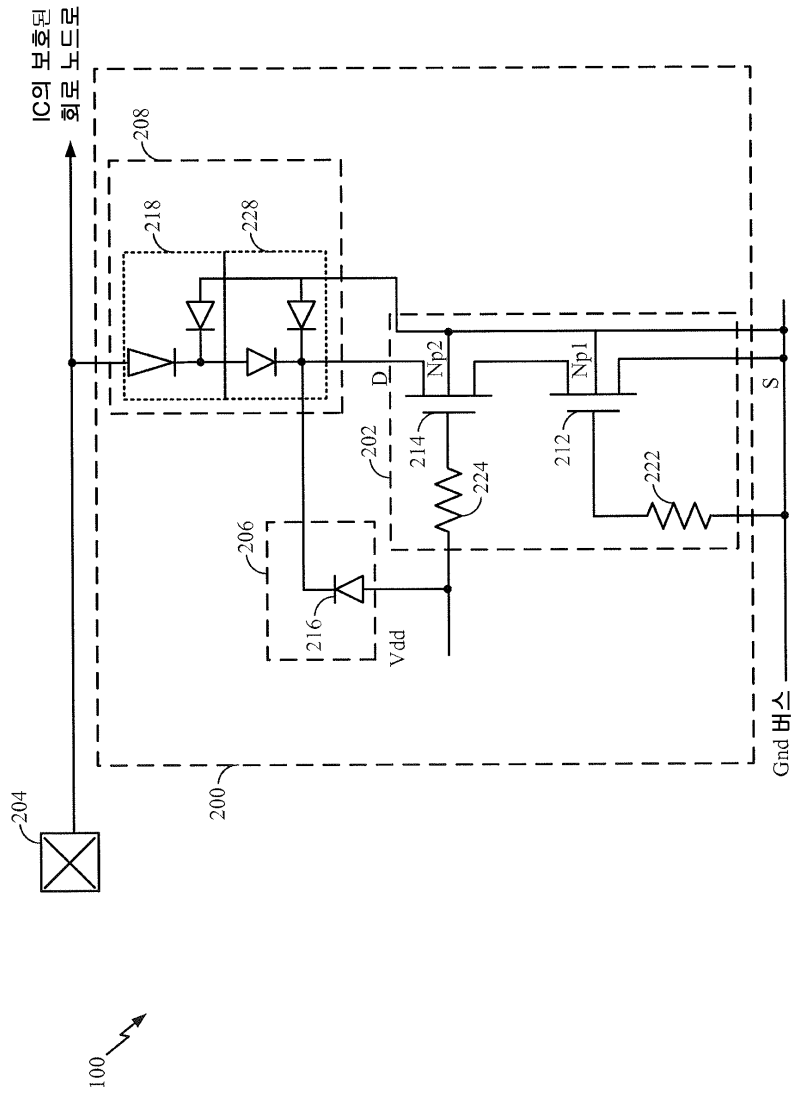
상기 개시된 예시적인 실시형태들의 이전의 설명은 당업자로 하여금 본 발명을 실시 또는 이용할 수 있게 하기 위해 제공된다. 이들 예시적인 실시형태들에 대한 여러 변형들은 당업자에게 쉽게 명백할 것이며, 여기에 정의된 일반적인 원리들은 본 발명의 사상 또는 범위로 부터 벗어남 없이 다른 실시형태들에 적용될 수도 있다. 따라서, 본 발명은 여기에 나타난 실시형태들에 제한되는 것으로 의도되지 않고 여기에 개시된 원리들 및 신규한 특징들에 부합하는 최광의 범위를 따르게 될 것이다.

도면

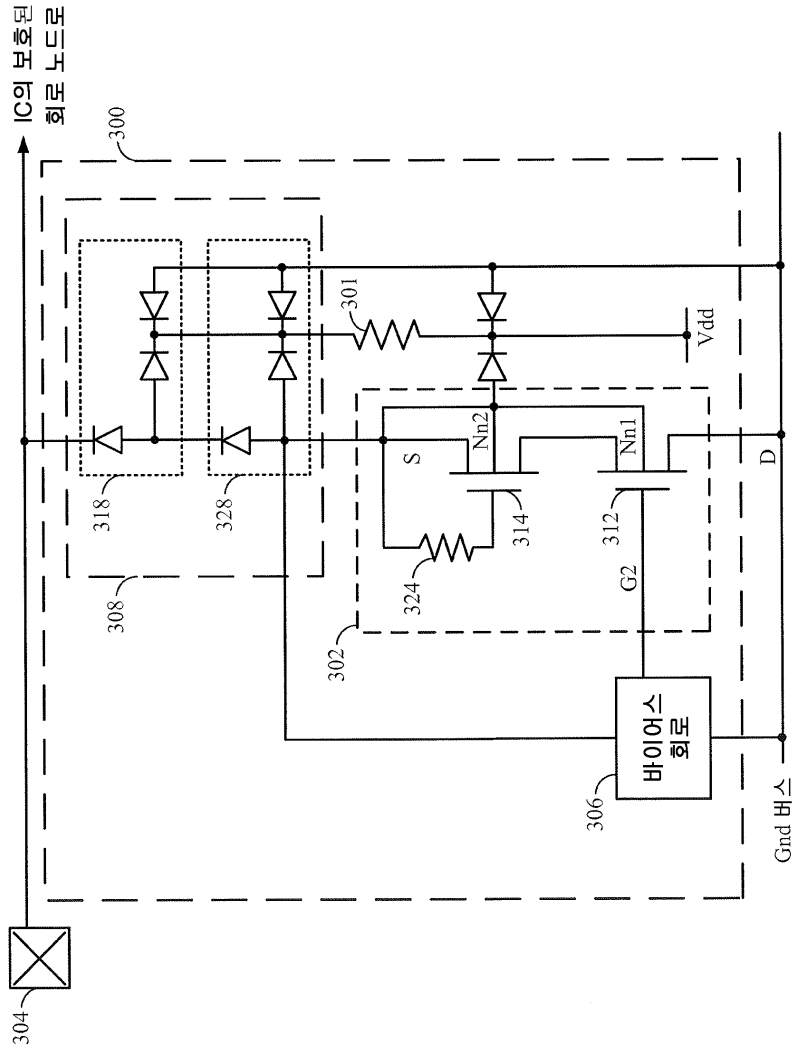
도면1



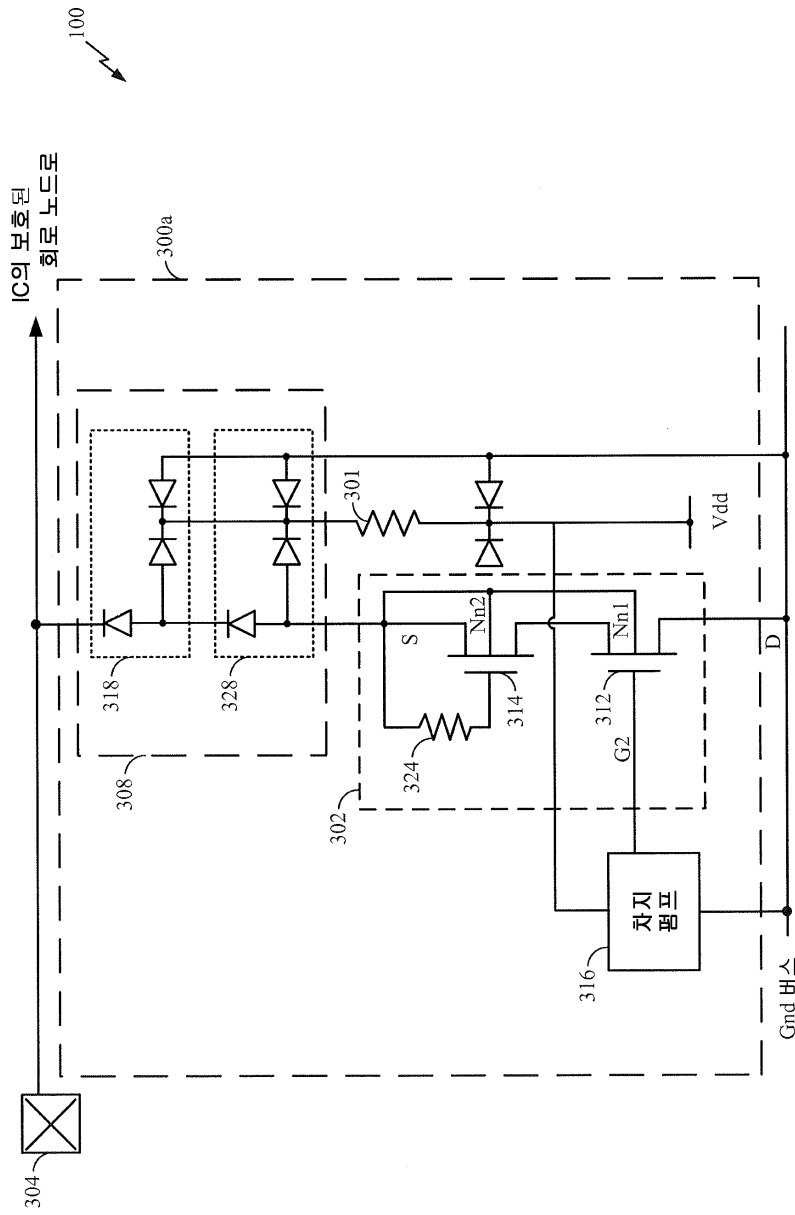
도면2



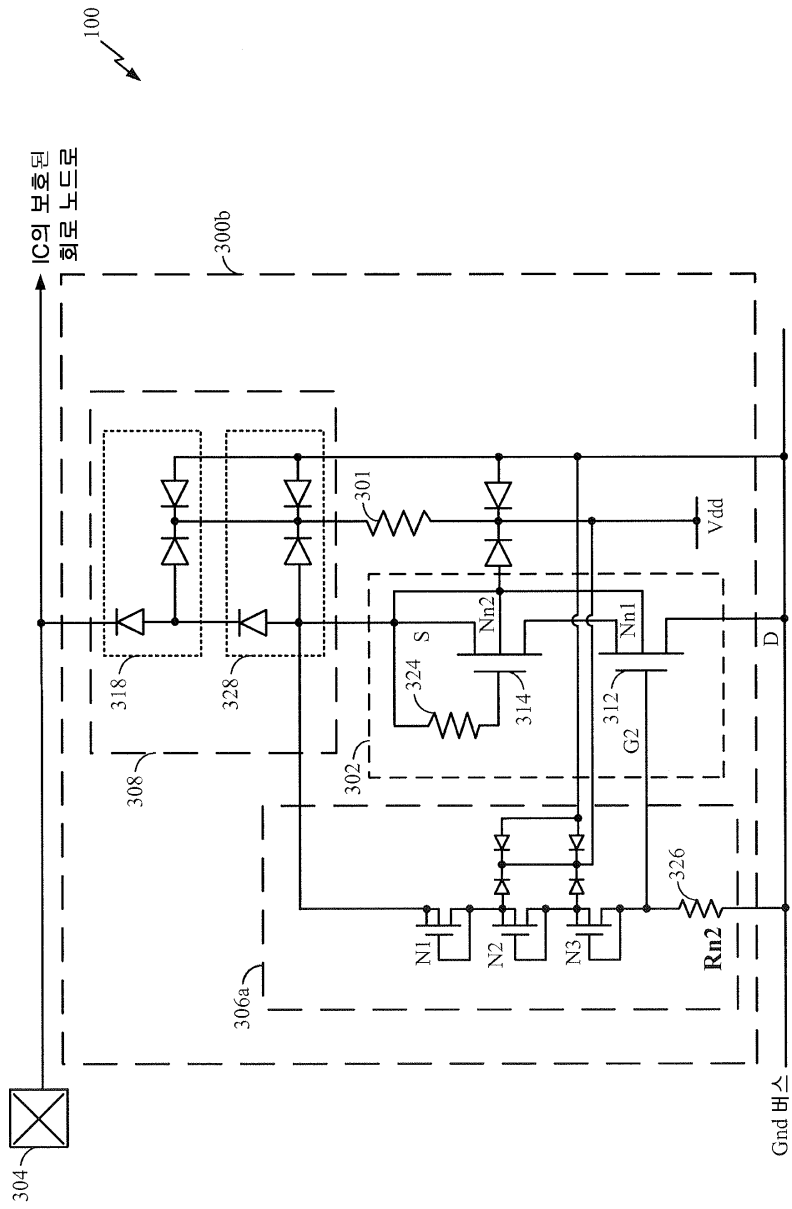
도면3



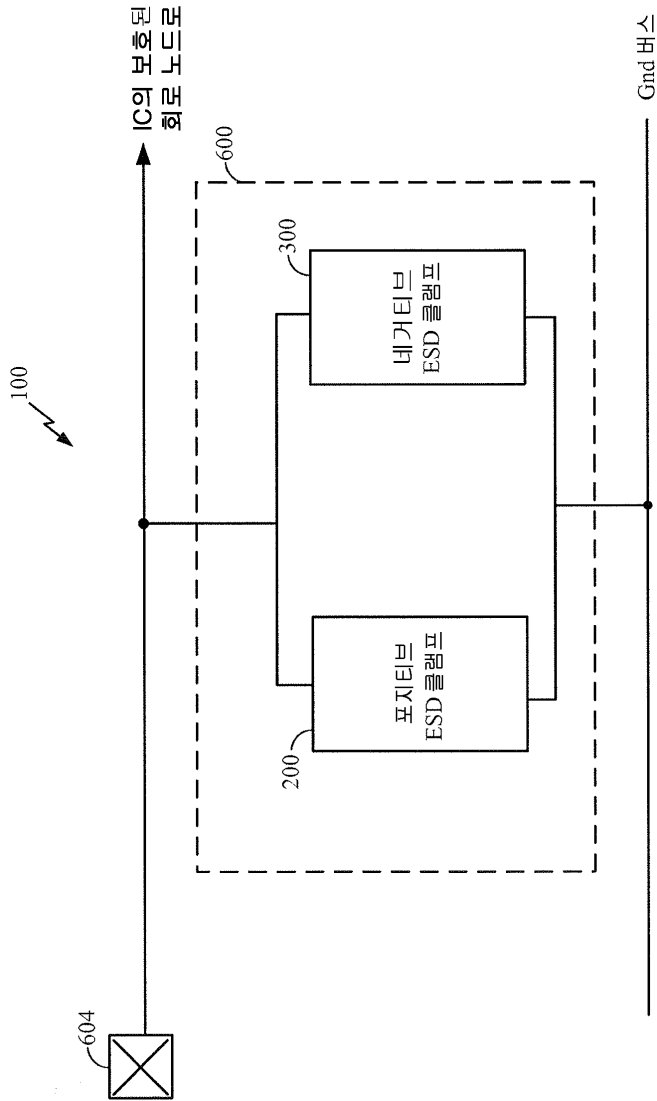
도면4



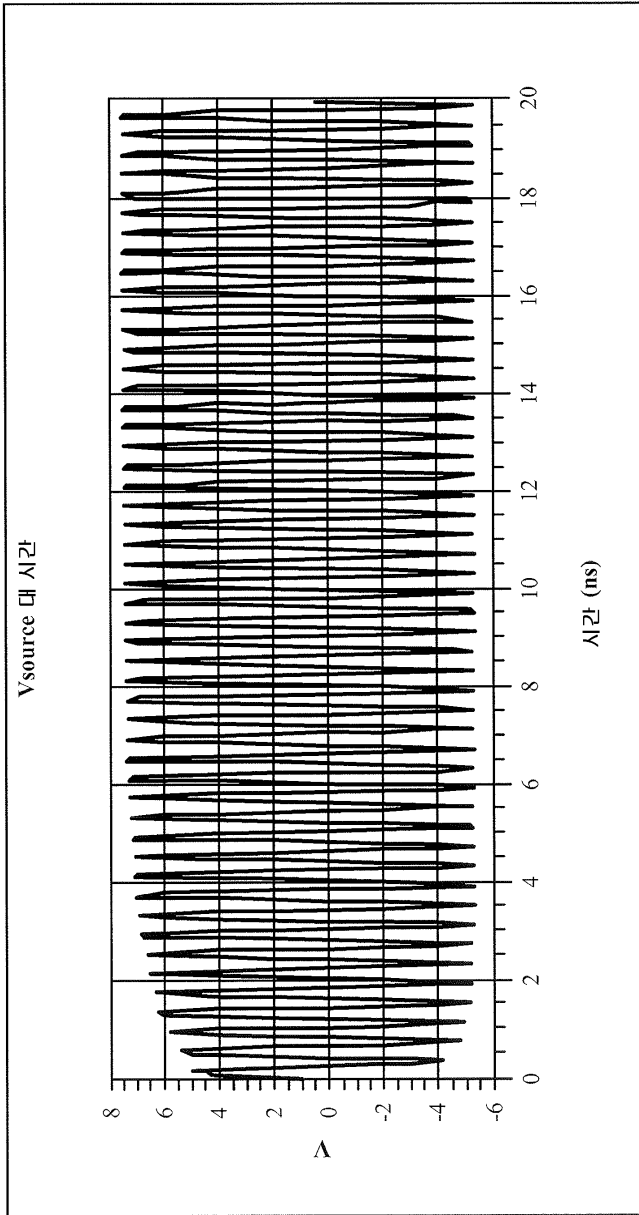
도면5



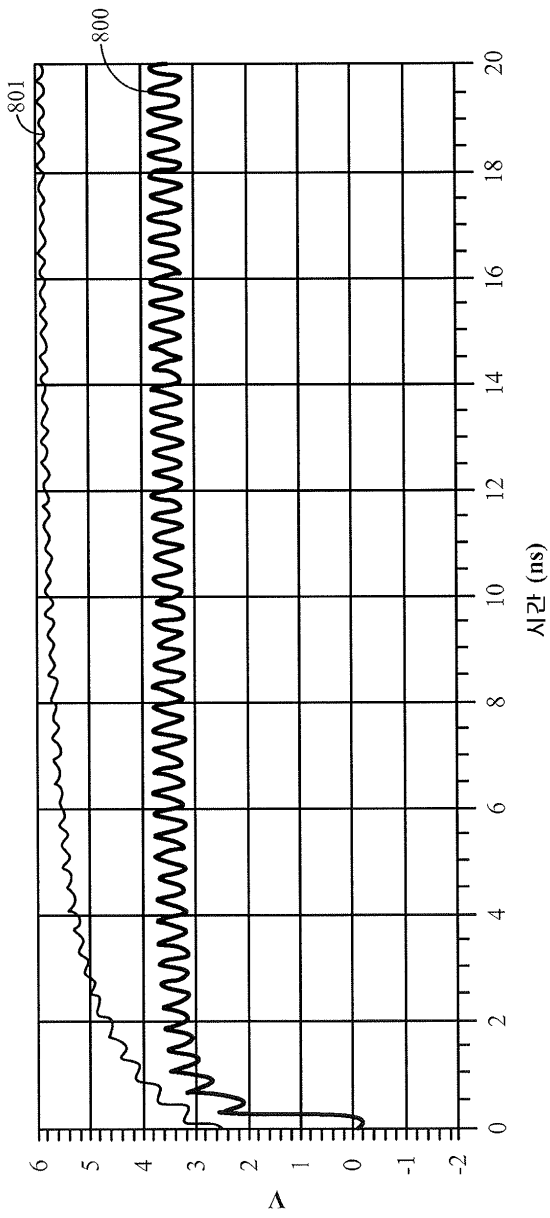
도면6



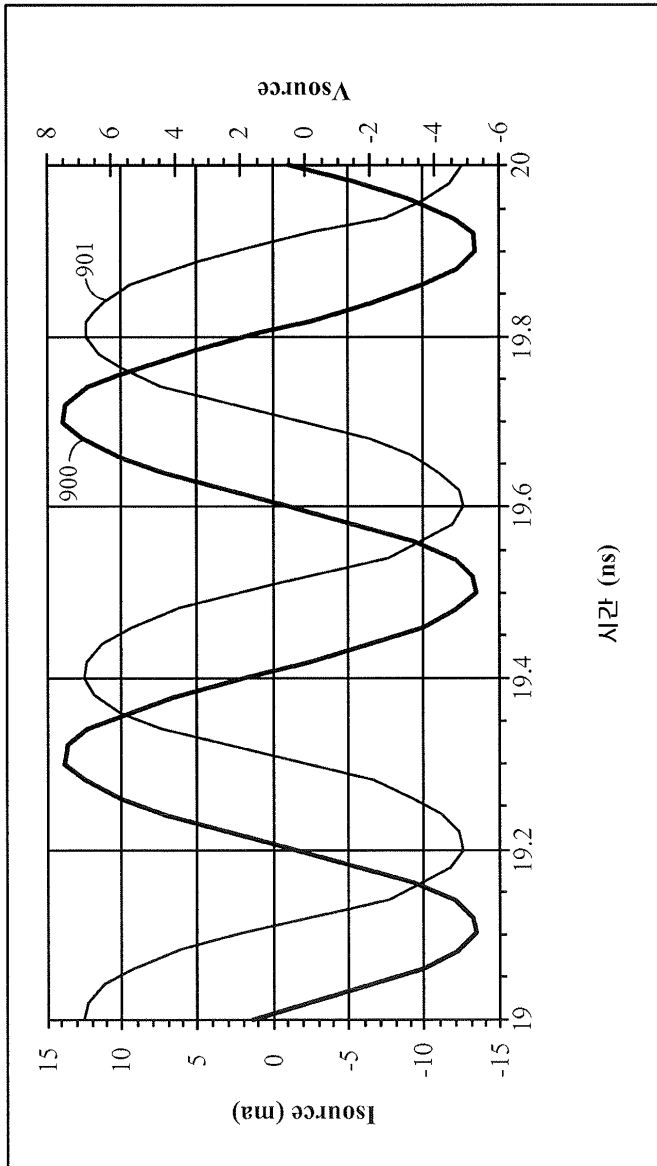
도면7



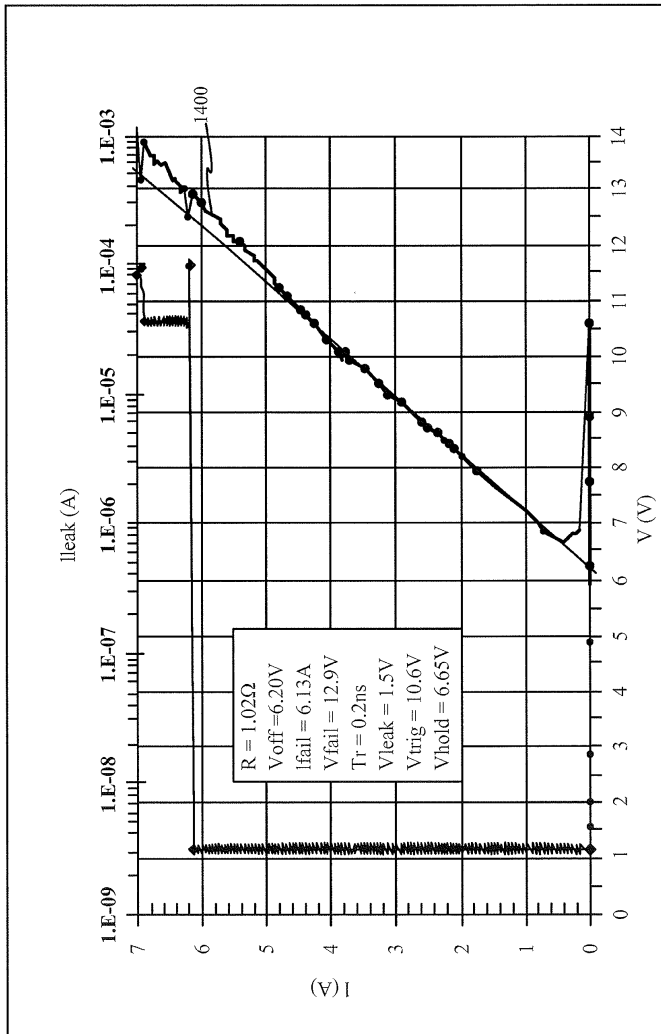
도면8



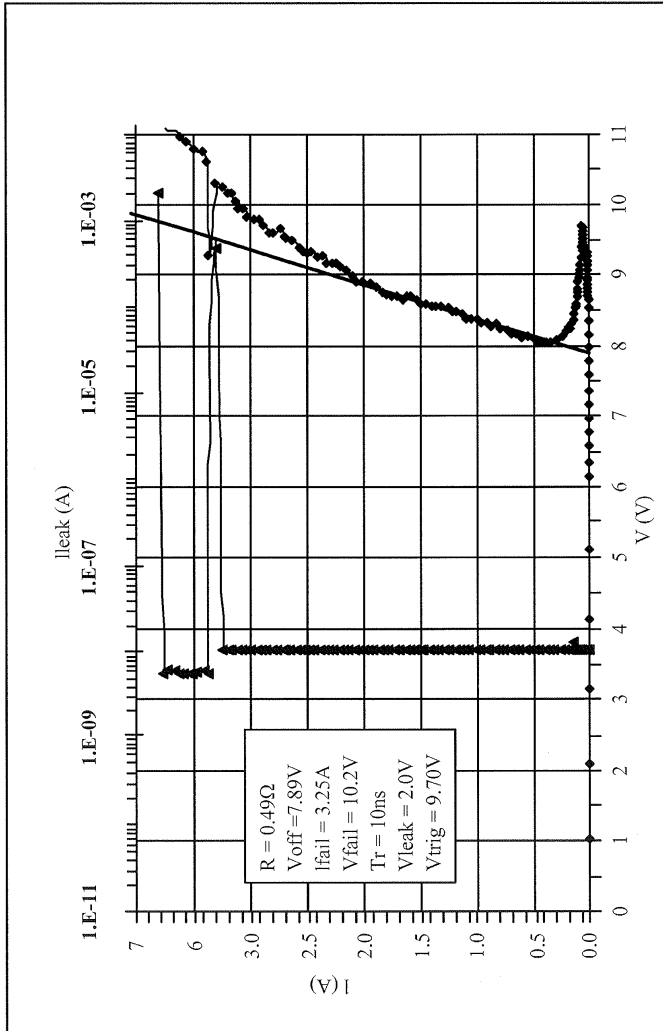
도면9



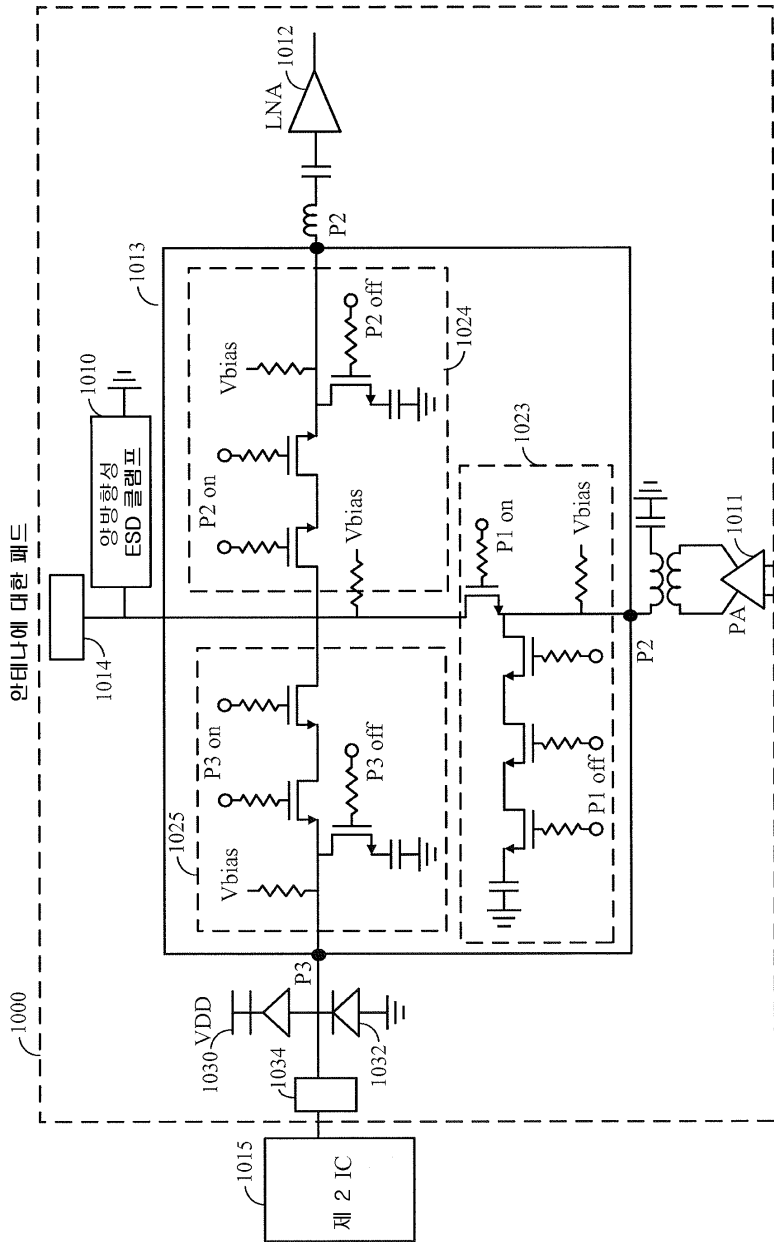
도면10



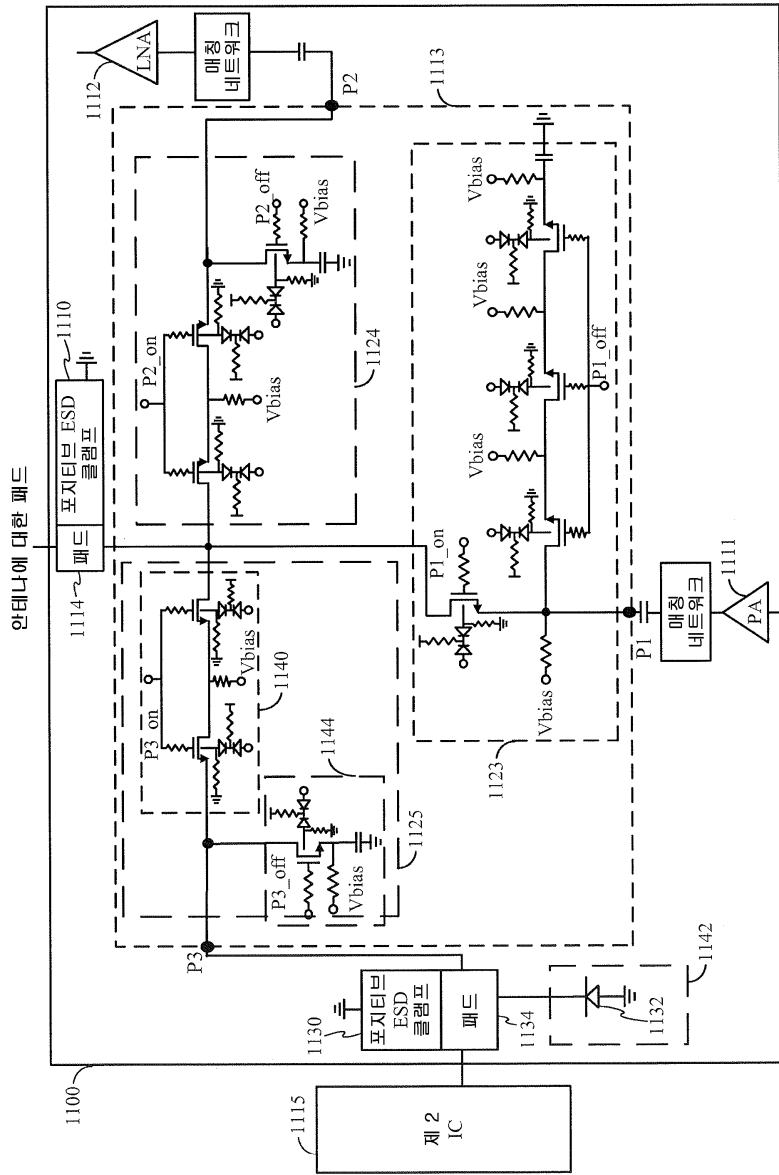
도면11



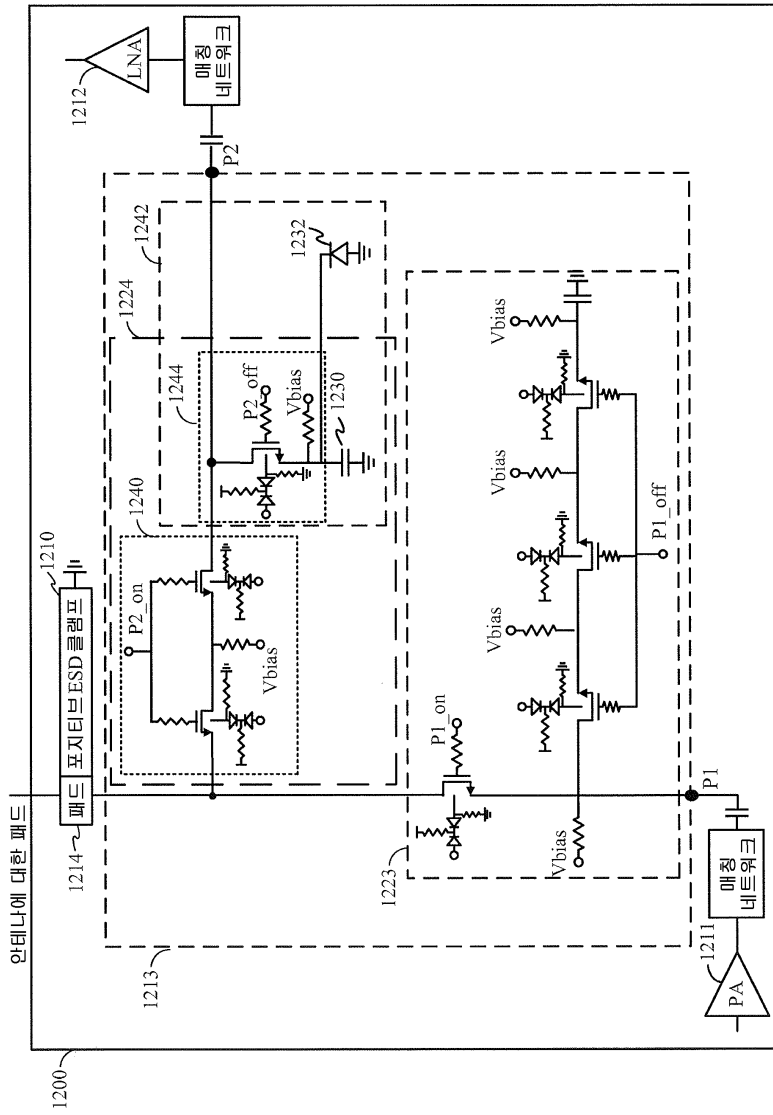
도면12



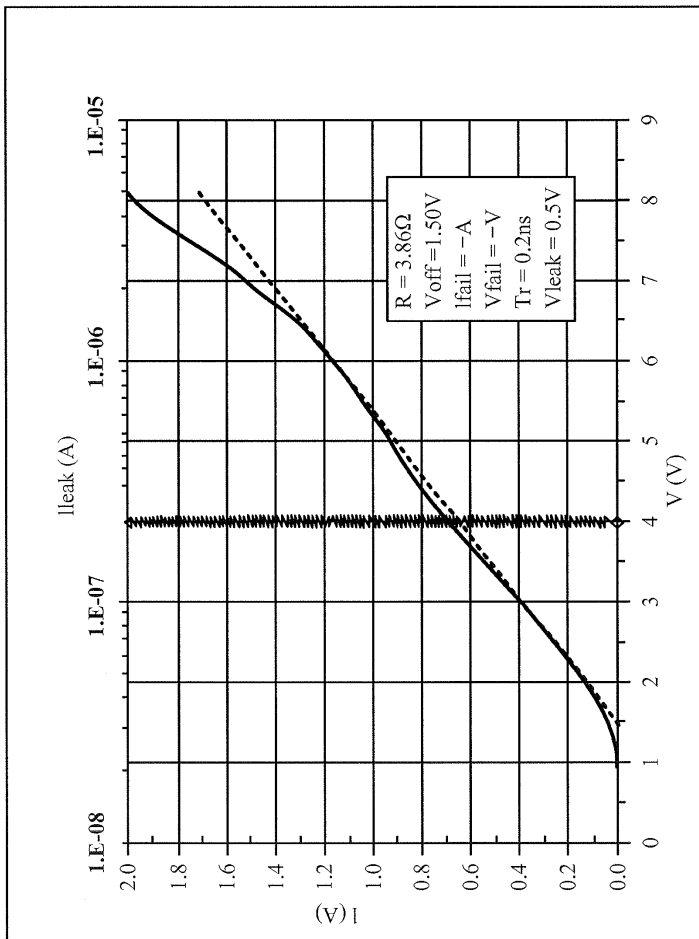
도면13



도면14



도면15



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 명세서

【보정세부항목】 식별번호 <63>

【변경전】

LAN (1112)

【변경후】

LNA (1112)