



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0024824  
(43) 공개일자 2013년03월08일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 21/336 (2006.01)  
(21) 출원번호 10-2012-0094688  
(22) 출원일자 2012년08월29일  
심사청구일자 없음  
(30) 우선권주장  
JP-P-2011-189739 2011년08월31일 일본(JP)

(71) 출원인  
가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
와타나베 마사히로  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
마시야마 미츠오  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
(뒷면에 계속)  
(74) 대리인  
장훈

전체 청구항 수 : 총 24 항

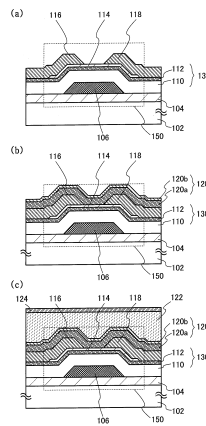
(54) 발명의 명칭 반도체 장치, 및 반도체 장치의 제작 방법

**(57) 요약**

산화물 반도체를 사용한 반도체 장치에 있어서, 전기 특성이 안정된 반도체 장치를 제공한다. 특히, 산화물 반도체를 사용한 반도체 장치에 있어서, 보다 우수한 게이트 절연막을 갖는 반도체 장치를 제공한다. 또한, 상기 반도체 장치의 제작 방법을 제공한다.

게이트 전극과, 게이트 전극 위에 형성된 게이트 절연막과, 게이트 절연막 위에 형성된 산화물 반도체막과, 산화물 반도체막과 접하여 형성된 소스 전극, 및 드레인 전극을 가지고, 게이트 절연막은, 적어도 산화질화 실리콘막과, 산화질화 실리콘막 위에 형성된 산소 방출형의 산화막에 의해 구성되고, 산소 방출형의 산화막 위에 산화물 반도체막이 접하여 형성되는 것을 특징으로 한다.

**대표도 - 도1**



(72) 발명자

**한다 다쿠야**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**오카자키 켄이치**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**야마자키 순페이**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**특허청구의 범위**

**청구항 1**

반도체 장치에 있어서,  
 게이트 전극;  
 상기 게이트 전극 위에 형성된 게이트 절연막;  
 상기 게이트 절연막 위에 형성된 산화물 반도체막; 및  
 상기 산화물 반도체막과 접하여 형성된 소스 전극 및 드레인 전극을 포함하고,  
 상기 게이트 절연막은 적어도 산화질화 실리콘막 및 상기 산화질화 실리콘막 위에 형성된 산소 방출형 산화막을 포함하고,  
 상기 산화물 반도체막은 상기 산소 방출형 산화막과 접하여 형성되는, 반도체 장치.

**청구항 2**

제 1 항에 있어서,  
 상기 산소 방출형 산화막은 산화 실리콘막을 포함하는, 반도체 장치.

**청구항 3**

제 1 항에 있어서,  
 산소 원자로 환산된 상기 산소 방출형 산화막으로부터 방출된 산소량은 승온 탈리 가스 분광법(thermal desorption spectroscopy)으로  $1.0 \times 10^{18}$  atoms/cm<sup>2</sup> 이상인, 반도체 장치.

**청구항 4**

제 1 항에 있어서,  
 상기 산화물 반도체막은 인듐, 아연, 갈륨, 지르코늄, 주석, 가돌리늄, 티타늄, 및 세륨 중 적어도 하나의 산화물을 포함하는, 반도체 장치.

**청구항 5**

제 1 항에 있어서,  
 상기 게이트 전극은 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 및 스칸듐으로부터 선택된 적어도 하나의 원소를 포함하는, 반도체 장치.

**청구항 6**

반도체 장치에 있어서,  
 게이트 전극;  
 상기 게이트 전극 위에 형성된 게이트 절연막;  
 상기 게이트 절연막 위에 형성된 산화물 반도체막;  
 상기 산화물 반도체막과 접하여 형성된 소스 전극 및 드레인 전극; 및  
 상기 산화물 반도체막, 상기 소스 전극, 및 상기 드레인 전극 위에 형성된 무기 절연막을 포함하고,  
 상기 게이트 절연막은 적어도 산화질화 실리콘막 및 상기 산화질화 실리콘막 위에 형성된 산소 방출형 산화막을 포함하고,

상기 산화물 반도체막은 상기 산소 방출형 산화막과 접하여 형성되는, 반도체 장치.

**청구항 7**

제 6 항에 있어서,

상기 산소 방출형 산화막은 산화 실리콘막을 포함하는, 반도체 장치.

**청구항 8**

제 6 항에 있어서,

산소 원자로 환산된 상기 산소 방출형 산화막으로부터 방출된 산소량은 승온 탈리 가스 분광법으로  $1.0 \times 10^{18}$  atoms/cm<sup>2</sup> 이상인, 반도체 장치.

**청구항 9**

제 6 항에 있어서,

상기 산화물 반도체막은 인듐, 아연, 갈륨, 지르코늄, 주석, 가돌리늄, 티타늄, 및 세륨 중 적어도 하나의 산화물을 포함하는, 반도체 장치.

**청구항 10**

제 6 항에 있어서,

상기 게이트 전극은 폴리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 및 스칸듐으로부터 선택된 적어도 하나의 원소를 포함하는, 반도체 장치.

**청구항 11**

제 6 항에 있어서,

상기 무기 절연막은 적어도 산소 방출형 산화막 및 상기 무기 절연막에 포함된 상기 산소 방출형 산화막 위에 형성된 금속 산화막을 포함하고,

상기 금속 산화막은 산화 알루미늄을 포함하고,

상기 산화 알루미늄은 3.2g/cm<sup>3</sup> 이상의 막 밀도를 갖는, 반도체 장치.

**청구항 12**

반도체 장치에 있어서,

게이트 전극;

상기 게이트 전극 위에 형성된 게이트 절연막;

상기 게이트 절연막 위에 형성된 산화물 반도체막;

상기 산화물 반도체막과 접하여 형성된 소스 전극 및 드레인 전극;

상기 산화물 반도체막, 상기 소스 전극, 및 상기 드레인 전극 위에 형성된 무기 절연막;

상기 무기 절연막 위에 형성된 유기 절연막; 및

상기 유기 절연막 위에 형성된 도전막을 포함하고,

상기 게이트 절연막은 적어도 산화질화 실리콘막 및 상기 산화질화 실리콘막 위에 형성된 산소 방출형 산화막을 포함하고,

상기 산화물 반도체막은 상기 산소 방출형 산화막과 접하여 형성되고,

상기 도전막은 상기 무기 절연막 및 상기 유기 절연막을 통해 상기 소스 전극 또는 상기 드레인 전극에 접속되는, 반도체 장치.

**청구항 13**

제 12 항에 있어서,  
상기 산소 방출형 산화막은 산화 실리콘막을 포함하는, 반도체 장치.

**청구항 14**

제 12 항에 있어서,  
산소 원자로 환산된 상기 산소 방출형 산화막으로부터 방출된 산소량은 승온 탈리 가스 분광법으로  $1.0 \times 10^{18}$  atoms/cm<sup>2</sup> 이상인, 반도체 장치.

**청구항 15**

제 12 항에 있어서,  
상기 산화물 반도체막은 인듐, 아연, 갈륨, 지르코늄, 주석, 가돌리늄, 티타늄, 및 세륨 중 적어도 하나의 산화물을 포함하는, 반도체 장치.

**청구항 16**

제 12 항에 있어서,  
상기 게이트 전극은 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 및 스퀴뮴으로부터 선택된 적어도 하나의 원소를 포함하는, 반도체 장치.

**청구항 17**

제 12 항에 있어서,  
상기 무기 절연막은 적어도 산소 방출형 산화막 및 상기 무기 절연막에 포함된 상기 산소 방출형 산화막 위에 형성된 금속 산화막을 포함하고,  
상기 금속 산화막은 산화 알루미늄을 포함하고,  
상기 산화 알루미늄은 3.2g/cm<sup>3</sup> 이상의 막 밀도를 갖는, 반도체 장치.

**청구항 18**

제 12 항에 있어서,  
상기 도전막은 상기 산화물 반도체막과 중첩하는 영역에 형성되는, 반도체 장치.

**청구항 19**

반도체 장치에 있어서,  
게이트 전극;  
상기 게이트 전극 위에 형성된 게이트 절연막;  
상기 게이트 절연막 위에 형성된 산화물 반도체막;  
상기 산화물 반도체막과 접하여 형성된 소스 전극 및 드레인 전극;  
상기 산화물 반도체막, 상기 소스 전극, 및 상기 드레인 전극 위에 형성된 무기 절연막;  
상기 무기 절연막 위에 형성된 유기 절연막; 및  
상기 유기 절연막 위에 형성된 도전막을 포함하고,  
상기 게이트 절연막은 적어도 산화질화 실리콘막 및 상기 산화질화 실리콘막 위에 형성된 제 1 산화 실리콘막을 포함하고,

상기 산화물 반도체막은 상기 제 1 산화 실리콘막과 접하여 형성되고,

상기 무기 절연막은 적어도 제 2 산화 실리콘막 및 상기 제 2 산화 실리콘막 위에 형성된 금속 산화막을 포함하고,

상기 도전막은 상기 무기 절연막 및 상기 유기 절연막을 통해 상기 소스 전극 또는 상기 드레인 전극에 접속되는, 반도체 장치.

**청구항 20**

제 19 항에 있어서,

산소 원자로 환산된 상기 제 1 산화 실리콘막 또는 상기 제 2 산화 실리콘막으로부터 방출된 산소량은 승온 탈리 가스 분광법으로  $1.0 \times 10^{18}$  atoms/cm<sup>3</sup> 이상인, 반도체 장치.

**청구항 21**

제 19 항에 있어서,

상기 산화물 반도체막은 인듐, 아연, 갈륨, 지르코늄, 주석, 가돌리늄, 티타늄, 및 세륨 중 적어도 하나의 산화물을 포함하는, 반도체 장치.

**청구항 22**

제 19 항에 있어서,

상기 게이트 전극은 폴리브텐, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 및 스칸듐으로부터 선택된 적어도 하나의 원소를 포함하는, 반도체 장치.

**청구항 23**

제 19 항에 있어서,

상기 금속 산화막은 산화 알루미늄막을 포함하는, 반도체 장치.

**청구항 24**

제 19 항에 있어서,

상기 도전막은 상기 산화물 반도체막과 중첩하는 영역에 형성되는, 반도체 장치.

**명세서**

**기술분야**

[0001] 반도체 장치, 및 반도체 장치의 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

**배경기술**

[0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(표시 장치)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용가능한 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 밖의 재료로서 산화물 반도체가 주목받고 있다.

[0004] 예를 들면, 트랜지스터에 사용하는 반도체 박막으로서, 전자 캐리어 농도가  $10^{18}$ /cm<sup>3</sup> 미만인 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 비정질 산화물을 사용한 트랜지스터가 개시되어 있다(예를 들면, 특허문헌 1 참조).

[0005] 또한, 산화물 반도체를 사용한 트랜지스터는, 비정질 실리콘을 사용한 트랜지스터보다도 동작이 빠르고, 다결정 실리콘을 사용한 트랜지스터보다도 제조가 용이하지만, 전기 특성이 변동하기 쉬워 신뢰성이 낮다고 하는 문제

가 알려져 있다.

[0006] 예를 들면, 산화물 반도체막에 사용하는 게이트 절연막으로서, 예를 들면, ZnO를 주성분으로 하는 산화물 반도체 소자에 있어서, 탑 게이트 구조를 가지고, 게이트 절연막에 플라즈마 화학 기상 성장법(PE-CVD법)을 사용하여 형성된 질화규소(SiN<sub>x</sub>)를 사용하면, 상기 질화규소막 중의 수소 농도가 높기 때문에, ZnO 성분의 환원 탈리가 일어나고, ZnO 층의 저저항화가 발생한다. 그리고, 그 회피책으로서 산화물 반도체막과의 계면층의 게이트 절연막의 수소 농도를 저감시키고, 수소 농도가 상이한 2층 구조의 게이트 절연막을 사용하는 것이 개시되어 있다(예를 들면, 특허문헌 2).

**선행기술문헌**

**특허문헌**

[0007] (특허문헌 0001) 일본 공개특허공보 제2006-165528호  
 (특허문헌 0002) 일본 공개특허공보 제2007-073562호

**발명의 내용**

**해결하려는 과제**

[0008] 그러나, 산화물 반도체막과 게이트 절연막의 계면층의 수소 농도를 저감시키는 것만으로는, 산화물 반도체막에 발생한 산소 결손이, 게이트 절연막에 잔존한 수소 등과 결합함으로써, 막 중에 캐리어인 전자가 발생해 버린다. 이 결과, 트랜지스터의 임계값 전압이 마이너스 시프트하고, 노멀리 오프의 트랜지스터가 되어 버린다. 또한, 산화물 반도체막을 사용한 트랜지스터에 있어서 게이트 절연막에 잔존한 수소 등은, 전기적 특성의 변동 요인이 되고, 반도체 장치의 신뢰성을 저하시키게 된다.

[0009] 이러한 문제를 감안하여, 산화물 반도체를 사용한 반도체 장치에 있어서, 전기 특성이 안정된 반도체 장치를 제공하는 것을 목적의 하나로 한다. 특히, 산화물 반도체를 사용한 반도체 장치에 있어서, 보다 우수한 게이트 절연막을 갖는 반도체 장치를 제공하는 것을 목적의 하나로 한다. 또한, 상기 반도체 장치의 제작 방법을 제공하는 것을 목적의 하나로 한다.

**과제의 해결 수단**

[0010] 산화물 반도체막을 채널 형성 영역에 사용한 반도체 장치에 있어서, 게이트 절연막에 산소 방출형의 산화막을 형성한다. 상기 산소 방출형의 산화막으로부터, 산화물 반도체막에 산소를 공급할 수 있다. 이것에 의해, 산화물 반도체층에 발생하는 산소 결손의 발생을 억제하여, 전기 특성이 안정된 산화물 반도체막을 제공할 수 있다.

[0011] 또한, 본 명세서에 있어서, 산소 방출형의 산화막이란, 가열에 의해 상기 산화막으로부터, 산소를 방출하는 막을 나타낸다. 또한, 산소 방출형의 산화막으로부터의 산소의 방출량은, 승온 탈리 가스 분광법(TDS: Thermal Desorption Spectroscopy)에 있어서, 측정할 수 있다.

[0012] 또한, 산소 방출형의 산화막만으로 게이트 절연막을 구성한 경우, 게이트 절연막에 요구되는 성능을 충분히 충족시키기 어렵다. 예를 들면, 산소 방출형의 산화막만으로는 절연 파괴 내성, 또는 피복성을 충분히 충족시키기 어렵다. 이로 인해, 산소 방출형의 산화막의 하층층에 산화질화 실리콘막을 형성한다. 산화질화 실리콘막은, 종래까지의 실리콘계 반도체 재료에서 사용하고 있었던 프로세스 조건, 또는 생산 장치 등을 이용할 수 있기 때문에 바람직하다.

[0013] 즉, 게이트 절연막을, 산화질화 실리콘막과, 산소 방출형의 산화막의 적층 구조로 한다. 산화질화 실리콘막에 의해, 절연 파괴 내성, 및 피복성을 향상시키고, 산소 방출형의 산화막에 의해, 산화물 반도체막에 산소를 공급할 수 있다. 또한, 산소 방출형의 산화막은, 산화질화 실리콘막보다도 막 중의 수소 농도를 저감시킬 수 있다. 이러한 게이트 절연막의 구성으로 함으로써, 우수한 게이트 절연막을 제공할 수 있다. 따라서, 안정된 전기 특성을 부여한 반도체 장치를 제공할 수 있다. 보다 상세하게는, 이하와 같다.

[0014] 본 발명의 일 형태는, 게이트 전극과, 게이트 전극 위에 형성된 게이트 절연막과, 게이트 절연막 위에 형성된

산화물 반도체막과, 산화물 반도체막과 접하여 형성된 소스 전극, 및 드레인 전극을 가지며, 게이트 절연막은, 적어도 산화질화 실리콘막과, 산화질화 실리콘막 위에 형성된 산소 방출형의 산화막에 의해 구성되며, 산소 방출형의 산화막 위에 산화물 반도체막이 접하여 형성되는 것을 특징으로 하는 반도체 장치이다.

- [0015] 산화질화 실리콘막, 산소 방출형의 산화막, 산화물 반도체막의 순으로 구성함으로써, 각 계면에서의 계면 특성이 매우 우수하다. 또한, 산화질화 실리콘막, 산소 방출형의 산화막과 단계적인 막 구성으로 함으로써, 산화물 반도체막측으로 갈수록 수소 농도가 낮은 막 구성이기도 하다. 또한, 산화물 반도체막과 접하는 산소 방출형의 산화막으로부터, 산화물 반도체막으로 산소를 공급할 수 있다. 따라서, 임계값 전압이 낮고, 절연 내압이 높고, 또한 산화물 반도체막에 산소를 공급할 수 있는 우수한 양질의 게이트 절연막을 형성할 수 있다.
- [0016] 또한, 산화질화 실리콘은, 종래까지의 실리콘계 반도체 재료에서 사용하고 있던 막 구성, 프로세스 조건, 또는 생산 장치 등을 이용할 수 있기 때문에 바람직하다.
- [0017] 또한, 본 발명의 다른 일 형태는, 게이트 전극과, 게이트 전극 위에 형성된 게이트 절연막과, 게이트 절연막 위에 형성된 산화물 반도체막과, 산화물 반도체막과 접하여 형성된 소스 전극, 및 드레인 전극과, 산화물 반도체막, 소스 전극, 및 드레인 전극 위에 형성된 무기 절연막을 가지고, 게이트 절연막은, 적어도 산화질화 실리콘막과, 산화질화 실리콘막 위에 형성된 산소 방출형의 산화막에 의해 구성되고, 산소 방출형의 산화막 위에 산화물 반도체막이 접하여 형성되는 것을 특징으로 하는 반도체 장치이다.
- [0018] 산화물 반도체막 위에 형성된 무기 절연막에 의해, 상기 산화물 반도체막으로의 불순물(예를 들면, 물, 수소 등)의 진입을 억제할 수 있다.
- [0019] 또한, 본 발명의 다른 일 형태는, 게이트 전극과, 게이트 전극 위에 형성된 게이트 절연막과, 게이트 절연막 위에 형성된 산화물 반도체막과, 산화물 반도체막과 접하여 형성된 소스 전극, 및 드레인 전극과, 산화물 반도체막, 소스 전극, 및 드레인 전극 위에 형성된 무기 절연막과, 무기 절연막 위에 형성된 유기 절연막과, 유기 절연막 위에 형성된 도전막을 가지고, 게이트 절연막은, 적어도 산화질화 실리콘막과, 산화질화 실리콘막 위에 형성된 산소 방출형의 산화막에 의해 구성되며, 산소 방출형의 산화막 위에 산화물 반도체막이 접하여 형성되는 것을 특징으로 하는 반도체 장치이다.
- [0020] 유기 절연막 위에 형성된 도전막에 의해, 외부로부터의 정전기 방전 등의 전하를 상기 도전막에 의해, 내보낼 수 있다.
- [0021] 또한, 상기 구성에 있어서, 도전막은, 무기 절연막과 유기 절연막을 통하여, 소스 전극, 또는 드레인 전극에 접속되어도 좋다. 또한, 도전막은, 산화물 반도체막과 중첩된 영역에 형성되어도 좋다. 이러한 구성으로 함으로써, 산화물 반도체막의 백 채널층의 전위를 조정하여, 임계값 전압의 제어를 행할 수 있다.
- [0022] 또한, 본 발명의 다른 일 형태는, 유리 기판 위에 게이트 전극을 형성하는 공정과, 게이트 전극 위에 산화질화 실리콘막을 형성하는 공정과, 산화질화 실리콘막 형성 후에, 가열 처리를 하는 공정과, 산화질화 실리콘막 위에 산소 방출형의 산화막을 형성하는 공정과, 산소 방출형의 산화막 위에 산화물 반도체막을 형성하는 공정과, 산화물 반도체막 위에 소스 전극, 및 드레인 전극을 형성하는 공정을 가지며, 산소 방출형의 산화막과, 산화물 반도체막은, 진공 중에서 연속하여 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법이다.
- [0023] 산소 방출형의 산화막과, 산화물 반도체막을 진공 중에서 연속하여 형성함으로써, 산소 방출형의 산화막과 산화물 반도체막의 계면에 물, 수소 등의 불순물이 혼입되는 것을 억제할 수 있다.
- [0024] 또한, 본 발명의 다른 일 형태는, 유리 기판 위에 게이트 전극을 형성하는 공정과, 게이트 전극 위에 산화질화 실리콘막을 형성하는 공정과, 산화질화 실리콘막 형성 후에, 가열 처리를 하는 공정과, 산화질화 실리콘막 위에 산소 방출형의 산화막을 형성하는 공정과, 산소 방출형의 산화막 위에 산화물 반도체막을 형성하는 공정과, 산화물 반도체막 위에 소스 전극, 및 드레인 전극을 형성하는 공정과, 소스 전극, 및 드레인 전극 형성 후에, 무기 절연막을 형성하는 공정과, 무기 절연막 형성 후에 유기 절연막을 형성하는 공정과, 유기 절연막 형성 후에 가열 처리를 하는 공정을 가지고, 산소 방출형의 산화막과, 산화물 반도체막은, 진공 중에서 연속하여 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법이다.
- [0025] 또한, 본 발명의 다른 일 형태는, 유리 기판 위에 게이트 전극을 형성하는 공정과, 게이트 전극 위에 산화질화 실리콘막을 형성하는 공정과, 산화질화 실리콘막 형성 후에, 가열 처리를 하는 공정과, 산화질화 실리콘막 위에 산소 방출형의 산화막을 형성하는 공정과, 산소 방출형의 산화막 위에 산화물 반도체막을 형성하는 공정과, 산화물 반도체막 위에 소스 전극, 및 드레인 전극을 형성하는 공정과, 소스 전극, 및 드레인 전극 형성 후에, 무

기 절연막을 형성하는 공정과, 무기 절연막 형성 후에 유기 절연막을 형성하는 공정과, 유기 절연막 형성 후에 가열 처리를 하는 공정과, 유기 절연막 위에, 도전막을 형성하는 공정을 가지고, 산소 방출형의 산화막과, 산화물 반도체막은, 진공 중에서 연속하여 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법이다.

[0026] 또한, 본 발명의 다른 일 형태는, 유리 기판 위에 게이트 전극을 형성하는 공정과, 게이트 전극 위에 산화질화 실리콘막을 형성하는 공정과, 산화질화 실리콘막 형성 후에, 가열 처리를 하는 공정과, 산화질화 실리콘막 위에 산소 방출형의 산화막을 형성하는 공정과, 산소 방출형의 산화막 위에 산화물 반도체막을 형성하는 공정과, 산화물 반도체막 위에 소스 전극, 및 드레인 전극을 형성하는 공정과, 소스 전극, 및 드레인 전극 형성 후에, 무기 절연막을 형성하는 공정과, 무기 절연막 형성 후에 유기 절연막을 형성하는 공정과, 유기 절연막 형성 후에 가열 처리를 하는 공정과, 무기 절연막, 및 유기 절연막 위에, 소스 전극, 또는 드레인 전극에 이르는 개구부를 형성하는 공정과, 유기 절연막, 및 개구부 위에 도전막을 형성하는 공정을 가지며, 산소 방출형의 산화막과, 산화물 반도체막은, 진공 중에서 연속하여 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법이다.

[0027] 또한, 상기 각 구성에 있어서, 무기 절연막은, 적어도 산소 방출형의 산화막과, 산소 방출형의 산화막 위에 형성된 금속 산화막에 의해 구성되면 좋으며, 상기 금속 산화막은, 막 밀도가 3.2g/cm<sup>3</sup> 이상인 산화 알루미늄막을 사용하면 적합하다.

[0028] 금속 산화막을 상기 수치의 산화 알루미늄막으로 함으로써, 산소 방출형의 산화막으로부터의 산소 방출을 억제할 수 있고, 산화물 반도체막에 적합하게 산소를 공급할 수 있다. 산화물 반도체막에 산소를 공급함으로써, 산화물 반도체막에 발생하는 산소 결손의 발생을 억제할 수 있다.

[0029] 또한, 상기 각 구성에 있어서, 산소 방출형의 산화막은, 승온 탈리 가스 분광법에 있어서, 산소 원자로 환산하여 산소의 방출량이, 바람직하게는  $1.0 \times 10^{18}$  atoms/cm<sup>2</sup> 이상, 더욱 바람직하게는,  $1.0 \times 10^{19}$  atoms/cm<sup>2</sup> 이상, 더욱 바람직하게는,  $1.0 \times 10^{20}$  atoms/cm<sup>2</sup> 이상이면 좋다.

[0030] 산소 방출형의 산화막을 상기 수치로 함으로써, 산화물 반도체막에 적합하게 산소를 공급할 수 있다. 산화물 반도체막에 산소를 공급함으로써, 산화물 반도체막에 발생하는 산소 결손의 발생을 억제할 수 있다.

[0031] 또한, 상기 각 구성에 있어서, 산소 방출형의 산화막은, 산화 실리콘막이면 적합하다. 산화 실리콘막은, 예를 들면, 스퍼터링법을 사용하여 형성할 수 있다.

[0032] 또한, 상기 각 구성에 있어서, 산화물 반도체막은, 인듐, 아연, 갈륨, 지르코늄, 주석, 가돌리늄, 티타늄, 및 세륨의 산화물 중에서 선택된, 적어도 어느 1종을 포함하는 구성이 바람직하다. 특히, 인듐, 또는 아연의 어느 한쪽을 포함하는 산화물이면 적합하다.

[0033] 또한, 상기 각 구성에 있어서, 게이트 전극은, 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 및 스칸듐 중에서 선택된, 적어도 어느 1종을 포함하는 구성이 바람직하다. 특히, 구리를 사용함으로써, 저저항의 게이트 전극으로 할 수 있기 때문에, 적합하다. 또한, 텅스텐, 티타늄 등의 고융점 금속을 사용함으로써, 게이트 전극의 내열성이 향상되기 때문에 적합하다.

[0034] 또한, 상기 각 구성에 있어서, 가열 처리는, 질소 분위기하, 산소 분위기하, 또는 진공 중에서 바람직하게는 200℃ 이상 450℃ 이하, 더욱 바람직하게는 200℃ 이상 400℃ 이하의 온도이면 좋다. 또한, 본 명세서 등에 있어서, 진공중이란, 적어도 대기압보다도 감압된 상태이며, 예를 들면,  $1.0 \times 10^{-1}$  Pa 이하로 할 수 있다.

**발명의 효과**

[0035] 산화물 반도체를 사용한 반도체 장치에 있어서, 전기 특성이 안정된 반도체 장치를 제공할 수 있다. 특히, 산화물 반도체를 사용한 반도체 장치에 있어서, 보다 우수한 게이트 절연막을 갖는 반도체 장치를 제공할 수 있다. 또한, 상기 반도체 장치의 제작 방법을 제공할 수 있다.

**도면의 간단한 설명**

- [0036] 도 1은 반도체 장치의 일 형태의 단면을 설명하는 도면.
- 도 2는 반도체 장치의 제작 방법의 일 형태를 설명하는 도면.
- 도 3은 반도체 장치의 제작 방법의 일 형태를 설명하는 도면.

- 도 4는 반도체 장치의 제작 방법의 일 형태를 설명하는 도면.
- 도 5는 반도체 장치의 일 형태, 및 반도체 장치의 제작 방법의 일 형태를 설명하는 도면.
- 도 6은 반도체 장치의 일 형태의 상면을 설명하는 도면.
- 도 7은 반도체 장치의 일 형태의 단면을 설명하는 도면.
- 도 8은 전자 기기를 설명하는 도면.
- 도 9는 전자 기기를 설명하는 도면.
- 도 10은 TDS 분석의 측정 결과를 도시하는 도면.
- 도 11은 TDS 분석의 측정 결과를 도시하는 도면.
- 도 12는 XRR 분석의 측정 결과를 도시하는 도면.
- 도 13은 TDS 분석의 측정 결과를 도시하는 도면.
- 도 14는 본 발명의 일 형태인 트랜지스터의 평면, 및 단면을 도시하는 도면.
- 도 15는 본 발명의 일 형태인 트랜지스터의 전기 측정 결과를 도시하는 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0037] 이하에서는, 본 발명의 실시형태에 관해서 도면을 사용하여 상세하게 설명한다. 다만, 본 발명은 이하의 설명으로 한정되지 않으며, 그 형태 및 상세를 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해된다. 또한, 본 발명은 이하에 나타내는 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다.
- [0038] 이하에 설명하는 실시형태에 있어서, 동일한 것을 가리키는 부호는, 상이한 도면간에 공통적으로 사용하는 경우가 있다. 또한, 도면에 있어서 나타내는 구성 요소, 즉 층이나 영역 등의 두께, 폭, 상대적인 위치 관계 등은, 실시형태에 있어서 설명하는데 있어서 명확성을 위해 과장하여 나타내는 경우가 있다.
- [0039] 또한, 본 명세서 등에 있어서 「전극」이나 「배선」이라는 용어는, 이들의 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들면, 「전극」은 「배선」의 일부로서 사용되는 경우가 있고, 그 반대도 또한 마찬가지이다. 또한, 「전극」이나 「배선」이라는 용어는, 복수의 「전극」이나 「배선」이 일체가 되어 형성되어 있는 경우 등도 포함한다.
- [0040] 또한, 본 명세서 등에 있어서, 질화산화 실리콘막이란, 그 조성에 있어서, 질소와, 산소와, 실리콘을 성분으로서 함유하고, 또한, 질소의 함유량이 산소의 함유량보다도 많은 막이다. 또한, 산화질화 실리콘막이란, 그 조성에 있어서, 산소와, 질소와, 실리콘을 성분으로서 함유하고, 또한, 산소의 함유량이 질소의 함유량보다도 많은 막이다. 또한, 산화 실리콘막이란, 산소와, 실리콘을 성분으로서 함유한 막이다.
- [0041] 예를 들면, 질화산화 실리콘막으로서는, 산소가 5원자% 이상 30원자% 이하, 질소가 20원자% 이상 55원자% 이하, 실리콘이 25원자% 이상 35원자% 이하, 수소가 10원자% 이상 25원자% 이하의 범위로 포함되는 막이다. 또한, 산화질화 실리콘막으로서는, 산소가 50원자% 이상 70원자% 이하, 질소가 0.5원자% 이상 15원자% 이하, 실리콘이 25원자% 이상 35원자% 이하, 수소가 0원자% 이상 10원자% 이하의 범위로 포함되는 막이다. 또한, 산화 실리콘막으로서는, 산소가 50원자% 이상 70원자% 이하, 질소가 0원자% 이상 0.5원자% 이하, 실리콘이 25원자% 이상 35원자% 이하, 수소가 0원자% 이상 5원자% 이하, Ar이 0원자% 이상 5원자% 이하의 범위로 포함되는 막이다.
- [0042] 단, 상기 범위는, 러더포드 후방 산란법(RBS: Rutherford Backscattering Spectrometry)이나, 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 사용하여 측정된 경우의 것이다. 또한, 구성 원소의 함유 비율은, 그 합계가 100원자%를 초과하지 않는 값을 취한다.
- [0043] 또한, 「소스」나 「드레인」의 기능은, 상이한 극성의 트랜지스터를 채용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화되는 경우 등에는 바뀌는 경우가 있다. 이로 인해, 본 명세서 등에 있어서, 「소스」나 「드레인」이라는 용어는, 교체하여 사용할 수 있는 것으로 한다.
- [0044] (실시형태 1)
- [0045] 본 실시형태에서는, 반도체 장치의 일 형태를, 도 1a 내지 도 1c를 사용하여 설명한다. 도 1a 내지 도 1c는,

산화물 반도체막을 갖는 반도체 장치의 단면도를 도시한다.

- [0046] 도 1a에 도시하는 반도체 장치는, 기판(102)과, 기판(102) 위에 형성된 하지 절연막(104)과, 하지 절연막(104) 위에 형성된 게이트 전극(106)과, 하지 절연막(104), 및 게이트 전극(106) 위에 형성된 산화질화 실리콘막(110)과, 산화질화 실리콘막(110) 위에 형성된 산소 방출형의 산화막(112)과, 산소 방출형의 산화막(112) 위에 형성된 산화물 반도체막(114)과, 산소 방출형의 산화막(112), 및 산화물 반도체막(114) 위에 형성된 소스 전극(116)과, 산소 방출형의 산화막(112), 및 산화물 반도체막(114) 위에 형성된 드레인 전극(118)을 가진다.
- [0047] 또한, 도 1a에 도시하는 반도체 장치는, 산화질화 실리콘막(110)과, 산소 방출형의 산화막(112)에 의해 게이트 절연막(130)을 구성하고 있고, 기판(102), 하지 절연막(104), 게이트 전극(106), 게이트 절연막(130), 산화물 반도체막(114), 소스 전극(116), 및 드레인 전극(118)에 의해, 트랜지스터(150)가 형성되어 있다.
- [0048] 또한, 게이트 절연막(130)으로서 사용하는 산화질화 실리콘막(110)은, 단차부 등에 있어서, 산소 방출형의 산화막(112)보다도 피복성이 좋다. 즉, 하방에 형성된 게이트 전극(106)의 요철을 단절없이 덮을 수 있다. 또한, 산화질화 실리콘막(110)은, 산소 방출형의 산화막(112)보다도 막 중의 결함 밀도가 저감되어 있기 때문에, 게이트 절연막(130)으로서 사용하면 적합하고, 종래까지의 실리콘계 반도체 재료에서 사용하고 있던 프로세스 조건, 또는 생산 장치 등을 이용할 수 있기 때문에, 더욱 바람직하다.
- [0049] 또한, 게이트 절연막(130)으로서 사용하는 산소 방출형의 산화막(112)은, 산화질화 실리콘막(110)보다도, 막 중의 수소 농도가 저감되어 있다. 즉, 게이트 절연막(130)은, 산화물 반도체막(114)측에 수소 농도가 저감된 구성으로 함으로써, 상기 산화물 반도체막(114)에 불순물인 수소가 공급되기 어려운 구성으로 되기 때문에 바람직하다. 또한, 산화물 반도체막(114)이 산소 방출형의 산화막(112) 위에 형성됨으로써, 산소 방출형의 산화막(112)은, 산화물 반도체막(114)에 산소를 공급할 수 있다.
- [0050] 산소 방출형의 산화막(112)은, 산소의 방출량이 많은 재료로 형성한다. 예를 들면, 산소 방출형의 산화막(112)은, 승온 탈리 가스 분광법에 있어서, 산소 원자로 환산하여 산소의 방출량이, 바람직하게는  $1.0 \times 10^{18}$  atoms/cm<sup>2</sup> 이상, 더욱 바람직하게는,  $1.0 \times 10^{19}$  atoms/cm<sup>2</sup> 이상, 더욱 바람직하게는,  $1.0 \times 10^{20}$  atoms/cm<sup>2</sup> 이상이다. 산소 방출형의 산화막(112)으로서, 예를 들면, 스퍼터링법에 의해 형성된 산화 실리콘막을 사용할 수 있다. 또한, 산소의 방출량을 상기 수치로 함으로써, 산화물 반도체막(114)에 산소를 적합하게 공급할 수 있다.
- [0051] 또한, 산소 방출형의 산화막(112)으로서, 예를 들면, 화학량론적 조성비를 초과하는 산소를 함유한 산화 실리콘막, 바꾸어 말하면, 산소가 과잉인 산화 실리콘막(SiO<sub>x</sub>(x>2))을 조성으로 한 막을 사용할 수 있다. 산소가 과잉인 산화 실리콘막이란, 실리콘 원자수의 2배보다 많은 산소 원자를 단위 체적당 포함하는 막이다. 또한, 단위 체적당 실리콘 원자수, 및 산소 원자수는, 러더포드 후방 산란법에 의해 측정할 수 있다.
- [0052] 이와 같이, 게이트 절연막(130)의 일부로서, 산화물 반도체막(114)에 접하는 측에, 산소 방출형의 산화막(112)을 형성함으로써 산화물 반도체막(114)에 적합하게 산소를 공급할 수 있다.
- [0053] 산화물 반도체막(114)으로서, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 In과 Zn을 포함하는 것이 바람직하다. 또한, 산화물 반도체막(114)에 사용할 수 있는 재료 등에 관해서는, 실시형태 2에서 상세한 설명을 행한다.
- [0054] 또한, 소스 전극(116), 및 드레인 전극(118)은, 트랜지스터(150)의 소스 전극, 및 드레인 전극으로서 기능한다. 본 실시형태에 있어서는, 소스 전극(116), 및 드레인 전극(118)으로서, 텅스텐과, 알루미늄과, 티타늄과의 적층막을 사용할 수 있다. 예를 들면, 산화물 반도체막(114)에 접하는 측에, 용점이 높은 텅스텐 막을 형성하고, 그 위에 용점이 낮은 알루미늄막을 형성하고, 그 위에 용점이 높은 티타늄막을 형성한다. 이와 같이, 용점이 낮은 재료를 상하에서 용점이 높은 재료로 사이에 개재하는 구성으로 함으로써, 내열성이 높은 소스 전극(116), 및 드레인 전극(118)으로 할 수 있다.
- [0055] 다음에, 도 1b의 반도체 장치에 관해서 설명을 행한다.
- [0056] 도 1b에 도시하는 반도체 장치는, 도 1a에 도시하는 반도체 장치에, 또한 무기 절연막을 형성한 구성이 된다. 상세한 것은, 이하와 같다.
- [0057] 도 1b에 도시하는 반도체 장치는, 기판(102)과, 기판(102) 위에 형성된 하지 절연막(104)과, 하지 절연막(104) 위에 형성된 게이트 전극(106)과, 하지 절연막(104), 및 게이트 전극(106) 위에 형성된 산화질화 실리콘막(110)과, 산화질화 실리콘막(110) 위에 형성된 산소 방출형의 산화막(112)과, 산소 방출형의 산화막(112) 위에 형

성된 산화물 반도체막(114)과, 산소 방출형의 산화막(112), 및 산화물 반도체막(114) 위에 형성된 소스 전극(116)과, 산소 방출형의 산화막(112), 및 산화물 반도체막(114) 위에 형성된 드레인 전극(118)과, 산화물 반도체막(114), 소스 전극(116), 및 드레인 전극(118) 위에 형성된 무기 절연막(120)을 가진다.

- [0058] 또한, 도 1b에 도시하는 반도체 장치는, 산화질화 실리콘막(110)과, 산소 방출형의 산화막(112)에 의해 게이트 절연막(130)을 구성하고 있고, 기판(102), 하지 절연막(104), 게이트 전극(106), 게이트 절연막(130), 산화물 반도체막(114), 소스 전극(116), 및 드레인 전극(118)에 의해, 트랜지스터(150)가 형성되어 있다.
- [0059] 또한, 트랜지스터(150)는, 도 1a에 도시한 구성과 같아서, 상기의 기재를 참조함으로써 형성할 수 있다.
- [0060] 무기 절연막(120)은, 산화물 반도체막(114)의 보호막으로서의 기능을 가진다. 즉, 무기 절연막(120)은, 산화물 반도체막(114)에 수분, 수소가 침입하지 않는 구성이 바람직하다. 또한, 무기 절연막(120)은, 산화물 반도체막(114)에 산소를 공급할 수 있으면, 더욱 바람직하다. 본 실시형태에 있어서는, 예를 들면, 무기 절연막(120)으로서, 산소 방출형의 산화막(120a)과, 금속 산화막(120b)의 적층 구조로 할 수 있다.
- [0061] 무기 절연막(120)으로서 사용하는 산소 방출형의 산화막(120a)은, 게이트 절연막(130)에 사용한 산소 방출형의 산화막(112)과 같은 구성으로 할 수 있다. 예를 들면, 산소 방출형의 산화막(112)은, 승온 탈리 가스 분광법에 있어서, 산소 원자로 환산하여 산소의 방출량이, 바람직하게는  $1.0 \times 10^{18}$  atoms/cm<sup>2</sup> 이상, 더욱 바람직하게는,  $1.0 \times 10^{19}$  atoms/cm<sup>2</sup> 이상, 더욱 바람직하게는,  $1.0 \times 10^{20}$  atoms/cm<sup>2</sup> 이상이다. 산소 방출형의 산화막(120a)으로서는, 예를 들면, 스퍼터링법에 의해 형성된 산화 실리콘막을 사용할 수 있다. 또한, 산소의 방출량을 상기 수치로 함으로써, 산화물 반도체막(114)에 산소를 적합하게 공급할 수 있다.
- [0062] 또한, 무기 절연막(120)으로서 사용하는 금속 산화막(120b)으로서, 예를 들면, 산화 알루미늄막을 사용할 수 있다. 산화 알루미늄막은, 바람직하게는 막 밀도가 3.2g/cm<sup>3</sup> 이상, 더욱 바람직하게는 3.6g/cm<sup>3</sup> 이상이면 좋다. 금속 산화막(120b)으로서, 상기 산화 알루미늄막을 사용함으로써 내습성이 높은 무기 절연막(120)으로 할 수 있다. 또한, 상기 산화 알루미늄막은, 패시베이션 능력이 높고, 산소 방출형의 산화막(120a)으로부터 방출되는 산소의 확산을 억제할 수 있다.
- [0063] 상기한 바와 같은 적층형의 무기 절연막(120)의 구성으로 함으로써, 게이트 절연막(130)과 더하여, 산화물 반도체막(114)에 적합하게 산소를 공급할 수 있다. 구체적으로는, 산화물 반도체막(114)은, 게이트 절연막(130)의 일부로서 산화물 반도체막(114)에 접하는 측에 형성된 산소 방출형의 산화막(112)으로부터와, 무기 절연막(120)의 일부로서 형성된 산소 방출형의 산화막(120a)으로부터, 산소가 공급된다. 또한, 무기 절연막(120)은, 산소 방출형의 산화막(120a) 위에 금속 산화막(120b)으로서 산화 알루미늄을 가지고 있다. 산화 알루미늄막에 의해, 산소 방출형의 산화막(120a)으로부터 방출되는 산소를 외부로 확산하는 것을 블로킹하고, 산화물 반도체막(114)측에 산소를 방출시킴으로써, 적합하게 산화물 반도체막(114)에 산소를 공급할 수 있다.
- [0064] 즉, 산화물 반도체막(114)은, 단면 구조에 있어서, 산화물 반도체막(114)의 상하로부터 상기 산화물 반도체막(114)에 산소가 공급되는 구조이다.
- [0065] 다음에, 도 1c의 반도체 장치에 관해서 설명을 행한다.
- [0066] 도 1c에 도시하는 반도체 장치는, 도 1b에 도시하는 반도체 장치에, 또한 유기 절연막, 및 도전막을 형성한 구성이 된다. 상세한 것은, 이하와 같다.
- [0067] 도 1c에 도시하는 반도체 장치는, 기판(102)과, 기판(102) 위에 형성된 하지 절연막(104)과, 하지 절연막(104) 위에 형성된 게이트 전극(106)과, 하지 절연막(104), 및 게이트 전극(106) 위에 형성된 산화질화 실리콘막(110)과, 산화질화 실리콘막(110) 위에 형성된 산소 방출형의 산화막(112)과, 산소 방출형의 산화막(112) 위에 형성된 산화물 반도체막(114)과, 산소 방출형의 산화막(112), 및 산화물 반도체막(114) 위에 형성된 소스 전극(116)과, 산소 방출형의 산화막(112), 및 산화물 반도체막(114) 위에 형성된 드레인 전극(118)과, 산화물 반도체막(114), 소스 전극(116), 및 드레인 전극(118) 위에 형성된 무기 절연막(120)과, 무기 절연막(120) 위에 형성된 유기 절연막(122)과, 유기 절연막(122) 위에 형성된 도전막(124)을 가진다.
- [0068] 또한, 도 1c에 도시하는 반도체 장치는, 산화질화 실리콘막(110)과, 산소 방출형의 산화막(112)에 의해 게이트 절연막(130)을 구성하고 있고, 기판(102), 하지 절연막(104), 게이트 전극(106), 게이트 절연막(130), 산화물 반도체막(114), 소스 전극(116), 및 드레인 전극(118)에 의해, 트랜지스터(150)가 형성되어 있다.
- [0069] 또한, 트랜지스터(150)는, 도 1a, 및 도 1b에 도시한 구성과 같다. 또한, 무기 절연막(120)은, 도 1b에 도시한

구성과 같다. 트랜지스터(150), 및 무기 절연막(120)은, 상기의 기재를 참조함으로써 형성할 수 있다.

- [0070] 유기 절연막(122)은, 트랜지스터(150)의 요철을 평탄화할 수 있다. 또한, 유기 절연막(122)은, 무기 절연막(120)보다도, 막 두께를 두껍게 형성하는 것이 가능하고, 예를 들면, 스핀 도포법 등에 의해, 아크릴계 수지, 및 폴리이미드계 수지 등의 유기 수지막을 사용할 수 있다.
- [0071] 도전막(124)으로서 사용할 수 있는 재료는, 예를 들면, 산화인듐-산화주석(ITO: Indium Tin Oxide), 규소 또는 산화규소를 함유한 산화인듐-산화주석, 산화인듐-산화아연, 그래핀 등의 투광성을 갖는 도전 재료를 사용할 수 있다.
- [0072] 단, 도전막(124)으로서 사용할 수 있는 재료는, 상기 재료로 한정되지 않는다. 예를 들면, 금속막(알루미늄, 티타늄 등)을 사용할 수도 있다. 이러한 금속막을 사용함으로써, 트랜지스터(150)를 외광으로부터 차광할 수 있기 때문에, 적합하다.
- [0073] 또한, 도전막(124)은, 산화물 반도체막(114)의 증착된 영역에 형성할 수 있다. 이러한 구성으로 함으로써, 단면에 있어서, 산화물 반도체막(114)의 상층(소위, 백 채널층)의 전위를 제어할 수 있다. 또한, 도전막의 전위는, 플로팅이라도 좋고, GND와 동전위라도 좋고, 게이트 전극(106)과 동전위라도 좋고, 소스 전극(116), 및 드레인 전극(118)과 동전위라도 좋다.
- [0074] 또한, 도전막(124)은, 외부로부터의 정전기(소위, ESD: Electro Static Discharge)에 대해, 트랜지스터(150)를 보호하는 기능도 가진다. 트랜지스터(150) 위에 도전막(124)을 가짐으로써, 외부로부터의 정전기 방전 등의 전하를 상기 도전막(124)에 의해, 내보낼 수 있다.
- [0075] 이상과 같이, 본 실시형태에 나타내는 산화물 반도체막을 사용한 반도체 장치에 있어서, 게이트 절연막을 산화질화 실리콘막, 및 산소 방출형의 산화막에 의해 구성한다. 산화질화 실리콘막에 의해 피복성이 높고, 절연 내성이 높은, 결함 밀도가 저감된 게이트 절연막으로 할 수 있다. 또한, 산소 방출형의 산화막에 의해 산화물 반도체막에 산소를 공급할 수 있다. 따라서, 안정된 전기 특성을 부여한 반도체 장치를 제공할 수 있다.
- [0076] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0077] (실시형태 2)
- [0078] 본 실시형태에 있어서는, 실시형태 1의 도 1a 내지 도 1c에 도시한 반도체 장치의 제작 방법에 관해서, 도 2 내지 도 4를 사용하여 설명을 행한다. 또한, 도 1에 도시한 부호에 관해서는, 같은 부호를 사용하고, 그 반복 설명은 생략한다.
- [0079] 우선, 기판(102) 위에 하지 절연막(104)을 형성하고, 하지 절연막(104) 위에 게이트 전극(106)을 형성한다(도 2a 참조).
- [0080] 기판(102)으로서, 알루미늄오실리케이이트 유리, 알루미늄보로실리케이이트 유리, 바륨보로실리케이이트 유리 등의 유리 재료를 사용한다. 대량 생산하는데 있어서는, 기판(102)은, 제 8 세대(2160mm×2460mm), 제 9 세대(2400mm×2800mm, 또는 2450mm×3050mm), 제 10 세대(2950mm×3400mm) 등의 마더 글래스를 사용하는 것이 바람직하다. 마더 글래스는, 처리 온도가 높고, 처리 시간이 길면 대폭 수축하기 때문에, 마더 글래스를 사용하여 대량 생산을 행하는 경우, 제작 공정의 가열 처리는, 바람직하게는 600℃ 이하, 더욱 바람직하게는 450℃ 이하, 더욱 바람직하게는 350℃ 이하로 하는 것이 바람직하다.
- [0081] 하지 절연막(104)은, PE-CVD법 또는 스퍼터링법을 사용하여 50nm 이상 600nm 이하의 막 두께로, 산화 실리콘막, 산화갈륨막, 산화 알루미늄막, 질화 실리콘막, 산화질화 실리콘막, 산화질화 알루미늄막, 또는 질화산화 실리콘막으로부터 선택된 1층 또는 이들의 적층을 사용한다. 하지 절연막(104)에 의해, 기판(102)측으로부터의 불순물의 진입을 억제할 수 있다. 또한, 하지 절연막(104)이 불필요한 경우, 예를 들면, 기판(102)의 표면에 흡착된 수분, 및 기판(102)에 함유하는 수분 등이 적은 경우에는 하지 절연막(104)을 형성하지 않는 구성으로 해도 좋다.
- [0082] 다음에, 하지 절연막(104) 위에, 도전막을 형성한 후, 포토리소그래피 공정, 및 에칭 공정에 의해 게이트 전극(106)을 형성한다(도 2a 참조). 게이트 전극(106)은, 스퍼터링법 등에 의해, 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 및 스칸듐 등의 금속 재료, 또는, 이들을 포함하는 합금 재료를 사용하여, 단층, 또는 적층하여 형성할 수 있다.
- [0083] 다음에, 하지 절연막(104), 및 게이트 전극(106) 위에 산화질화 실리콘막(110)을 형성한다(도 2b 참조).

- [0084] 산화질화 실리콘막(110)은, PE-CVD 장치를 사용하여, 형성할 수 있다. 산화질화 실리콘막(110)은, 예를 들면, SiH<sub>4</sub>, N<sub>2</sub>O, NH<sub>3</sub>, O<sub>2</sub> 등의 가스를 사용하여 형성할 수 있다. 또한, 산화질화 실리콘막(110)의 막 두께는, 50nm 이상 400nm 이하(바람직하게는 100nm 이상 300nm 이하)로 할 수 있다.
- [0085] 다음에, 산화질화 실리콘막(110)이 형성된 기판(102)에 대해, 가열 처리를 행한다.
- [0086] 또한, 가열 처리로서는, 전기로, 또는 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 사용할 수 있다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용하여 가열 처리를 행하는 장치이다. 고온의 가스에는, 아르곤 등의 희가스, 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 사용된다. 또한, 고온의 가스의 그 밖의 일례로서는, 산소를 사용해도 좋다. 산소를 사용함으로써, 산화질화 실리콘막(110)으로부터의 산소의 탈리를 억제, 또는 산소의 공급을 행할 수 있다.
- [0087] 가열 처리 온도는, 기판(102)으로서, 마더 글래스를 사용한 경우, 처리 온도가 높고, 처리 시간이 길면 대폭 수축되기 때문에, 바람직하게는, 200℃ 이상 450℃ 이하, 더욱 바람직하게는, 250℃ 이상 350℃ 이하이다.
- [0088] 또한, 상기 가열 처리를 행함으로써, 산화질화 실리콘막(110)의 막 중의 물, 수소 등의 불순물을 제거할 수 있다. 또한, 상기 가열 처리에 의해, 산화질화 실리콘막(110)의 막 중의 결함 밀도를 저감시킬 수 있다. 산화질화 실리콘막(110)은, 게이트 절연막의 일부로서 기능하기 때문에, 막 중의 불순물, 또는 막 중의 결함 밀도가 저감됨으로써, 반도체 장치의 신뢰성이 향상된다. 예를 들면, 반도체 장치의 신뢰성 시험의 하나인 광 부(負) 바이어스 스트레스 시험에 있어서의 반도체 장치의 열화를 억제시킬 수 있다.
- [0089] 또한, 상기 가열 처리는, 나중에 형성되는 산소 방출형의 산화막(112)의 성막 전처리로서, 행해도 좋다. 예를 들면, 산화질화 실리콘막(110)을 형성후, 스퍼터링 장치의 예비 가열실에서, 진공 중에서 가열 처리를 행한 후, 산소 방출형의 산화막(112), 및 산화물 반도체막(113)을 형성해도 좋다.
- [0090] 또한, 상기 가열 처리는, 복수회 행해도 좋다. 예를 들면, 산화질화 실리콘막(110) 형성후, 전기로 등에 의해 질소 분위기 중에서 가열 처리를 행하고, 그 후, 스퍼터링 장치의 예비 가열실에서, 진공 중에서 가열 처리를 행한 후, 산소 방출형의 산화막(112), 및 산화물 반도체막(113)을 형성해도 좋다.
- [0091] 다음에, 산화질화 실리콘막(110) 위에, 산소 방출형의 산화막(112), 및 산화물 반도체막(113)을 형성한다(도 2c 참조). 또한, 산화질화 실리콘막(110)과, 산소 방출형의 산화막(112)에 의해, 게이트 절연막(130)이 형성된다.
- [0092] 산소 방출형의 산화막(112), 및 산화물 반도체막(113)은, 멀티 챔버 구조의 스퍼터링 장치를 사용하여, 진공 중에서 연속하여 형성할 수 있다. 산소 방출형의 산화막(112)과, 산화물 반도체막(113)을 진공 중에서 연속하여 형성함으로써, 산소 방출형의 산화막(112)과, 산화물 반도체막(113) 사이의 계면을 청정하게 유지할 수 있다.
- [0093] 또한, 산소 방출형의 산화막(112) 성막전에 가열 처리를 행하는 경우, 멀티 챔버 구조의 스퍼터링 장치를 사용함으로써 가열 처리, 산소 방출형의 산화막(112)의 성막, 및 산화물 반도체막(113)의 성막을, 진공 중에서 연속하여 행할 수 있다.
- [0094] 산소 방출형의 산화막(112)으로서, 예를 들면, 스퍼터링법으로, Si 타깃을 사용하여, 불활성 가스와 산소 가스의 혼합 가스 분위기하, 또는 산소 가스 분위기하에서, 형성할 수 있다. 또한, 산소 방출형의 산화막(112)의 막 두께는, 10nm 이상 150nm 이하(바람직하게는 20nm 이상 100nm 이하)로 할 수 있다.
- [0095] 또한, 스퍼터링법에는, 스퍼터링용 전원엔 고주파 전원을 사용하는 RF 스퍼터링법, 직류 전원을 사용하는 DC 스퍼터링법, 교류 전원을 사용하는 AC 스퍼터링법 등이 있다. 또한, 펄스식으로 바이어스를 부여하는 펄스 DC 스퍼터링법도 있다. 산소 방출형의 산화막(112)은, RF 스퍼터링법, AC 스퍼터링법을 사용함으로써 치밀한 막을 형성할 수 있기 때문에 적합하다.
- [0096] 또한, 산소 방출형의 산화막(112), 및 산화물 반도체막(113)의 형성 공정에 있어서, 산소 방출형의 산화막(112), 및 산화물 반도체막(113)에 수소, 또는 물이 가능한 한 포함되지 않도록 하기 위해서, 산소 방출형의 산

화막(112)의 전처리로서, 스퍼터링 장치의 예비 가열실, 즉 진공 중에서, 산화질화 실리콘막(110)이 형성된 기관(102)의 가열 처리를 행하여, 기관(102), 및 산화질화 실리콘막(110)에 흡착된 수소, 수분 등의 불순물을 탈리하여, 배기하는 것이 바람직하다. 또한, 예비 가열실에 설치하는 배기 수단은 크라이오 펌프가 바람직하다.

[0097] 산소 방출형의 산화막(112)은, 산소의 방출량이 많은 재료로 형성한다. 예를 들면, 산소 방출형의 산화막(112)은, 승온 탈리 가스 분광법에 있어서, 산소 원자로 환산하여 산소의 방출량이, 바람직하게는  $1.0 \times 10^{18}$  atoms/cm<sup>2</sup> 이상, 더욱 바람직하게는,  $1.0 \times 10^{19}$  atoms/cm<sup>2</sup> 이상, 더욱 바람직하게는,  $1.0 \times 10^{20}$  atoms/cm<sup>2</sup> 이상이다. 산소 방출형의 산화막(112)으로서는, 예를 들면, 스퍼터링법에 의해 형성된 산화 실리콘막을 사용할 수 있다. 또한, 산소의 방출량을 상기 수치로 함으로써, 산화물 반도체막(113)에 산소를 적합하게 공급할 수 있다.

[0098] 또한, 산소 방출형의 산화막(112)으로서는, 예를 들면, 산소가 과잉인 산화 실리콘막(SiO<sub>x</sub>(x>2))을 조성으로 한 막을 사용할 수 있다. 산소가 과잉인 산화 실리콘막이란, 실리콘 원자수의 2배보다 많은 산소 원자를 단위 체적당 포함하는 막이다. 또한, 단위 체적당의 실리콘 원자수, 및 산소 원자수는, 러더포드 후방 산란법에 의해 측정된 값이다.

[0099] 또한, 산소 방출형의 산화막(112)은, 스퍼터링법에 의해 형성하는 것이 바람직하다. 스퍼터링법에 의해 형성한 산소 방출형의 산화막(112)은, PE-CVD법으로 형성한 막보다도 산소의 방출량을 많게 할 수 있다.

[0100] 산화물 반도체막(113)으로서는, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 산화물이 바람직하다. 특히 In과 Zn을 포함하는 것이 바람직하다. 또한, 상기 산화물을 사용한 트랜지스터의 전기 특성의 편차를 감소시키기 위한 스테빌라이저로서, 이들에 더하여 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 haf늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 티타늄(Ti)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 지르코늄(Zr)을 갖는 것이 바람직하다.

[0101] 또한, 기타 스테빌라이저로서, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유퀴륨(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 1종 또는 복수종을 가져도 좋다.

[0102] 예를 들면, 산화물 반도체막(113)으로서, 산화인듐, 산화주석, 산화아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기한다), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.

[0103] 또한, 여기에서, 예를 들면, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 주성분으로서 갖는 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 상관하지 않는다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어가 있어도 좋다.

[0104] 또한, 산화물 반도체막(113)으로서, InM<sub>3</sub>(ZnO)<sub>m</sub>(m>0, 또한, m은 정수가 아니다)로 표기되는 재료를 사용해도 좋다. 또한, M은, Ga, Fe, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서, In<sub>2</sub>SnO<sub>5</sub>(ZnO)<sub>n</sub>(n>0, 또한, n은 정수)로 표기되는 재료를 사용해도 좋다.

[0105] 예를 들면, In:Ga:Zn=1:1:1(=1/3:1/3:1/3) 또는 In:Ga:Zn=2:2:1(=2/5:2/5:1/5)의 원자비의 In-Ga-Zn계 산화물이나 그 조성 근방의 산화물을 사용할 수 있다. 또는, In:Sn:Zn=1:1:1(=1/3:1/3:1/3), In:Sn:Zn=2:1:3(=1/3:1/6:1/2) 또는 In:Sn:Zn=2:1:5(=1/4:1/8:5/8)의 원자비의 In-Sn-Zn계 산화물이나 그 조성 근방의 산화물을 사용하면 좋다.

[0106] 그러나, 이들에 한정되지 않고, 필요로 하는 반도체 특성(이동도, 임계값, 편차 등)에 따라 적절한 조성의 것을 사용하면 좋다. 또한, 필요로 하는 반도체 특성을 얻기 위해서, 캐리어 농도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 결합 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

- [0107] 예를 들면, In-Sn-Zn계 산화물에서는 비교적 용이하게 높은 이동도가 얻어진다. 그러나, In-Ga-Zn계 산화물에서도, 벌크내 결함 밀도를 저하시킴으로써 이동도를 높일 수 있다.
- [0108] 또한, 예를 들면, In, Ga, Zn의 원자수비가  $In:Ga:Zn=a:b:c(a+b+c=1)$ 인 산화물의 조성인, 원자수비가  $In:Ga:Zn=A:B:C(A+B+C=1)$ 인 산화물의 조성의 r만큼 근방이다란, a, b, c가,  $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$ 을 만족시키는 것을 말한다. r로서는, 예를 들면, 0.05로 하면 좋다. 다른 산화물에서도 마찬가지로이다.
- [0109] 산화물 반도체막(113)은 단결정이라도, 비단결정이라도 좋다. 후자의 경우, 비정질이라도, 다결정이라도 좋다. 또한, 비정질 중에 결정성을 갖는 부분을 포함하는 구조라도, 비비정질이라도 좋다.
- [0110] 비정질 상태의 산화물 반도체막은, 비교적 용이하게 평탄한 표면을 얻을 수 있기 때문에, 이것을 사용하여 트랜지스터를 제작했을 때의 계면 산란을 저감시킬 수 있어, 비교적 용이하게, 비교적 높은 이동도를 얻을 수 있다.
- [0111] 또한, 결정성을 갖는 산화물 반도체막에서는, 보다 벌크내 결함을 저감시킬 수 있고, 표면의 평탄성을 높이면 비정질 상태의 산화물 반도체막 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는, 평탄한 표면 위에 산화물 반도체막을 형성하는 것이 바람직하며, 구체적으로는, 평균면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 보다 바람직하게는 0.1nm 이하의 표면 위에 형성하면 좋다.
- [0112] 산화물 반도체막(113)으로서, 결정을 포함하고, 결정성을 갖는 산화물 반도체막(결정성 산화물 반도체막)을 사용할 수 있다. 결정성 산화물 반도체막에 있어서의 결정 상태는, 결정 축의 방향이 무질서한 상태라도, 일정한 배향성을 갖는 상태라도 좋다.
- [0113] 예를 들면, 결정성 산화물 반도체막으로서, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막을 사용할 수 있다.
- [0114] CAAC-OS막은, 완전한 단결정이 아니며, 완전한 비정질도 아니다. CAAC-OS막은, 비정질상에 결정부를 갖는 결정-비정질 혼상 구조의 산화물 반도체층이다. 또한, 상기 결정부는, 1변이 100nm 미만인 입방체 내에 들어가는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는, CAAC-OS막에 포함되는 비정질부와 결정부의 경계는 명확하지 않다. 또한, TEM에 의해 CAAC-OS막에는 입계(그레인 바운더리라고도 한다)는 확인할 수 없다. 이로 인해, CAAC-OS막은, 입계에 기인하는 전자 이동도의 저하가 억제된다.
- [0115] CAAC-OS막에 포함되는 결정부는, c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또한 ab면에 수직한 방향에서 볼 때 삼각 형상 또는 육각 형상의 원자 배열을 가지고, c축에 수직한 방향에서 볼 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 상이한 결정부간에, 각각 a축 및 b축의 방향이 상이해도 좋다. 본 명세서에 있어서, 단순히 수직이라고 기재하는 경우, 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 단순히 평행이라고 기재하는 경우, -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.
- [0116] 또한, CAAC-OS막에 있어서, 결정부의 분포가 일정하지 않아도 좋다. 예를 들면, CAAC-OS막의 형성 과정에 있어서, 산화물 반도체막의 표면측으로부터 결정 성장시키는 경우, 피형성면의 근방에 대해 표면의 근방에서는 결정부가 차지하는 비율이 높아지는 경우가 있다. 또한, CAAC-OS막으로 불순물을 첨가함으로써, 상기 불순물 첨가 영역에 있어서 결정부가 비정질화되는 경우도 있다.
- [0117] CAAC-OS막에 포함되는 결정부의 c축은, CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 상이한 방향을 향하는 경우가 있다. 또한, 결정부의 c축의 방향은, CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 된다. 결정부는, 성막함으로써, 또는 성막후에 가열 처리 등의 결정화 처리를 행함으로써 형성된다.
- [0118] CAAC-OS막을 사용한 트랜지스터는, 가시광이나 자외광의 조사에 의한 전기 특성의 변동을 저감시키는 것이 가능하다. 따라서, 상기 트랜지스터는, 신뢰성이 높다.
- [0119] 산화물 반도체막(113)으로서, CAAC-OS막을 적용하는 경우, 상기 CAAC-OS막을 얻는 방법으로서, 세가지를 들 수 있다. 첫번째는, 성막 온도를 100℃ 이상 450℃ 이하, 더욱 바람직하게는 150℃ 이상 400℃ 이하로 하고 산화물 반도체층의 성막을 행하고, 표면에 개략 수직하게 c축 배향시키는 방법이다. 두번째는, 산화물 반도체층

을 얇은 막 두께로 성막한 후, 200℃ 이상 700℃ 이하의 열처리를 행하여, 표면에 개략 수직하게 c축 배향시키는 방법이다. 세번째는, 1층째로서 얇은 막 두께로 성막한 후, 200℃ 이상 700℃ 이하의 열처리를 행하고, 2층째의 성막을 행하고, 표면에 개략 수직하게 c축 배향시키는 방법이다.

- [0120] 또한, 산화물 반도체막(113)으로서, CAAC-OS막 이외의 결정성을 갖는 산화물 반도체막(단결정 또는 미결정)을 성막하는 경우에는, 성막 온도는 특별히 한정되지 않는다.
- [0121] 또한, 산화물 반도체막(113)은, 에너지갭이 2.8eV 내지 3.2eV이며, 실리콘의 에너지갭 1.1eV와 비교하여 크다. 또한, 산화물 반도체막(113)의 진성 캐리어 밀도는,  $10^{-9}/\text{cm}^3$ 이며, 실리콘의 진성 캐리어 밀도의  $10^{11}/\text{cm}^3$ 과 비교하여 지극히 작다.
- [0122] 산화물 반도체막(113)의 다수 캐리어(전자)는, 트랜지스터의 소스로부터 흐를 뿐이다. 또한, 채널 형성 영역을 완전 공핍화하는 것이 가능하기 때문에, 트랜지스터의 오프 전류를 지극히 작게 하는 것이 가능하다. 산화물 반도체막(113)을 사용한 트랜지스터의 오프 전류는, 실온에 있어서, 10yA/ $\mu\text{m}$  이하, 85℃ 내지 95℃에 있어서도, 1zA/ $\mu\text{m}$  이하가 되어, 지극히 작다.
- [0123] 또한, 본 발명에 있어서는, 산화물 반도체막(113)의 하지막으로서, 산소 방출형의 산화막(112)이 형성되어 있다. 산화물 반도체막(113)은, 산소 방출형의 산화막(112)으로부터의 산소 공급에 의해, 산소 결손의 발생이 억제되어, 결정성을 향상시킬 수 있다.
- [0124] 산화물 반도체막(113)의 막 두께는, 1nm 이상 200nm 이하(바람직하게는 15nm 이상 30nm 이하)로 하고, 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펄스레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 사용할 수 있다. 또한, 산화물 반도체막(113)은, 스퍼터링 타깃 표면에 대해, 개략 수직하게 복수의 기판 표면이 세트된 상태에서 성막을 행하는 스퍼터링 장치를 사용하여 성막해도 좋다.
- [0125] 또한, 산화물 반도체막(113)은, 성막시에 산소가 많이 포함되는 조건(예를 들면, 산소 100%의 분위기하에서 스퍼터링법에 의해 성막을 행하는 등)으로 성막하고, 산소를 많이 포함하는(바람직하게는 산화물 반도체막(113)이 결정 상태에 있어서의 화학량론적 조성비에 대해, 산소의 함유량이 과잉한 영역이 포함되어 있는) 막으로 하는 것이 바람직하다.
- [0126] 산화물 반도체막(113)을 스퍼터링법으로 제작하기 위한 타깃으로서, 예를 들면, 조성비로서,  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol비]의 금속 산화물 타깃을 사용하고, In-Ga-Zn막을 성막한다. 또한, 이 타깃의 재료 및 조성으로 한정되지 않고, 예를 들면,  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol비]의 금속 산화물 타깃을 사용해도 좋다.
- [0127] 또한, 산화물 반도체막(113)을 상기한 금속 산화물 타깃을 사용하여 형성한 경우, 타깃의 조성과, 기판 위에 형성되는 박막의 조성이 상이한 경우가 있다. 예를 들면,  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol비]의 금속 산화물 타깃을 사용한 경우, 성막 조건에도 의존하지만, 박막인 산화물 반도체막(113)의 조성비는,  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:0.6$  내지  $0.8$ [mol비]이 되는 경우가 있다. 이것은, 산화물 반도체막(113)을 성막 중에 있어서, ZnO가 승화되거나, 또는  $\text{In}_2\text{O}_3$ ,  $\text{Ga}_2\text{O}_3$ , ZnO의 각 성분의 스퍼터링 레이트가 상이하기 때문이라고 생각된다.
- [0128] 따라서, 원하는 조성비의 박막을 형성하고 싶은 경우에 있어서는, 미리 금속 산화물 타깃의 조성비를 조정할 필요가 있다. 예를 들면, 박막인 산화물 반도체막(113)의 조성비를,  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol비]로 하는 경우에 있어서는, 금속 산화물 타깃의 조성비를,  $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1.5$ [mol비]로 하면 좋다. 즉, 금속 산화물 타깃의 ZnO의 함유량을 미리 많게 하면 좋다. 다만, 타깃의 조성비는, 상기 수치로 한정되지 않고, 성막 조건이나, 형성되는 박막의 조성에 의해 적절히 조정할 수 있다. 또한, 금속 산화물 타깃의 ZnO의 함유량을 많게 함으로써, 얻어지는 박막의 결정성이 향상되기 때문에 바람직하다.
- [0129] 또한, 금속 산화물 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충전율이 높은 금속 산화물 타깃을 사용함으로써, 성막한 산화물 반도체막(113)은 치밀한 막으로 할 수 있다.
- [0130] 산화물 반도체막(113)을, 성막할 때에 사용하는 스퍼터링 가스는 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 사용하는 것이 바람직하다.
- [0131] 스퍼터링 장치의 성막실내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프, 예를 들면, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 분자 펌프

에 콜드트랩을 가한 것이라도 좋다. 크라이오 펌프를 사용하여 배기한 성막실은, 예를 들면, 수소 원자, 물 (H<sub>2</sub>O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 배기되기 때문에, 상기 성막실에서 성막한 산화물 반도체막에 포함되는 불순물의 농도를 저감시킬 수 있다.

- [0132] 또한, 본 실시형태에 있어서는, 산소 방출형의 산화막(112)과, 산화물 반도체막(113)을 대기에 개방하지 않고 연속적으로 형성할 수 있다. 산소 방출형의 산화막(112)과 산화물 반도체막(113)을 대기에 폭로하지 않고 진공 중에서 연속하여 형성함으로써, 산소 방출형의 산화막(112)의 표면에 수소나 수분 등의 불순물이 흡착되는 것을 방지할 수 있다. 따라서, 산소 방출형의 산화막(112)과 산화물 반도체막(113)의 계면을 청정하게 유지할 수 있다.
- [0133] 또한, 산화물 반도체막(113)에, 과잉의 수소(물이나 수산기를 포함한다)를 제거(탈수화 또는 탈수소화)하기 위한 가열 처리를 행해도 좋다. 가열 처리의 온도는, 300℃ 이상 700℃ 이하, 또는 기관의 변형점 미만으로 한다. 가열 처리는 감압하, 질소 분위기하, 또는 산소 분위기하 등에서 행할 수 있다. 예를 들면, 가열 처리 장치의 하나인 전기로에 기관을 도입하고, 산화물 반도체막에 대해 질소 분위기하 450℃에 있어서 1시간의 가열 처리를 행한다.
- [0134] 또한, 가열 처리 장치는 전기로로 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 사용해도 좋다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용하여 가열 처리를 행하는 장치이다. 고온의 가스에는, 아르곤 등의 희가스, 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 사용된다.
- [0135] 예를 들면, 가열 처리로서, 650℃ 내지 700℃의 고온으로 가열한 불활성 가스 중에 기관을 넣고, 수분간 가열한 후, 기관을 불활성 가스 중에서 내보내는 GRTA를 행해도 좋다.
- [0136] 그 후, 산화물 반도체막(113)에 대해, 포토리소그래피 공정, 및 에칭 공정을 행하여, 섬 형상의 산화물 반도체막(114)을 형성한다(도 3a 참조).
- [0137] 또한, 탈수화 또는 탈수소화를 위한 가열 처리는, 산화물 반도체막(113)의 형성후, 섬 형상의 산화물 반도체막(114)의 형성후, (나중에 형성되는) 소스 전극(116), 및 드레인 전극(118)의 형성후이면, 어느 타이밍으로 행해도 좋다.
- [0138] 또한, 가열 처리에 있어서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 열처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0139] 또한, 가열 처리로 산화물 반도체막(114)을 가열한 후, 동일한 로에 고순도의 산소 가스, 고순도의 일산화이질소 가스, 또는 초전조 에어(CRDS(캐비티 링다운 레이저 분광법) 방식의 노점계를 사용하여 측정된 경우의 수분량이 20ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 보다 바람직하게는 10ppb 이하의 공기)를 도입해도 좋다. 산소 가스 또는 일산화이질소 가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 열처리 장치에 도입하는 산소 가스 또는 일산화이질소 가스의 순도를, 6N 이상 바람직하게는 7N 이상(즉, 산소 가스 또는 일산화이질소 가스 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다. 산소 가스 또는 일산화이질소 가스의 작용에 의해, 탈수화 또는 탈수소화 처리에 의한 불순물의 배제 공정에 의해 동시에 감소되어 버린 산화물 반도체를 구성하는 주성분 재료인 산소를 공급함으로써, 산화물 반도체막(113)을 고순도화 및 전기적으로 I형(진성)화할 수 있다.
- [0140] 또한, 상기한 가열 처리에 의해, 산소 방출형의 산화막(112)은, 산소를 방출하고, 산화물 반도체막(113)에 산소를 공급할 수 있다.
- [0141] 다음에 산소 방출형의 산화막(112), 및 산화물 반도체막(114) 위에 도전막을 형성하고, 상기 도전막을 포토리소그래피 공정, 및 에칭 공정을 행하여, 소스 전극(116), 및 드레인 전극(118)을 형성하고, 트랜지스터(150)를 형성한다(도 3b 참조). 이 단계에서 도 1a에 도시하는 반도체 장치가 형성된다.
- [0142] 소스 전극(116), 및 드레인 전극(118)에 사용하는 도전막으로서, 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, W로부

터 선택된 원소를 포함하는 금속막, 또는 상기한 원소를 성분으로 하는 금속질화물막(질화티타늄막, 질화 몰리브덴막, 질화 텅스텐 막) 등을 사용할 수 있다. 또한, Al, Cu 등의 금속막의 하측 또는 상측의 한쪽 또는 쌍방에 Ti, Mo, W 등의 고용점 금속막, 또는 이들의 금속질화물막(질화 티타늄막, 질화 몰리브덴막, 질화 텅스텐막)을 적층시킨 구성으로 해도 좋다.

[0143] 다음에, 산화물 반도체막(114), 소스 전극(116), 및 드레인 전극(118) 위에 무기 절연막(120)을 형성한다(도 3c 참조). 이 단계에서 도 1b에 도시하는 반도체 장치가 형성된다.

[0144] 무기 절연막(120)으로서는, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 아연, 산화 하프늄, 산화 알루미늄 등의 무기 재료를 사용할 수 있다. 또한, 이들의 재료로 형성되는 절연막을 복수 적층시켜도 좋고, 본 실시형태에 있어서는, 무기 절연막(120)으로서, 산소 방출형의 산화막(120a)과, 금속 산화막(120b)의 적층 구조로 한다.

[0145] 산소 방출형의 산화막(120a)으로서는, 특히 화학량론적 조성비를 초과하는 산소를 함유한 산화 실리콘막 등을 사용하면 적합하다. 화학량론적 조성비를 초과하는 산소를 함유한 산화 실리콘막에 의해, 산화물 반도체막(114)으로 산소의 공급을 가능하게 하고, 산화물 반도체막(114)의 산소 결손의 발생을 방지할 수 있다. 또한, 산소 방출형의 산화막(120a)은, 게이트 절연막(130)의 일부로서 사용한, 산소 방출형의 산화막(112)과 같은 재료를 사용하면 적합하다. 이러한 구성으로 함으로써, 산화물 반도체막(114)은, 산소 방출형의 산화막(112)으로부터의 산소 공급과 산소 방출형의 산화막(120a)으로부터의 산소 공급과, 단면에 있어서 상하로부터의 산소 공급이 가능해지기 때문에 적합하다. 또한, 산소 방출형의 산화막(120a)의 막 두께는, 50nm 이상 400nm 이하(바람직하게는 100nm 이상 300nm 이하)로 할 수 있다.

[0146] 또한, 금속 산화막(120b)으로서는, 예를 들면, 산화 알루미늄막을 사용할 수 있다. 산화 알루미늄막은, 바람직하게는 막 밀도가 3.2g/cm<sup>3</sup> 이상, 더욱 바람직하게는 3.6g/cm<sup>3</sup> 이상이면 좋다. 금속 산화막(120b)으로서, 상기 산화 알루미늄막을 사용함으로써, 내습성이 높은 무기 절연막(120)으로 할 수 있다. 또한, 상기 산화 알루미늄막은, 패시베이션 능력이 높고, 산소 방출형의 산화막(120a)으로부터 방출되는 산소를, 외부로 확산되는 것을 억제할 수 있다. 또한, 금속 산화막(120b)의 막 두께는, 30nm 이상 150nm 이하(바람직하게는 50nm 이상 100nm 이하)로 할 수 있다.

[0147] 다음에, 무기 절연막(120) 위에 유기 절연막(122)을 형성한다(도 4a 참조).

[0148] 유기 절연막(122)은, 트랜지스터(150)의 요철을 저감시킬 수 있다. 유기 절연막(122)으로서는, 예를 들면, 폴리이미드계 수지, 아크릴계 수지, 벤조사이클로부텐계 수지, 등의 유기 수지 재료를 사용할 수 있다.

[0149] 다음에, 유기 절연막(122) 위에 도전막(124)을 형성한다(도 4b 참조). 이 단계에서 도 1c에 도시하는 반도체 장치가 형성된다.

[0150] 도전막(124)으로서는, 예를 들면, 산화인듐-산화주석(ITO: Indium Tin Oxide), 규소 또는 산화규소를 함유한 산화인듐-산화주석, 산화인듐-산화아연, 그래핀 등의 투광성을 갖는 도전 재료를 사용할 수 있다.

[0151] 단, 도전막(124)으로서 사용할 수 있는 재료는, 상기 재료로 한정되지 않는다. 예를 들면, 금속막(알루미늄, 티타늄 등)을 사용할 수도 있다. 이러한 금속막을 사용함으로써, 트랜지스터(150)를 외광으로부터 차광할 수 있기 때문에, 적합하다.

[0152] 또한, 도전막(124)은, 외부로부터의 정전기(소위, ESD: Electro Static Discharge)에 대해, 트랜지스터(150)를 보호하는 기능도 가진다. 트랜지스터(150) 위에 도전막(124)을 가짐으로써, 외부로부터의 정전기 방전 등의 전하를 도전막(124)에 의해, 내보낼 수 있다.

[0153] 이상의 공정에 의해, 실시형태 1에 나타낸 도 1a 내지 도 1c의 반도체 장치를 제작할 수 있다.

[0154] 이상과 같이, 본 실시형태에 나타내는 산화물 반도체막을 사용한 반도체 장치에 있어서, 게이트 절연막을 산화 질화 실리콘막, 및 산소 방출형의 산화막에 의해 구성한다. 산화질화 실리콘막에 의해 피복성이 높고, 절연 내성이 높은, 결합 밀도가 저감된 게이트 절연막으로 할 수 있다. 또한, 산소 방출형의 산화막에 의해 산화물 반도체막에 산소를 공급할 수 있다. 따라서, 안정된 전기 특성을 부여한 반도체 장치를 제공할 수 있다.

[0155] 또한, 산소 방출형의 산화막과, 산화물 반도체막을 대기에 폭로하지 않고 진공 중에서 연속하여 형성함으로써, 산소 방출형의 산화막과 산화물 반도체막의 계면을 청정하게 유지할 수 있다. 따라서, 안정된 전기 특성을 부여한 반도체 장치의 제작 방법을 제공할 수 있다.

- [0156] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0157] (실시형태 3)
- [0158] 본 실시형태에 있어서는, 실시형태 1의 도 1c에 도시한 반도체 장치의 변형 예에 관해서, 도 5a 내지 도 5c를 사용하여 설명을 행한다. 또한, 도 1과 같은 부분에 관해서는, 같은 부호를 사용하고, 그 반복 설명은 생략한다.
- [0159] 또한, 도 5c에 도시하는 반도체 장치는, 본 실시형태의 일레이며, 도 5a, 및 도 5b는, 도 5c에 도시하는 반도체 장치의 제작 방법을 설명하는 도이다.
- [0160] 도 5c에 도시하는 반도체 장치는, 기관(102)과, 기관(102) 위에 형성된 하지 절연막(104)과, 하지 절연막(104) 위에 형성된 게이트 전극(106)과, 하지 절연막(104), 및 게이트 전극(106) 위에 형성된 산화질화 실리콘막(110)과, 산화질화 실리콘막(110) 위에 형성된 산소 방출형의 산화막(112)과, 산소 방출형의 산화막(112) 위에 형성된 산화물 반도체막(114)과, 산소 방출형의 산화막(112), 및 산화물 반도체막(114) 위에 형성된 소스 전극(116)과, 산소 방출형의 산화막(112), 및 산화물 반도체막(114) 위에 형성된 드레인 전극(118)과, 산화물 반도체막(114), 소스 전극(116), 및 드레인 전극(118) 위에 형성된 무기 절연막(120)과, 무기 절연막(120) 위에 형성된 유기 절연막(122)과, 유기 절연막(122) 위에 형성된 도전막(124)을 가진다.
- [0161] 또한, 도 5c에 도시하는 반도체 장치는, 산화질화 실리콘막(110)과, 산소 방출형의 산화막(112)에 의해 게이트 절연막(130)을 구성하고 있고, 기관(102), 하지 절연막(104), 게이트 전극(106), 게이트 절연막(130), 산화물 반도체막(114), 소스 전극(116), 및 드레인 전극(118)에 의해, 트랜지스터(150)가 형성되어 있다.
- [0162] 또한, 트랜지스터(150)는, 실시형태 1에 나타낸 도 1a 내지 도 1c에 도시한 반도체 장치의 구성과 같다. 또한, 무기 절연막(120)은, 실시형태 1의 도 1b, 및 도 1c에 도시한 반도체 장치의 구성과 같다. 또한, 유기 절연막(122)은, 실시형태 1의 도 1c에 도시한 반도체 장치와 같다. 트랜지스터(150), 무기 절연막(120), 및 유기 절연막(122)은, 상기의 기재를 참조함으로써 형성할 수 있다.
- [0163] 본 실시형태에 나타내는 트랜지스터(150)는, 도 1c에 도시하는 반도체 장치와의 차이로서, 무기 절연막(120), 및 유기 절연막(122)에 개구부(126)를 가지고 있다. 또한, 유기 절연막(122) 위에 형성된 도전막(124)은, 무기 절연막(120), 및 유기 절연막(122)을 통하여, 개구부(126)에 의해, 드레인 전극(118)과 접속되어 있다.
- [0164] 이러한 구성으로 함으로써, 도전막(124)은, 드레인 전극(118)과 동전위로 할 수 있다. 또한, 도전막(124)은, 다양한 용도로 사용할 수 있다. 예를 들면, 트랜지스터(150)를 표시 장치의 화소용 트랜지스터로 한 경우에 있어서는, 도전막(124)은, 화소 전극으로서 기능할 수 있다. 또한, 기타 일례로서, 도전막(124)은, 트랜지스터(150)의 백 게이트(또는, 제 2 게이트 전극이라고도 한다.)로서 기능하고, 트랜지스터(150)의 임계값 전압( $V_{th}$ )의 제어 등을 행해도 좋다. 또한, 복수의 트랜지스터를 갖는 경우에 있어서, 트랜지스터(150)와, 다른 한쪽의 트랜지스터의 접속 전극으로서 기능해도 좋다.
- [0165] 또한, 도전막(124)으로서 사용할 수 있는 재료는, 예를 들면, 산화인듐-산화주석(ITO: Indium Tin Oxide), 규소 또는 산화규소를 함유한 산화인듐-산화주석, 산화인듐-산화아연, 그래핀 등의 투광성을 갖는 도전 재료를 사용할 수 있다.
- [0166] 단, 도전막(124)으로서 사용할 수 있는 재료는, 상기 재료로 한정되지 않는다. 예를 들면, 금속막(알루미늄, 티타늄 등)을 사용할 수도 있다. 이러한 금속막을 사용함으로써, 트랜지스터(150)를 외광으로부터 차광할 수 있기 때문에, 적합하다.
- [0167] 또한, 도전막(124)은, 산화물 반도체막(114)의 증착된 영역에 형성할 수 있다. 이러한 구성으로 함으로써, 단면에 있어서, 산화물 반도체막(114)의 상측(소위, 백 채널측)의 전위를 제어할 수 있다. 또한, 도전막의 전위는, 플로팅이라도 좋고, GND와 동전위라도 좋고, 게이트 전극(106)과 동전위라도 좋고, 소스 전극(116), 및 드레인 전극(118)과 동전위라도 좋다.
- [0168] 또한, 도전막(124)은, 외부로부터의 정전기(소위, ESD: Electro Static Discharge)에 대해, 트랜지스터(150)를 보호하는 기능도 가진다. 트랜지스터(150) 위에 도전막(124)을 가짐으로써, 외부로부터의 정전기 방전 등의 전하를 상기 도전막(124)에 의해, 내보낼 수 있다.
- [0169] 여기에서, 도 5c에 도시한 반도체 장치의 제작 방법에 관해서, 도 5a, 및 도 5b를 사용하여, 설명을 행한다.
- [0170] 또한, 도 5a에 도시하는 반도체 장치는, 실시형태 2의 도 4a에 도시하는 반도체 장치와 같은 단면도를 나타내고

있으며, 도 2a 내지 도 2c, 및 도 3a 내지 도 3c를 참조함으로써, 제작할 수 있다. 따라서, 본 실시형태에 있어서는, 그 제작 방법의 기재는, 생략한다.

- [0171] 트랜지스터(150) 위에 형성된 무기 절연막(120), 및 유기 절연막(122)에 개구부(126)를 형성한다(도 5b 참조).
- [0172] 개구부(126)는, 원하는 영역에 패터닝을 행하고, 드라이 에칭, 또는 웨트 에칭에 의해 형성할 수 있다. 물론, 드라이 에칭과 웨트 에칭의 쌍방을 조합하여 형성해도 좋다.
- [0173] 개구부(126)는, 드레인 전극(118)에 도달하면 좋으며, 무기 절연막(120), 및 유기 절연막(122)이 계단상의 형상, 또는 수직 형상 등, 형상은 특별히 한정되지 않는다. 다만, 도 5a에 도시하는 바와 같이, 테이프 형상으로 함으로써, 나중에 형성되는 도전막(124)을 단절없이 형성할 수 있기 때문에, 적합하다.
- [0174] 다음에, 드레인 전극(118), 유기 절연막(122), 및 개구부(126) 위에 도전막(124)을 형성한다(도 5c 참조).
- [0175] 이상의 공정에 의해, 도 5c에 도시하는 반도체 장치를 제작할 수 있다.
- [0176] 이상과 같이, 본 실시형태에 나타내는 산화물 반도체막을 사용한 반도체 장치에 있어서, 게이트 절연막을 산화질화 실리콘막, 및 산소 방출형의 산화막에 의해 구성한다. 산화질화 실리콘막에 의해 피복성이 높고, 절연 내성이 높은, 결합 밀도가 저감된 게이트 절연막으로 할 수 있다. 또한, 산소 방출형의 산화막에 의해 산화물 반도체막에 산소를 공급할 수 있다. 따라서, 안정된 전기 특성을 부여한 반도체 장치를 제공할 수 있다.
- [0177] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0178] (실시형태 4)
- [0179] 실시형태 1 내지 실시형태 3에서 예시한 트랜지스터를 사용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 한다)를 제작할 수 있다. 또한, 트랜지스터를 포함하는 구동 회로의 일부 또는 전체를, 화소부와 동일한 기판 위에 일체 형성하고, 시스템 온 패널을 형성할 수 있다.
- [0180] 도 6a에 있어서, 제 1 기관(401) 위에 형성된 화소부(402), 소스 드라이버 회로부(403), 및 게이트 드라이버 회로부(404)를 가지고, 화소부(402), 소스 드라이버 회로부(403), 및 게이트 드라이버 회로부(404)를 둘러싸도록 하여, 셀재(406)가 형성되고, 제 2 기관(407)에 의해 밀봉되어 있다. 또한 화소부(402)와, 소스 드라이버 회로부(403), 및 게이트 드라이버 회로부(404) 위에 제 2 기관(407)이 형성되어 있다. 따라서 화소부(402)와, 소스 드라이버 회로부(403)와, 게이트 드라이버 회로부(404)는, 제 1 기관(401)과 셀재(406)와 제 2 기관(407)에 의해, 표시 소자와 함께 밀봉되어 있다.
- [0181] 또한, 도 6a에 있어서는, 제 1 기관(401) 위의 셀재(406)에 의해 둘러싸여 있는 영역과는 상이한 영역에, 화소부(402), 소스 드라이버 회로부(403), 및 게이트 드라이버 회로부(404)와 전기적으로 접속되어 있는 FPC 단자부(405)(FPC: Flexible printed circuit)가 형성되어 있고, FPC 단자부(405)에는, FPC(418)가 접속되고, 화소부(402), 소스 드라이버 회로부(403), 및 게이트 드라이버 회로부(404)에 주어지는 각종 신호, 및 전위는, FPC(418)에 의해 공급되어 있다.
- [0182] 또한, 도 6a에 있어서는, 소스 드라이버 회로부(403), 및 게이트 드라이버 회로부(404)를 화소부(402)와 동일한 제 1 기관(401)에 형성하고 있는 예를 도시하고 있지만, 이 구성으로 한정되지 않는다. 예를 들면, 게이트 드라이버 회로부(404)만을 제 1 기관(401)에 형성해도 좋고, 소스 드라이버 회로부(403)만을 제 1 기관(401)에 형성해도 좋다. 이 경우, 별도 준비된 소스 드라이버 회로, 또는 게이트 드라이버 회로 등이 형성된 기관(예를 들면, 단결정 반도체막, 다결정 반도체막으로 형성된 구동 회로 기관)을, 제 1 기관(401)에 실장하는 구성으로 해도 좋다.
- [0183] 또한, 별도 형성한 구동 회로 기관의 접속 방법은, 특별히 한정되는 것이 아니며, COG(Chip On Glass) 방법, 와이어 본딩 방법, 또는 TAB(Tape Automated Bonding) 방법 등을 사용할 수 있다.
- [0184] 또한, 표시 장치는, 표시 소자가 밀봉된 상태에 있는 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다.
- [0185] 또한, 본 명세서 중에 있어서의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치를 포함한다)을 가리킨다. 또한, 커넥터, 예를 들면 FPC 또는 TAB 테이프 또는 TCP(Tape Carrier Package)가 장착된 모듈, TAB 테이프나 TCP의 선단에 프린트 배선판이 형성된 모듈, 또는 표시 소자에 COG 방식에 의해 구동 회로

기관, 또는 IC(집적 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.

- [0186] 또한, 제 1 기관(401) 위에 형성된 화소부(402), 소스 드라이버 회로부(403), 및 게이트 드라이버 회로부(404)는, 트랜지스터를 복수 가지고 있고, 실시형태 1 내지 실시형태 3에서 예시한 트랜지스터를 적용할 수 있다. 예를 들면, 도 6a에 도시한 반도체 장치의 화소부(402), 및 소스 드라이버 회로부(403)의 트랜지스터의 구성의 일례를 도 6b에 도시한다.
- [0187] 도 6b에 도시하는 반도체 장치는, 도 6a에 도시하는 파선 Q-R에 있어서의 확대도에 상당한다. 화소부(402)는, 트랜지스터(410)를 포함하는 복수의 트랜지스터를 가지고 있고, 소스 드라이버 회로부(403)는, 트랜지스터(411)를 포함하는 복수의 트랜지스터를 가지고 있다. 또한, 도 6b에 있어서는, 구성 요소의 일부(예를 들면, 게이트 절연막, 무기 절연막 등)는, 도면이 번잡해지는 것을 피하기 위해서 생략하고 있다.
- [0188] 화소부(402)에 포함되는 트랜지스터(410)는, 각 화소의 스위칭의 기능을 가지고, 매트릭스상으로 형성된 각각의 화소의 제어를 행할 수 있다. 또한, 소스 드라이버 회로부(403)에 포함되는 트랜지스터(411)는, 매트릭스상으로 형성된 각각의 화소에 접속되어 있는 소스선의 선택, 제어 등을 행할 수 있다.
- [0189] 또한, 본 실시형태에 있어서는, 화소부(402)에 포함되는 트랜지스터(410)는, 상방에 도전막을 형성하지 않는 구성이며, 소스 드라이버 회로부(403)에 포함되는 트랜지스터(411)는, 상방에 도전막을 형성하는 구성을 나타내고 있다.
- [0190] 또한, 표시 장치에 형성되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 한다), 발광 소자(발광 표시 소자라고도 한다)를 사용할 수 있다. 발광 소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화되는 표시 매체도 적용할 수 있다.
- [0191] 표시 장치에 형성되는 표시 소자의 일 형태에 관해서, 도 7a, 및 도 7b를 사용하여 설명한다. 도 7a, 및 도 7b에 도시하는 반도체 장치는, 도 6a, 및 도 6b에 도시하는 파선 Q-R에 있어서의 단면도에 상당한다.
- [0192] 도 7a, 및 도 7b에 도시하는 반도체 장치는, 제 1 기관(401) 위에 형성된 FPC 단자부(405)에, 접속 단자 전극층(415), 및 단자 전극층(416)을 가지고 있고, 접속 단자 전극층(415), 및 단자 전극층(416)은 FPC(418)가 갖는 단자와 이방성 도전막(419)을 개재하여, 전기적으로 접속되어 있다.
- [0193] 접속 단자 전극층(415)은, 도전막(430a), 및 도전막(430b)과 동일한 공정으로 형성되고, 단자 전극층(416)은, 트랜지스터(410), 및 트랜지스터(411)의 소스 전극, 및 드레인 전극과 동일한 공정으로 형성되어 있다.
- [0194] 또한, 제 1 기관(401) 위에 형성된 화소부(402)와, 소스 드라이버 회로부(403)는, 트랜지스터를 복수 가지고 있고, 도 7a, 및 도 7b에서는, 화소부(402)에 포함되는 트랜지스터(410)와, 소스 드라이버 회로부(403)에 포함되는 트랜지스터(411)를 예시하고 있다.
- [0195] 또한, 본 실시형태에 있어서는, 화소부(402)에 포함되는 트랜지스터(410)와, 소스 드라이버 회로부(403)에 포함되는 트랜지스터(411)는, 동일한 사이즈의 구성으로 하고 있지만, 이것으로 한정되지 않는다. 화소부(402), 및 소스 드라이버 회로부(403)에 사용하는 트랜지스터는, 적절한 사이즈(L/W), 또는 사용하는 트랜지스터수 등을 변경하여 사용할 수 있다. 또한, 도 7a, 및 도 7b에 있어서는, 게이트 드라이버 회로부(404)는, 도시하고 있지 않지만, 접속부, 또는 접속 방법 등이 상이하지만, 소스 드라이버 회로부(403)와 같은 구성으로 할 수 있다.
- [0196] 또한, 도 7a, 및 도 7b에 있어서, 트랜지스터(410), 및 트랜지스터(411)는, 게이트 절연막이, 산화질화 실리콘막(421a), 및 산소 방출형의 산화막(421b)에 의해 구성되어 있다. 산소 방출형의 산화막(421b)은, 산화물 반도체막에 접하여 형성되고, 상기 산화물 반도체막에 산소를 공급할 수 있다. 따라서, 트랜지스터(410), 및 트랜지스터(411)는, 산화물 반도체막 중의 산소 결손에 수반되는, 캐리어의 발생이 억제되어 있고, 전기적으로 안정적이다.
- [0197] 이와 같이, 도 6에 도시하는 본 실시형태의 반도체 장치로서, 트랜지스터(410), 및 트랜지스터(411)를 사용함으로써 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0198] 또한, 도 7a, 및 도 7b에 있어서, 트랜지스터(410), 및 트랜지스터(411) 위에, 무기 절연막(420), 무기 절연막(422), 및 유기 절연막(424)이 형성되어 있다. 또한, 절연막(423)은 하지막으로서 기능하는 하지 절연막이다.
- [0199] 본 실시형태에서는, 무기 절연막(420)으로서, 산화 실리콘막을 사용하고, 무기 절연막(422)으로서, 산화 알

루미늄막을 사용한다. 또한, 무기 절연막(420), 및 무기 절연막(422)은, 스퍼터링법이나 플라즈마 CVD에 의해 형성할 수 있다.

- [0200] 무기 절연막(420)으로서 형성되는 산화 실리콘막은, 산화물 반도체막과 접하여 형성되고, 산소를 산화물 반도체막에 공급할 수 있다.
- [0201] 무기 절연막(422)으로서 형성되는 산화 알루미늄막은, 수소, 수분 등의 불순물, 및 산소의 양자에 대해 막을 투과시키지 않는 차단 효과(블록 효과)가 높다. 따라서, 산화 알루미늄막은, 제작 공정중 및 제작후에 있어서, 변동 요인이 되는 수소, 수분 등의 불순물의 산화물 반도체막으로의 혼입, 및 산화물 반도체막을 구성하는 주성분 재료인 산소의 산화물 반도체막으로부터의 방출을 방지하는 보호막으로서 기능한다.
- [0202] 또한, 유기 절연막(424)으로서, 아크릴계 수지, 폴리이미드계 수지, 벤조사이클로부텐계 수지, 폴리이미드계 수지, 에폭시계 수지 등의, 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 이들 재료로서 형성되는 절연막을 복수 적층시킴으로써, 유기 절연막(424)을 형성해도 좋다.
- [0203] 또한, 본 실시형태에서는, 소스 드라이버 회로부(403)에 형성된 트랜지스터(411)는, 유기 절연막(424) 위에, 산화물 반도체막의 채널 형성 영역과 중첩된 위치에 도전막(430a)이 형성되어 있는 구성이다. 그러나, 이 구성으로 한정되지 않고, 도전막(430a)을 형성하지 않는 구성으로 해도 좋다. 도전막(430a)을 산화물 반도체막의 채널 형성 영역과 중첩된 위치에 형성함으로써, BT 시험 전후에 있어서의 트랜지스터(411)의 임계값 전압의 변화량을 저감시킬 수 있다. 또한, 도전막(430a)은, 전위가 트랜지스터(411)의 게이트 전극층과 동일해도 좋고, 상이해도 좋고, 제 2 게이트 전극층으로서 기능시킬 수도 있다. 또한, 도전막(430a)의 전위가 GND, 0V, 또는 플로팅 상태라도 좋다.
- [0204] 또한, 도전막(430a)은, 외부의 전장을 차폐하는, 즉 외부의 전장이 내부(트랜지스터(411)를 포함하는 회로부)에 작용하지 않도록 하는 기능(특히 정전기에 대한 정전 차폐 기능)도 가진다. 도전막(430a)의 차폐 기능에 의해, 정전기 등의 외부의 전장의 영향에 의해 트랜지스터(411)의 전기적인 특성이 변동되는 것을 방지할 수 있다. 또한, 도전막(430a)은, 트랜지스터(411)와 중첩되는 광범위에 형성해도 좋다. 이것에 의해 한층 더 정전 차폐 기능의 향상이 예상된다.
- [0205] 또한, 본 실시형태에서는, 화소부(402)에 형성된 트랜지스터(410)는, 유기 절연막(424) 위에, 소스 전극 또는 드레인 전극과 접하는 도전막(430b)이 형성된 구성이다. 도전막(430b)은, 화소부(402)에 있어서, 화소 전극으로서의 기능을 가진다. 또한, 본 실시형태에 있어서, 화소부(402)에 형성된 트랜지스터(410)는, 산화물 반도체막의 채널 형성 영역과 중첩된 위치에 도전막(430b)을 갖고 있지 않은 구성이다. 그러나, 이 구성으로 한정되지 않고, 소스 드라이버 회로부(403)에 형성된 트랜지스터(411)와 같은 구성으로 해도 좋다.
- [0206] 화소부(402)에 형성된 트랜지스터(410)는, 표시 소자와 전기적으로 접속하고, 표시 패널을 구성한다. 표시 소자는 표시를 행할 수 있으면 특별히 한정되지 않으며, 다양한 표시 소자를 사용할 수 있다.
- [0207] 도 7a에 도시하는 표시 장치는, 표시 소자로서 액정 소자를 사용한 액정 표시 장치의 예를 나타낸다. 도 7a에 있어서, 표시 소자인 액정 소자(413)는, 도전막(430b), 대향 전극(431), 및 액정층(408)을 포함한다. 또한, 액정층(408)을 협지하도록 배향막으로서 기능하는 절연막(432), 절연막(433)이 형성되어 있다. 대향 전극(431)은 제 2 기판(407)측에 형성되고, 도전막(430b)과 대향 전극(431)은 액정층(408)을 개재하여 적층하는 구성으로 되어 있다.
- [0208] 또한, 스페이서(435)는, 절연막을 선택적으로 에칭함으로써 얻어지는 기둥상의 스페이서이며, 액정층(408)의 막 두께(셀 갭)를 제어하기 위해서 형성되어 있다. 또한, 구 형상의 스페이서를 사용하고 있어도 좋다.
- [0209] 표시 소자로서, 액정 소자를 사용하는 경우, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들의 액정 재료는, 조건에 따라, 콜레스테릭상, 스멕틱상, 큐빅상, 키랄네마틱상, 등방상 등을 나타낸다.
- [0210] 또한, 횡전계 방식을 채용하는 경우, 배향막을 사용하지 않는 블루상을 나타내는 액정을 사용해도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 승온시켜 가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위에서밖에 발현되지 않기 때문에, 온도 범위를 개선하기 위해서 수증량% 이상의 키랄제를 혼합시킨 액정 조성물을 사용하여 액정층에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은, 응답 속도가 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하며, 시야각 의존성이 작다. 또한 배향막을 형성하지 않아도 좋기 때문에 러빙 처리도 불필요해져 러빙 처리에 의해 야기되

는 정전 파괴를 방지할 수 있고, 제작 공정 중의 액정 표시 장치의 불량이나 파손을 경감시킬 수 있다. 따라서 액정 표시 장치의 생산성을 향상시키는 것이 가능해진다. 산화물 반도체막을 사용하는 트랜지스터는, 정전기의 영향에 의해 트랜지스터의 전기적인 특성이 현저하게 변동되어 설계 범위를 이탈할 우려가 있다. 따라서 산화물 반도체막을 사용하는 트랜지스터를 갖는 액정 표시 장치에 블루상의 액정 재료를 사용하는 것은 보다 효과적이다.

[0211] 또한, 액정 재료의 고유 저항은,  $1 \times 10^9 \Omega \cdot \text{cm}$  이상이며, 바람직하게는  $1 \times 10^{11} \Omega \cdot \text{cm}$  이상이며, 더욱 바람직하게는  $1 \times 10^{12} \Omega \cdot \text{cm}$  이상이다. 또한, 본 명세서에 있어서의 고유 저항의 값은, 20℃에서 측정된 값으로 한다.

[0212] 액정 표시 장치에 형성되는 유지 용량 소자의 크기는, 화소부에 배치되는 트랜지스터의 리크 전류 등을 고려하여, 소정의 기간 동안 전하를 유지할 수 있도록 설정된다. 유지 용량의 크기는, 트랜지스터의 오프 전류 등을 고려하여 설정하면 좋다. 고순도이고 산소 결손의 형성을 억제한 산화물 반도체층을 갖는 트랜지스터를 사용함으로써, 각 화소에 있어서의 액정 용량에 대해 1/3 이하, 바람직하게는 1/5 이하의 용량의 크기를 갖는 유지 용량을 형성하면 충분하다.

[0213] 본 실시형태에서 사용하는 고순도화되고, 산소 결손의 형성을 억제한 산화물 반도체층을 갖는 트랜지스터는, 오프 상태에 있어서의 전류값(오프 전류값)을 낮게 할 수 있다. 따라서, 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있고, 전원 온 상태에서는 기록 간격도 길게 설정할 수 있다. 따라서, 리프레쉬 동작의 빈도를 적게 할 수 있기 때문에, 소비 전력을 억제하는 효과를 나타낸다.

[0214] 또한, 본 실시형태에서 사용하는 고순도화되고, 산소 결손의 형성을 억제한 산화물 반도체층을 갖는 트랜지스터는, 비교적 높은 전계 효과 이동도가 얻어지기 때문에, 고속 구동이 가능하다. 예를 들면, 이러한 고속 구동이 가능한 트랜지스터를 액정 표시 장치에 사용함으로써, 화소부의 스위칭 트랜지스터와, 구동 회로부에 사용하는 드라이버 트랜지스터를 동일 기판 위에 형성할 수 있다. 즉, 별도 구동 회로로서, 실리콘 웨이퍼 등에 의해 형성된 반도체 장치를 사용할 필요가 없기 때문에, 반도체 장치의 부품 점수를 삭감할 수 있다. 또한, 화소부에 있어서도, 고속 구동이 가능한 트랜지스터를 사용함으로써, 고화질의 화상을 제공할 수 있다.

[0215] 액정 표시 장치에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 사용할 수 있다.

[0216] 또한, 노멀리 블랙형의 액정 표시 장치, 예를 들면 수직 배향(VA) 모드를 채용한 투과형의 액정 표시 장치로 해도 좋다. 수직 배향 모드로서는, 몇개를 들 수 있지만, 예를 들면, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV 모드 등을 사용할 수 있다. 또한, VA형의 액정 표시 장치에도 적용할 수 있다. VA형의 액정 표시 장치란, 액정 표시 패널의 액정 분자의 배열을 제어하는 방식의 일종이다. VA형의 액정 표시 장치는, 전압이 인가되어 있지 않을 때에 패널면에 대해 액정 분자가 수직 방향을 향하는 방식이다. 또한, 화소(픽셀)를 몇개의 영역(서브 픽셀)으로 나누고, 각각 다른 방향으로 분자를 쓰러뜨리도록 고안되어 있는 멀티 도메인화 또는 멀티 도메인 설계라고 하는 방법을 사용할 수 있다.

[0217] 또한, 표시 장치에 있어서, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등은 적절히 형성한다. 예를 들면, 편광 기판 및 위상차 기판에 의한 원 편광을 사용해도 좋다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 사용해도 좋다.

[0218] 또한, 화소부에 있어서의 표시 방식은, 프로그레시브 방식이나 인터레이스 방식 등을 사용할 수 있다. 또한, 컬러 표시할 때에 화소로 제어하는 색 요소로서는, RGB(R은 적색, G는 녹색, B는 청색을 나타낸다)의 3색으로 한정되지 않는다. 예를 들면, RGBW(W는 백색을 나타낸다), 또는 RGB에, 옐로우, 시안, 마젠타 등을 1색 이상 추가한 것이 있다. 또한, 색요소의 도트마다 그 표시 영역의 크기가 상이해도 좋다. 다만, 개시하는 발명은 컬러 표시의 표시 장치로 한정되는 것이 아니며, 흑백 표시의 표시 장치에 적용할 수도 있다.

[0219] 또한, 표시 장치에 포함되는 표시 소자로서, 일렉트로루미네선스를 이용하는 발광 소자를 적용할 수 있다. 일렉트로루미네선스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 의해 구별되고, 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불리고 있다.

[0220] 유기 EL 소자는, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기

화합물을 포함하는 층에 주입되고, 전류가 흐른다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아올 때에 발광한다. 이러한 메커니즘으로부터, 이러한 발광 소자는, 전류 여기형의 발광 소자라고 불린다.

- [0221] 무기 EL 소자는, 그 소자 구성에 의해, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이며, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층 사이에 개재하고, 다시 그것을 전극 사이에 개재한 구조이며, 발광 메커니즘은 금속 이온의 내각 전자 천이를 이용하는 국제형 발광이다. 또한, 여기에서는, 발광 소자로서 유기 EL 소자를 사용하여 설명한다.
- [0222] 발광 소자는 발광을 추출하기 위해서 적어도 한 쌍의 전극의 한쪽이 투광성이면 좋다. 그리고, 기관 위에 트랜지스터 및 발광 소자를 형성하고, 기관과는 반대측의 면으로부터 발광을 추출하는 상면 사출이나, 기관측의 면으로부터 발광을 추출하는 하면 사출이나, 기관측 및 기관과는 반대측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있으며, 어느 사출 구조의 발광 소자도 적용할 수 있다.
- [0223] 도 7b에 표시 소자로서 발광 소자를 사용한 발광 장치의 예를 도시한다. 표시 소자인 발광 소자(453)는, 화소부(402)에 형성된 트랜지스터(410)와 전기적으로 접속하고 있다. 또한 발광 소자(453)의 구성은, 도전막(430b), 전계 발광층(452), 상부 전극(451)의 적층 구조이지만, 나타난 구성으로 한정되지 않는다. 발광 소자(453)로부터 추출하는 광의 방향 등에 맞추어, 발광 소자(453)의 구성은 적절히 변경할 수 있다.
- [0224] 격벽(450)은, 유기 절연 재료, 또는 무기 절연 재료를 사용하여 형성한다. 특히 감광성의 수지 재료를 사용하여, 도전막(430b)에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 가지고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- [0225] 전계 발광층(452)은, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느 쪽이라도 좋다.
- [0226] 발광 소자(453)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 상부 전극(451), 및 격벽(450) 위에 보호막을 형성해도 좋다. 보호막으로서, 질화 실리콘막, 질화산화 실리콘막, DLC막 등을 형성할 수 있다. 또한, 제 1 기관(401), 제 2 기관(407), 및 셀재(406)에 의해 밀봉된 공간에는 충전재(454)가 형성되어 밀봉되어 있다. 이와 같이 외기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.
- [0227] 충전재(454)로서는, 질소나 아르곤 등의 불활성 기체 이외에, 자외선 경화 수지 또는 열경화 수지를 사용할 수 있고, PVC(폴리비닐클로라이드), 아크릴계 수지, 폴리이미드계 수지, 에폭시계 수지, 실리콘계 수지, PVB(폴리비닐부티랄) 또는 EVA(에틸렌비닐아세테이트)를 사용할 수 있다. 예를 들면 충전재(454)로서, 질소를 사용하면 좋다.
- [0228] 또한, 필요하면, 발광 소자의 사출면에 편광판, 또는 원 편광판(타원 편광판을 포함한다), 위상차판( $\lambda/4$ 판,  $\lambda/2$ 판), 컬러필터 등의 광학 필름을 적절히 형성해도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 형성해도 좋다. 예를 들면, 표면의 요철에 의해 반사광을 확산하고, 눈부심(glare)을 저감시킬 수 있는 안티글레어 처리를 가할 수 있다.
- [0229] 또한, 도 7a, 및 도 7b에 있어서, 제 1 기관(401), 제 2 기관(407)으로서, 유리 기관 외에, 가요성을 갖는 기관도 사용할 수 있고, 예를 들면 투광성을 갖는 플라스틱 기관 등을 사용할 수 있다. 플라스틱으로서, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 알루미늄 호일을 PVF 필름이나 폴리에스테르 필름 사이에 개재한 구조의 시트를 사용할 수도 있다.
- [0230] 이상과 같이 실시형태 1 내지 실시형태 3에서 나타난 트랜지스터를 적용함으로써, 여러 가지 기능을 갖는 반도체 장치를 제공할 수 있다.
- [0231] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0232] (실시형태 5)
- [0233] 본 명세서에 개시하는 반도체 장치는, 다양한 전자 기기(게임기도 포함한다)에 적용할 수 있다. 전자 기기로서는, 예를 들면, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 한다), 컴퓨터용 등의 모니터, 디지털 카

메라, 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 한다), 휴대형 게임기, 휴대 정보 단말(PDA), 휴대 단말(스마트폰, 태블릿 PC 등을 포함한다), 음향 재생 장치, 파칭코기 등의 대형 게임기 등을 들 수 있다. 상기 실시형태에서 설명한 반도체 장치를 구비하는 전자 기기의 예에 관해서 도 8, 및 도 9를 사용하여 설명한다.

- [0234] 도 8a는, 노트형의 퍼스널 컴퓨터이며, 본체(3001), 하우징(3002), 표시부(3003), 키보드(3004) 등에 의해 구성되어 있다. 상기 실시형태 중 어느 하나에서 나타낸 반도체 장치를 표시부(3003)에 적용함으로써, 신뢰성이 높은 노트형의 퍼스널 컴퓨터로 할 수 있다.
- [0235] 도 8b는, 휴대 정보 단말(PDA)이며, 본체(3021)에는 표시부(3023)와, 외부 인터페이스(3025)와, 조작 버튼(3024) 등이 형성되어 있다. 또한 조작용의 부속품으로서 스타일러스(3022)가 있다. 상기 실시형태 중 어느 하나에서 나타낸 반도체 장치를 표시부(3023)에 적용함으로써, 보다 신뢰성이 높은 휴대 정보 단말(PDA)로 할 수 있다.
- [0236] 도 8c는, 전자 서적의 일례를 도시하고 있다. 예를 들면, 전자 서적(2700)은, 하우징(2701) 및 하우징(2703)의 2개의 하우징으로 구성되어 있다. 하우징(2701) 및 하우징(2703)은, 측부(2711)에 의해 일체로 되어 있고, 상기 측부(2711)를 축으로 하여 개폐 동작을 행할 수 있다. 이러한 구성에 의해, 종이 서적과 같은 동작을 행하는 것이 가능해진다.
- [0237] 하우징(2701)에는 표시부(2705)가 내장되고, 하우징(2703)에는 표시부(2707)가 내장되어 있다. 표시부(2705) 및 표시부(2707)는, 연속 화면을 표시하는 구성으로 해도 좋고, 상이한 화면을 표시하는 구성으로 해도 좋다. 상이한 화면을 표시하는 구성으로 함으로써, 예를 들면 우측의 표시부(도 8c에서는 표시부(2705))에 문장을 표시하고, 좌측의 표시부(도 8c에서는 표시부(2707))에 화상을 표시할 수 있다. 상기 실시형태 중 어느 하나에서 나타낸 반도체 장치를 표시부(2705), 표시부(2707)에 적용함으로써, 신뢰성이 높은 전자 서적(2700)으로 할 수 있다. 표시부(2705)로서 반투과형, 또는 반사형의 액정 표시 장치를 사용하는 경우, 비교적 밝은 상황하에서의 사용도 예상되기 때문에, 태양 전지를 형성하고, 태양 전지에 의한 발전, 및 배터리로의 충전을 행할 수 있도록 해도 좋다. 또한 배터리로서는, 리튬 이온 전지를 사용하면, 소형화를 도모할 수 있는 등의 이점이 있다.
- [0238] 또한, 도 8c에서는, 하우징(2701)에 조작부 등을 구비한 예를 도시하고 있다. 예를 들면, 하우징(2701)에 있어서, 전원(2721), 조작 키(2723), 스피커(2725) 등을 구비하고 있다. 조작 키(2723)에 의해, 페이지를 넘길 수 있다. 또한, 하우징의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 해도 좋다. 또한, 하우징의 이면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 해도 좋다. 또한, 전자 서적(2700)은, 전자 사전으로서의 기능을 갖게 한 구성으로 해도 좋다.
- [0239] 또한, 전자 서적(2700)은, 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다. 무선에 의해, 전자 서적 서버로부터, 원하는 서적 데이터 등을 구입하고, 다운로드하는 구성으로 하는 것도 가능하다.
- [0240] 도 8d는, 휴대 전화이며, 하우징(2800) 및 하우징(2801)의 두개의 하우징으로 구성되어 있다. 하우징(2801)에는, 표시 패널(2802), 스피커(2803), 마이크로폰(2804), 포인팅 디바이스(2806), 카메라용 렌즈(2807), 외부 접속 단자(2808) 등을 구비하고 있다. 또한, 하우징(2800)에는, 휴대형 정보 단말의 충전을 행하는 태양 전지 셀(2810), 외부 메모리 슬롯(2811) 등을 구비하고 있다. 또한, 안테나는 하우징(2801) 내부에 내장되어 있다. 상기 실시형태 중 어느 하나에서 나타낸 반도체 장치를 표시 패널(2802)에 적용함으로써, 신뢰성이 높은 휴대 전화로 할 수 있다.
- [0241] 또한, 표시 패널(2802)은 터치 패널을 구비하고 있고, 도 8d에는 화상 표시되어 있는 복수의 조작 키(2805)를 점선으로 나타내고 있다. 또한, 태양 전지 셀(2810)로부터 출력되는 전압을 각 회로에 필요한 전압으로 승압하기 위한 승압 회로도 실장하고 있다.
- [0242] 표시 패널(2802)은, 사용 형태에 따라 표시의 방향이 적절히 변화된다. 또한, 표시 패널(2802)과 동일면 위에 카메라용 렌즈(2807)를 구비하고 있기 때문에, 영상 전화가 가능하다. 스피커(2803) 및 마이크로폰(2804)은 음성 통화로 한정되지 않고, 영상 전화, 녹음, 재생 등이 가능하다. 또한, 하우징(2800)과 하우징(2801)은, 슬라이드하여, 도 8d와 같이 전개되어 있는 상태로부터 접힌 상태라고 할 수 있어 휴대에 적합한 소형화가 가능하다.
- [0243] 외부 접속 단자(2808)는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속가능하고, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(2811)에 기록 매체를 삽입하여, 보다 대량의 데이터 보

존 및 이동에 대응할 수 있다.

- [0244] 또한, 상기 기능 외에, 적외선 통신 기능, 텔레비전 수신 기능 등을 구비한 것이라도 좋다.
- [0245] 도 8e는, 디지털 비디오 카메라이며, 본체(3051), 표시부(A)(3057), 접안부(3053), 조작 스위치(3054), 표시부(B)(3055), 배터리(3056) 등으로 구성되어 있다. 상기 실시형태 중 어느 하나에서 나타낸 반도체 장치를 표시부(A)(3057), 표시부(B)(3055)에 적용함으로써, 신뢰성이 높은 디지털 비디오 카메라로 할 수 있다.
- [0246] 도 8f는, 텔레비전 장치의 일례를 도시하고 있다. 텔레비전 장치(9600)는, 하우징(9601)에 표시부(9603)가 내장되어 있다. 표시부(9603)에 의해, 영상을 표시하는 것이 가능하다. 또한, 여기에서는, 스탠드(9605)에 의해 하우징(9601)을 지지한 구성을 나타내고 있다. 상기 실시형태 중 어느 하나에서 나타낸 반도체 장치를 표시부(9603)에 적용함으로써, 신뢰성이 높은 텔레비전 장치(9600)로 할 수 있다.
- [0247] 텔레비전 장치(9600)의 조작은, 하우징(9601)이 구비하는 조작 스위치나, 별체의 리모트 컨트롤러에 의해 행할 수 있다. 또한, 리모트 컨트롤러에, 상기 리모트 컨트롤러로부터 출력하는 정보를 표시하는 표시부를 형성하는 구성으로 해도 좋다.
- [0248] 또한, 텔레비전 장치(9600)는, 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의해 일반 텔레비전 방송의 수신을 행할 수 있고, 또한 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일방향(송신자에게서 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자간끼리 등)의 정보 통신을 행하는 것도 가능하다.
- [0249] 도 9는, 태블릿 PC의 일례를 도시하고 있고, 도 9a1 내지 도 9a3은, 태블릿 PC(5000)를 도시하고, 도 9b는, 태블릿 PC(6000)를 도시하고 있다.
- [0250] 도 9a1 내지 도 9a3에 도시하는 태블릿 PC(5000)에 있어서, 도 9a1은 정면도를, 도 9a2는 측면도를, 도 9a3은 배면도를, 각각 도시하고 있다. 또한, 도 9b에 도시하는 태블릿 PC(6000)에 있어서는, 정면도를 도시하고 있다.
- [0251] 태블릿 PC(5000)는, 하우징(5001), 표시부(5003), 전원 버튼(5005), 전면 카메라(5007), 배면 카메라(5009), 제 1 외부 접속 단자(5011), 및 제 2 외부 접속 단자(5013) 등에 의해 구성되어 있다.
- [0252] 또한, 표시부(5003)는, 하우징(5001)에 내장되어 있고, 터치 패널로서도 사용할 수 있다. 예를 들면, 표시부(5003) 위에 아이콘(5015) 등을 표시시키고, 메일이나, 스케줄 관리와 같은 작업을 행할 수 있다. 또한, 하우징(5001)에는, 정면측에 전면 카메라(5007)가 내장되어 있어, 사용자측의 영상을 촬영할 수 있다. 또한, 하우징(5001)에는, 배면측에 배면 카메라(5009)가 내장되어 있어, 사용자와 반대측의 영상을 촬영할 수 있다. 또한, 하우징(5001)에는, 제 1 외부 접속 단자(5011), 및 제 2 외부 접속 단자(5013)를 구비하고 있으며, 예를 들면, 제 1 외부 접속 단자(5011)에 의해, 이어폰 등에 음성을 출력하고, 제 2 외부 접속 단자(5013)에 의해, 데이터의 이동 등을 행할 수 있다.
- [0253] 다음에, 도 9b에 도시하는 태블릿 PC(6000)는, 제 1 하우징(6001), 제 2 하우징(6003), 힌지부(6005), 제 1 표시부(6007), 제 2 표시부(6009), 전원 버튼(6011), 제 1 카메라(6013), 제 2 카메라(6015) 등에 의해 구성되어 있다.
- [0254] 또한, 제 1 표시부(6007)는, 제 1 하우징(6001)에 내장되어 있고, 제 2 표시부(6009)는, 제 2 하우징(6003)에 내장되어 있다. 제 1 표시부(6007), 및 제 2 표시부(6009)는, 예를 들면, 제 1 표시부(6007)를 표시용 패널로서 사용하고, 제 2 표시부(6009)를 터치 패널로 한다. 제 1 표시부(6007)에 표시된 텍스트 아이콘(6017)을 확인하고, 제 2 표시부(6009)에 표시시킨 아이콘(6019), 또는 키보드(6021)(실제로는 제 2 표시부(6009)에 표시된 키보드 화상)을 사용하여, 화상의 선택, 또는 문자의 입력 등을 행할 수 있다. 물론, 제 1 표시부(6007)가 터치 패널이며, 제 2 표시부(6009)가 표시용 패널로 한 구성이나, 제 1 표시부(6007), 및 제 2 표시부(6009) 모두 터치 패널로 한 구성으로 해도 좋다.
- [0255] 또한, 제 1 하우징(6001)과, 제 2 하우징(6003)은, 힌지부(6005)에 의해 접속되어 있고, 제 1 하우징(6001)과, 제 2 하우징(6003)을 개폐할 수 있다. 이러한 구성으로 함으로써, 태블릿 PC(6000)를 가지고 다닐 때에, 제 1 하우징(6001)에 내장된 표시부(6007)와, 제 2 하우징(6003)에 내장된 표시부(6009)를 맞춤으로써, 표시부(6007), 및 표시부(6009)의 표면(예를 들면, 플라스틱 기판 등)을 보호할 수 있기 때문에 적합하다.
- [0256] 또한, 제 1 하우징(6001)과 제 2 하우징(6003)은, 힌지부(6005)에 의해, 분리할 수 있는 구성으로 해도 좋다(소

위 컨버터블형). 이러한 구성으로 함으로써, 예를 들면, 제 1 하우징(6001)을 세로 방향으로 하고, 제 2 하우징(6003)을 가로 방향으로 하여 사용하는 것과 같이, 사용 범위가 넓어지기 때문에 적합하다.

- [0257] 또한, 제 1 카메라(6013), 및 제 2 카메라(6015)에 의해, 3D 화상의 촬영을 행할 수도 있다.
- [0258] 또한, 태블릿 PC(5000), 및 태블릿 PC(6000)는, 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다. 예를 들면, 무선에 의해, 인터넷 등에 접속하여, 원하는 정보를 구입하고, 다운로드하는 구성으로 하는 것도 가능하다.
- [0259] 또한, 태블릿 PC(5000), 및 태블릿 PC(6000)는, 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 캘린더, 날짜 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 터치 입력 조작 또는 편집하는 터치 입력 기능, 다양한 소프트웨어(프로그램)에 의해 처리를 제어하는 기능, 등을 가질 수 있다. 또한, 외광의 광량에 따라 표시의 휘도를 최적으로 할 수 있는 광센서나, 자이로센서, 가속도 센서의 경사를 검출하는 센서 등과 같은 검출 장치를 내장시켜도 좋다.
- [0260] 상기 실시형태에서 나타낸 반도체 장치를 태블릿 PC(5000)의 표시부(5003), 태블릿 PC(6000)의 제 1 표시부(6007), 또는/및 제 2 표시부(6009)에 적용함으로써, 신뢰성이 높은 반도체 장치로 할 수 있다.
- [0261] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0262] (실시에 1)
- [0263] 본 실시에에서는, 본 발명의 일 형태로서 사용할 수 있는 산소 방출형의 산화막에 관해서, 평가를 행하였다.
- [0264] 평가 방법으로서, 승온 탈리 가스 분광법(TDS: Thermal Desorption Spectroscopy)에 의해 평가를 행하였다.
- [0265] 또한, 평가 샘플로서는, 질화 실리콘막, 산화질화 실리콘막, 및 산화 실리콘막의 3종류를 제작하였다. 질화 실리콘막의 샘플을 시료 1, 산화질화 실리콘막의 샘플을 시료 2, 산화 실리콘막의 샘플을 시료 3으로 하였다.
- [0266] 이하에, 각 시료의 구조, 및 형성 조건의 상세를 기재한다.
- [0267] (시료 1)
- [0268] 유리 기판 위에, PE-CVD 장치를 사용하여,  $\text{SiH}_4/\text{H}_2/\text{NH}_3=30/800/300\text{sccm}$ , 성막 전력=600W(RF), 성막 압력=60Pa, 기판 온도=330℃의 조건으로 질화 실리콘막( $\text{SiN}_x$ )을 형성하였다. 또한, 사용한 유리 기판은, 두께 0.7mm으로 하고, 질화 실리콘막의 막 두께는, 100nm으로 하였다.
- [0269] (시료 2)
- [0270] 유리 기판 위에, PE-CVD 장치를 사용하여,  $\text{SiH}_4/\text{N}_2\text{O}=10/1200\text{sccm}$ , 성막 전력=30W(RF), 성막 압력=22Pa, 기판 온도=330℃의 조건으로 산화질화 실리콘막( $\text{SiON}$ )을 형성하였다. 또한, 사용한 유리 기판은, 두께 0.7mm으로 하고, 산화질화 실리콘막의 막 두께는, 150nm으로 하였다.
- [0271] (시료 3)
- [0272] 유리 기판 위에, 스퍼터링 장치를 사용하여,  $\text{O}_2=50\text{sccm}(\text{O}_2=100\%)$ , 성막 전력=10kW(DC-Pulse 전원, Pulse=300kHz), 성막 압력=0.4Pa, 기판 온도=실온(R.T.)의 조건으로 산화 실리콘막( $\text{SiO}_x$ )을 형성하였다. 또한, 사용한 유리 기판은, 두께 0.7mm으로 하고, 산화 실리콘막의 막 두께는, 100nm으로 하였다.
- [0273] 다음에, 상기 시료 1 내지 시료 3의 TDS 분석을 행하였다. 또한, TDS 분석은, 각 시료를 진공 용기 내에서 가열하고, 승온 중에 각 시료로부터 발생하는 가스 성분을 사중극 질량 분석계로 검출한다. 검출되는 가스 성분은,  $m/z$ (질량/전하)의 이온 강도로 구별된다. 또한, 본 실시형태에서는,  $m/z=32$ 의 이온 강도를 산소로서 분류하였다.
- [0274] 시료 1의 TDS 측정 결과를 도 10a에, 시료 2의 TDS 측정 결과를 도 10b에, 시료 3의 TDS 측정 결과를 도 10c에, 각각 도시한다. 또한, 도 10은, 가로축이 기판 온도(℃)를 나타내고, 세로축이  $m/z=32$ 의 이온 강도(임의 단위)를 나타낸다.
- [0275] 도 10a, 및 도 10b로부터, PE-CVD 장치로 형성한 질화 실리콘막(시료 1), 및 산화질화 실리콘막(시료 2)으로부터

터는,  $m/z=32$  강도의 이온 검출량이 적은 것을 알 수 있다. 한편, 도 10c에 도시하는 스퍼터링법으로 형성한 산화 실리콘막(시료 3)으로부터는,  $m/z=32$  강도의 이온 검출량이 많다. 특히, 100℃ 내지 300℃의 범위에서  $m/z=32$  강도의 이온 검출량이 많다.

- [0276] 그래서, 산화 실리콘막(시료 3)의  $m/z=32$ 의 이온 강도의 정량화를 행하여, 산소 방출량을 산출하였다. 또한, 질화 실리콘막(시료 1), 및 산화질화 실리콘막(시료 2)은,  $m/z=32$  강도의 이온 검출량이 적기 때문에, 정량화가 곤란하였다. 정량화의 결과, 산화 실리콘막(시료 3)의 산소 방출량은, 산소 원자로 환산한 산소 방출량이,  $4.5 \times 10^{20}$  atoms/cm<sup>2</sup>이었다.
- [0277] 다음에, 상기 시료 1 내지 시료 3과는 상이한 시료에 관해서 TDS 측정을 행하였다. 이하에, 각 시료의 구조, 및 형성 조건의 상세를 기재한다. 또한, TDS 측정에 관해서는, 시료 1 내지 시료 3과 같아서, 상세한 설명은 생략한다.
- [0278] (시료 4)
- [0279] 유리 기판 위에, 스퍼터링 장치를 사용하여, O<sub>2</sub>=300sccm(O<sub>2</sub>=100%), 성막 전력=24kW(AC), 성막 압력=0.7Pa, 기판 온도=실온(R.T.)의 조건으로 산화 실리콘막(SiO<sub>x</sub>)을 형성하였다. 또한, 사용한 유리 기판은, 두께 0.7mm으로 하고, 산화 실리콘막의 막 두께는, 100nm으로 하였다.
- [0280] (시료 5)
- [0281] 유리 기판 위에, 스퍼터링 장치를 사용하여, O<sub>2</sub>=300sccm(O<sub>2</sub>=100%), 성막 전력=24kW(AC), 성막 압력=0.7Pa, 기판 온도=50℃의 조건으로 산화 실리콘막(SiO<sub>x</sub>)을 형성하였다. 또한, 사용한 유리 기판은, 두께 0.7mm으로 하고, 산화 실리콘막의 막 두께는, 100nm으로 하였다.
- [0282] (시료 6)
- [0283] 유리 기판 위에, 스퍼터링 장치를 사용하여, O<sub>2</sub>=300sccm(O<sub>2</sub>=100%), 성막 전력=24kW(AC), 성막 압력=0.7Pa, 기판 온도=80℃의 조건으로 산화 실리콘막(SiO<sub>x</sub>)을 형성하였다. 또한, 사용한 유리 기판은, 두께 0.7mm으로 하고, 산화 실리콘막의 막 두께는, 100nm으로 하였다.
- [0284] (시료 7)
- [0285] 유리 기판 위에, 스퍼터링 장치를 사용하여, O<sub>2</sub>=300sccm(O<sub>2</sub>=100%), 성막 전력=24kW(AC), 성막 압력=0.7Pa, 기판 온도=150℃의 조건으로 산화 실리콘막(SiO<sub>x</sub>)을 형성하였다. 또한, 사용한 유리 기판은, 두께 0.7mm으로 하고, 산화 실리콘막의 막 두께는, 100nm으로 하였다.
- [0286] (시료 8)
- [0287] 유리 기판 위에, 스퍼터링 장치를 사용하여, O<sub>2</sub>=300sccm(O<sub>2</sub>=100%), 성막 전력=24kW(AC), 성막 압력=0.7Pa, 기판 온도=200℃의 조건으로 산화 실리콘막(SiO<sub>x</sub>)을 형성하였다. 또한, 사용한 유리 기판은, 두께 0.7mm으로 하고, 산화 실리콘막의 막 두께는, 100nm으로 하였다.
- [0288] 시료 4 내지 시료 8의 TDS 측정 결과를 도 11에 도시한다. 또한, 도 11은, 가로축이 기판 온도(℃)를 나타내고, 세로축이  $m/z=32$ 의 이온 강도(임의 단위)를 나타낸다.
- [0289] 또한, 시료 4 내지 시료 8의  $m/z=32$ 의 이온 강도의 정량화를 행하고, 산소 방출량을 산출하였다. 정량화의 결과, 시료 4에 관해서는,  $2.7 \times 10^{20}$  atoms/cm<sup>2</sup>, 시료 5에 관해서는,  $2.2 \times 10^{20}$  atoms/cm<sup>2</sup>, 시료 6에 관해서는,  $1.5 \times 10^{20}$  atoms/cm<sup>2</sup>, 시료 7에 관해서는,  $8.1 \times 10^{19}$  atoms/cm<sup>2</sup>, 시료 8에 관해서는,  $4.2 \times 10^{19}$  atoms/cm<sup>2</sup>의 산소 방출량이었다.
- [0290] 여기에서, 상기 제작한 시료 1 내지 시료 8의 막 종류, 조건(성막 장치, 전원, 기판 온도), 및 산소 방출량을 표 1에 기재한다.

표 1

	막 종류	성막 장치	전원	기판 온도 [°C]	산소 방출량 [atoms/cm <sup>3</sup> ]
시료 1	질화 실리콘	PE-CVD	RF	200	정량 불가
시료 2	산화질화 실리콘	PE-CVD	RF	330	정량 불가
시료 3	산화 실리콘	스퍼터링	DC-Pulse	R.T.	4.5E+20
시료 4	산화 실리콘	스퍼터링	AC	R.T.	2.7E+20
시료 5	산화 실리콘	스퍼터링	AC	50	2.2E+20
시료 6	산화 실리콘	스퍼터링	AC	80	1.5E+20
시료 7	산화 실리콘	스퍼터링	AC	150	8.1E+19
시료 8	산화 실리콘	스퍼터링	AC	200	4.2E+19

[0291]

[0292]

표 1, 도 10, 및 도 11로부터, 산소 방출형의 산화막의 일 형태로서는, 스퍼터링 장치로 산화 실리콘막을 형성함으로써, 얻어지는 것을 알 수 있었다. 또한, 도 11로부터, 스퍼터링으로 형성할 때의, 기판 온도는 낮은 편이 바람직하다. 기판 온도를 낮게 함으로써, 산소 방출량을 증가시킬 수 있기 때문에, 적합하다.

[0293]

이상과 같이, 산소 방출형의 산화막으로서는, 산소 원자로 환산하여 산소의 방출량이  $1.0 \times 10^{18}$  atoms/cm<sup>3</sup> 이상, 바람직하게는,  $1.0 \times 10^{19}$  atoms/cm<sup>3</sup> 이상, 더욱 바람직하게는,  $1.0 \times 10^{20}$  atoms/cm<sup>3</sup> 이상이다. 산소 방출형의 산화막으로서, 상기 수치로 함으로써, 산화물 반도체에 대해 적합하게 산소를 공급할 수 있다.

[0294]

(실시예 2)

[0295]

본 실시예에서는, 본 발명의 일 형태로서 사용할 수 있는 산소 방출형의 산화막, 및 금속 산화막에 관해서, 평가를 행하였다. 또한, 평가 방법으로서는, X선반사율 측정법(XRR: X-Ray Reflection)과, TDS 분석을 사용하였다.

[0296]

또한, XRR 측정이란, 측정 시료에 대해, X선을 입사하고, 입사된 X선의 임계각, 진폭 파형의 변화 등을 측정하고, 측정된 임계각, 진폭 파형 등을 사용하여 이론식 해석을 행함으로써, 형성된 박막의 밀도를 측정할 수 있는 측정 방법이다. 또한, 본 실시예에서는, 이론식 해석의 모델로서, 산화 알루미늄막의 조성을, 이상적인 조성인 Al<sub>2</sub>O<sub>3</sub>(Z/A=0.4882, (Z=원자 번호, A=질량수))로서 사용하고, 해석하였다.

[0297]

우선, XRR 측정에 의한 평가를 나타낸다. 평가 샘플로서는, 금속 산화막으로서 사용할 수 있는 산화 알루미늄막에 관해서, 상이한 형성 조건으로 2종류의 시료(시료 9, 및 시료 10)를 제작하였다. 이하에 각 시료의 구조, 및 형성 조건의 상세를 기재한다.

[0298]

(시료 9)

[0299]

유리 기판 위에, 스퍼터링 장치를 사용하여, O<sub>2</sub>=50sccm(O<sub>2</sub>=100%), 성막 전력=6kW(DC-Pulse 전원, Pulse=300kHz), 성막 압력=0.4Pa, 기판 온도=실온(R.T.)의 조건으로 산화 알루미늄막을 형성하였다. 또한, 스퍼터링 타깃으로서는, 금속 알루미늄 타깃을 사용하고, 산화 알루미늄막의 막 두께는, 100nm으로 하였다. 또한, 사용한 유리 기판은, 두께 0.7mm으로 하였다.

[0300]

(시료 10)

[0301]

유리 기판 위에, 스퍼터링 장치를 사용하여, O<sub>2</sub>=300sccm(O<sub>2</sub>=100%), 성막 전력=30kW(AC), 성막 압력=0.7Pa, 기판 온도=150°C의 조건으로 산화 알루미늄막을 형성하였다. 또한, 스퍼터링 타깃으로서는, 금속 알루미늄 타깃을 사용하고, 산화 알루미늄막의 막 두께는, 100nm으로 하였다. 또한, 사용한 유리 기판은, 두께 0.7mm으로 하였다.

[0302]

시료 9, 및 시료 10의 XRR 측정 결과를 도 12에 도시한다. 또한, XRR 측정은, 각 시료의 면내를 3점 측정하였다.

[0303]

도 12로부터, 시료 9에 관해서는, 산화 알루미늄막의 막 밀도가 약 3.0g/cm<sup>3</sup>이며, 시료 10에 관해서는, 산화 알루미늄막의 막 밀도가 약 3.8g/cm<sup>3</sup>이었다.

[0304]

다음에, TDS 분석에 의한 평가를 나타낸다.

[0305]

본 실시예의 TDS 분석의 평가 샘플로서는, 산소 방출형의 산화막의 단층 구조와, 산소 방출형의 산화막과 금속

산화막의 적층 구조의 2종류를 제작하였다. 산소 방출형의 산화막의 단층 구조를 시료 11, 산소 방출형의 산화막과 금속 산화막의 적층 구조를 시료 12로 하였다.

- [0306] 또한, 산소 방출형의 산화막으로서는, 산화 실리콘막을 사용하고, 그 형성 조건은, 실시예 1에서 나타난 시료 4와 같다. 또한, 금속 산화막으로서는, 산화 알루미늄막을 사용하고, 그 형성 조건은, 본 실시예에서 나타난 시료 10과 같다.
- [0307] 이하에, 각 시료의 구조, 및 형성 조건의 상세를 기재한다.
- [0308] (시료 11)
- [0309] 유리 기판 위에, 스퍼터링 장치를 사용하여,  $O_2=300\text{sccm}(O_2=100\%)$ , 성막 전력=24kW(AC), 성막 압력=0.7Pa, 기판 온도=실온(R.T.)의 조건으로 산화 실리콘막( $SiO_x$ )을 형성하였다. 또한, 사용한 유리 기판은, 두께 0.7mm으로 하고, 산화 실리콘막의 막 두께는, 400nm으로 하였다. 또한, 본 실시예의 시료 11은, 실시예 1에 나타난 시료 4와 조건은 동일하지만, 막 두께가 상이하다(시료 4는, 막 두께100nm).
- [0310] (시료 12)
- [0311] 유리 기판 위에, 스퍼터링 장치를 사용하여,  $O_2=300\text{sccm}(O_2=100\%)$ , 성막 전력=24kW(AC), 성막 압력=0.7Pa, 기판 온도=실온(R.T.)의 조건으로 산화 실리콘막( $SiO_x$ )을 형성하였다. 산화 실리콘막의 막 두께는, 400nm으로 하였다. 또한, 산화 실리콘막을 형성후, 계속해서 진공 중에서 연속하여,  $O_2=300\text{sccm}(O_2=100\%)$ , 성막 전력=30kW(AC), 성막 압력=0.7Pa, 기판 온도=150℃의 조건으로 금속 산화막으로서, 산화 알루미늄막( $AlO_x$ )을 형성하였다. 또한, 사용한 유리 기판은, 두께 0.7mm으로 하고, 산화 알루미늄막의 막 두께는, 100nm으로 하였다. 또한, 본 실시예의 산화 알루미늄막은, 먼저 나타난 시료 10과 조건은 동일하다.
- [0312] 다음에, 상기 시료 11, 및 시료 12의 TDS 분석을 행하였다. 또한, TDS 분석은, 각 시료를 진공 용기 내에서 가열하고, 승온 중에 각 시료로부터 발생하는 가스 성분을 사중극질량 분석계로 검출한다. 검출되는 가스 성분은, m/z(질량/전하)의 이온 강도로 구별된다. 또한, 본 실시예에서도, 실시예 1과 같이, m/z=32의 이온 강도를 산소로서 분류하였다.
- [0313] 시료 11, 및 시료 12의 TDS 측정 결과를 도 13에 도시한다. 또한, 도 13은, 가로축이 기판 온도(℃)를 나타내고, 세로축이 m/z=32의 이온 강도(임의 단위)를 나타낸다.
- [0314] 도 13으로부터, 시료 11의 산소 방출형의 산화막의 단층 구조에 있어서는, 기판 온도 100℃ 내지 400℃의 범위에 있어서, 산소의 방출이 확인된다. 한편, 시료 12의 산소 방출형의 산화막과, 금속 산화막인 산화 알루미늄막의 적층 구조에 있어서는, 현저한 산소 방출이 확인되지 않는다. 따라서, 산소 방출형의 산화막 위에 금속 산화막인 산화 알루미늄막을 형성함으로써, 산소 방출형의 산화막으로부터의 산소 방출을 억제하는 것이 확인되었다.
- [0315] (실시예 3)
- [0316] 본 실시예에서는, 본 발명의 일 형태인 반도체 장치의 제작 방법에 의해 얻어진, 트랜지스터(650)의 전기 특성에 관해서 설명한다.
- [0317] 본 실시예에 있어서의 트랜지스터(650)의 구조를 도 14a, 및 도 14b를 사용하여 설명을 행한다. 또한, 도 14a는 트랜지스터(650)의 평면도를 도시하고, 도 14b는, 도 14a에 나타내는 파선 X-Y의 단면도에 상당한다. 또한, 도 14a에 있어서, 구성 요소의 일부(예를 들면, 게이트 절연막 등)는, 도면이 번잡해지는 것을 피하기 위해서 생략하고 있다.
- [0318] 도 14a, 및 도 14b에 도시하는 트랜지스터(650)는, 기판(602)과, 하지 절연막(604)과, 게이트 전극(606)과, 산화질화 실리콘막(610)과, 산소 방출형의 산화막(612)과, 산화물 반도체막(614)과, 소스 전극(616)과, 드레인 전극(618)을 가진다. 또한, 산화물 반도체막(614)과, 소스 전극(616)과, 드레인 전극(618) 위에, 산소 방출형의 산화막(620a), 및 금속 산화막(620b)으로 이루어지는 무기 절연막(620)과, 무기 절연막(620) 위에 유기 절연막(622)이 형성되어 있다.
- [0319] 또한, 도 14a, 및 도 14b에 도시하는 트랜지스터(650)는, 산화질화 실리콘막(610)과, 산소 방출형의 산화막(612)에 의해 게이트 절연막(630)을 구성하고 있다.

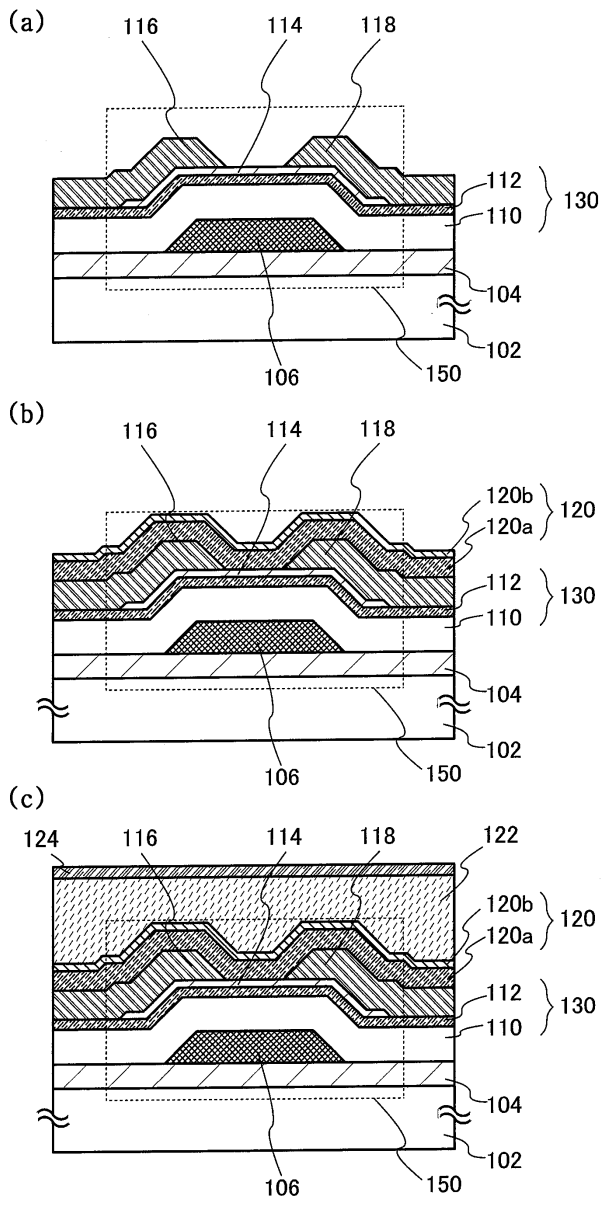
- [0320] 도 14b를 사용하여, 트랜지스터(650)의 제작 방법에 관해서 이하 설명을 행한다.
- [0321] 기판(602)으로서 0.7mm의 유리 기판을 사용하고, 기판(602) 위에 하지 절연막(604)을 형성하였다. 하지 절연막(604)은, 질화 실리콘막을 100nm과, 질화 실리콘막 위에 산화 실리콘막을 150nm의 적층 구조로 하였다.
- [0322] 다음에, 하지 절연막(604) 위에 도전막을 성막하고, 포토리소그래피 공정, 및 에칭 공정을 행하여, 게이트 전극(606)을 형성하였다. 게이트 전극(606)으로서는, 스퍼터링 장치를 사용하여, 텅스텐을 100nm으로 하였다.
- [0323] 다음에, 하지 절연막(604), 및 게이트 전극(606) 위에 산화질화 실리콘막(610)을 형성하였다. 산화질화 실리콘막(610)은, PE-CVD 장치를 사용하여,  $\text{SiH}_4/\text{N}_2\text{O}/\text{Ar}=250/2500/2500\text{sccm}$ , 압력=30Pa, 기판 온도=325℃, 전력=5kW(주파수: 2.45GHz, 전원: 4대 사용), 전극과 기판간 거리를 160mm, 막 두께 80nm으로 하였다.
- [0324] 다음에, 베이크 로(爐)를 사용하여 질소 분위기하, 350℃에서 1시간의 제 1 열처리를 행하였다.
- [0325] 다음에, 산화질화 실리콘막(610) 위에, 산소 방출형의 산화막(612)과 산화물 반도체막을 진공 중에서 연속하여 형성하였다.
- [0326] 또한, 산소 방출형의 산화막(612)의 형성 조건으로서는, 스퍼터링 장치를 사용하여, 산화 실리콘막을 형성하였다. 산화 실리콘막은, Si 타깃을 사용하고, 기판 온도는 실온으로 하고, 산소=300sccm, 전력=24kW(AC), 압력=0.7Pa, 막 두께=20nm으로 하였다.
- [0327] 또한, 산소 방출형의 산화막(612)은, 실시예 1의 시료 4에서 나타낸 산화 실리콘막과 같은 막이며, 그 산소 방출량은,  $2.7 \times 10^{20} \text{ atoms/cm}^2$ 이다.
- [0328] 또한, 산화물 반도체막은, 스퍼터링 장치로, IGZO 타깃( $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2[\text{mol비}]$ )를 사용하고, 기판 온도=170℃, 압력=0.6Pa, 전력=5kW(AC전원)의 조건으로 성막하였다. 또한, 산화물 반도체막의 막 두께는 35nm으로 하였다.
- [0329] 다음에, 산화물 반도체막에 포토리소그래피 공정, 및 에칭 공정을 행하여, 산화물 반도체막을 가공하고, 산화물 반도체막(614)을 형성하였다.
- [0330] 다음에, 베이크 로를 사용하여 질소 분위기하, 350℃에서 1시간의 제 2 열처리를 행하고, 계속해서 베이크 로를 사용하여 질소와 산소 분위기하, 350℃에서 1시간의 제 3 열처리를 행하였다.
- [0331] 다음에, 산소 방출형의 산화막(612), 및 산화물 반도체막(614) 위에 도전막을 성막하고, 포토리소그래피 공정, 및 에칭 공정을 행하여, 소스 전극(616), 및 드레인 전극(618)을 형성하였다. 소스 전극(616), 및 드레인 전극(618)은, 텅스텐, 알루미늄, 티타늄의 3층의 적층 구조로 하고, 각각의 막 두께는, 50nm, 400nm, 100nm으로 하였다.
- [0332] 다음에, 베이크 로를 사용하여 질소 분위기하, 300℃에서 1시간의 제 4 열처리를 행하고, 계속해서 무기 절연막(620)을 형성하였다. 또한, 무기 절연막(620)은, 산소 방출형의 산화막(620a)과, 금속 산화막(620b)을 진공 중에서 연속하여 형성하였다. 산소 방출형의 산화막(620a)은, 스퍼터링 장치를 사용하여, 산화 실리콘막을 형성하였다. 산화 실리콘막은, Si 타깃을 사용하고, 기판 온도는 실온으로 하고, 산소=300sccm, 압력=0.7Pa, 막 두께=400nm으로 하였다. 금속 산화막(620b)은, 스퍼터링 장치를 사용하고, 산화 알루미늄막을 형성하였다. 산화 알루미늄막은, 금속 알루미늄 타깃을 사용하고, 기판 온도는 150℃로 하고, 산소=300sccm( $\text{O}_2=100\%$ ), 성막 전력=30kW(AC), 압력=0.7Pa, 막 두께=50nm으로 하였다. 또한, 산화 알루미늄막의 밀도는,  $3.8\text{g/cm}^3$ 의 막을 사용하였다.
- [0333] 다음에, 무기 절연막(620) 위에 유기 절연막(622)을 형성하였다. 유기 절연막(622)은, 스핀 도포법에 의해 아크릴을 형성하고, 그 막 두께는  $1.5\mu\text{m}$ 으로 하였다.
- [0334] 그 후, 베이크 로를 사용하여 질소 분위기하, 250℃에서 1시간의 제 5 열처리를 행하였다.
- [0335] 이상의 공정에 의해 트랜지스터(650)를 형성하였다. 또한, 본 실시예의 트랜지스터(650)는, 채널 길이(L)= $3\mu\text{m}$ , 채널 폭(W)= $3\mu\text{m}$ 로 형성하였다.
- [0336] 다음에, 상기 제작한 본 발명의 일 형태인 트랜지스터(650)의 전기 측정을 행하였다. 트랜지스터(650)의 전기 측정 결과를 도 15에 도시한다.



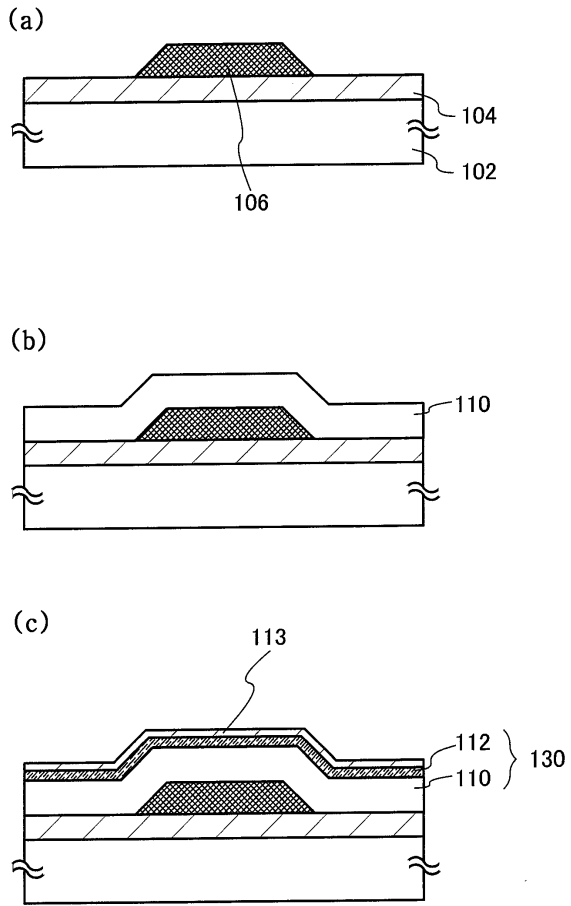
606: 게이트 전극	610: 산화질화 실리콘막
612: 산화막	614: 산화물 반도체막
616: 소스 전극	618: 드레인 전극
620: 무기 절연막	620a: 산화막
620b: 금속 산화막	622: 유기 절연막
630: 게이트 절연막	650: 트랜지스터
2700: 전자 서적	2701: 하우징
2703: 하우징	2705: 표시부
2707: 표시부	2711: 축부
2721: 전원	2723: 조작 키
2725: 스피커	2800: 하우징
2801: 하우징	2802: 표시 패널
2803: 스피커	2804: 마이크로폰
2805: 조작 키	2806: 포인팅 디바이스
2807: 카메라용 렌즈	2808: 외부 접속 단자
2810: 태양 전지 셀	2811: 외부 메모리 슬롯
3001: 본체	3002: 하우징
3003: 표시부	3004: 키보드
3021: 본체	3022: 스타일러스
3023: 표시부	3024: 조작 버튼
3025: 외부 인터페이스	3051: 본체
3053: 접안부	3054: 조작 스위치
3056: 배터리	5000: 태블릿 PC
5001: 하우징	5003: 표시부
5005: 전원 버튼	5007: 전면 카메라
5009: 배면 카메라	5011: 외부 접속 단자
5013: 외부 접속 단자	5015: 아이콘
6000: 태블릿 PC	6001: 하우징
6003: 하우징	6005: 힌지부
6007: 표시부	6009: 표시부
6011: 전원 버튼	6013: 카메라
6015: 카메라	6017: 텍스트 아이콘
6019: 아이콘	6021: 키보드
9600: 텔레비전 장치	9601: 하우징
9603: 표시부	9605: 스탠드

도면

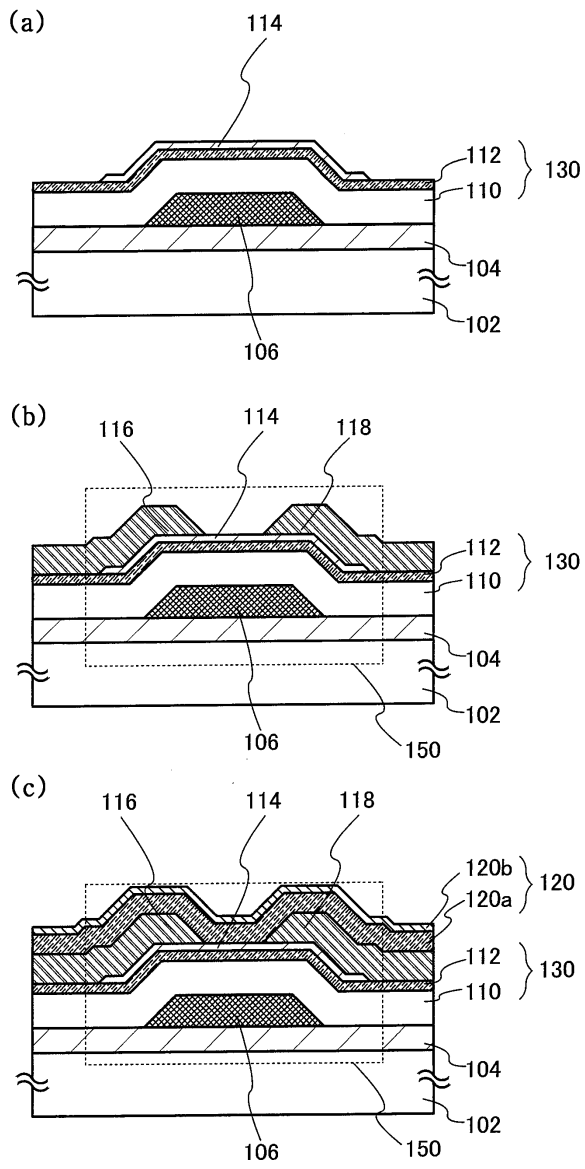
도면1



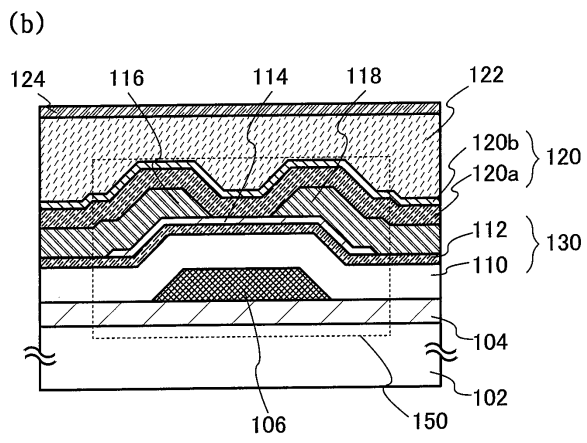
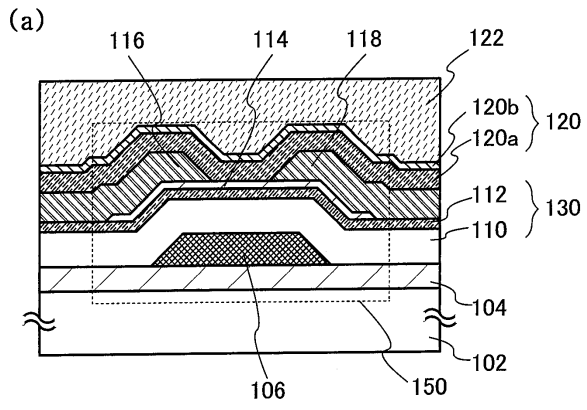
도면2



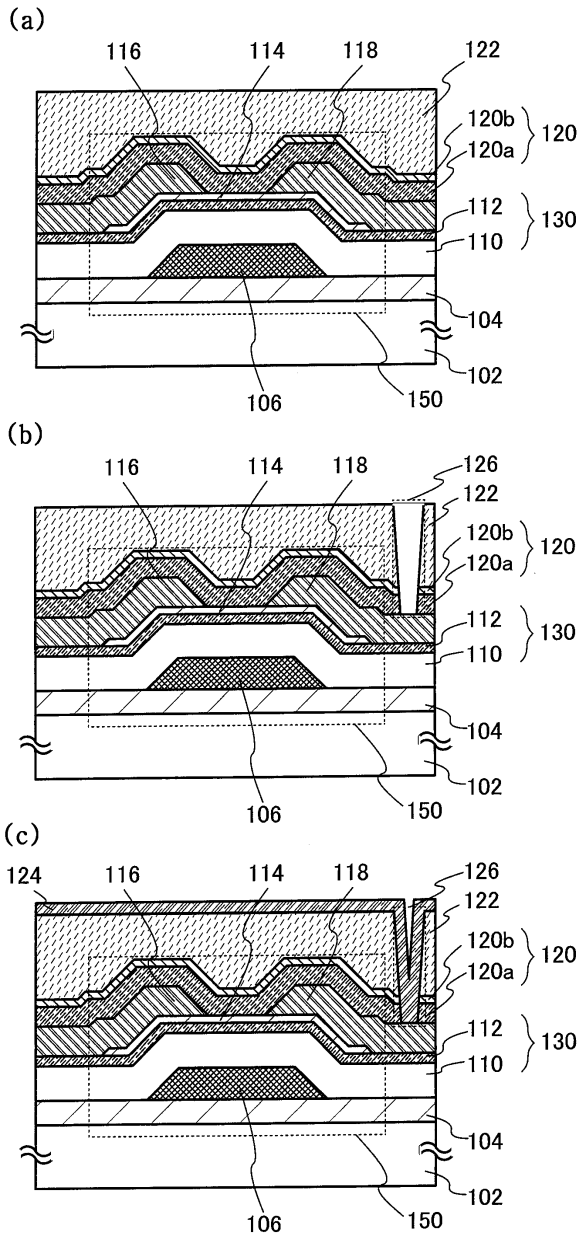
도면3



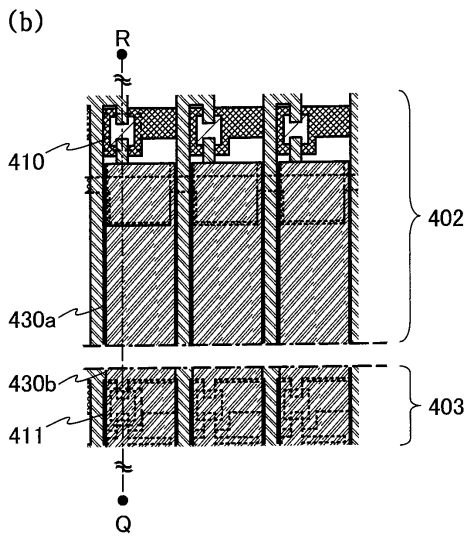
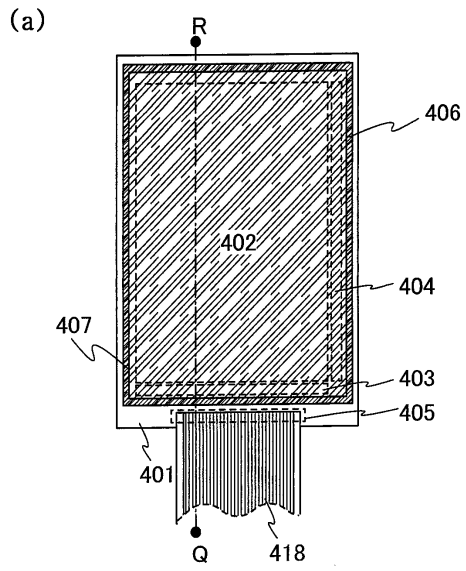
도면4



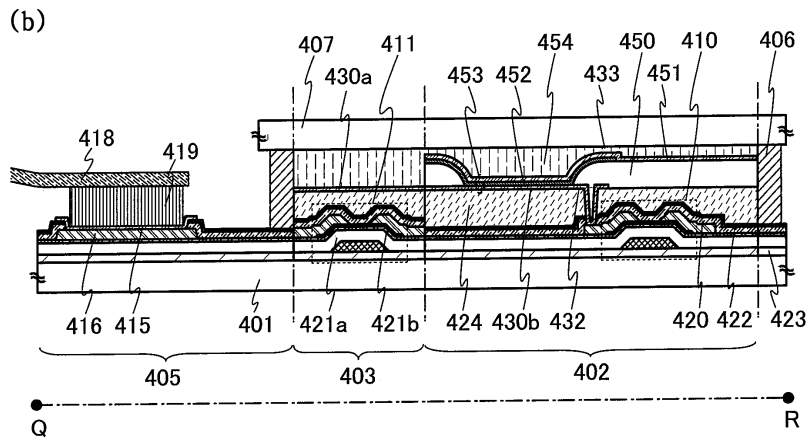
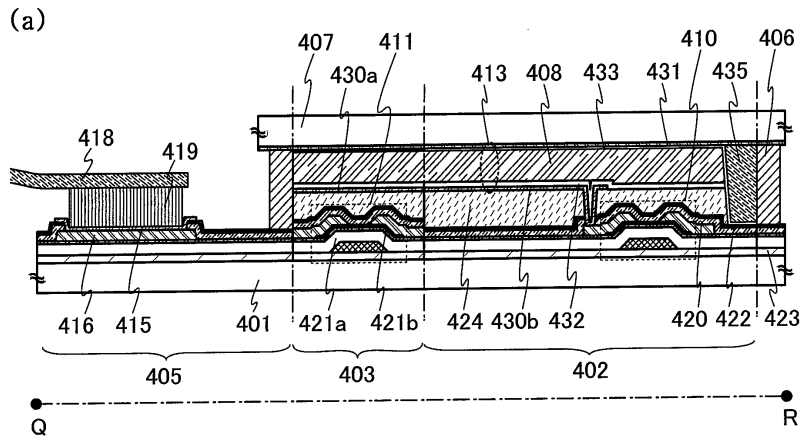
도면5



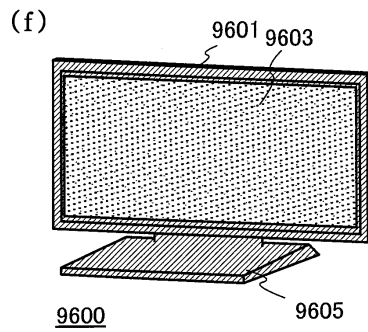
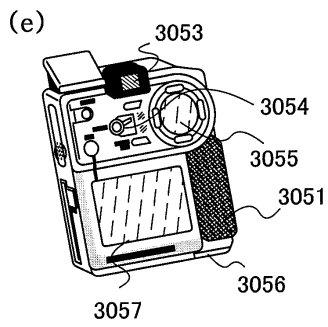
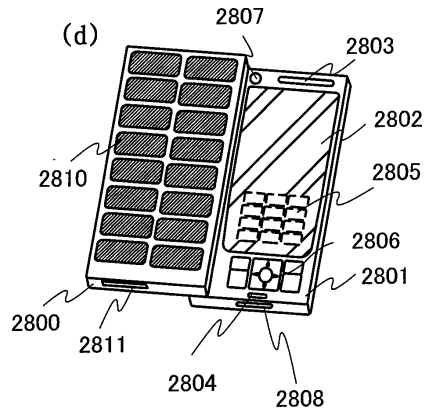
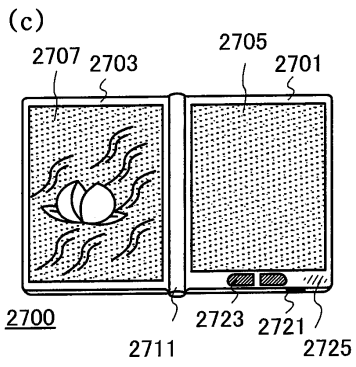
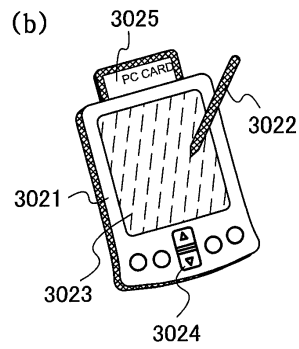
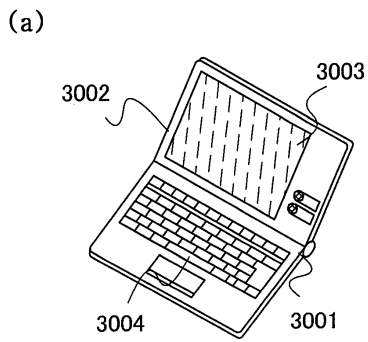
도면6



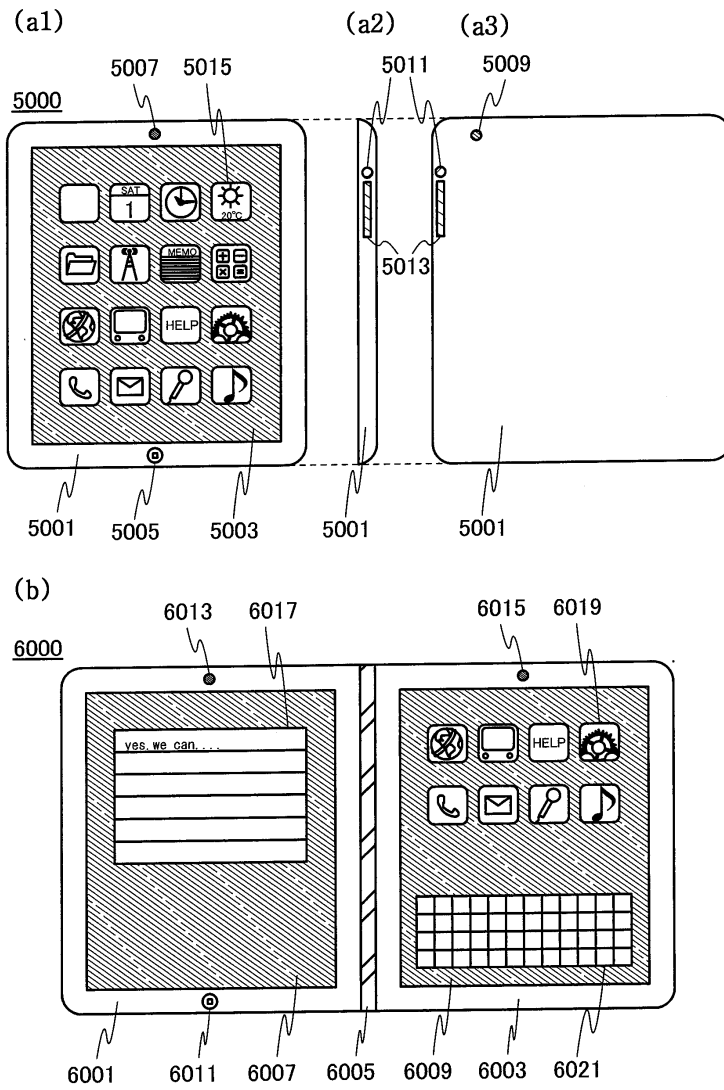
도면7



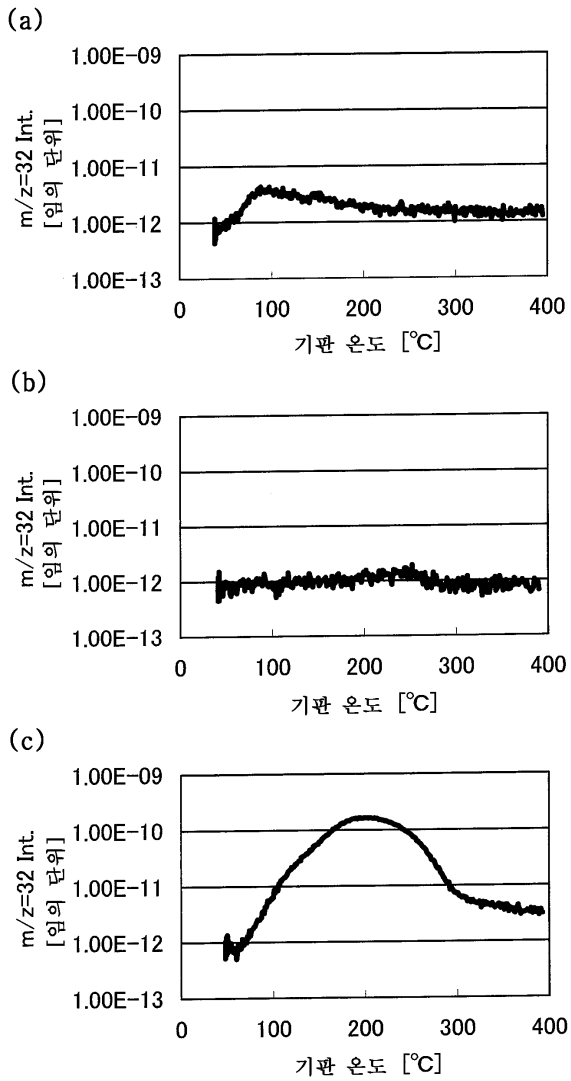
도면8



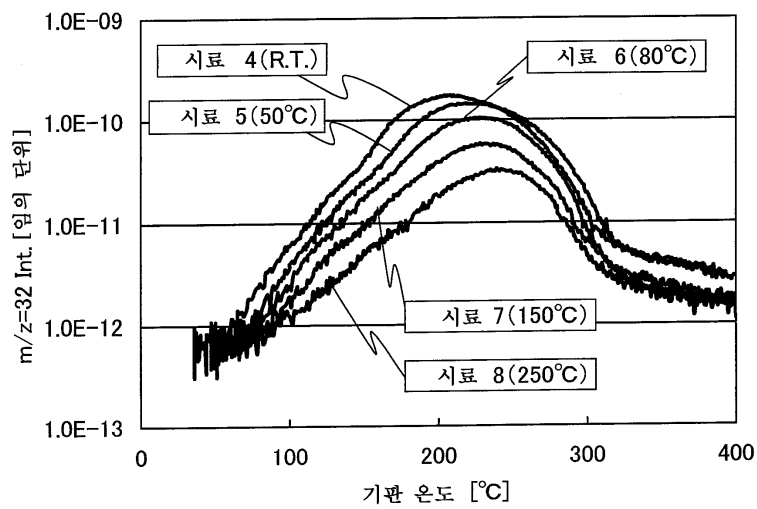
도면9



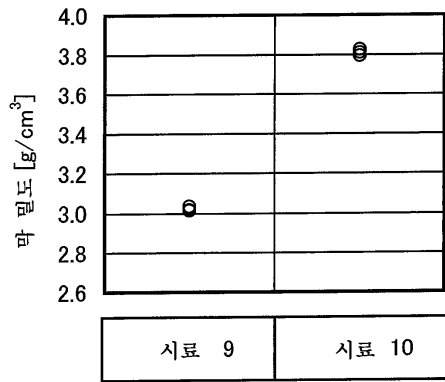
도면10



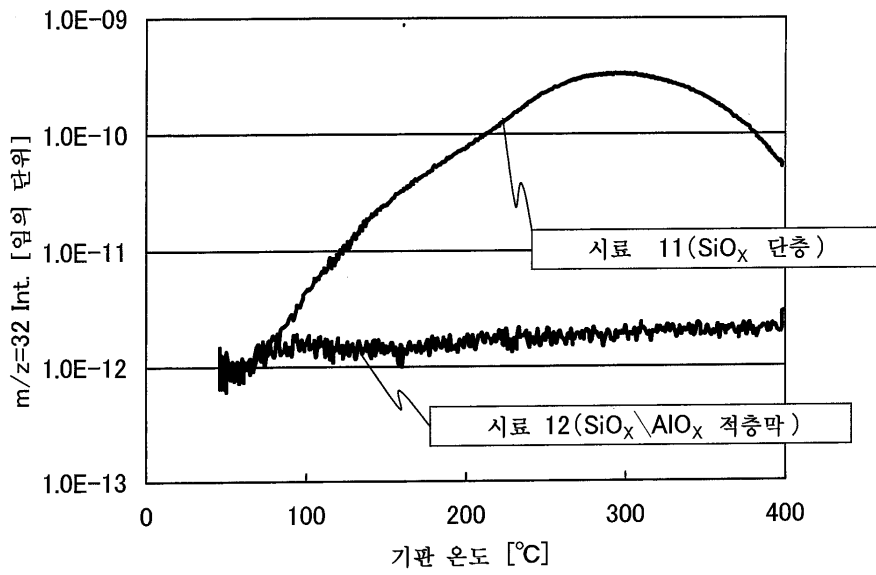
도면11



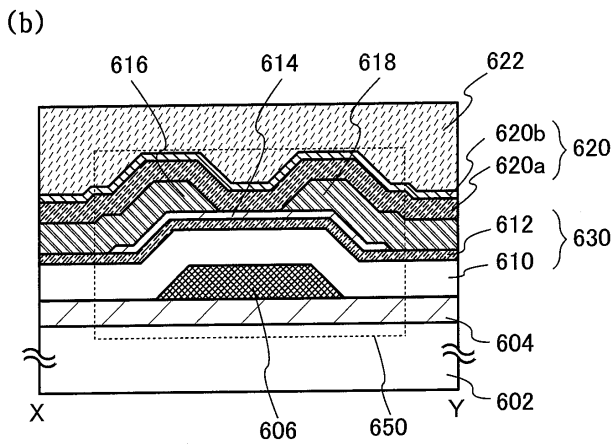
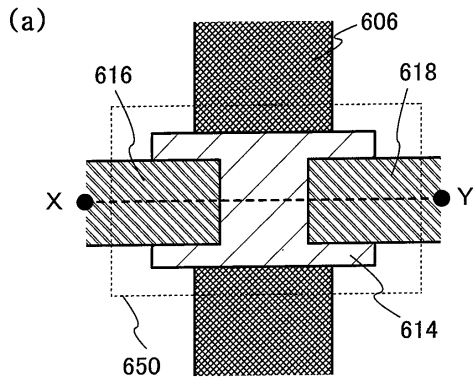
도면12



도면13



도면14



도면15

