

(43) 国際公開日
2006 年 12 月 7 日 (07.12.2006)

PCT

(10) 国際公開番号
WO 2006/129341 A1

(51) 国際特許分類:

H01L 21/8247 (2006.01) H01L 29/788 (2006.01)
H01L 27/115 (2006.01) H01L 29/792 (2006.01)

(21) 国際出願番号: PCT/JP2005/009878

(22) 国際出願日: 2005 年 5 月 30 日 (30.05.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベイルワンエイ
ムディ プレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (SPANSION JAPAN LIMITED) [JP/JP]; 〒9650845
福島県会津若松市門田町工業団地 6 番 Fukushima (JP).

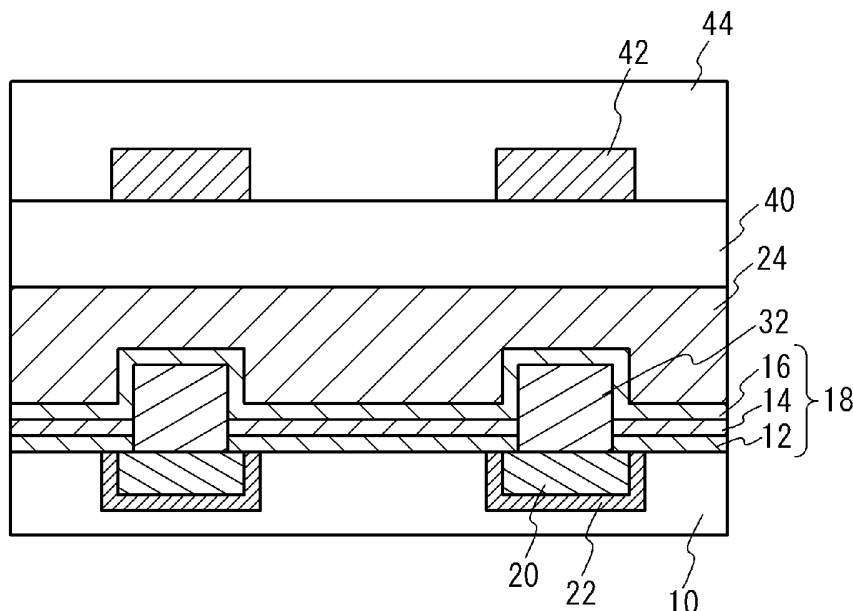
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 藤井謙一 (FUJII,
Kenichi) [JP/JP]; 〒9650845 福島県会津若松市門田
町工業団地 6 番 Spansion Japan 株式
会社内 Fukushima (JP). 東雅彦 (HIGASHI, Masahiko)[JP/JP]; 〒9650845 福島県会津若松市門田町工業
団地 6 番 Spansion Japan 株式会社内
Fukushima (JP).(74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋 1-6-1 三井住友海上テブコビ
ル Tokyo (JP).(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK,
LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX,
MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,
SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: Disclosed is a semiconductor device comprising an ONO film (18) formed on a semiconductor substrate (10), a word line (24) formed on the ONO film (18), a bit line (20) formed in the semiconductor substrate (10), and a conductive layer (32) which is formed in contact with the bit line (20) so as to extend in the longitudinal direction of the bit line and contains a polycrystalline silicon layer or a metal layer. In this semiconductor device, deterioration in write/erase characteristics and transistor characteristics such as junction leakage can be suppressed and the bit line resistance (the resistance of two layers, namely the bit line (20) and the conductive layer (32)) can be decreased. Also disclosed is a method for manufacturing such a semiconductor device.

/ 続葉有 /

WO 2006/129341 A1



IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 本発明は、半導体基板(10)上に形成されたONO膜(18)と、ONO膜(18)上に形成されたワードライン(24)と、半導体基板(10)内に形成されたビットライン(20)と、ビットライン(20)に接し、ビットラインの長手方向に延在し、多結晶シリコン層または金属層を含む導電層(32)と、を具備する半導体装置およびその製造方法である。本発明によれば、書き込み消去特性やジャンクションリーク等のトランジスタ特性の劣化を抑制し、さらにビットライン抵抗(ビットライン(20)と導電層(32)の2層の抵抗)を低くすることが可能な半導体装置およびその製造方法を提供することができる。

明 細 書

半導体装置およびその製造方法

技術分野

- [0001] 本発明は半導体装置およびその製造方法に関し、特に、半導体基板内に形成されたビットラインを有する半導体装置およびその製造方法に関する。

背景技術

- [0002] 近年、データの書換えが可能な半導体装置である不揮発性メモリが広く利用されている。このような不揮発性メモリの技術分野においては、高記憶容量化のためメモリセルの微細化を目的とした技術開発が進められている。例えば、不揮発性メモリとして、ONO (Oxide/Nitride/Oxide) 膜に電荷を蓄積させるMONOS (Metal Oxide Nitride Oxide Silicon) 型やSONOS (Silicon Oxide Nitride Oxide Silicon) 型フラッシュメモリがある。
- [0003] さらに、その中に、高記憶容量化を目的に、1つのトランジスタに2以上の電荷蓄積領域を有するフラッシュメモリが開発されている。例えば、特許文献1には、ゲート電極と半導体基板の間に2つの電荷蓄積領域を有するトランジスタが開示されている。このトランジスタはソースとドレインを入れ替えて対称的に動作させる。これより、ソース領域とドレイン領域を区別しない構造を有している。さらに、ビットラインがソース領域およびドレイン領域を兼ねており、半導体基板に埋め込まれた構造となっている。これにより、メモリセルの微細化を図っている。
- [0004] 上記従来技術の製造方法について図1を用い説明する。図1(a)において、P型の半導体基板10上にONO膜18として、トンネル酸化膜12(酸化シリコン膜)、トラップ層14(窒化シリコン膜)およびトップ酸化膜16(酸化シリコン膜)を形成する。図1(b)において、フォトレジスト50を塗布し、通常の露光技術を用い開口部を形成する。
- [0005] 図1(c)において、フォトレジスト50をマスクに例えば砒素をイオン注入し、ビットライン20を形成する。同じフォトレジスト50をマスクにポケット注入を行い、ポケット注入領域22を形成する。ポケット注入とは、半導体基板10の垂直方向に対し斜めより例えばボロンを注入することにより、ビットライン22の両側横にP型半導体基板10よりさら

に高濃度のP型領域を形成する方法である。これにより、ビットライン20近傍のジャンクションプロファイルを急峻とすることができ、書き込み特性を向上させることができる。

[0006] 図1(d)において、フォトレジスト50を除去する。図1(e)において、ONO膜18上にワードライン24を形成する。その後、層間絶縁膜の形成、配線層の形成、保護膜の形成により、フラッシュメモリが完成する。

[0007] 従来技術は、ビットライン20(ソース領域とド레인領域)間の半導体基板10がチャネルとして機能し、チャネルとワードライン24(ゲート電極)の間のONO膜18のトラップ層14に電荷を蓄積し、不揮発性メモリとして機能する。電荷蓄積領域はワードライン24下のビットライン20間に2箇所形成できる。

[0008] ONO膜18への電荷の蓄積は、ソース領域とド레인領域間(すなわちビットライン20間)に高電界を印加し、高エネルギーとなった電子をONO膜18中のトラップ層14に注入することにより行う。また、データの消去は、高エネルギーとなったホールをトラップ層14に注入することにより行う。そのため、書き込み・消去特性を向上させるためには、ビットライン20の領域を浅くし、急峻なジャンクションを形成することが求められる。

[0009] また、ビットライン20を拡散領域で形成しているため金属に比べると高抵抗である。そのため、書き込み消去特性が悪くなる。そこで、ビットライン20は、ワードライン24を複数本越える毎に、層間絶縁膜に形成されたコンタクトホールにより配線層と接続している。

特許文献1:特表2000-514946号公報

発明の開示

発明が解決しようとする課題

[0010] 従来技術において、ビットライン20を低抵抗化することにより、メモリセルの微細化が可能となる。ビットライン20の抵抗が低くなれば、ビットライン幅が小さくできる、また、ビットライン20と配線層を接続するコンタクトホールが少なくすむためである。

[0011] ビットライン20の低抵抗化は、ビットライン20を形成する際のイオン注入エネルギーやドーズ量を大きくすることにより可能となる。しかし、ビットライン20と半導体基板10の間にジャンクションリーク電流が増加してしまう。このように、ビットラインの低抵抗化す

なわちメモリセルの微細化を行うと、ジャンクションリーク電流が増加しトランジスタ特性が劣化してしまう。

[0012] また、書き込み消去特性を向上させるためには、ソース領域およびド레인領域(すなわち、ビットライン20)を浅くし、急峻なジャンクションを形成することが求められる。しかしながら、ソース領域およびド레인領域(ビットライン20)を浅く形成すると、ビットライン20の抵抗が高くなってしまう。これは、前述のようにメモリセルの微細化に反する。

[0013] 本発明は、上記課題に鑑み、トランジスタ特性の劣化を抑制し、さらにビットライン抵抗を低くすることが可能な半導体装置およびその製造方法を提供することを目的とする。

課題を解決するための手段

[0014] 本発明は、半導体基板上に形成されたONO膜と、前記ONO膜上に形成されたワードラインと、前記半導体基板内に形成されたビットラインと、前記ビットラインに接し、前記ビットラインの長手方向に延在し、多結晶シリコン層または金属層を含む導電層と、を具備する半導体装置である。本発明によれば、低抵抗である導電層により、ビットラインと導電層の2層の抵抗(本明細書ではビットライン抵抗と記載)を低くできるため、ビットラインの注入エネルギーおよびドーズ量を低くすることができる。これにより、書き込み消去特性の向上やジャンクションリーク電流を抑制することができる。よって、書き込み消去特性やジャンクションリーク等のトランジスタ特性の劣化を抑制し、さらにビットライン抵抗を低くすることが可能な半導体装置を提供することができる。

[0015] 本発明は、前記導電層の膜厚は、前記ONO膜の膜厚より厚い半導体装置とすることができる。本発明によれば、導電層の抵抗をより低くすることができ、よりビットライン抵抗を低くすることが可能となる。

[0016] 本発明は、前記ワードラインと前記導電層が、ONO膜中のトップ酸化膜の少なくとも一部で絶縁された半導体装置とすることができる。本発明によれば、膜質の良好なトップ酸化膜によりワードラインと導電層が絶縁される。よって、これら間のリーク電流を抑制することができる。

[0017] 本発明は、前記導電層上に珪化金属層を具備する半導体装置とすることができる。

。本発明によれば、よりビットライン抵抗を低くすることが可能な半導体装置を提供することができる。

[0018] 前記導電層が前記ONO膜に埋め込まれ、前記ONO膜表面が平坦化された半導体装置とすることができる。本発明によれば、ワードライン24は平坦な面に形成することができる。このため、メモリセルの微細化が可能となる。

[0019] 本発明は、前記導電層が電流の流れる方向に連続して延在する半導体装置とすることができる。本発明によれば、ビットライン抵抗を低くすることができる。

[0020] 本発明は、前記ワードライン上を交差し、前記ビットラインの長手方向に延在した配線層と、前記ワードラインの長手方向に延在し、複数の前記ワードラインを配置したワードライン領域間に設けられたビットラインコンタクト領域と、を具備し、前記ビットラインコンタクト領域において、前記配線層は1本おきに、前記導電層と接続し、前記ビットラインコンタクト領域において、前記配線層と接続する前記導電層は、前記ビットラインコンタクト領域内に前記ワードライン領域内の前記導電層の幅より幅の広いコンタクトパッドを有する半導体装置とすることができる。本発明によれば、コンタクトホールと導電層の重ね合わせがずれたとしても、コンタクトホールが導電層(コンタクトパッド)から外れることを防止している。これにより、ビットライン間隔を小さくすることができる。よって、メモリセルの微細化が可能となる。

[0021] 本発明は、半導体基板上にトンネル酸化膜およびトラップ層を形成する工程と、前記半導体基板内にビットラインを形成する工程と、前記トンネル酸化膜およびトラップ層に前記ビットラインに接する開口部を形成する工程と、前記ビットラインに接し、前記ビットラインの長手方向に延在し、多結晶シリコンまたは金属層を含む導電層を形成する工程と、を具備する半導体装置の製造方法である。本発明によれば、低抵抗である導電層により、ビットライン抵抗を低くできるため、ビットラインの注入エネルギーおよびドーズ量を低くすることができる。これにより、書き込み消去特性の向上やジャンクションリーク電流を抑制することができる。よって、書き込み消去特性やジャンクションリーク等のトランジスタ特性の劣化を抑制し、さらにビットライン抵抗を低くすることが可能な半導体装置の製造方法を提供することができる。

[0022] 本発明は、前記トラップ層上に保護膜を形成する工程を具備し、前記開口部を形

成する工程は、前記保護膜に前記開口部を形成する工程を含む半導体装置の製造方法とすることができる。本発明によれば、その後の製造工程において、トラップ層に損傷が加わることを防止することができる。

[0023] 本発明は、前記導電層を形成する工程は、前記トラップ層と前記開口部上に多結晶シリコン層または金属層を形成する工程と、前記開口部以外の前記多結晶シリコン層または金属層をエッチングする工程と、を含む半導体装置の製造方法とすることができる。本発明によれば、導電層の膜厚をONO膜の膜厚より厚くすることができる。

[0024] 本発明は、前記導電層の幅は、前記開口部の幅より広い半導体装置の製造方法とすることができる。本発明によれば、コンタクトホールが導電層から外れること、ビットラインに損傷を与えることを防止することができる。

[0025] 本発明は、前記多結晶シリコン層または金属層上に珪化金属層を形成する工程を具備する半導体装置の製造方法とすることができる。本発明によれば、よりビットライン抵抗を低くすることが可能な半導体装置の製造方法を提供することができる。

[0026] 前記導電層を形成する工程は、前記保護膜と前記開口部上に多結晶シリコン層または金属層を形成する工程と、前記多結晶シリコン層または金属層並びに前記保護膜を研磨する工程と、を含む半導体装置の製造方法とすることができる。本発明によれば、ワードラインを平坦な面に形成することができる。このため、メモリセルの微細化が可能となる。

[0027] 本発明は、前記導電層上に珪化金属層を形成する工程を具備する半導体装置の製造方法とすることができる。本発明によれば、よりビットライン抵抗を低くすることが可能な半導体装置の製造方法を提供することができる。

[0028] 本発明は、前記珪化金属を形成する工程は、前記導電層および窒化シリコン膜上に珪化すべき金属層を形成する工程を含む半導体装置の製造方法とすることができる。本発明によれば、酸化シリコン膜表面が珪化することを防止することができる。

[0029] 本発明は、前記保護膜を除去する工程と、前記トラップ層および前記導電層上にトップ酸化膜を形成する工程と、を具備する半導体装置の製造方法とすることができる。本発明によれば、ワードラインと導電層がトップ酸化膜により絶縁される。よって、ワ

ードラインと導電層間のリーク電流を抑制することができる。

[0030] 本発明は、前記保護膜の膜厚は、前記トップ層の膜厚より厚い半導体装置の製造方法とすることができる。本発明によれば、導電層の膜厚をONO膜より厚くすることができる。

[0031] 本発明は、前記保護膜および前記導電層上にトップ酸化膜の一部を形成する工程を具備し、前記トップ酸化膜は前記保護膜と前記トップ酸化膜の一部から構成される半導体装置の製造方法とすることができる。本発明によれば、ワードラインと導電層がトップ酸化膜の一部により絶縁される。さらに、保護膜を除去しないため製造工程を削減することができる。

[0032] 本発明は、前記トップ酸化膜上にワードラインを形成する工程を具備する半導体装置の製造方法とすることができる。本発明によれば、ワードラインと導電層がトップ酸化膜により絶縁される。よって、ワードラインと導電層間のリーク電流を抑制することができる。

[0033] 本発明は、前記開口部を形成する工程は、前記トラップ層上に形成されたマスク層および前記マスク層の側面に形成された側壁をマスクに、前記トラップ層および前記トンネル酸化膜をエッチングする工程である半導体装置の製造方法とすることができる。本発明によれば、露光寸法より細い幅の開口部を形成することができる。これにより、よりメモリセルの微細化が可能となる。

発明の効果

[0034] 本発明によれば、トランジスタ特性の劣化を抑制し、さらにビットライン抵を低くすることが可能な半導体装置およびその製造方法を提供することができる。

図面の簡単な説明

[0035] [図1]図1は従来技術に係るフラッシュメモリのメモリセルの製造方法を示す断面図である。

[図2]図2は実施例1に係るフラッシュメモリのメモリセルの上視図である。

[図3]図3は実施例1に係るフラッシュメモリのメモリセルの断面図であり、図2のA-A断面を示す図である。

[図4]図4は実施例1に係るフラッシュメモリのメモリセルの製造方法を示す断面図(そ

の1)である。

[図5]図5は実施例1に係るフラッシュメモリのメモリセルの製造方法を示す断面図(その2)である。

[図6]図6は実施例1の変形に係るフラッシュメモリの導電層付近の断面図である。

[図7]図7は実施例2に係るフラッシュメモリのメモリセルの製造方法を示す断面図である。

[図8]図8は実施例3に係るフラッシュメモリのメモリセルの製造方法を示す断面図である。

[図9]図9は実施例4に係るフラッシュメモリのメモリセルの製造方法を示す断面図(その1)である。

[図10]図10は実施例4に係るフラッシュメモリのメモリセルの製造方法を示す断面図(その2)である。

[図11]図11は実施例5に係るフラッシュメモリのメモリセルの製造方法を示す断面図である。

[図12]図12は実施例6に係るフラッシュメモリのメモリセルの製造方法を示す断面図である。

[図13]図13は実施例7に係るフラッシュメモリのメモリセルの上視図である。

発明を実施するための最良の形態

[0036] 以下、図面を参照に、実施例を説明する。

実施例 1

[0037] 図2は実施例1に係るフラッシュメモリのメモリセルの上視図(保護層44、配線層42、層間絶縁膜40およびONO膜18は図示せず)である。図3は図2のA-A断面図である。

[0038] 図2および図3を参照すると、P型シリコン半導体基板10(または半導体基板内のP型領域)内に、ソース領域とドレイン領域を兼ねるビットライン20が形成され、ビットライン20の両側にポケット注入領域22が形成されている。ビットライン20は図2の上下方向に延在しており、ビットライン20上に、ビットライン20に接し、ビットライン20の長手方向に連続して延在する導電層32が形成されている。

- [0039] 半導体基板10上には、トンネル酸化膜12、トラップ層14およびトップ酸化膜16からなるONO膜18が形成されている。ONO膜18上にワードライン24が形成されている。ワードライン24と導電層32はONO膜18中のトップ酸化膜16で絶縁されている。ワードライン24上に層間絶縁膜40が形成され、層間絶縁膜40上に、ビットライン20および導電層32とコンタクトホール46で接続される配線層42が形成されている。層間絶縁膜40、配線層42上に保護層44が形成されている。
- [0040] ビットライン20および導電層32は、ワードライン24を複数本(図2では2本で描いたが、例えば16本)置きに配線層42とコンタクトホール46を介し接続している。コンタクトホール46が配置された領域がビットラインコンタクト領域28であり、ワードラインが配置された領域がワードライン領域29である。
- [0041] 図4および図5を用い、実施例1に係るフラッシュメモリの製造方法について説明する。図4および図5は図2のA-A断面に相当する図である。
- [0042] 図4(a)において、P型シリコン半導体基板10(または半導体基板内のP型領域)上に、トンネル酸化膜12(酸化シリコン膜)を熱酸化法を用い形成する。さらに、トラップ層14(窒化シリコン膜)および保護膜26(酸化シリコン膜)をCVD法を用い形成する。トンネル酸化膜12、トラップ層14および保護膜26の膜厚は、例えばそれぞれ7.5nm、12nmおよび10nmである。
- [0043] 従来技術の図1(b)から図1(d)と同様に、半導体基板10内に砒素をイオン注入し、半導体基板10内にビットライン20を形成する。さらに、ポケット注入領域22を形成する。その後熱処理する。ビットライン20の形成は、例えば注入エネルギーを40keV、ドーズ量 $1.5 \times 10^{15} \text{ cm}^{-2}$ で行う。
- [0044] 図4(b)において、通常露光技術を用い、所定の開口部を有するフォトレジスト52を形成する。図4(c)において、フォトレジスト52をマスクに保護膜26、トラップ層14およびトンネル酸化膜12をエッチングする。これにより、保護膜26、トラップ層14およびトンネル酸化膜12にビットライン20に接する開口部54を形成する。図4(d)において、開口部54および保護膜26上にP型にドーピングした多結晶シリコン層30を形成する。
- [0045] 図5(a)において、通常露光技術を用い、所定の開口部を有するフォトレジスト56

を形成する。図5(b)において、フォトリソスト56をマスクに多結晶シリコン層30をエッチングし、ビットライン20に接し、ビットライン20の長手方向に延在する導電層32を形成する。導電層32は多結晶シリコン層30を含んでいる。また、導電層32の膜厚は、例えば50nmである。その後、保護膜26を除去する。

[0046] 図5(c)において、トラップ層14および導電層32を覆うようにトップ酸化膜16をCVD法により形成する。トップ酸化膜16の膜厚は、例えば10nmとする。これにより、ONO膜18の膜厚は、例えば約30nmとなる。図5(d)において、トップ酸化膜16上に、通常の露光技術およびエッチング法により多結晶シリコンのワードライン24を形成する。

[0047] その後、層間絶縁膜40としてBPSG (Boro-Phospho Silicated Glass) 等の酸化シリコン膜を形成する。層間絶縁膜40にコンタクトホール46を形成し、コンタクトホール46に内にTi/WNまたはTi/TiN並びにW等の金属を埋め込こむ。配線層42としてアルミニウムを形成し、保護層44を形成する。以上により、図3のフラッシュメモリが完成する。

[0048] 実施例1に係るフラッシュメモリは、ビットライン20上に導電層32が接し形成されている。導電層32はP型にドーピングした多結晶シリコン層で形成され、拡散層で形成されたビットライン20に比べ低抵抗とすることができる。

[0049] 低抵抗である導電層32により、ビットライン20と導電層32の2層の抵抗(本明細書ではビットライン抵抗と記載)を低くできるため、ビットライン20の注入エネルギーおよびドーズ量を小さくすることができる。これにより、書き込み消去特性の向上やジャンクションリーク電流を抑制することができる。また、ビットライン20および導電層32は配線層42と接続するためのワードライン24を越える本数を多くできる。つまり、ワードライン領域29を拡げ、ビットラインコンタクト領域28がメモリセルに占める面積を小さくできる。また、ビットライン20および導電層32の幅を小さくできる。これらより、メモリセル微細化が可能となる。

[0050] 以上のように、実施例1によれば、書き込み消去特性やジャンクションリーク等のトランジスタ特性の劣化を抑制し、さらにビットライン抵抗を低くすることが可能となる。

[0051] 例示したように、導電層32の膜厚を、ONO膜18の膜厚より厚くすることで、導電層

32の抵抗をより低くすることができる。よって、ビットライン抵抗を低くすることが可能となる。

[0052] ワードライン24と導電層32が、ONO膜18中のトップ酸化膜14の全部で絶縁されている。これにより、様々なプロセスを経ていない膜質の良好なトップ酸化膜16によりワードライン24と導電層32が絶縁される。よって、これら間のリーク電流を抑制することができる。

[0053] 導電層32は電流の流れる方向に連続して延在している。これにより、ビットライン抵抗を低くすることができる。

[0054] 図4(a)において、トラップ層14上に保護膜26を形成し、図4(c)において、トンネル酸化膜12とトラップ層14に開口部54を形成する際、保護膜26に開口部54を形成している。これにより、その後の製造工程において、トラップ層14に損傷が加わることを防止することができる。

[0055] 図5(b)において、保護膜26を除去し、トラップ層14および導電層32上にこれらを覆うようにトップ酸化膜を形成する。さらに、図5(d)において、トップ酸化膜16上にワードラインを形成する。これにより、ワードライン24と導電層32が、ONO膜18中のトップ酸化膜14で絶縁される。よって、ワードライン24と導電層32間のリーク電流を抑制することができる。

[0056] 図4(d)から図5(b)において、導電層32を形成する工程として、トラップ層14と開口部54上に多結晶シリコン層30を形成し、開口部54以外の多結晶シリコン層30をエッチングしている。導電層32をこのように作製することにより、導電層32の膜厚をONO膜18の膜厚より厚くすることができる。

[0057] 図5(b)において、保護膜26を除去せず、図5(c)において、トップ酸化膜16および導電層32上に、これらを覆うようにトップ酸化膜16の一部(酸化シリコン膜)を形成し、トップ酸化膜16を保護膜26とトップ酸化膜の一部から構成することもできる。この場合、保護膜26を除去する工程を削減することができる。また、ワードライン24と導電層32が、ONO膜18中のトップ酸化膜14の一部で絶縁される。これにより、様々なプロセスを経ていない膜質の良好なトップ酸化膜16の一部によりワードライン24と導電層32が絶縁されるため、これら間のリーク電流を抑制することができる。

- [0058] 実施例1の変形例について図6を用い説明する。図5(a)、(b)において、多結晶シリコン層30をエッチングし導電層32を形成する際に、導電層32aの幅を開口部54より広くすることができる。図6(a)、はこの際の導電層32a付近の断面図である。導電層32a以外は図5(b)と同じである。
- [0059] 実施例1においては、図5(a)のフォトレジスト56と開口部54の重ね合わせがずれた場合、図5(b)の導電層32に相当する断面は、図6(b)のように変形してしまう。本変形例はこれを防止し、コンタクトホール46が導電層32から外れること防止できる。また、多結晶シリコン層30をエッチングする際、多結晶シリコン層30の一部がビットライン20までエッチングされ、ビットライン20に損傷を与えることを防止することができる。

実施例 2

- [0060] 図7は実施例2に係るフラッシュメモリの製造方法を示す断面図である。実施例1と同じ構成部材は同じ符号であり、説明を省略する。実施例1と同様に、図4(d)までの製造工程を行う。図7(a)において、多結晶シリコン層30上に、例えばコバルトまたはチタンをスパッタ法を用い形成し、熱処理する。これにより、多結晶シリコン層30の表面を珪化し、多結晶シリコン層30上に珪化金属層34を形成する。
- [0061] 図7(b)において、珪化金属層34および多結晶シリコン層30の所定領域をエッチングする。これにより、導電層32上に珪化金属層34が形成される。図7(c)において、実施例1と同様に、保護膜26の除去、トップ酸化膜16の形成、ワードライン24の形成を行う。その後、層間絶縁膜40、配線層42、保護層44を形成し、実施例2に係るフラッシュメモリが完成する。
- [0062] 実施例2によれば、導電層32上に導電層32よりさらに抵抗の低い珪化金属を形成することにより、実施例1に比べ、ビットライン抵抗を低くすることができる。これにより、実施例1の効果に加え、より書き込み消去特性やジャンクションリーク等のトランジスタ特性の劣化を抑制し、よりビットライン抵抗を低くすることが可能となる。

実施例 3

- [0063] 図8は実施例3に係るフラッシュメモリの製造方法を示す断面図である。実施例1と同じ構成部材は同じ符号であり、説明を省略する。実施例1と同様に、図4(c)までの

製造工程を行う。図8(a)において、保護膜26と開口部54上に多結晶シリコン層30を形成する。図8(b)において、CMP法を用い多結晶シリコン層30並びに保護膜26を保護膜26の途中まで研磨する。これにより導電層32bが形成される。

[0064] 図8(c)において、保護膜26および導電層32b上に、トップ酸化膜16の一部(酸化シリコン膜)を形成し、トップ酸化膜16を保護膜26とトップ酸化膜の一部から構成する。図8(d)において、実施例1と同様に、トップ酸化膜16上にワードライン24を形成する。その後、層間絶縁膜40、配線層42、保護層44を形成し、実施例3に係るフラッシュメモリが完成する。

[0065] 実施例3によれば、CMP法を用い多結晶シリコン層30並びに保護膜26を保護膜26の途中まで研磨することにより、導電層32bがONO膜18に埋め込まれ、ONO膜18が平坦に形成され、ワードライン24は平坦な面に形成することができる。このため、メモリセルの微細化が可能となる。実施例1によれば、導電層32の膜厚を厚くでき、その抵抗を低くできるが、ONO膜18は平坦化できない。一方、実施例3によれば、ONO膜18を平坦化できるが、導電層32bの膜厚を厚くできず、その抵抗は高くなる。導電層32の抵抗をより低くする場合は実施例1を適用し、ONO膜18をより平坦化する場合は実施例3を適用することができる。

[0066] また、保護膜26および導電層32b上に、トップ酸化膜16の一部を形成し、トップ酸化膜16を保護膜26とトップ酸化膜の一部から構成している。そして、トップ酸化膜16上にワードライン24を形成している。これにより、ワードライン24と導電層32bが、ONO膜18中のトップ酸化膜14の一部で絶縁される。これにより、様々なプロセスを経ない膜質の良好なトップ酸化膜16の一部によりワードライン24と導電層32が絶縁されるため、これら間のリーク電流を抑制することができる。さらに、保護膜26を除去しないため製造工程を削減することができる。

実施例 4

[0067] 図9および図10は実施例4に係るフラッシュメモリの製造方法を示す断面図である。実施例1と同じ構成部材は同じ符号であり、説明を省略する。図9(a)は、保護膜26aを実施例1の保護膜26より厚く形成したこと以外は、実施例1の図(a)と同様の図である。保護膜26aの膜厚は例えば50nmとする。

- [0068] 図9(b)において、保護膜26aおよび開口部54上に多結晶シリコン層30を形成する。図9(c)において、CMP法を用い多結晶シリコン層30並びに保護膜26aを保護膜26aの途中まで研磨する。これにより導電層32cが形成される。導電層32cの膜厚は、例えば50nmである。
- [0069] 図9(c)において、例えば弗酸化系の水溶液により保護膜26aを除去する。図10(a)において、トラップ層14および導電層32c上に、膜厚が10nmのトップ酸化膜16(酸化シリコン膜)を形成する。これにより、ONO膜18の膜厚は例えば約30nmとなる。図10(b)において、実施例1と同様に、トップ酸化膜16上にワードライン24を形成する。その後、層間絶縁膜40、配線層42、保護層44を形成し、実施例4に係るフラッシュメモリが完成する。
- [0070] 実施例4によれば、保護膜26の膜厚をトップ酸化膜16の膜厚より厚くし、多結晶シリコン層30並びに保護膜26を保護膜26の途中まで研磨し、保護膜を除去し、トラップ層14上にトップ酸化膜16を形成している。これにより、導電層32cの膜厚をONO膜18より厚くすることができる。よって、実施例1と同様に、導電層32cの抵抗を低くすることができる。導電層32cの膜厚を厚くするとONO膜18の平坦性は悪くなり、メモリセルの微細化が難しくなる。そこで、導電層32cの抵抗とONO膜18の平坦性を考慮し、導電層32cの膜厚を決めることが好ましい。

実施例 5

- [0071] 図11は実施例5に係るフラッシュメモリの製造方法を示す断面図である。実施例4と同じ構成部材は同じ符号であり、説明を省略する。図11(a)において、実施例4の図9(d)の後、トラップ層14(窒化シリコン膜)および導電層32c上にコバルトまたはチタン等の珪化すべき金属を例えばスパッタ法を用い形成する。次に熱処理する。これにより、導電層32cの表面を珪化する。これにより、導電層32c上に珪化金属層34が形成される。
- [0072] 図11(b)において、実施例4と同様に、トップ酸化膜16、ワードライン24を形成する。その後、層間絶縁膜40、配線層42、保護層44を形成し、実施例5に係るフラッシュメモリが完成する。
- [0073] 実施例5によれば、導電層32c上に導電層32cよりさらに抵抗の低い珪化金属を形

成することにより、実施例4に比べ、ビットライン抵抗を低くすることができる。これにより、実施例4の効果に加え、より書き込み消去特性やジャンクションリーク等のトランジスタ特性の劣化を抑制し、よりビットライン抵抗を低くすることが可能となる。

[0074] 珪化金属層34の形成は、トラップ層14(窒化シリコン膜)および導電層32c上に珪化すべき金属を形成し、熱処理することにより導電層32c上を珪化している。酸化シリコン膜上に珪化すべき金属を形成し、熱処理する場合、酸化シリコン膜表面が珪化することがある。そこで、これを防止するため、窒化シリコン膜上に珪化すべき金属を形成し、熱処理することが好ましい。

[0075] 実施例5以外にも、例えば、珪化金属層34の形成前に、保護膜26を除去せず。保護膜26(酸化シリコン膜)上に窒化シリコン膜を形成した後、珪化金属層34を形成する。珪化金属層34の形成後、窒化シリコン膜を除去し、トップ酸化膜16の一部を形成する方法であってもよい。

実施例 6

[0076] 図12は実施例6に係るフラッシュメモリの製造方法を示す断面図である。実施例3と同じ構成部材は同じ符号であり、説明を省略する。図12(a)は、実施例1の図1(a)と同様の図である。図12(b)において、保護膜26上(トラップ層14上)に、マスク層58として例えば窒化シリコン膜をCVD法で形成する。マスク層58に通常の露光法およびエッチング法を用い、所定領域に開口部を形成する。側壁60用膜として例えば窒化シリコン膜をCVD法で形成する。

[0077] 図12(c)において、エッチバック法によりマスク層58の側面に側壁60を形成する。図12(d)において、マスク層58およびマスク層58の側面に形成された側壁60をマスクに、保護膜26、トラップ層14およびトンネル酸化膜12をエッチングする。マスク層58、側壁60を除去する。

[0078] マスク層58および側壁60を窒化シリコン膜とすることで、酸化シリコン膜である保護膜26に対し、選択的に除去することができる。これにより、保護膜26、トラップ層14およびトンネル酸化膜12に開口部54aを形成する。

[0079] 図12(e)において、実施例3の図8(a)ないし(d)と同様に、導電層32b、トップ酸化膜16およびワードライン24を形成する。その後、層間絶縁膜40、配線層42、保護層

44を形成し、実施例5に係るフラッシュメモリが完成する。

- [0080] 実施例6によれば、マスク層58および側壁60により開口部54aを形成することにより、露光寸法より細い幅の開口部54aを形成することができる。これにより、よりメモリセルの微細化が可能となる。例えば、露光寸法を115nm、側壁の幅を10nmとすることにより、開口部54aの幅は95nmとすることができる。なお、実施例6は実施例3に適用した例であるが、他の実施例に適用することによりメモリセルの微細化が可能となる。

実施例 7

- [0081] 図13は実施例7に係るフラッシュメモリのメモリセルの上視図である。保護層44、配線層42、層間絶縁膜40およびONO膜18は図示していない。製造工程は実施例1から実施例6のいずれであってもよい。
- [0082] ビットラインコンタクト領域28において、配線層42は1本おきにコンタクトホール46が形成され導電層32dに接続している。そして、コンタクトホール46を介し配線層42に接続された導電層32dは、ビットラインコンタクト領域28内にワードライン領域内29の導電層32dの幅より幅の広いコンタクトパッド33を有している。さらに、隣接するコンタクトパッド33は半導体基板10により電氣的に分離されている。
- [0083] 導電層32dはコンタクトパッド33を有することができるのは以下の理由による。ビットラインコンタクト領域28において、配線層42は1本おきにコンタクトホール46が形成される。このため、コンタクトホール46が形成されていない配線層42下で、配線層42に接続された導電層32dを拡げることができる。よって、ビットラインコンタクト領域28において、コンタクトホール46を介し配線層42と接続された導電層32dは、幅の広いコンタクトパッド33を有することができる。
- [0084] このように、ビットラインコンタクト領域28に、コンタクトパッド33を設けることができたのは、さらに、以下のような理由による。ビットラインコンタクト領域内28aで導電層32dと分離している配線層42は、ワードライン領域29を挟んで隣のビットラインコンタクト領域28b内で、導電層32dと接続している。さらに、導電層32dは、1つのビットラインコンタクト領域28でのみ1つの配線層42と接続しており、ビットラインコンタクト領域28の両側のワードライン領域26に延在している。

- [0085] これらより、導電層32dは配線層42と接続していないビットラインコンタクト領域28まで延在する必要がない。すなわち、導電層32d長手方向に隣接する導電層32dは、ビットラインコンタクト領域28において、電氣的に分離されている。これにより導電層32dは長さを短くできる。以上より、ビットラインコンタクト領域28において、配線層42と接続する導電層32dは、その領域28内で、配線層42の下まで、コンタクトパッド33を拡げることができた。
- [0086] 別の観点では、トランジスタ48を流れる電流は、図13の矢印のように、ビットラインコンタクト領域28aから供給され、ビットラインコンタクト領域28bに至る。すなわち、ワードライン領域26内に設けられたトランジスタ48に接続された2つの導電層32dは、それぞれ、前記ワードライン領域26の相対する両側に形成されたビットラインコンタクト領域28において配線層42に接続されている。
- [0087] これにより、導電層32dは配線層42と接続していないビットラインコンタクト領域28まで延在する必要がない。そこで、ビットラインコンタクト領域28において、配線層42と接続する導電層32dは、その領域28内で、配線層42の下まで、コンタクトパッド33を拡げることができた。
- [0088] 実施例7によれば、ビットライン20に接する導電層32を有することによりビットライン抵抗を低くすることができる。これより、ワードライン領域29内のワードライン本数を多くできる(図13では2本で記載している)ため、ビットラインコンタクト領域28を少なくできる。このように、メモリセルの微細化が可能となる。
- [0089] さらに、コンタクトパッド33により、コンタクトホール46と導電層32dの重ね合わせがずれたとしても、コンタクトホール46が導電層32d(コンタクトパッド33)から外れることを防止している。これにより、導電層32d間隔を実施例1ないし実施例6より小さくすることができる。例えば、導電層32dの間隔のみ考えると、実施例1ないし実施例6に比べ、約1/2のビットライン20d間隔とすることができる。よって、よりメモリセルの微細化が可能となる。
- [0090] 実施例1ないし実施例7において、導電層32として多結晶シリコン層を用いたが、例えばTiN/W等の金属層とすることができる。これによっても、実施例1ないし実施例7と同様の効果を奏することができる。

[0091] 以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

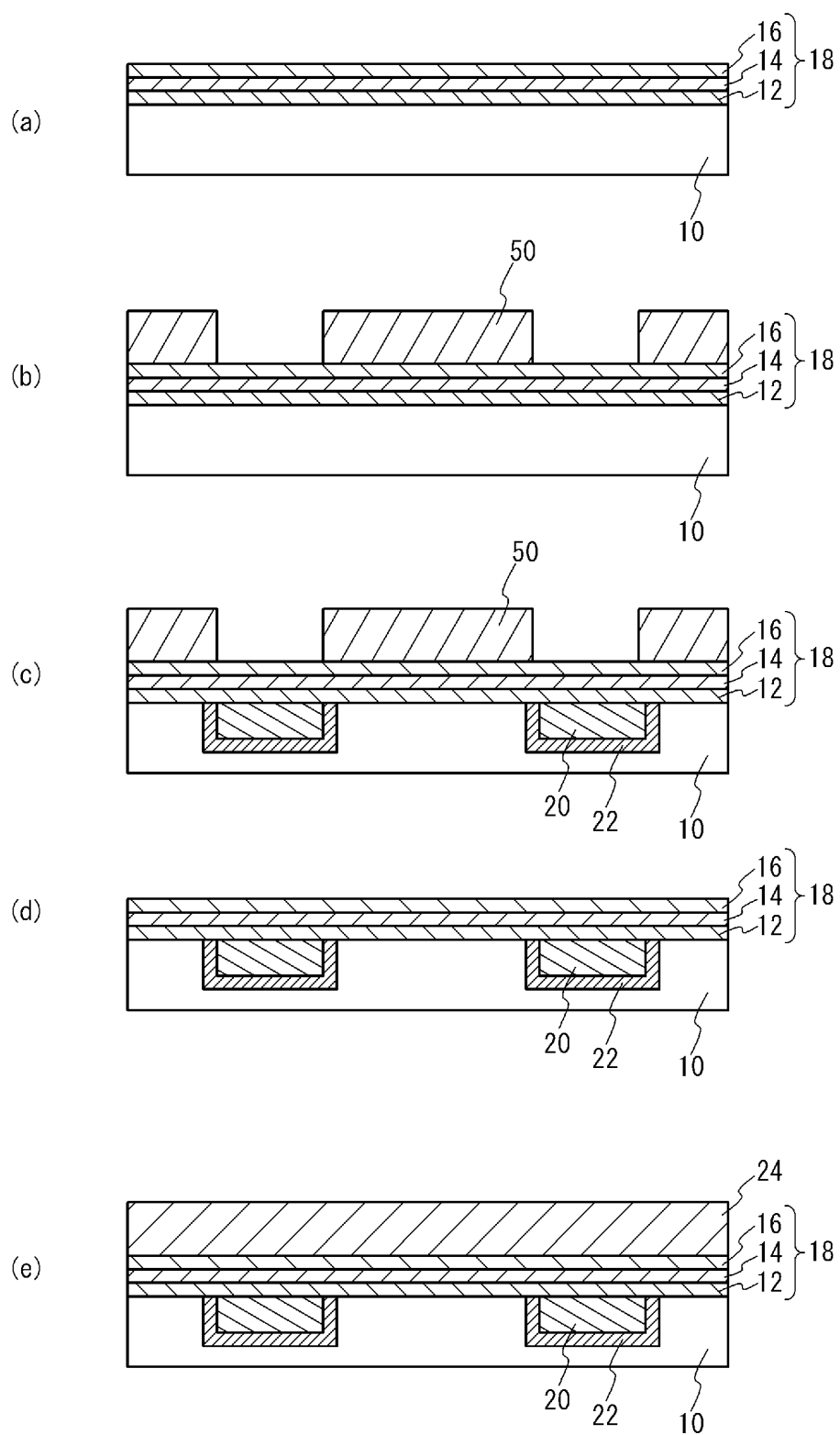
請求の範囲

- [1] 半導体基板上に形成されたONO膜と、
該ONO膜上に形成されたワードラインと、
前記半導体基板内に形成されたビットラインと、
前記ビットラインに接し、前記ビットラインの長手方向に延在し、多結晶シリコン層または金属層を含む導電層と、を具備する半導体装置。
- [2] 前記導電層の膜厚は、前記ONO膜の膜厚より厚い請求項1記載の半導体装置。
- [3] 前記ワードラインと前記導電層が、前記ONO膜中のトップ酸化膜の少なくとも一部で絶縁された請求項1または2記載の半導体装置。
- [4] 前記導電層上に珪化金属層を具備する請求項1から3記載の半導体装置。
- [5] 前記導電層が前記ONO膜に埋め込まれ、前記ONO膜表面が平坦化された請求項1記載の半導体装置。
- [6] 前記導電層が電流の流れる方向に連続して延在する請求項1から5のいずれか一項記載の半導体装置。
- [7] 前記ワードライン上を交差し、前記ビットラインの長手方向に延在した配線層と、
前記ワードラインの長手方向に延在し、複数の前記ワードラインを配置したワードライン領域間に設けられたビットラインコンタクト領域と、を具備し、
前記ビットラインコンタクト領域において、前記配線層は1本おきに、前記導電層と接続し、
前記ビットラインコンタクト領域において、前記配線層と接続する前記導電層は、前記ビットラインコンタクト領域内に前記ワードライン領域内の前記ビットラインの幅より幅の広いコンタクトパッドを有する請求項1から6記載の半導体装置。
- [8] 半導体基板上にトンネル酸化膜およびトラップ層を形成する工程と、
前記半導体基板内にビットラインを形成する工程と、
前記トンネル酸化膜およびトラップ層に前記ビットラインに接する開口部を形成する工程と、
前記ビットラインに接し、前記ビットラインの長手方向に延在し、多結晶シリコンまたは金属層を含む導電層を形成する工程と、を具備する半導体装置の製造方法。

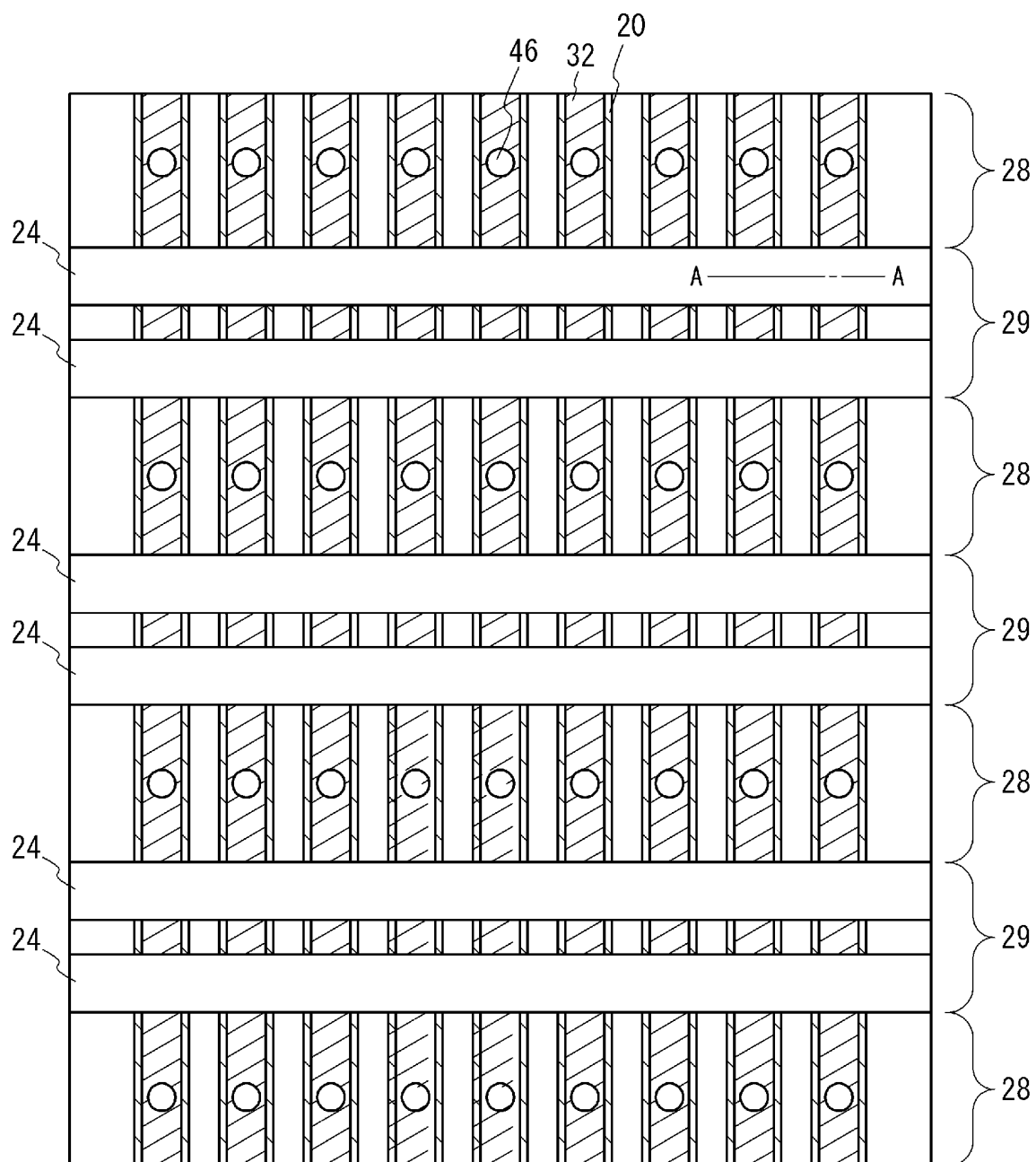
- [9] 前記トラップ層上に保護膜を形成する工程を具備し、
前記開口部を形成する工程は、前記保護膜に前記開口部を形成する工程を含む請求項8記載の半導体装置の製造方法。
- [10] 前記導電層を形成する工程は、
前記トラップ層と前記開口部上に多結晶シリコン層または金属層を形成する工程と、
前記開口部以外の前記多結晶シリコン層または金属層をエッチングする工程と、を含む請求項8または9記載の半導体装置の製造方法。
- [11] 前記導電層の幅は、前記開口部の幅より広い請求項10記載の半導体装置の製造方法。
- [12] 前記多結晶シリコン層または金属層上に珪化金属層を形成する工程を具備する請求項10または11記載の半導体装置の製造方法。
- [13] 前記導電層を形成する工程は、前記保護膜と前記開口部上に多結晶シリコン層または金属層を形成する工程と、前記多結晶シリコン層または金属層並びに前記保護膜を研磨する工程と、を含む請求項9記載の半導体装置の製造方法。
- [14] 前記導電層上に珪化金属層を形成する工程を具備する請求項13記載の半導体装置の製造方法
- [15] 前記珪化金属を形成する工程は、前記導電層および窒化シリコン膜上に珪化すべき金属層を形成する工程を含む請求項14記載の半導体装置の製造方法。
- [16] 前記保護膜を除去する工程と、前記トラップ層および前記導電層上にトップ酸化膜を形成する工程と、を具備する請求項9または13記載の半導体装置の製造方法。
- [17] 前記保護膜の膜厚は、前記トップ層の膜厚より厚い請求項16記載の半導体装置の製造方法。
- [18] 前記保護膜および前記導電層上にトップ酸化膜の一部を形成する工程を具備し、
前記トップ酸化膜は前記保護膜と前記トップ酸化膜の一部から構成される請求項9または13記載の半導体装置の製造方法。
- [19] 前記トップ酸化膜上にワードラインを形成する工程を具備する請求項16から18のいずれか一項記載の半導体装置の製造方法。

- [20] 前記開口部を形成する工程は、前記トラップ層上に形成されたマスク層および前記マスク層の側面に形成された側壁をマスクに、前記トラップ層および前記トンネル酸化膜をエッチングする工程である請求項8から19のいずれか一項記載の半導体装置の製造方法。

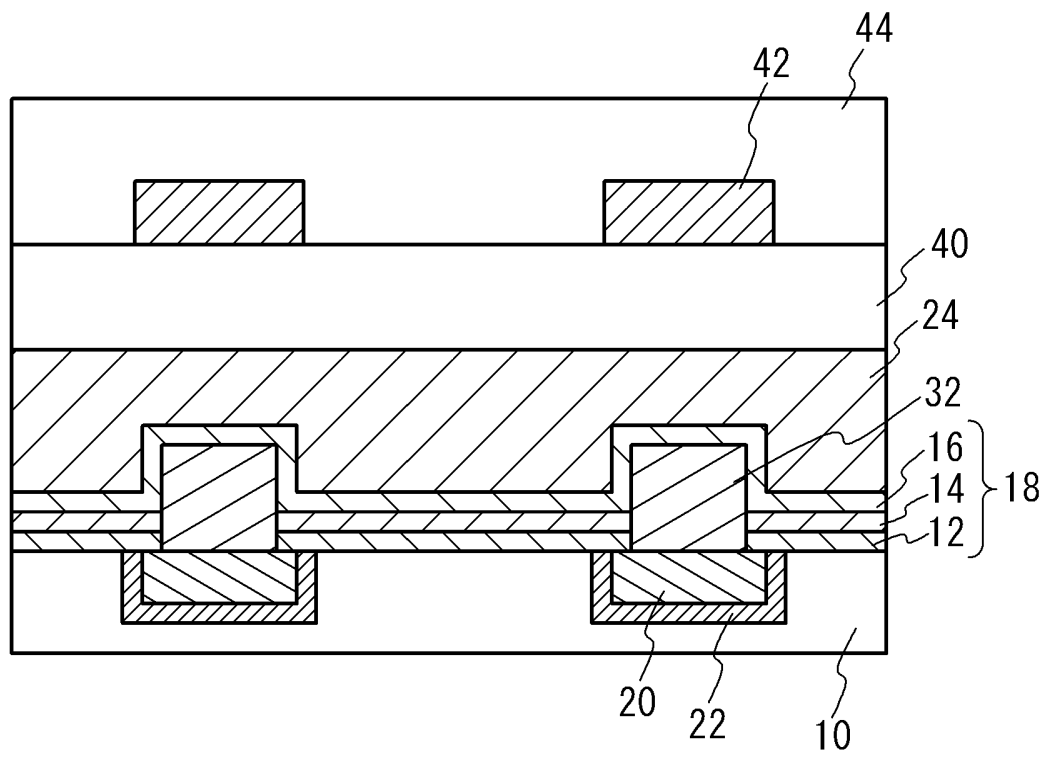
[図1]



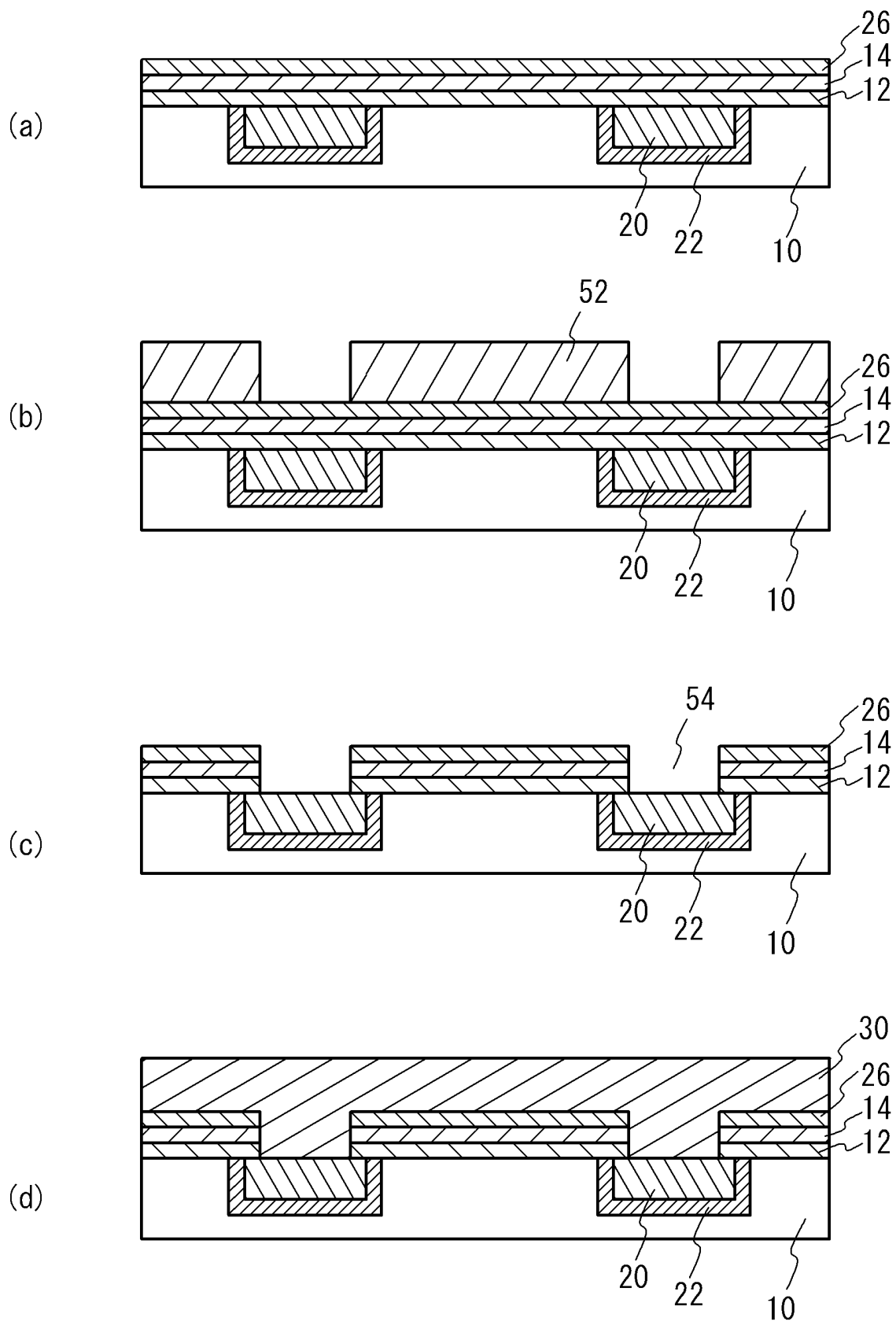
[図2]



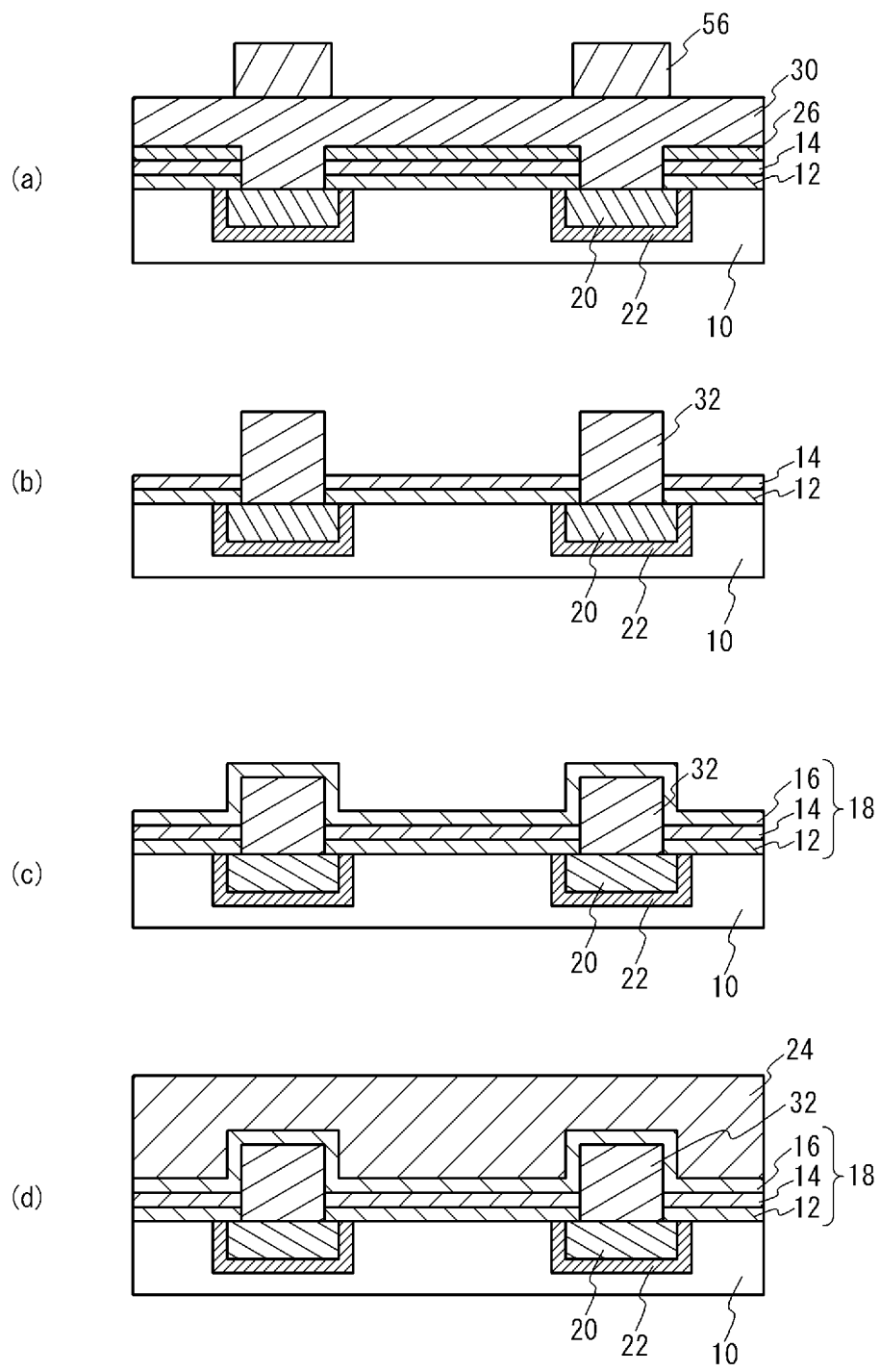
[図3]



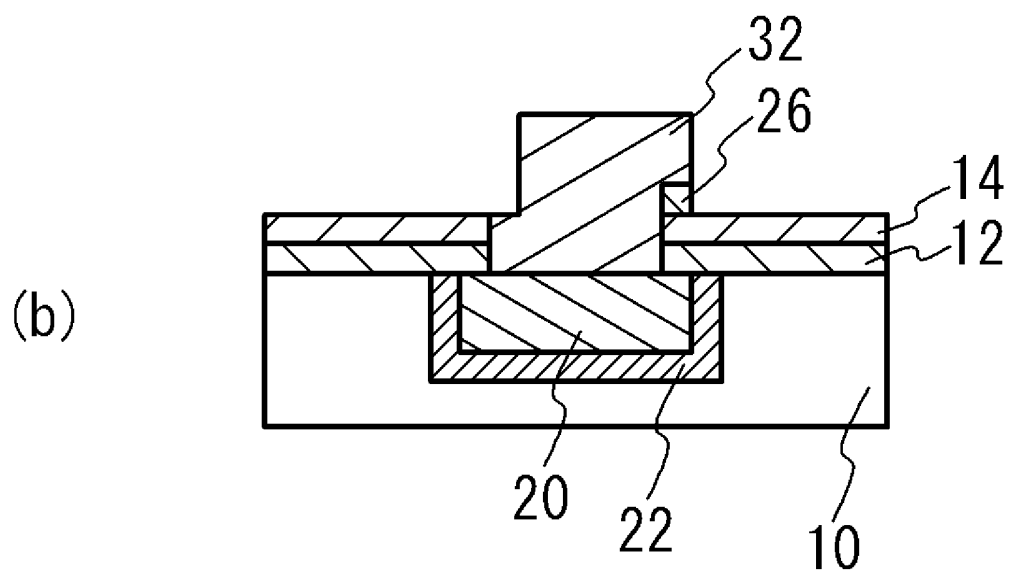
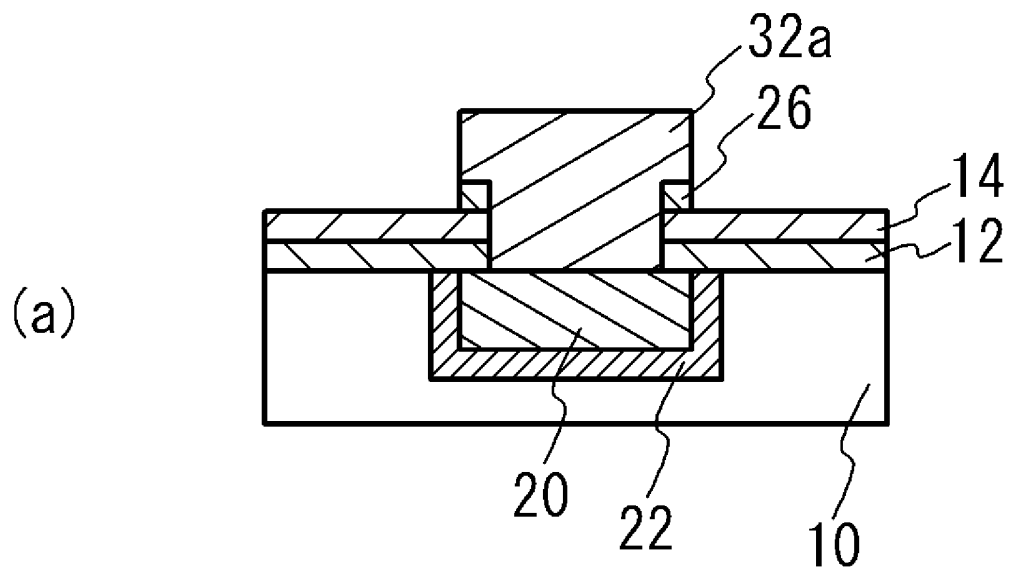
[図4]



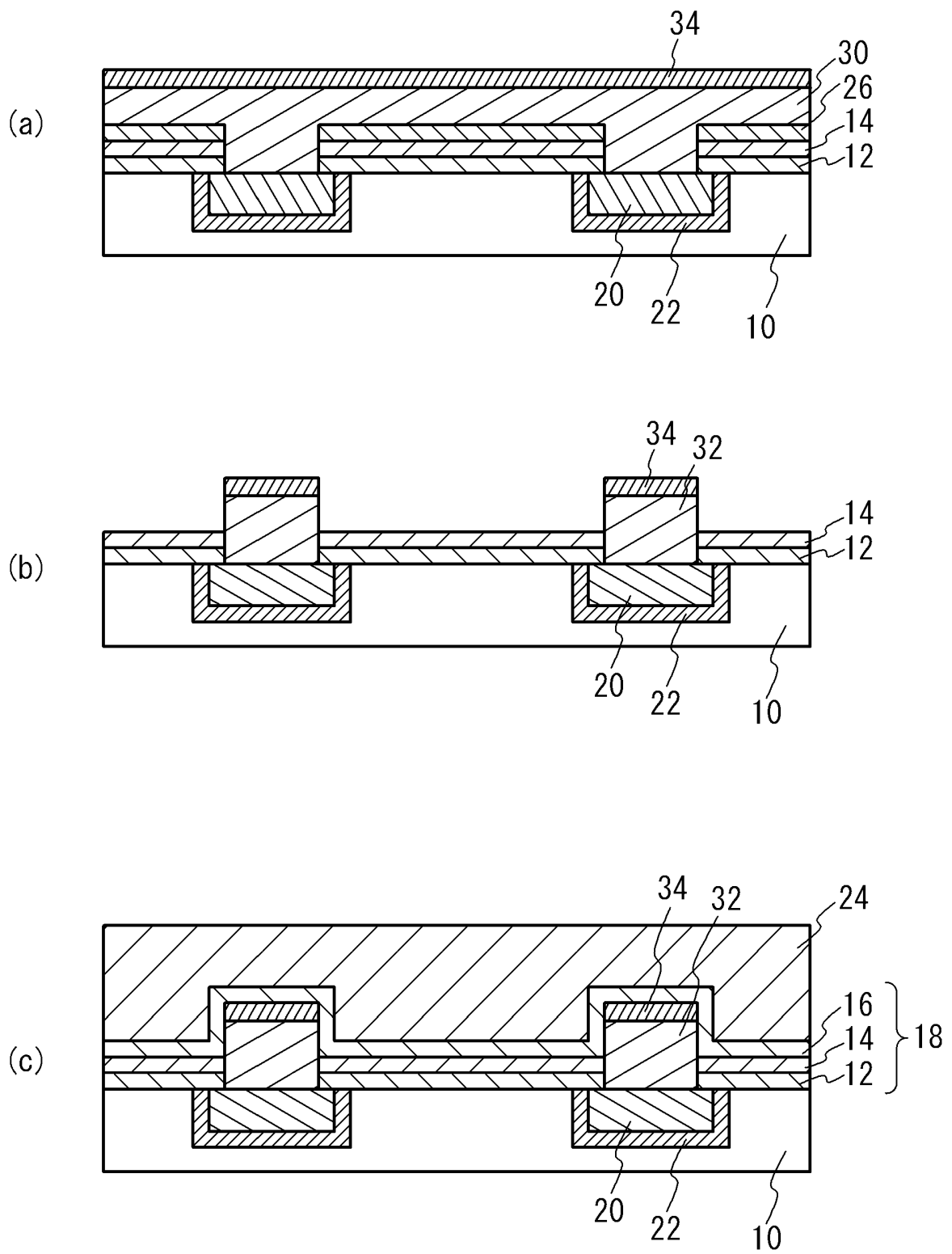
[図5]



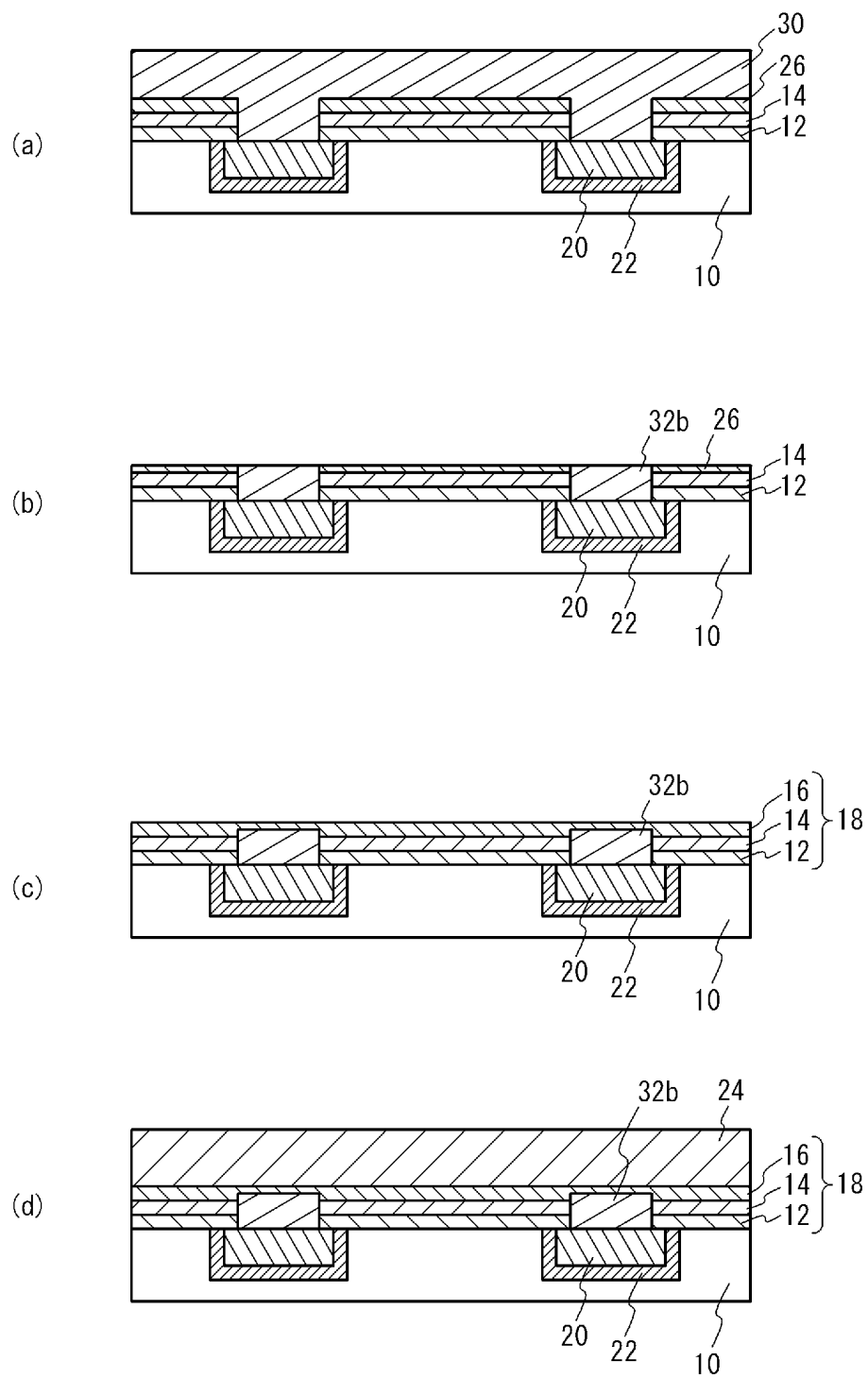
[図6]



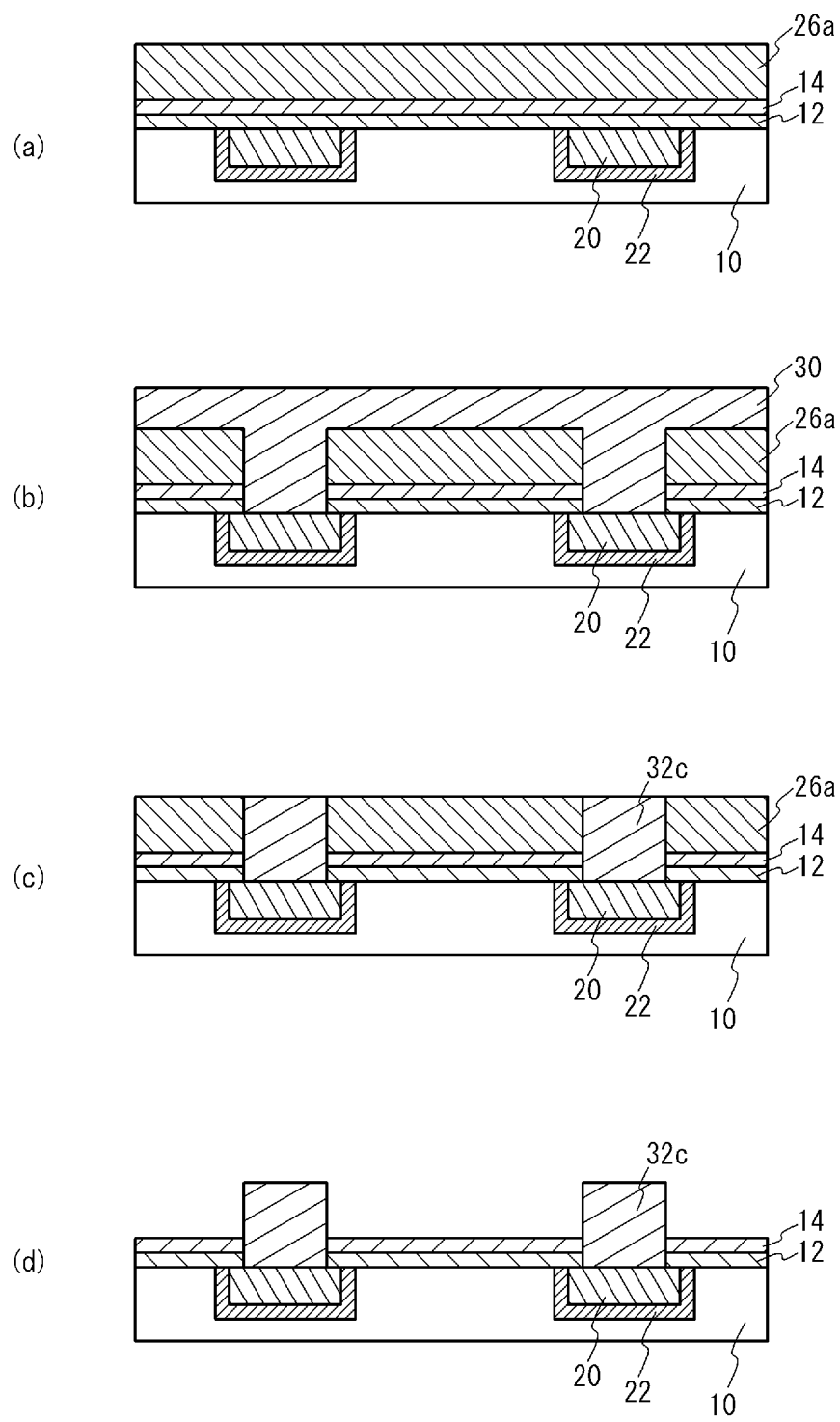
[図7]



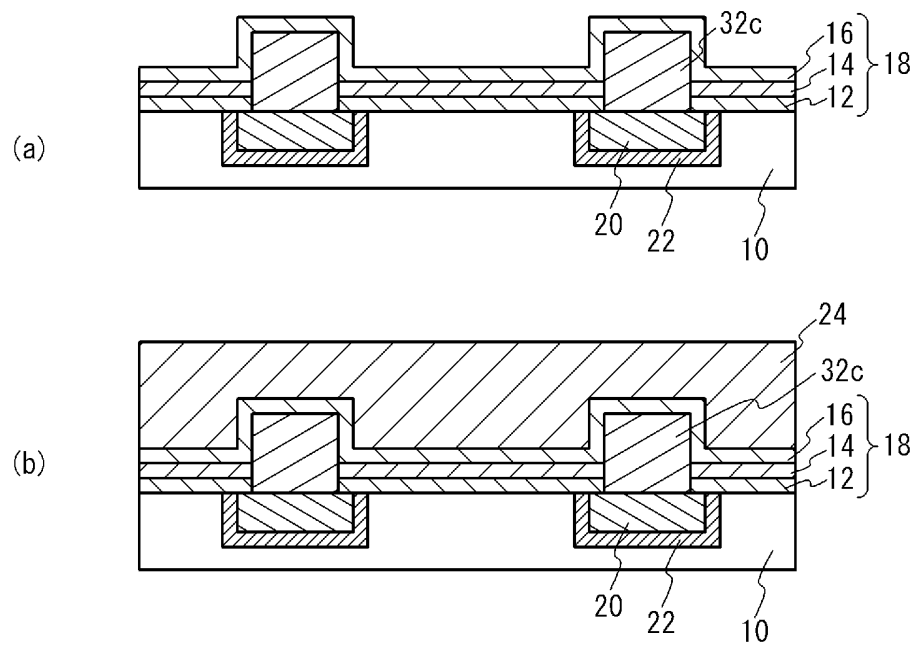
[図8]



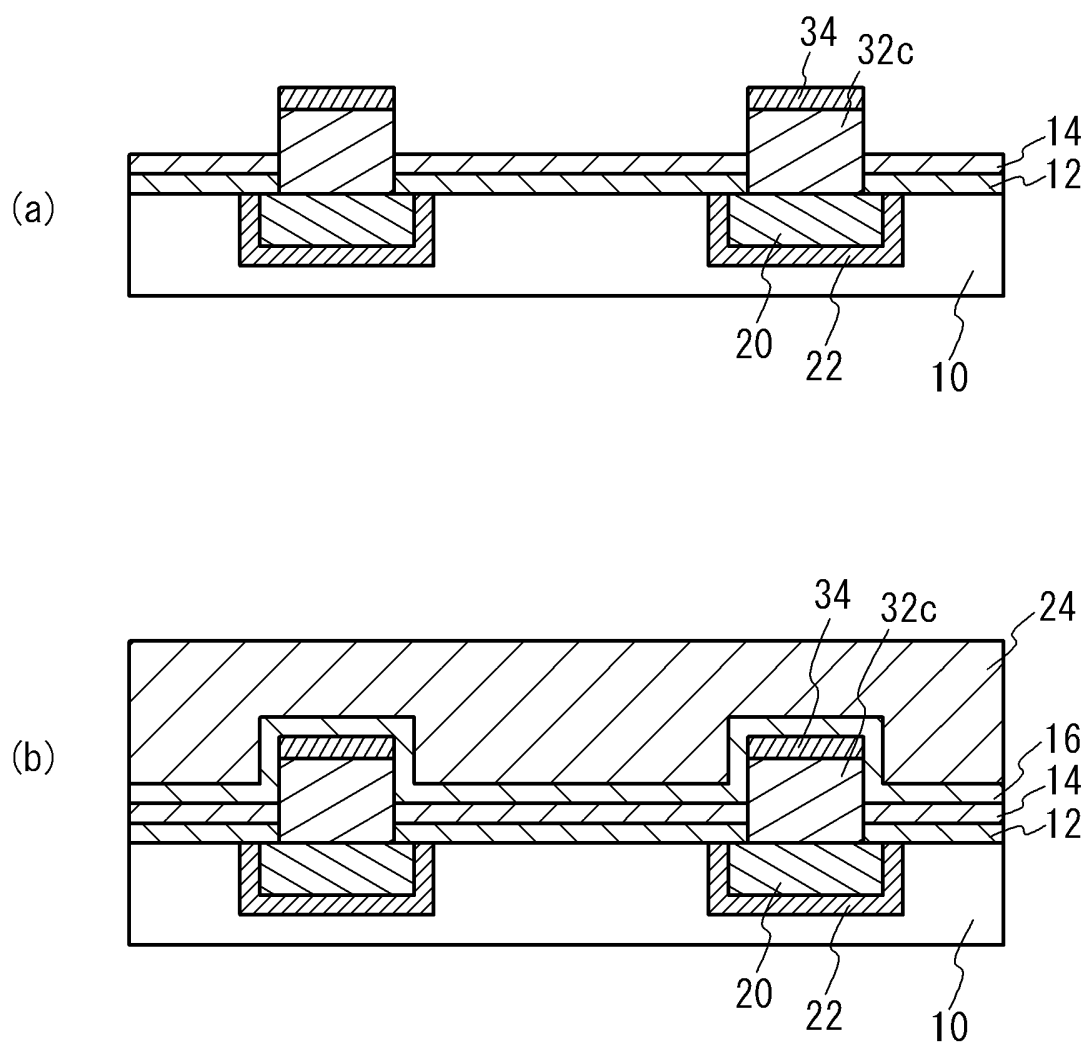
[図9]



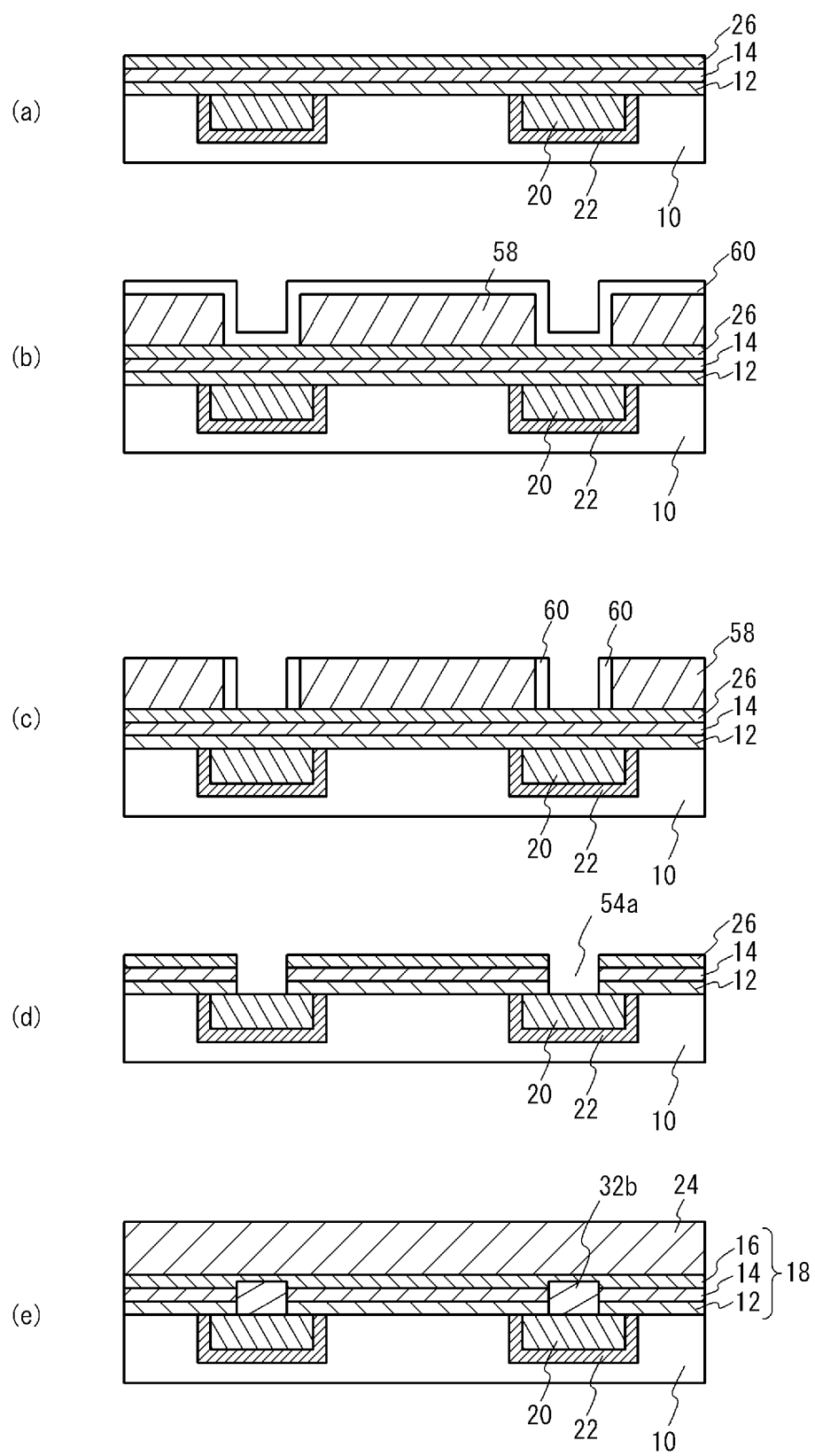
[図10]



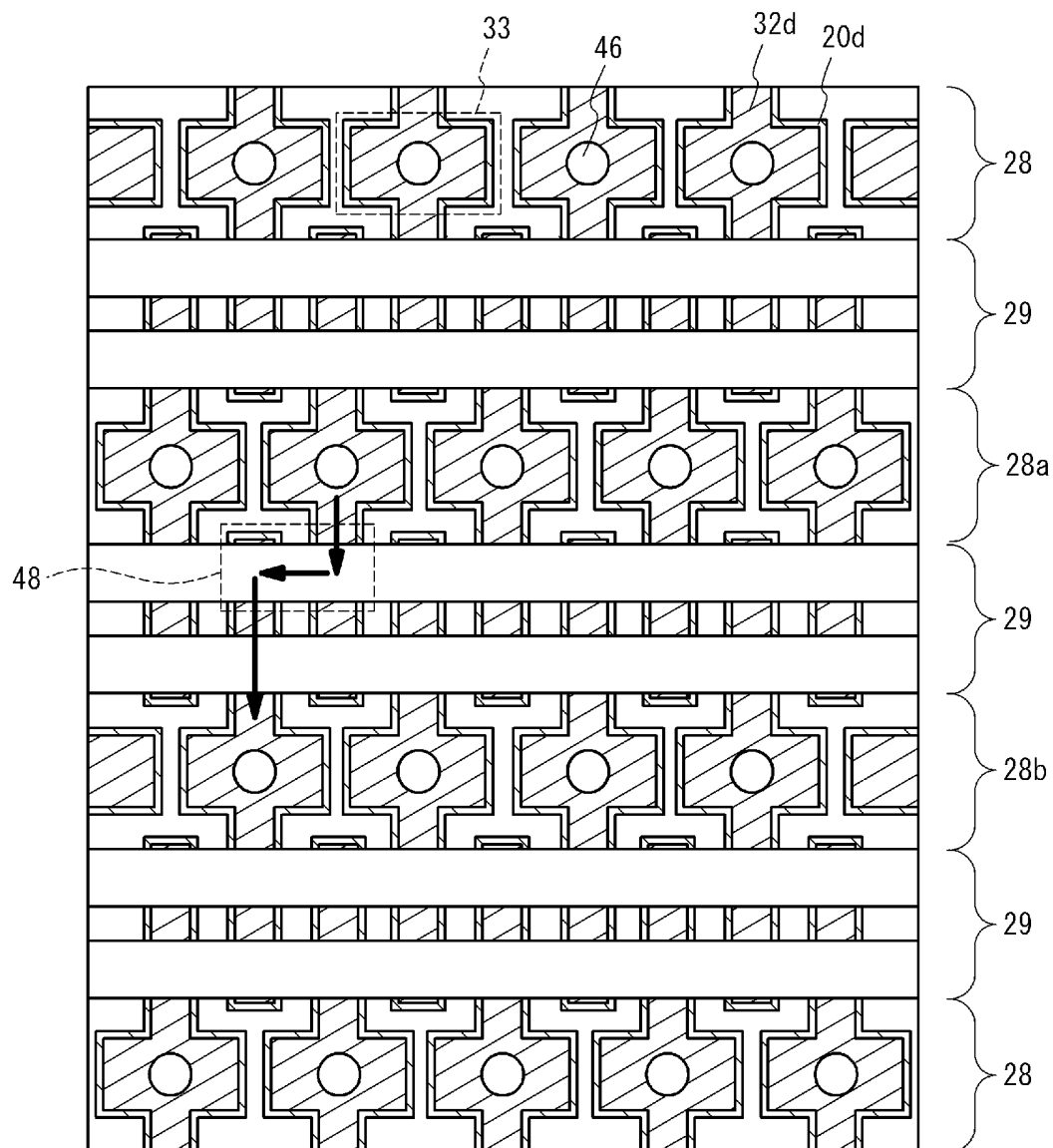
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009878

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/8247, 27/115, 29/788, 29/792

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/8247, 27/115, 29/788, 29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2005-57127 A (Renesas Technology Corp.), 03 March, 2005 (03.03.05), Par. Nos. [0013] to [0018]; Figs. 1 to 2 & US 2004/0262674 A1 & CN 001581491 A	1-4 5
A	JP 2002-26149 A (Sony Corp.), 25 January, 2002 (25.01.02), Par. Nos. [0095] to [0112]; Figs. 23 to 26 & US 2002/0000592 A1	1-5
A	JP 7-106443 A (NKK Corp.), 21 April, 1995 (21.04.95), Par. No. [0011]; Fig. 1 (Family: none)	1-5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
12 August, 2005 (12.08.05)

Date of mailing of the international search report
06 September, 2005 (06.09.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009878

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-66372 A (Sony Corp.), 10 March, 1995 (10.03.95), Par. Nos. [0008] to [0012]; Figs. 1 to 3 (Family: none)	1-5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009878

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

There must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. The group of inventions of claims 1-20 is linked only by the technical feature of being "a semiconductor device comprising a bit line formed in a semiconductor substrate, and a conductive layer which is formed in contact with the bit line so as to extend in the longitudinal direction of the bit line and contains a polycrystalline silicon layer or a metal layer".

(Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☒ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.: 1 - 5

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009878

Continuation of Box No.III of continuation of first sheet (2)

This technical feature, however, cannot be a special technical feature since it is disclosed in prior art document JP 2005-57127 A (Renesas Technology Corp.), 3 March, 2005 (03.03.05), paragraphs [0013]-[0018], Fig. 1 and Fig. 2.

Consequently, there is no special technical feature so linking the group of inventions of claims 1-20 as to form a single general inventive concept.

Therefore, it is obvious that the group of inventions of claims 1-20 does not satisfy the requirement of unity of invention.

Then, judging from the specific modes described in the independent claims, the claims of this international application are considered to define two groups of inventions: the group of the inventions of claims 1-7; and the group of the inventions of claims 8-20.

Claims 1-7 will be further examined with respect to unity of invention.

The group of inventions of claims 1-7 is linked only by the technical feature of being "a semiconductor device comprising an ONO film formed on a semiconductor substrate, a word line formed on the ONO film, a bit line formed in the semiconductor substrate, and a conductive layer which is formed in contact with the bit line so as to extend in the longitudinal direction of the bit line and contains a polycrystalline silicon layer or a metal layer".

This technical feature is also disclosed in the above-mentioned prior art document. Consequently, judging from the specific modes described in the claims, claims 1-7 of this international application are considered to define six inventions: the invention of claims 1-2; the invention of claim 3; the invention of claim 4; the invention of claim 5; the invention of claim 6; and the invention of claim 7.

Therefore, this international application is considered to contain seven inventions.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/8247, 27/115, 29/788, 29/792

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/8247, 27/115, 29/788, 29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 2005-57127 A (株式会社ルネサステクノロジ) 2005.03.03, 【0013】 - 【0018】, 【図1】 - 【図2】 & US 2004/0262674 A1 & CN 001581491 A	1-4 5
A	JP 2002-26149 A (ソニー株式会社) 2002.01.25, 【0095】 - 【0112】, 【図23】 - 【図26】 & US 2002/0000592 A1	1-5
A	JP 7-106443 A (日本鋼管株式会社) 1995.04.21, 【0011】, 【図1】 (ファミリーなし)	1-5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

12.08.2005

国際調査報告の発送日

06.9.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

國島 明弘

電話番号 03-3581-1101 内線 3462

4M

3238

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 7-66372 A (ソニー株式会社) 1995.03.10, 【0008】 - 【0012】, 【図1】 - 【図3】 (ファミリーなし)	1 - 5

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であり、請求の範囲1-20に記載されている一群の発明は、
「半導体基板内に形成されたビットラインと、
前記ビットラインに接し、前記ビットラインの長手方向に延在し、多結晶シリコン層または金属層を含む導電層と、を具備する半導体装置」であるという事項でのみ連関していると認める。（特別ページに続く）

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☒ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。

請求の範囲1-5
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

(第Ⅲ欄の続き)

しかしながら、この事項は先行技術文献JP 2005-57127 A (株式会社ルネサステクノロジ)、2005.03.03、【0013】-【0018】、【図1】-【図2】に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1-20に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。

そのため、請求の範囲1-20に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

そして、独立請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲には、請求の範囲1-7と、請求の範囲8-20とに区分される2群の発明が記載されている。

さらに、請求の範囲1-7について単一性の検討を行う。

請求の範囲1-7に記載されている一群の発明は、「半導体基板上に形成されたONO膜と、該ONO膜上に形成されたワードラインと、

前記半導体基板内に形成されたビットラインと、

前記ビットラインに接し、前記ビットラインの長手方向に延在し、多結晶シリコン層または金属層を含む導電層と、を具備する半導体装置」であるという事項でのみ連関していると認める。

しかしながら、この事項は上記先行技術文献に記載されているため、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲1-7には、請求の範囲1-2と、請求の範囲3と、請求の範囲4と、請求の範囲5と、請求の範囲6と、請求の範囲7とに区分される6個の発明が記載されている。

よって、請求の範囲1-20には、7個の発明が記載されていると認める。