

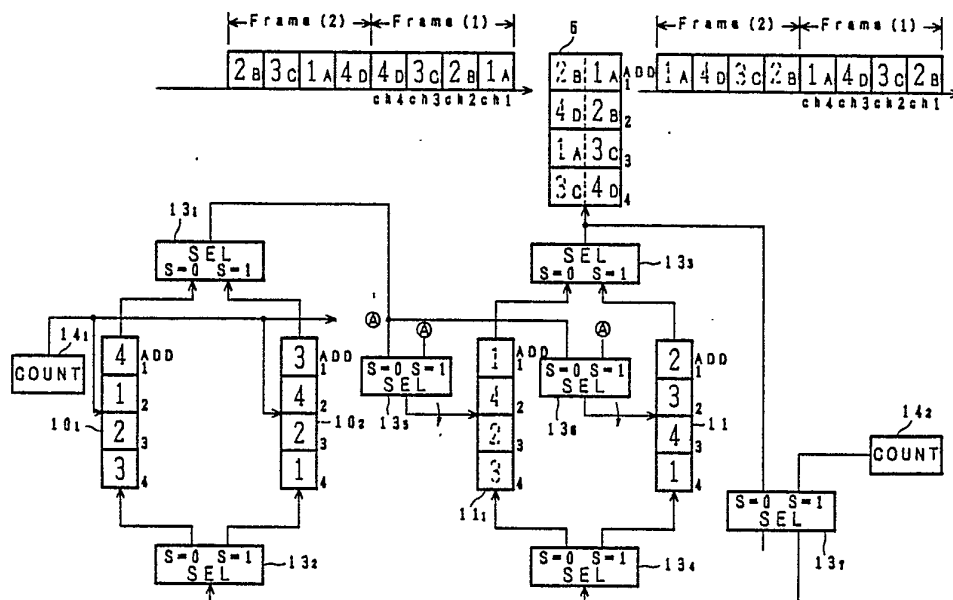


特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 ⁴ H04Q 11/04	A1	(11) 国際公開番号 WO 86/ 05349 (43) 国際公開日 1986年9月12日 (12. 09. 86)
(21) 国際出願番号 PCT/JP86/00114 (22) 国際出願日 1986年3月6日 (06. 03. 86) (31) 優先権主張番号 特願昭60-46165 (32) 優先日 1985年3月8日 (08. 03. 85) (33) 優先権主張国 JP (71) 出願人 (米国を除くすべての指定国について) 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP] 〒100 東京都千代田区内幸町1丁目1番6号 Tokyo, (JP) (72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 鈴木茂房 (SUZUKI, Shigefusa) [JP/JP] 〒358 埼玉県入間市上藤沢429-3 Saitama, (JP) (74) 代理人 弁理士 井出直孝 (IDE, Naotaka) 〒177 東京都練馬区関町北二丁目2番18号 Tokyo, (JP) (81) 指定国 DE, US, 添付公開書類 国際調査報告書		

(54) Title: TIME SHARING SWITCHING SYSTEM

(54) 発明の名称 時分割交換方式



(57) Abstract

A time sharing switching system capable of changing channel allocation, comprising a time switch (6), two channel conversion memories (11₁) and (11₂) for storing read and write addresses of the time switch (6), and two address control memories (10₁) and (10₂) for storing write addresses of the channel conversion memories (11₁) and (11₂). The two channel conversion memories (11₁) and (11₂) are alternately used for each frame. After communication data of a previous frame is read from the address of the time switch (6) designated by the channel conversion memory (11₂), communication data of a present frame is written onto the address. By writing this address in the other channel conversion memory (11₁), of which the address is designated by the address control memory (10₁), the read and write addresses of the time switch (6) of the next frame are stored. To change the channel allocation, a new channel allocation is written into the other address control memory (10₂) so that the address control memory (10₂) is used. The amount of memory can be decreased as a whole, the delay of signal can be decreased.

(57) 要約

時間スイッチ(6)、時間スイッチ(6)の読出し書き込みアドレスを記憶する2つのチャネル変換メモリ(11₁), (11₂)、及び、チャネル変換メモリ(11₁), (11₂)の書き込みアドレスを記憶する2つのアドレス制御メモリ(10₁), (10₂)とを有するチャネル割付の変更が可能な時分割交換方式。2つのチャネル変換メモリ(11₁), (11₂)はフレーム毎に交互に使用され、チャネル変換メモリ(11₂)で指定された時間スイッチ(6)のアドレスから前フレームの通信情報を読出した後、該アドレスに現フレームの通信情報を書き込む。

このアドレスを、アドレス制御メモリ(10₁)でアドレス指定されるもう一方のチャネル変換メモリ(11₁)に書き込むことにより次フレームでの時間スイッチ(6)の読出し書き込みアドレスが記憶される。チャネル割付の変更は、新しいチャネル割付をもう一方のアドレス制御メモリ(10₂)に書き込み、アドレス制御メモリ(10₂)を使用するように切替えることにより行なう。全体としてメモリ量が削減でき、信号遅延を小さくできる。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	FR	フランス	ML	マリ
AU	オーストラリア	GA	ガボン	MR	モーリタニア
BB	バルバドス	GB	イギリス	MW	マラウイ
BE	ベルギー	HU	ハンガリー	NL	オランダ
BR	ブラジル	IT	イタリア	NO	ノルウェー
BG	ブルガリア	JP	日本	RO	ルーマニア
CF	中央アフリカ共和国	KP	朝鮮民主主義人民共和国	SD	スーダン
CG	コンゴ	KR	大韓民国	SE	スウェーデン
CH	スイス	LI	リヒテンシュタイン	SN	セネガル
CM	カメルーン	LK	スリランカ	SU	ソビエト連邦
DE	西ドイツ	LU	ルクセンブルグ	TD	チャード
DK	デンマーク	MC	モナコ	TG	トーゴ
FI	フィンランド	MG	マダガスカル	US	米国

明 細 書

発明の名称 時分割交換方式

〔技術分野〕

本発明は、チャンネル再配置を可能とする時分割交換方式に関する。特に、ハードウェアを小さくし、交換機内の遅延を小さくできる時分割交換方式に関する。本発明は、時分割交換装置を衛星に搭載する方式に適する。

〔背景技術〕

従来の時分割交換方式を第4図ないし第6図により説明する。

第4図は衛星に時分割交換装置を搭載する方式の説明図である。図面の下段にあるブロック（複数）1、2、3は地上に設備された局を表し、図面上段にあるブロック30は衛星に設備された装置を表す。一つの地上局1₁から別の地上局1₂に通信路が設定される接続制御の手順を説明すると、地上局1₁の発呼情報は、地上共通線を介してチャンネル割当制御局2とスイッチ制御局3に送られる。チャンネル割当制御局2は発呼情報を受信すると、地上局1₁と衛星30との間のアップリンクUおよびダウンリンクDの空きチャンネルを捕捉し、その情報を地上局1₁および1₂には地上共通線25を介して送り、衛星30には衛星回線を介して送る。一方、スイッチ制御局3はアップリンクUおよびダウンリンクDで捕捉したチャンネルを相互に接続するための時間スイッチ制御情報をスイッチ制御回路8に送信する。これにより、時間スイッチ6でアップリンクUとダウンリンクDのチャンネルが接続される。地上局1₁はアップリンクUの割当てられたチャンネルを使用して衛星30に通信情報を送り、地上局1₂はダウンリンクDの割当てられたチャンネルを使用してその通信情報を受信する。

第5図にアップリンクUのフレーム構成図を示す。各地上局 $1_1 \sim 1_n$ から発射される通信情報は、複数チャンネルをひとまとめにして、その先頭に通信情報の同期制御を行うプリアンプルPが付加されて各送信地上局毎のバースト情報となる。この図は各バースト情報がプリアンプルPを先頭にして、それぞれガードタイムGをとりアップリンクUに送信されるようすを示す。

時間 T_1 ではトラヒックが小さく、このときに行ったチャンネルの割付では空きがあった。しかし、時間 T_2 ではトラヒックが大きくなりチャンネルの再割付を行わないとトラヒックを処理しきれなくなった状態を示す。例えば第5図に示すように、地上局 1_n からのバーストに空きがあるのでこれを短くし、地上局 1_{n-1} からのバーストを長くする。このように、常に発生する呼を効率的に処理できるようにチャンネルの割付を変更する。

従来の時分割交換方式では、呼が発生してからその呼が切断されるまで、時間スイッチは固定的に接続される。すなわち第4図で衛星上のカウンタ7の制御により通信情報は時間スイッチ6にシーケンシャルに書込まれ、スイッチ制御回路8の制御で読出され、スイッチ制御回路8内の制御情報は呼の発生から切断まで変更されない。したがって上述のようにチャンネルの割付を変更するには、時間スイッチ6の前段にチャンネル変換回路5を設け、アップリンクUのチャンネルの割付が変更されても、時間スイッチ6に入力するチャンネル番号が変化しないような制御を行っていた。

第6図は従来例のチャンネル変換回路5の構成図である。すなわち各ハイウェイ毎に1フレーム分の情報を蓄積する二つのチャンネル変換メモリ 15_1 、 15_2 を設けておき、信号の到来順にこのチャンネル変換メモリ 15_1 または 15_2 に書込み、読出制御部 17_1 および 17_2 の制御にしたがって読出すことにより、必要なチャンネル変換を行っていた。チャンネル変換メモリを二つ必要とする理由は、アップ

リンクUのバーストの割付が変更になった直後に、まだ読出の終わっていない通信情報の上に新たな通信情報を書き込むことがないようにするためである。

上述の構成では、各ハイウェイに対してチャンネル変換回路に、アップリンクUに伝送される信号フレームの二つ分、時間スイッチに同じく一つ分の通信情報を蓄積するメモリが必要である。したがって衛星に搭載されるハードウェアの量が大きくなる欠点があった。またチャンネル割当制御局とスイッチ制御局とが分離されていたので、制御が複雑であるとともに、制御に伴う遅延が大きくなる欠点があった。

本発明の目的は、チャンネル割当を変更するために必要な装置のハードウェア量を小さくすることにある。

本発明の目的は、衛星に搭載する装置のハードウェア量を小さくすることにある。

本発明の目的は、交換機内部のメモリ数を少なくして、信号遅延を小さくすることにある。

本発明の目的は、地上の制御局を一つにまとめ制御を簡単化することにある。

〔発明の開示〕

本発明は、チャンネル再配置を可能とする時分割交換方式において、上記時分割多重伝送路上の通信情報の1フレーム分を蓄積できる時間スイッチと、交換機の入力側と出力側の時分割多重伝送路上のチャンネル変換制御情報を蓄積できる2つのアドレス制御メモリと、上記時間スイッチの制御情報を蓄積できる2つのチャンネル変換メモリとを備えたことを特徴とする。

この構成により、到来する通信情報1フレーム分を時間スイッチに書込み、これをチャンネル変換制御情報にしたがって読出すが、次のフレームの通信情報はこの時間スイッチの読出の終わったアド

レスに書込むように制御することができるから、使用チャンネルの変更があっても1フレーム分の通信情報を蓄積できるメモリを用意すればよい。その代わりに使用チャンネルの変更に対応するために、チャンネル変換制御情報および時間スイッチの制御情報をそれぞれ2つつつ蓄積するメモリを設ける必要がある。しかし、これら制御情報のビット数は通信情報のビット数に比べてきわめて小さいから、全体のハードウェア量を小さくすることができる。

時分割多重伝送路上の使用チャンネルに変更がない定常状態では、1つのアドレス制御メモリの制御アドレスをチャンネル変換メモリに与える。一方、2つのチャンネル変換メモリのうち1つで時間スイッチを制御し、他の1つに次のフレームのスイッチ制御情報を設定する。この2つのチャンネル変換メモリは、フレーム毎にその任務が入れ換わる。時間スイッチを制御するチャンネル変換メモリの制御により時間スイッチから通信情報を読出した後に、その読出の終わった同一アドレスに次のフレームの通信情報を書き込む。この制御をチャンネル毎に行う。チャンネル制御メモリから読出したスイッチ制御情報を次のフレームのスイッチ制御情報を作成しているチャンネル変換メモリに送り、アドレス制御メモリで作成されたチャンネル変換メモリのアドレスに設定する。

時分割多重伝送路上の使用チャンネルを変更するときには、新しい使用チャンネルの割付をもう1つのアドレス制御メモリに設定し、使用チャンネル変更時点でそれ以前にチャンネル変換メモリを制御していたアドレス制御メモリと切換え、以降ひきつづき定常状態の制御を行う。

〔図面の簡単な説明〕

第1図は本発明実施例方式のブロック構成図、

第2図は本発明実施例方式の時間スイッチ周辺のブロック構成図、

第3図は本発明の交換原理を説明する図、

第4図は従来例方式のブロック構成図、

第5図はチャンネル割当の変更を説明する図、

第6図は従来例方式に必要であったチャンネル変換回路のブロック構成図、

第7A図～第7H図は本発明におけるチャンネル割付に変更のない状態の各メモリ内容の時間的な遷移を説明する図、

第8図はアナログ制御メモリの設定および発呼の状態を示す各メモリ内容を説明する図である。

〔実施例〕

本発明の望ましい実施例について図面を参照しながら詳しく説明する。

第1図は本発明を衛星に搭載した時分割交換方式に実施した例を示すブロック構成図である。地上には複数の地上局1₁、1₂（この図には便宜的に2個のみ表示する。）および地上制御局12が配置される。各地上局1₁、1₂および地上制御局12の間は地上共通線25で接続される。この地上共通線25は情報量の小さい制御信号を伝送するためのものであり、地上の有線回線、無線回線あるいは衛星回線のいずれを用いてもよい。

衛星30には、アンテナに受信された受信信号を復調する受信機4と、その出力が入力する時間スイッチ6と、この時間スイッチ6の出力により送信信号の変調を施す送信機9と、この送信信号を地上局に送信するアンテナとが搭載される。この時間スイッチ6は複数のアップリンクUが多重化されて構成される1フレーム分の信号を蓄積するメモリを有する。さらにこの時間スイッチ6を制御する制御回路22を備える。この制御回路22には、2つのアドレス制御メモリ10₁、10₂と、2つのチャンネル変換メモリ11₁、11₂と、セレクタ19とを含む。アドレス制御メモリ10₁、10₂は地上制御局12により制御され、アドレス制御メモリ10₁、10₂の出力は2つのチャ

ンネル変換メモリ11₁、11₂に与えられ、2つのチャンネル変換メモリ11₁、11₂の出力の一方がセクタ19により選択されて、時間スイッチ6に制御信号として与えられる。

ここで本発明の特徴とする構成は、時間スイッチ6のメモリが各アップリンクUに伝送される1フレーム分の通信情報を蓄積できればよいこと、アドレス制御メモリ10₁、10₂を2つ、チャンネル変換メモリ11₁、11₂を2つ備えることであり、従来必要であったチャンネル変換回路5は不要となったところにある。

この装置の接続制御手順を説明すると、地上局1₁からの発呼情報が地上共通線25を介して地上制御局12へ送られる。地上制御局12は、アップリンクUとダウンリンクDの空きチャンネルを捕捉し、そのチャンネル情報を衛星30に送り、アドレス制御メモリ10₁に設定する。

時間スイッチ6の書込および読出の制御は、チャンネル変換メモリ11₁および11₂で、フレーム毎に交互に行う。例えば、チャンネル変換メモリ11₁が時間スイッチ6の書込および読出の制御を行っている間は、他方のチャンネル変換メモリ11₂に次フレームの時間スイッチ制御情報を設定する。この制御は、アドレス制御メモリ10₁の制御情報と、チャンネル変換メモリ11₁の読出アドレス情報により行われる。

チャンネル割当を変更する場合には、変更情報を地上制御局12で作成し、衛星30上の使用していない方のアドレス制御メモリ10₂に書き込む。ただし次にまたチャンネル割当を変更する場合には、使用していない方のアドレス制御メモリは10₁であり、これに書き込むことになる。

第2図は本発明実施例装置の時間スイッチ6周辺の構成図である。アップリンクUのフレーム構成を12mSフレーム、768チャンネル多重(64 kb/S)、768bits/チャンネル、ハイウェイ速度50Mb/S

とすると、通信情報は受信機 4 でベースバンド信号に復調された後に、同期用制御情報であるプリアンプル P が除去され、連続信号に変換され、さらに 1 ハイウェイ当たり 768 ビットの並列信号に展開される。これが多重回路 20₁ ~ 20₈ に入力する。そして、各ハイウェイの情報を多重して時間スイッチ 6 でチャンネル単位の交換が行われる。時間スイッチ 6 で交換された情報は、分離回路 21₁ ~ 21₈ でハイウェイ毎に分離され、送信機 9 を介して地上局 1₂ へ送られる。

第 3 図はこの時分割交換機の交換動作原理を説明する図である。ここでは、説明を単純にするために、第 2 図の多重回路 20₁ ~ 20₈ で多重したチャンネル数を 4 チャンネルとする。また、時間スイッチ 6 の入力ハイウェイにおいて、フレーム (1) の第一チャンネルから第四チャンネルの通信情報を A B C D とする。通信情報 A は時間スイッチ 6 で出力側の第四チャンネルに交換されるものとし、同様に通信情報 B C D はそれぞれ第一、第二、第三チャンネルに交換されるものとする。時間スイッチ 6 のメモリは 1 フレーム分すなわち 4 チャンネル分の通信情報を蓄積し、第 3 図で右欄に表示されている A B C D がフレーム (1) の通信情報が書込まれた状態を示し、左欄に表示されている B D A C は次のフレーム (2) の通信情報が書込まれた状態を示す。

制御情報はアドレス制御メモリ 10₁ に設定される。この設定方法は次のように行われる。アドレス制御メモリ 10₁ のアドレス 1 にチャンネル変換メモリ 11₂ のアドレス「4」を書込み、同様にアドレス制御メモリ 10₁ のアドレス 2、3、4 に、チャンネル変換メモリ 11₂ のアドレス「1」「2」「3」を書き込む。アドレス制御メモリ 10₁、10₂ は、通信情報 A ~ D を時間スイッチ 6 に書き込むのと同期して、アドレス 1 ~ 4 をシーケンシャルに読出しチャンネル変換メモリ 11₁、11₂ の制御アドレスを出力する。

時間スイッチ 6 には、フレーム (1) の通信情報 A B C D がシーケンシャルに書込まれる。すなわち時間スイッチ 6 のアドレス 1 に通信情報 A が、同様にアドレス 2 ~ 4 に通信情報 B ~ D が書込まれる。これと並行して、アドレス制御メモリ 10₁ のアドレス 1 から、アドレス 4 の制御情報 (チャンネル変換メモリ 11₂ のアドレス制御情報) すなわちアドレス「4 1 2 3」が出力され、チャンネル変換メモリ 11₂ に供給される。このとき、チャンネル変換メモリ 11₂ に書込まれる時間スイッチ 6 の制御情報は、カウンタ 14₂ の出力情報である (ただし、初期設定値時のみ)。したがって、チャンネル変換メモリ 11₂ のアドレス 1 ~ 4 に時間スイッチ 6 の読出アドレス「2 3 4 1」が書込まれる。これにより、フレーム (1) の通信情報 A B C D は出力側で B C D A に交換されることになる。

次のフレームすなわち第 3 図のフレーム (2) で、アップリンク U のフレーム構成の変更を行う場合には、まえもって変更情報をアドレス制御メモリ 10₂ に設定する。この設定後にフレーム (2) の通信情報が時間スイッチ 6 に書込まれる時点で、それまでチャンネル変換メモリ 11₂ の制御アドレスを出力していたアドレス制御メモリ 10₁ からアドレス制御メモリ 10₂ に切り替わる。どのフレームからチャンネル割当を変更するかは、例えば各フレームの先頭に制御チャンネルを設けて、その情報に基づいてフレーム変更タイマをとる。アップリンク U のフレーム構成の変更情報は、通信情報 D の第一チャンネル、同様に通信情報 A C B の第二第三第四チャンネルを使用するという制御情報である。このときダウンリンク D のチャンネル割当は変化しないものと仮定する。

フレーム (1) の第四チャンネルメモリの通信情報 D が時間スイッチ 6 のアドレス 4 に書込まれると、次にチャンネル変換メモリ 11₂ のアドレス 1 の制御情報「2」が時間スイッチ 6 に供給され、時間スイッチ 6 のアドレス 2 の通信情報が読出される (T₁ 時点)。こ

れをリードサイクルという。次に同一制御情報「2」にフレーム(2)の第一チャンネル目の通信情報Dが時間スイッチ6のアドレス2に書込まれる。これをライトサイクルという。このリードサイクルとライトサイクルとの間に、チャンネル変換メモリ11₁にフレーム(2)の第一チャンネル目の制御情報を設定する。すなわち、チャンネル変換メモリ11₂の出力情報「2」をチャンネル変換メモリ11₂に書込む。

このチャンネル変換メモリ11₁にスイッチ制御アドレス「2」を設定するとき、その場所は、アドレス制御メモリ10₂のアドレス1に書込まれたチャンネル変換メモリ11₁のアドレス「3」である。同様にチャンネル変換メモリ11₁のアドレス「1」「2」「4」に時間スイッチ6のアドレス「1」「4」「3」が設定される。

第7A図～第7H図は時間スイッチ6、アドレス制御メモリ10₁およびチャンネル変換メモリ11₁、11₂の内容を時間にしたがって示す図である。各図はA～Hのアルファベット順に、1チャンネル毎に時間が経過した状態であり、各時点でアクセスされている領域に斜線が施してある。第7A図～第7H図を順にたどることにより、各メモリ内容の変化を理解することができる。この状態はチャンネルの割付に変更がない状態を示す。チャンネルの割付に変更がある場合には上述のように、この第7図に記載のないもうひとつのアドレス制御メモリ10₂に、新しいチャンネルの割付を設定し、アドレス制御メモリを切換えて使用することにより行われる。

第8図によりアドレス制御メモリの設定方法について説明する。第8図(1)は初期設定時の図である。アドレス制御メモリの各アドレスにシーケンシャルアドレスを設定する。この場合アドレス値とデータ値とは等しい。第8図(2)は初期設定の状態から、地上局1₁が発呼しそれを接続する状態を示す。地上局1₁から送られた入力側フレームの第一チャンネルch1には通信情報Aがあり、こ

れが出力側フレームの第四チャンネルch 4に変換する例を示す。アドレス制御メモリのアドレス「1」のデータ「1」を「4」に変更し、交換される出力ハイウェイのチャンネル番号「4」と等しい値をもつアドレス変換メモリのアドレス「4」のデータを「1」に設定する。

このように、時間スイッチ6では1チャンネルの通信情報を読み出した後に、同一のアドレスに次フレームの通信情報を書き込むので、チャンネル割付が変更になっても、従来方式のようなチャンネル変換回路を必要としない。すなわち本発明では、1ハイウェイ当たり1フレーム分のメモリ容量でよいので、通信情報を一時蓄積するメモリ容量は $1/3$ になる。

〔産業上の利用の可能性〕

本発明では、時分割交換機を通過する信号が一端蓄積されるメモリは時間スイッチのみであり、チャンネル変換回路を必要としないから、信号の遅延時間を約 $1/2$ に短縮することができる。

さらに本発明では、チャンネル割付を変更するには、アドレス制御メモリの内容を変更するのみでよく、時間スイッチの制御はチャンネル変換メモリにしたがって自律的に行われるから、地上からの制御が簡単化される。

ハードウェア量を本発明を衛星通信の時分割交換機に適用する場合について考える。フレーム構成を12m S、ハイウェイビットフレームを50Mb/S、768チャンネル/ハイウェイ、時間スイッチ6の収容ハイウェイ数を16とすると、本発明では、通信情報を蓄積する時間スイッチ6の所要LSIは72個である。ただし、LSIとしては128kbitsのランダムアクセスメモリとする。また、アドレス制御メモリはLSIを4個、チャンネル変換メモリはLSIを4個、合計8個で実現できる。

これに対して従来方式では、時間スイッチ6の前段にチャンネル

変換回路 5 があり、これは時間スイッチ 6 の 2 倍のメモリ容量を必要とする。すなわち上の条件でチャンネル変換回路 5 のみで L S I を 144 個必要とすることになる。したがって制御回路の L S I の数はほとんど問題にならず、全体としてハードウェア量をほぼ $1/3$ にすることができる。

請求の範囲

(1) 時間スイッチを備え、チャンネルの割付を変更することができる時分割交換方式において、

上記時間スイッチはこの時間スイッチの入力側信号の1フレーム分の通信情報を蓄積できるメモリを含み、

上記時間スイッチの入力側と出力側の時分割多重伝送路上のチャンネル変換制御情報をそれぞれ蓄積する2つのアドレス制御メモリと、

上記時間スイッチを制御する2つのチャンネル変換メモリとを備え、

上記2つのチャンネル変換メモリを上記アドレス制御メモリの1つの内容にしたがって交互に利用して、時間スイッチのアドレスから通信情報を読み出し、その読み出しの直後にそのアドレスに次のフレームの通信情報を書込み、

チャンネル割付を変更するときには、上記アドレス制御メモリの他の1つに新たなチャンネル割付を設定してそのアドレス制御メモリを切り換える制御手段を備えた

ことを特徴とする時分割交換方式。

(2) 時間スイッチおよびこの時間スイッチの制御回路が通信衛星に搭載された請求の範囲第(1)項に記載の時分割交換方式。

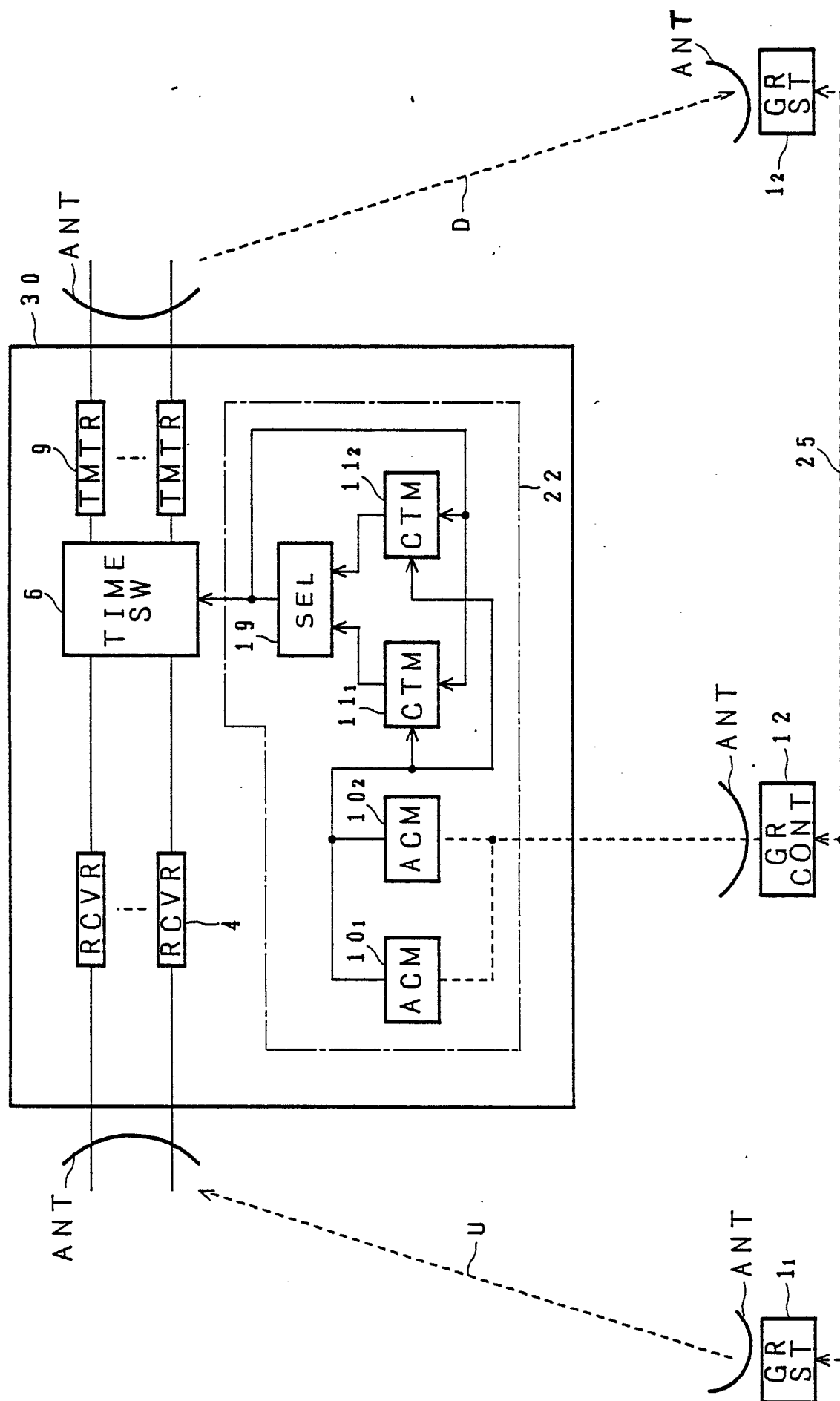


FIG. 1

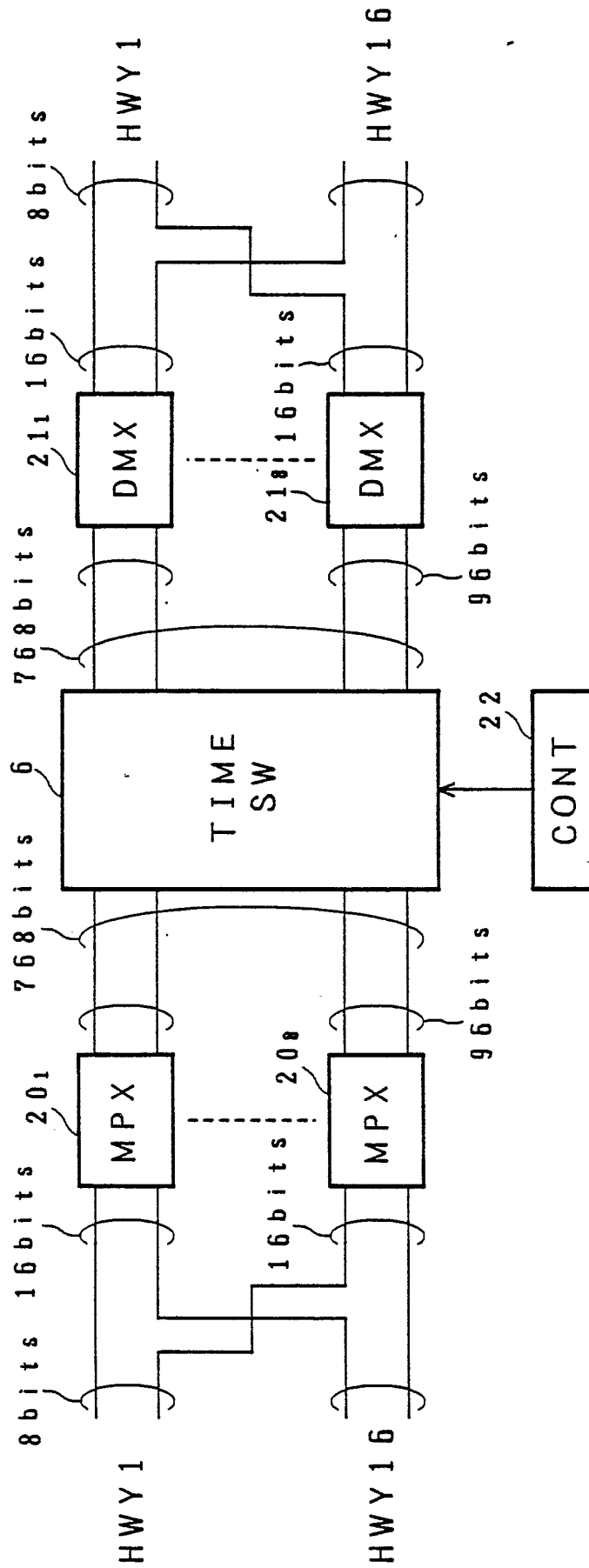


FIG. 2

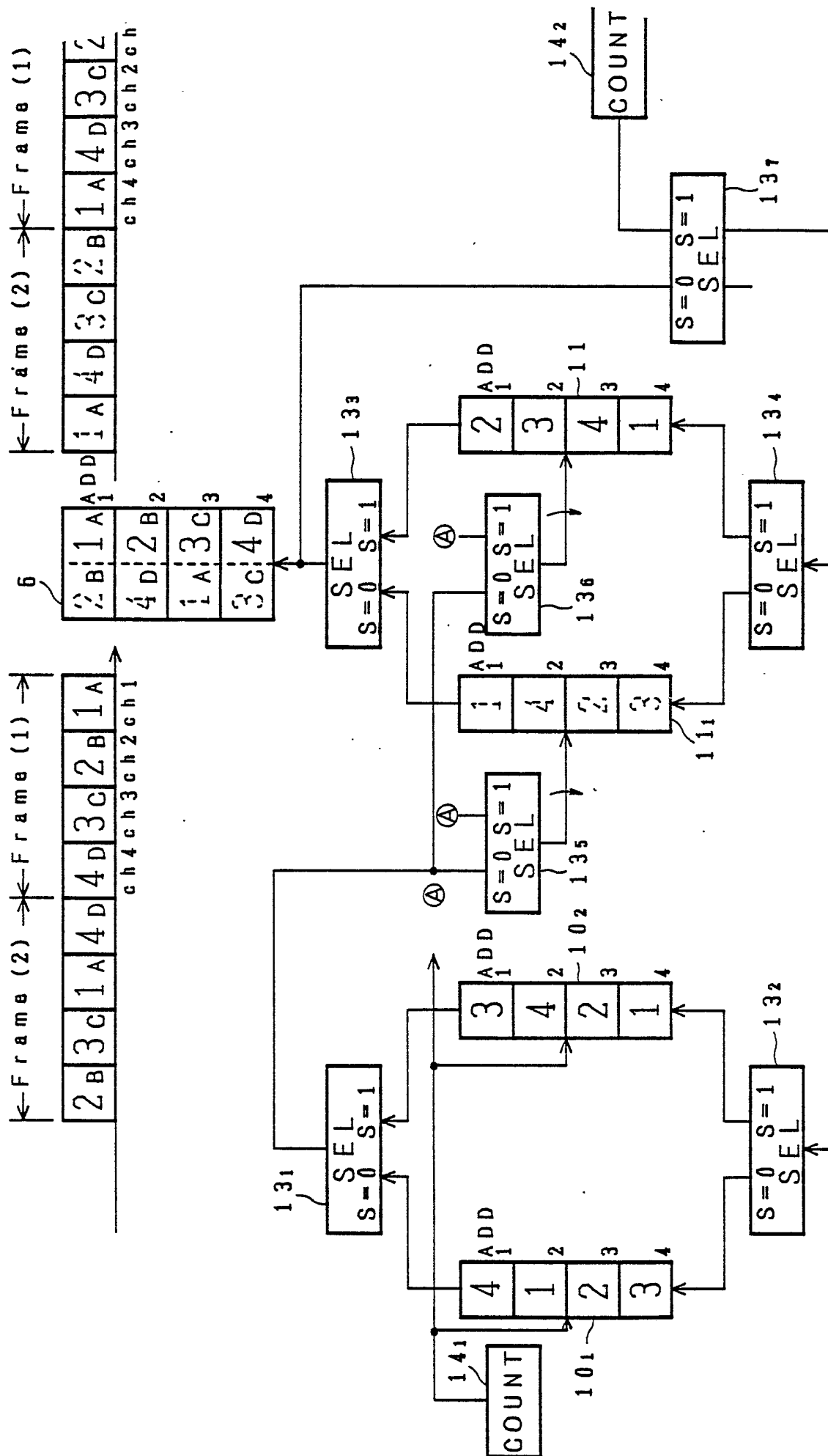


FIG. 3

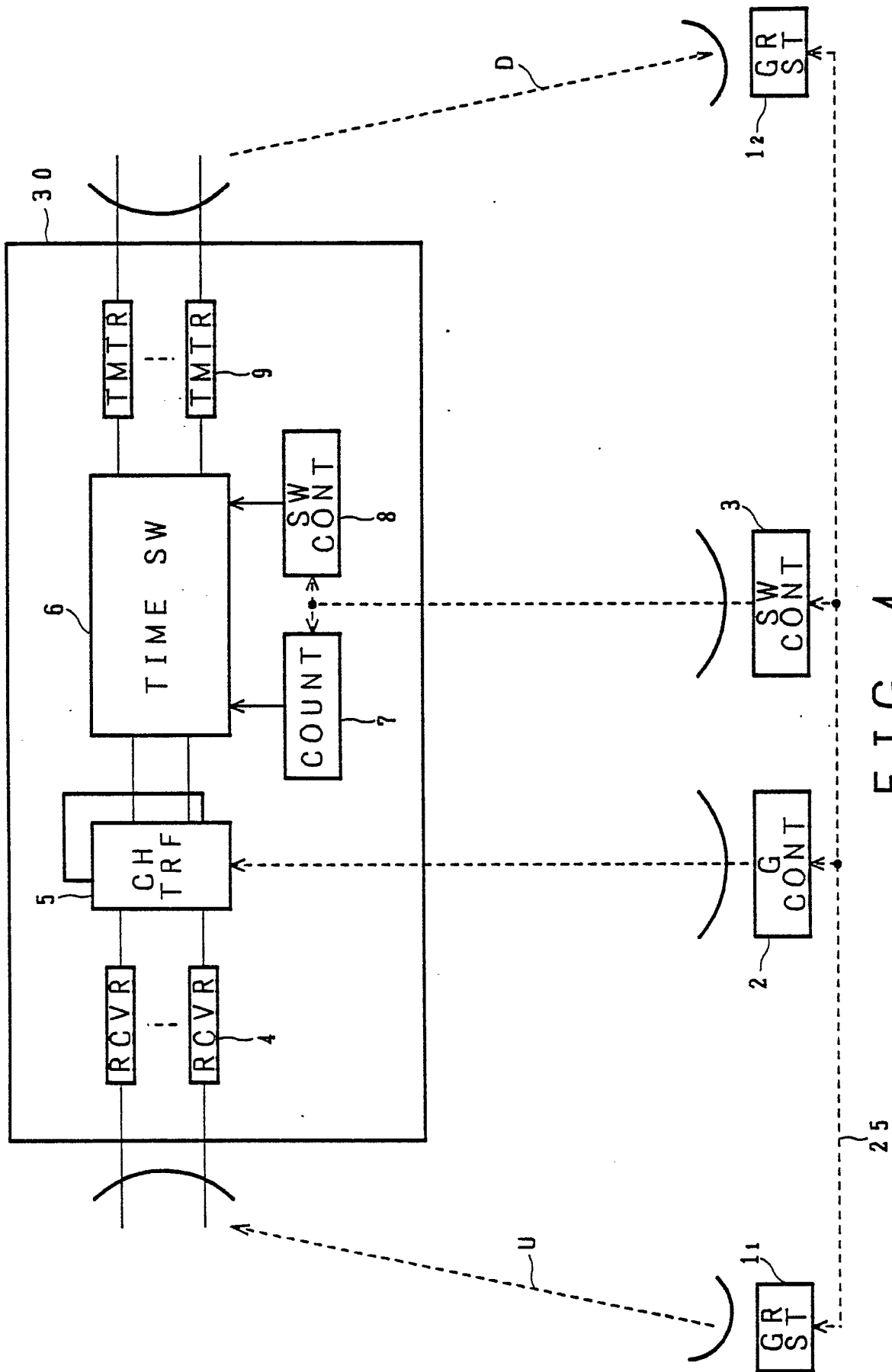


FIG. 4

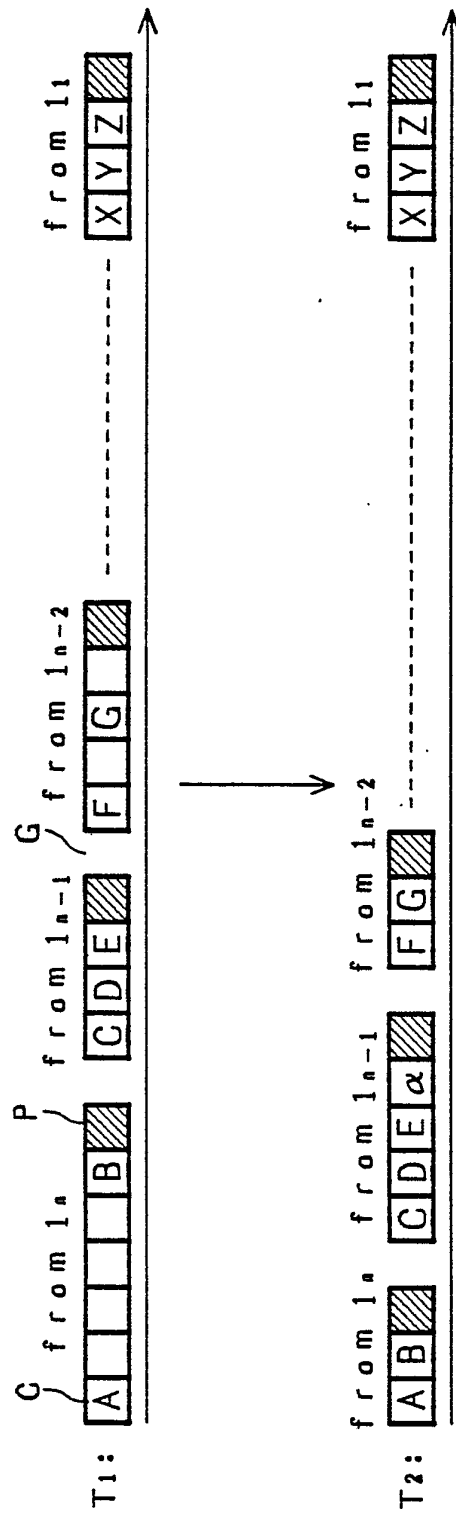


FIG. 5

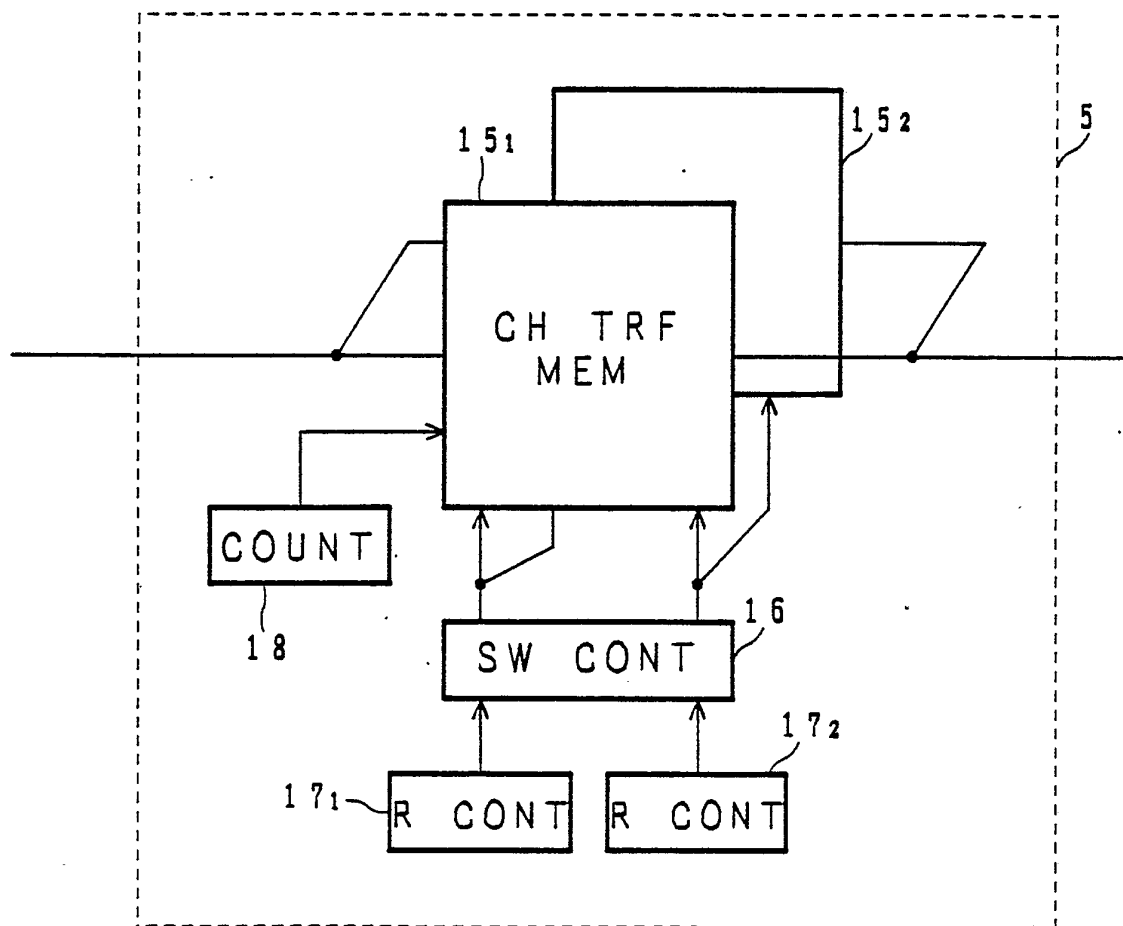


FIG. 6

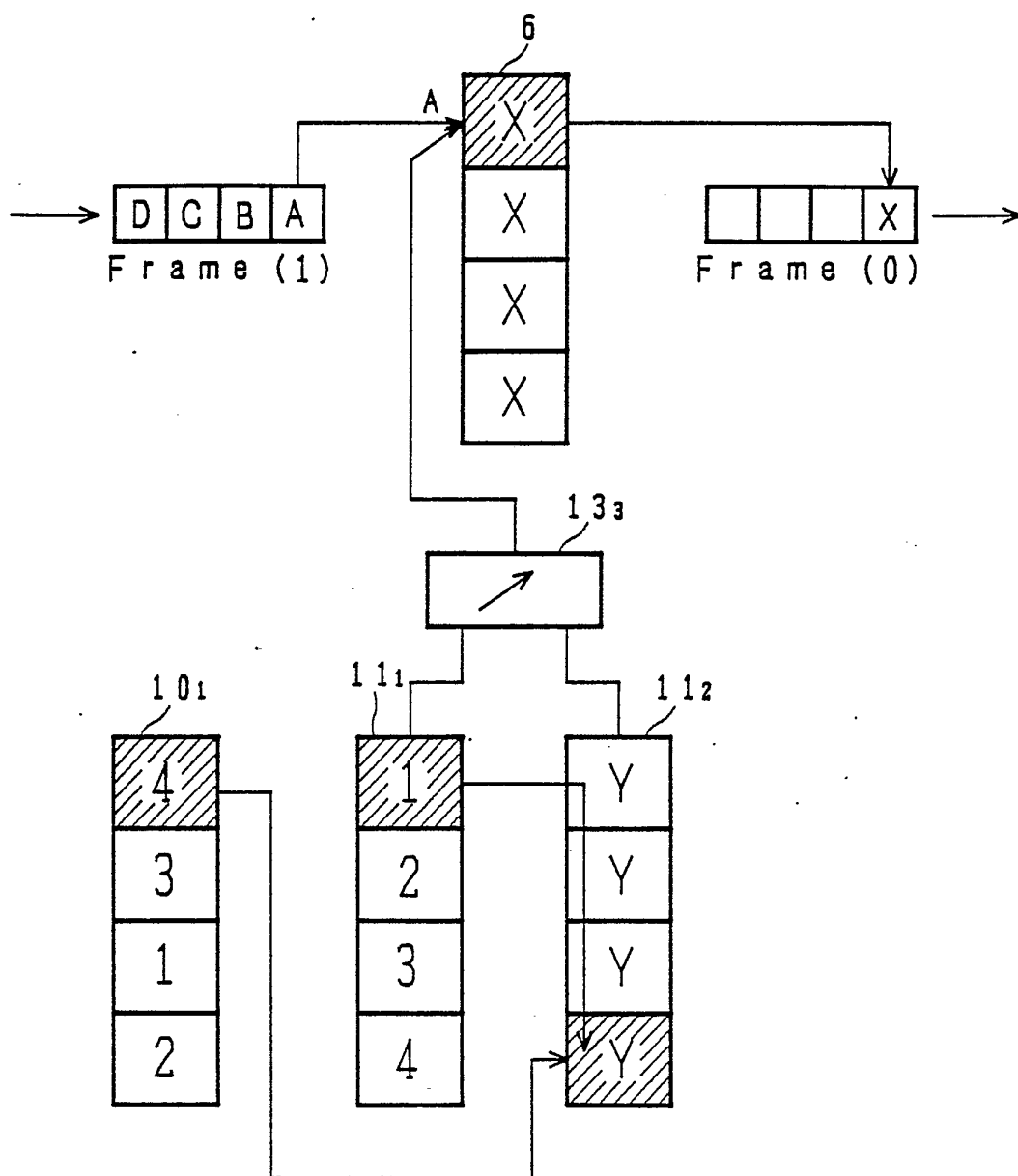


FIG. 7 A

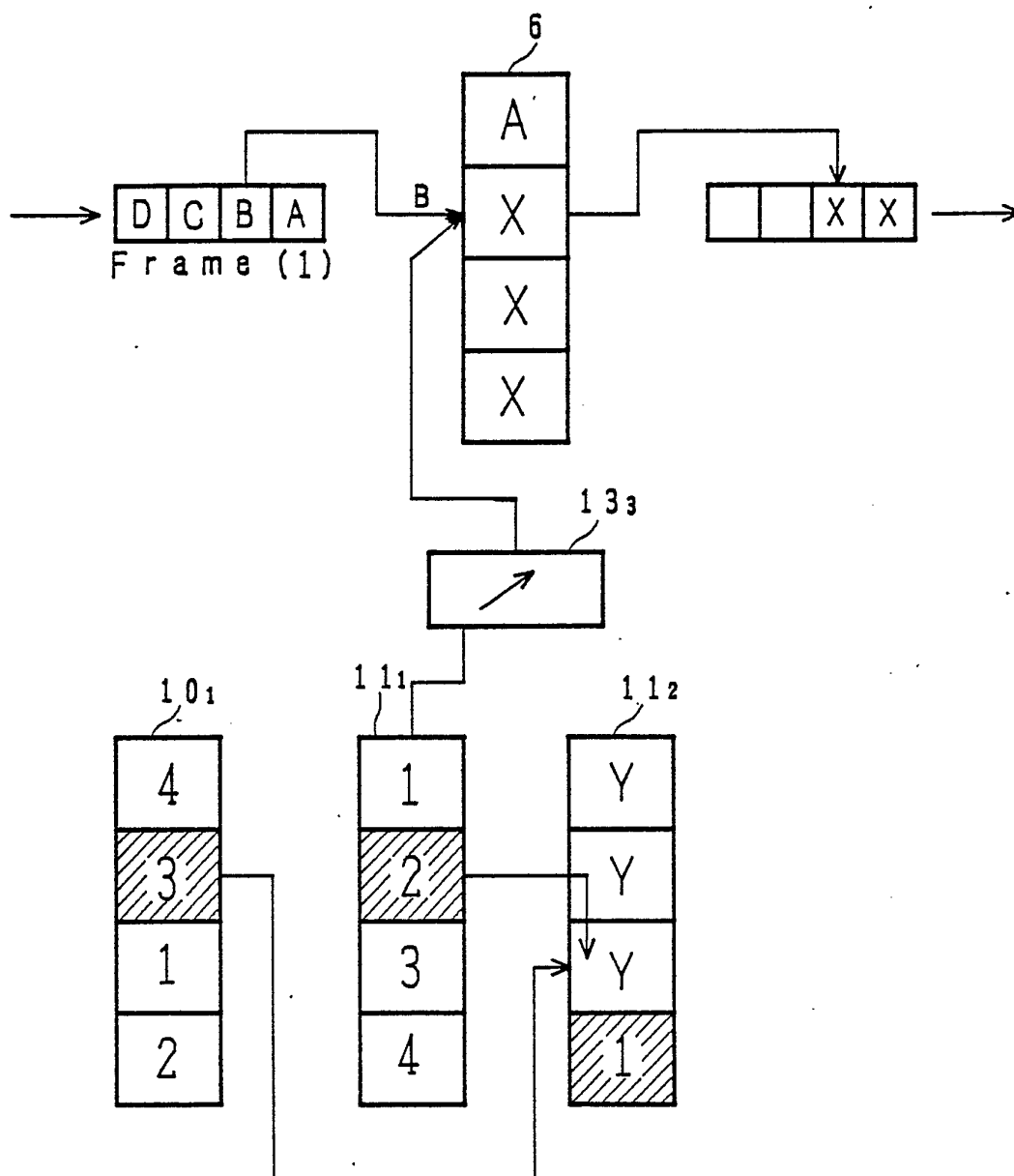


FIG. 7 B

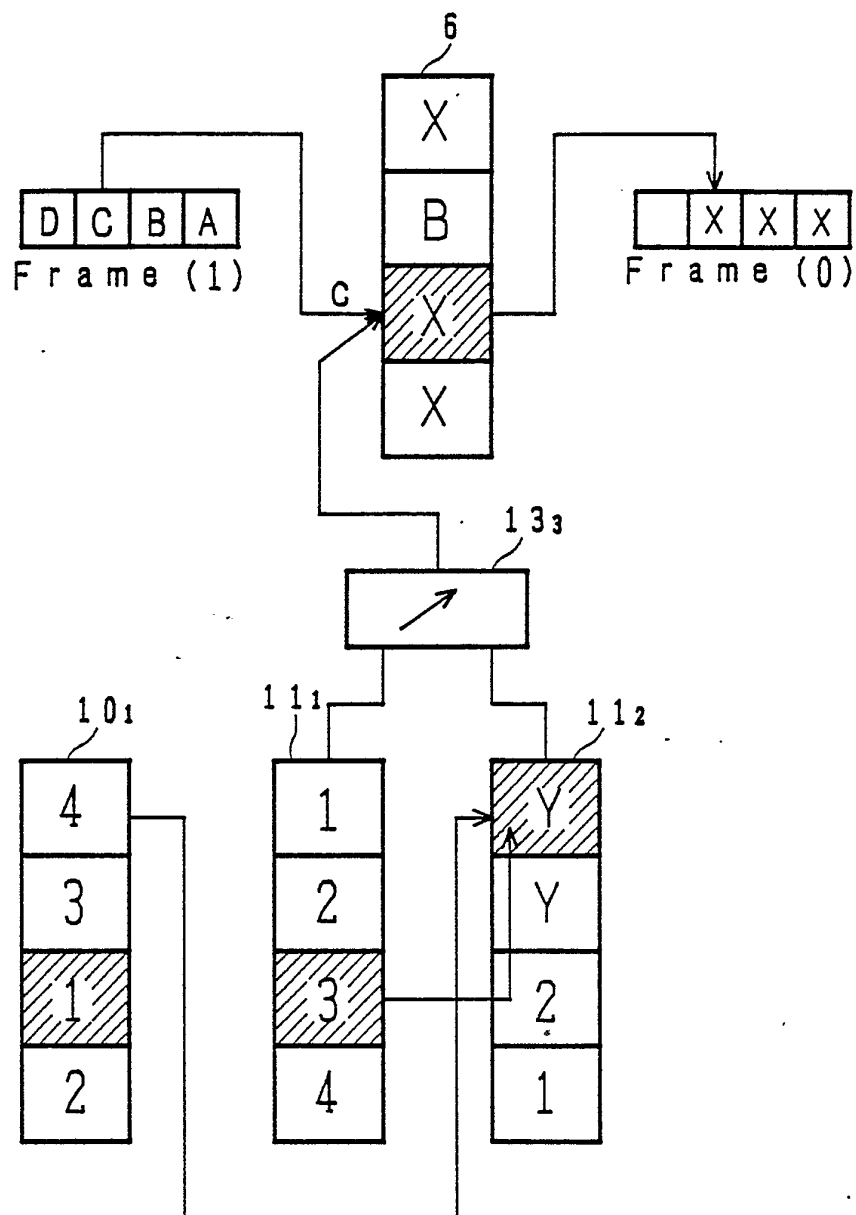


FIG. 7C

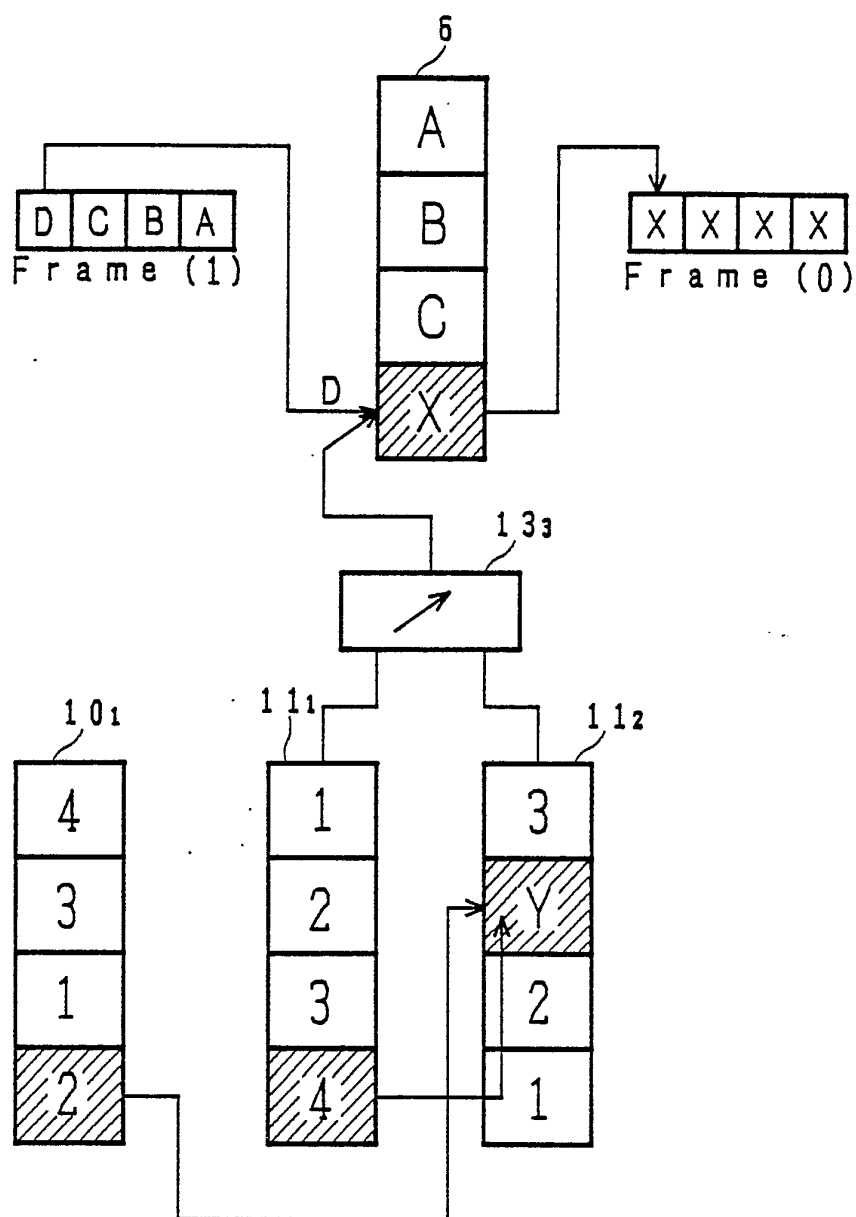


FIG. 7D

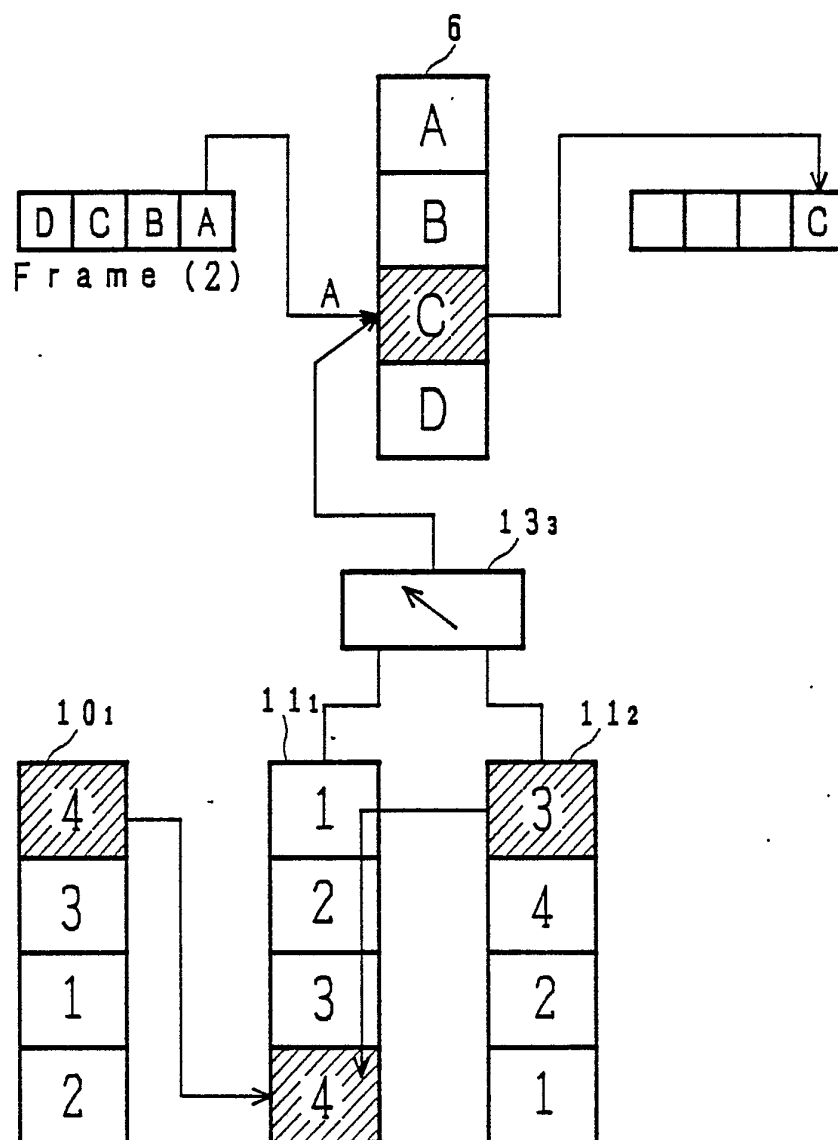


FIG. 7E

12/15

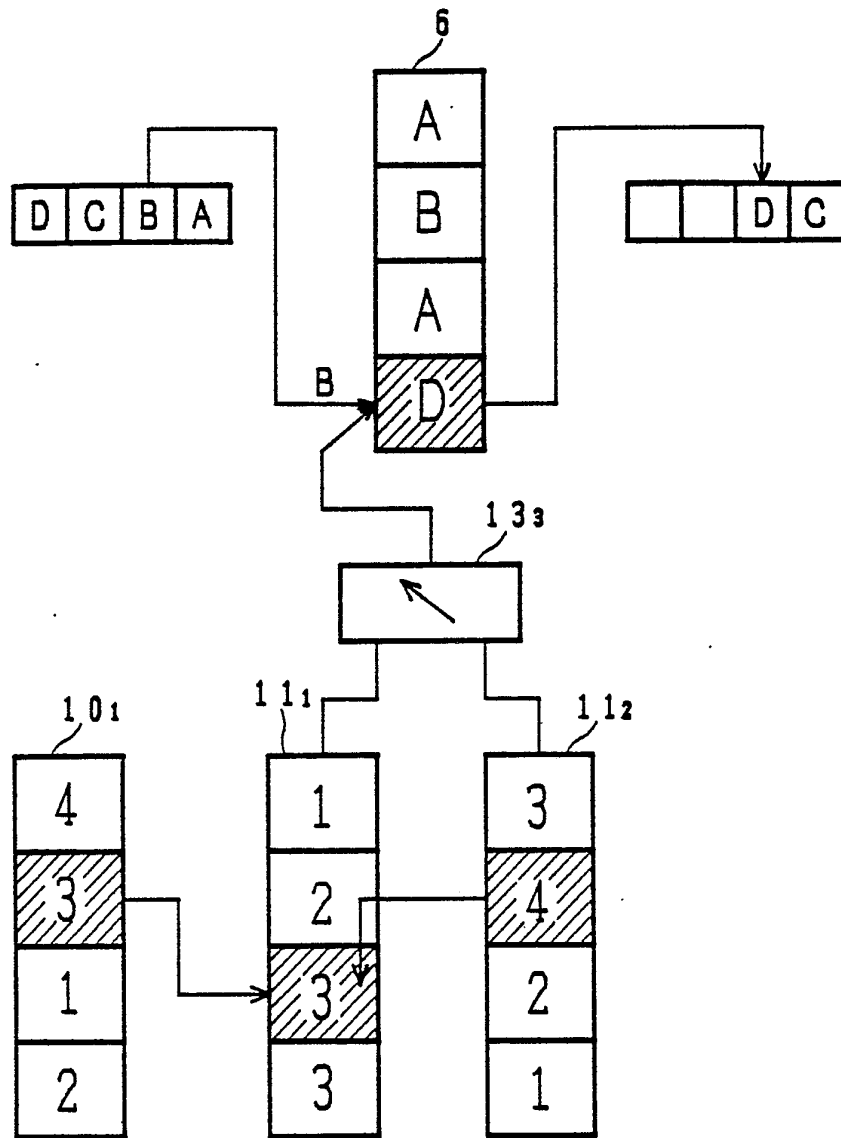


FIG. 7F

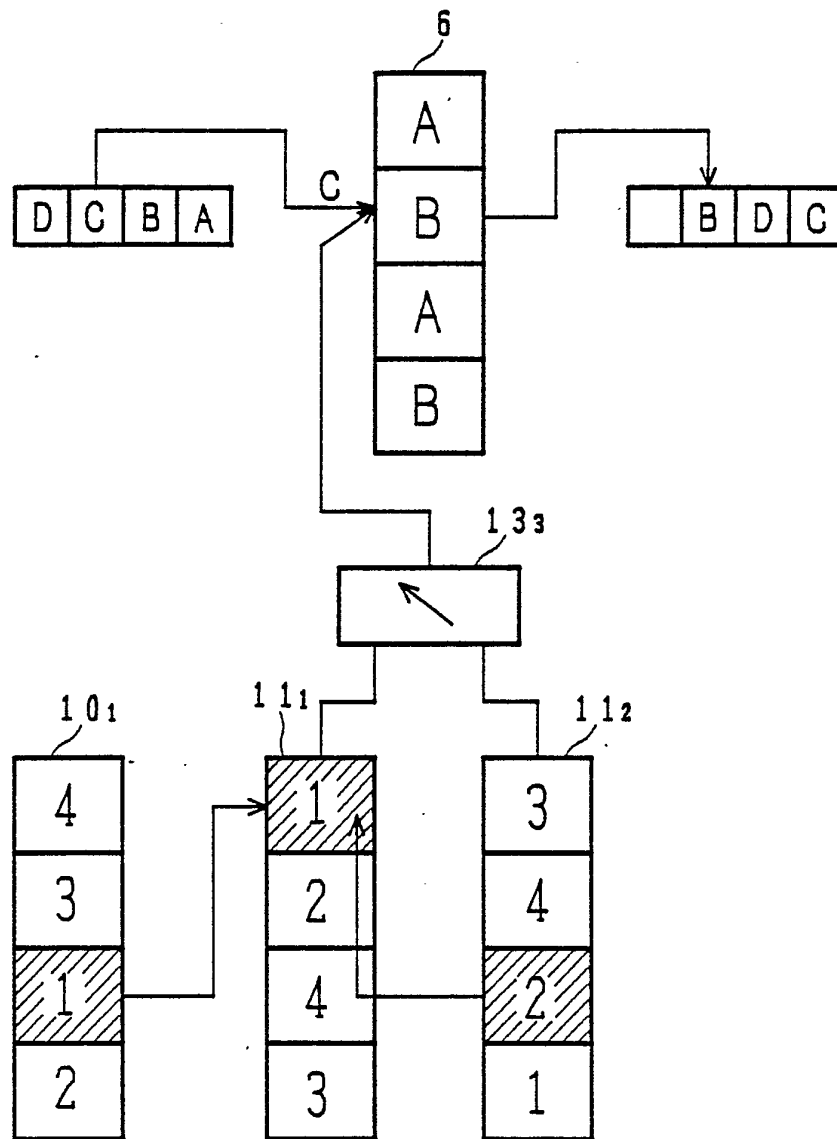


FIG. 7G

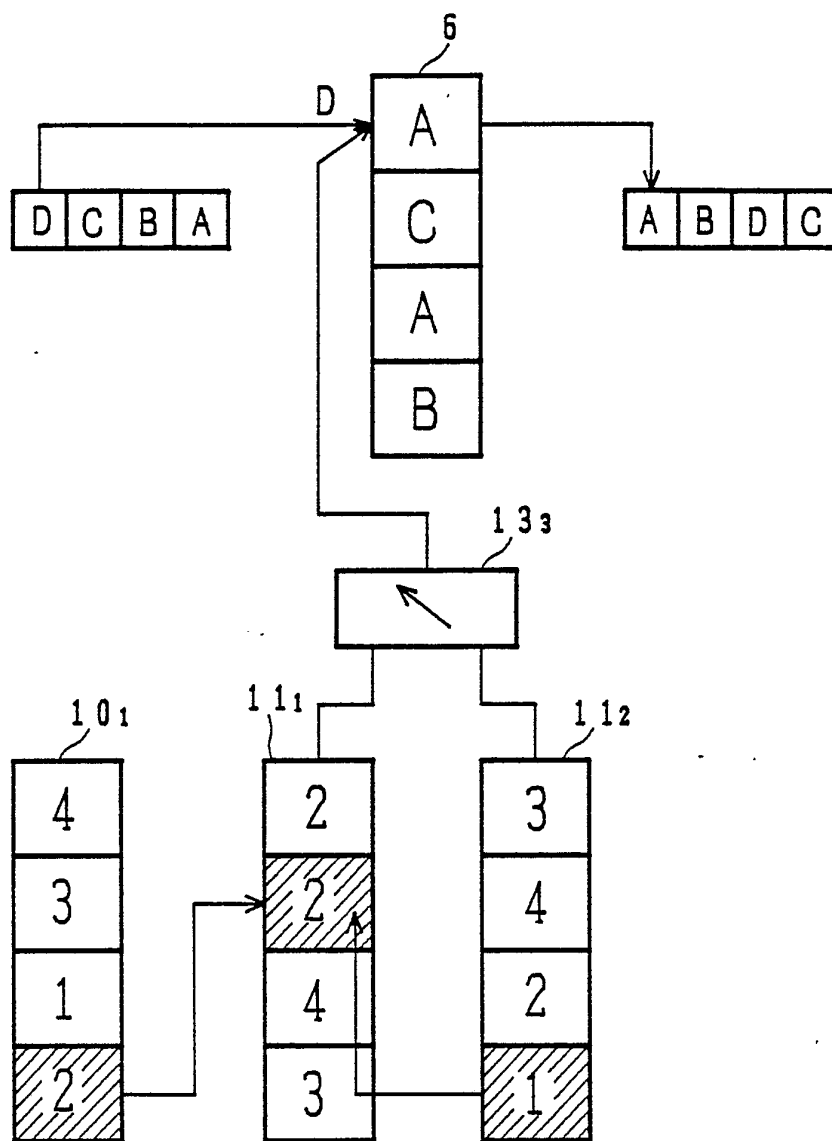
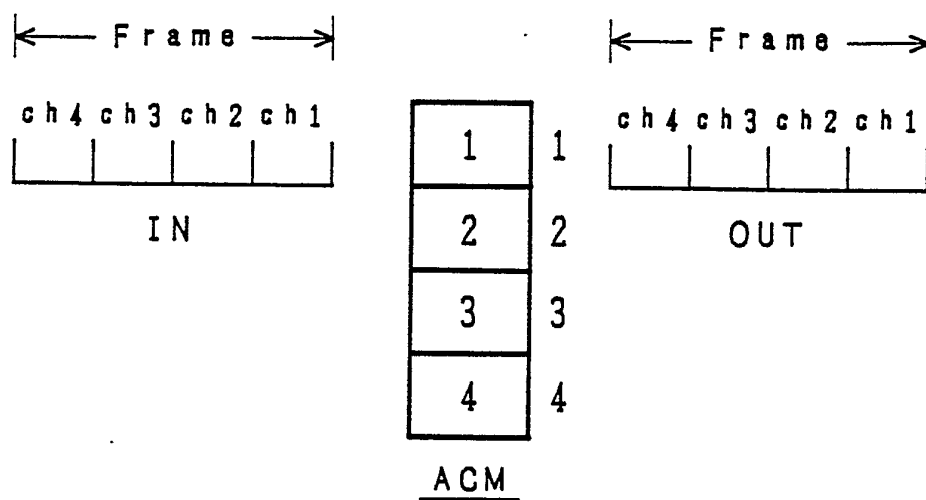
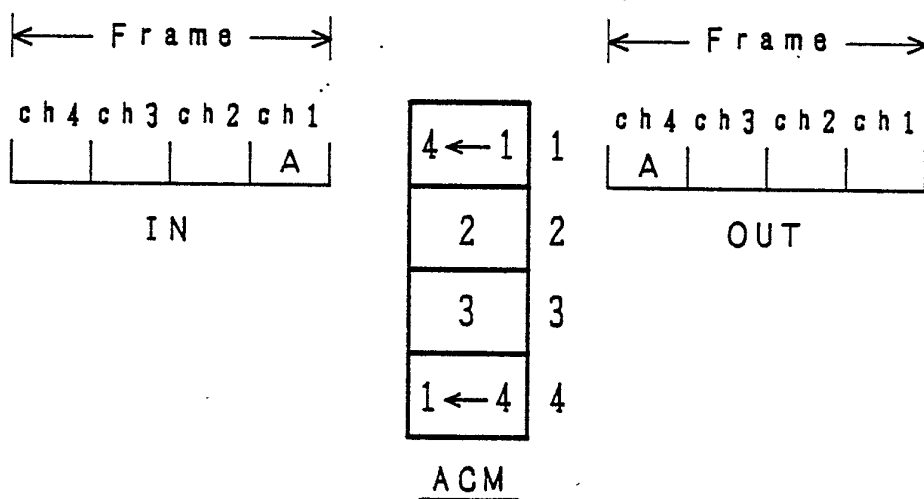


FIG. 7H



(1) Initial Set



(2) Transferring Cond.

FIG. 8

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP86/00114

I. CLASSIFICATION OF SUBJECT MATTER (If several classification symbols apply, indicate all) *		
According to International Patent Classification (IPC) or to both National Classification and IPC		
Int.Cl. ⁴ H04Q11/04		
II. FIELDS SEARCHED		
Minimum Documentation Searched *		
Classification System	Classification Symbols	
IPC	H04Q 11/04, H04B 7/15	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched *		
III. DOCUMENTS CONSIDERED TO BE RELEVANT ¹⁴		
Category ¹⁵	Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹⁸
Y	JP, B1, 43-27246 (Oki Electric Industry Co., Ltd.) 22. 11. 1968 Column 2, line 21 to column 3, line 4 (Family: none)	1, 2
Y	JP, A, 59-171093 (Fujitsu Ltd.) 27. 09. 1984 Page 55, upper right column, line 15 to lower left column, line 17 (Family: none)	1, 2
* Special categories of cited documents: ¹⁹ "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search ²	Date of Mailing of this International Search Report ³	
May 22, 1986 (22. 05. 86)	June 16, 1986 (16. 06. 86)	
International Searching Authority ¹	Signature of Authorized Officer ¹⁰	
Japanese Patent Office		

国際調査報告

国際出願番号 PCT/JP 86 / 00114

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. Cl.⁴ H04Q 11/04		
II. 国際調査を行った分野		
調査を行った最小限資料		
分類体系	分類記号	
IPC	H04Q 11/04, H04B 7/15	
最小限資料以外の資料で調査を行ったもの		
III. 関連する技術に関する文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
Y	JP, B1, 43-27246 (沖電気工業株式会社) 22. 11. 1968 第 2 欄第 21 行目 - 第 3 欄第 4 行目 (フアミリーなし)	1, 2
Y	JP, A, 59-171093 (富士通株式会社) 27. 09. 1984 第 55 頁, 右上, 第 15 行目 - 左下, 第 17 行目 (フアミリーなし)	1, 2
*引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリーの文献		
IV. 認 証		
国際調査を完了した日	国際調査報告の発送日	
22. 05. 86	16.06.86	
国際調査機関	権限のある職員	5 5 7 1 1 7
日本国特許庁 (ISA/JP)	特許庁審査官 松野高樹	