(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. 6
G02F 1/136
G02F 1/1343

(45) 공고일자 2003년06월09일
(11) 등록번호 10-0333156
(24) 등록일자 2002년04월08일

(21) 출원번호 10-1996-0014941
(22) 출원일자 1996년05월08일

(65) 공개번호 특1996-0042178
(43) 공개일자 1996년12월21일

(30) 우선권주장 95-134810 1995년05월08일 일본(JP)
96-58500 1996년02월21일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 홍용 쯔앙
일본국 가나가와켄 야마토시 후카미다이 1-10-15 파레스 미야가 미 302

(74) 대리인 이병호

심사관 : 임동재

(54) 표시장치

요약

ITO 화소 전극의 주변부를 피복하기 위해서 블랙 매트릭스로서의 역할도 수행하는 금속 전극이 형성된다. 화소 전극과 금속 전극이 함께 연장하는 영역은 또한 보조 캐패시터의 역할을 수행한다. 보조 캐패시터는 절연 박막을 사용하여 형성될 수 있으므로, 큰 용량을 가질 수 있다. 블랙 매트릭스도 또한 보조 캐패시터로서의 역할을 수행하는 구조의 도움으로, 보조 캐패시터에 전용으로 사용되는 전극을 제공할 필요가 없고, 따라서 개구율의 감소를 방지할 수 있다. 게다가, 블랙 매트릭스는 광으로부터 소스선과 게이트선을 완전하게 차폐할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 액티브 매트릭스 액정 화면 표시 장치에 관한 화소 영역의 구조를 도시하는 단면도.
제2도는 제1도의 화소 영역을 도시하는 상단면도.
제3A도 내지 제3E도는 제2도의 각 요소의 위치 관계를 도시하기 위한 평면도.
*** 도면의 주요부분에 대한 부호의 설명 ***
101 : 유리 기판 102 : 산화 실리콘막
103 : 박막 트랜지스터 104 : 소스 영역
105 : 채널 형성 영역 106 : 드레인 영역
107, 108 : 오프셋 게이트 영역
110 : 게이트선 113 : 소스선

116 : 광 차폐 전극 117 : 절연막
118 : 화소 전극 119, 120 : 연장 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 배경

1. 발명 분야

본 발명은 액티브 매트릭스 액정 화면 표시 장치에 관한 화소 영역의 구조에 관한 것으로서, 특히 각 화소 전극과 평행 접속된 블랙 매트릭스(BM)와 보조 캐패시터의 구조에 관한 것이다.
또한, 본 발명은 블랙 매트릭스를 필요로 하는 패널형 표시 장치에 관한 화소 영역의 구조에 관한 것이다.

2. 관련 기술의 설명

종래, 매트릭스 형태로 배열되어 있는 복수개의 화소 전극의 각각이 적어도 한 개의 박막 트랜지스터가 접속되어 있는 액티브 매트릭스 액정 화면 표시 장치가 알려져 있다.
각 화소 전극은 카운터 전극과 화소 전극 사이에 액정을 갖는 화소 전극과 대향하는 상기 카운터 전극과 함께 캐패시터를 구성한다.
그러나, 실제 동작에 있어서는, 각 화소 전극부분으로 구성되는 캐패시터의 용량은 충분히 크지 않기 때문에 보조 캐패시터가 요구된다. 그러나, 보조 캐패시터의 전극이 금속과 같은 전도성 물질로 이루어진 경우, 보조 캐패시터는 각 픽셀에서 광 차폐부분(light-shielding portion)으로서 동작하여 개구율(aperture ratio)이 높아진다.
반면에, 각 픽셀 전극의 주위에는 '블랙 매트릭스'하고 하는 광 차폐 부재가 필요하다.
일반적으로, 소스선(박막 트랜지스터의 각 소스 영역에 전류를 공급하는 와이어링선)과 게이트선(박막 트랜지스터의 각 게이트 전극에 신호 전압을 공급하는 와이어링선)이 매트릭스 형태로 배열되어 있는 영역은 평평하지 않은 표면을 갖는다. 그 결과, 그 영역에서는 배향막에 관한 마찰 동작이 적절하게 수해될 수 없으므로, 그곳의 액정 분자의 배향이 무질서해질 수 있다. 이로 인해서, 빛이 바람직하지 않게 누설되거나 그 반대로 화소 주위에 원하는 광량이 전송되지 않는 현상이 일어날 수도 있다. 게다가, 전술의 영역에서는 액정이 원하는 광전(electro-optical) 동작을 수행하지 못하게 될 수 있다.
만일 전술의 현상이 발생한다면, 표시된 이미지는 화소 주위에서 흐릿해지고, 따라서 이미지의 명도를 전체적으로 손상시킨다.
전술의 문제점을 해결하기 위해서, 화소 전극의 모서리를 피복하도록 광 차폐막이 형성되는 구조가 공지되어 있다. 이 광 차폐막을 '블랙 매트릭스'(BM)라고 부른다.
미국 특허 번호 제5,339,181호에서는 블랙 매트릭스를 포함하는 구조를 공개 하고 있다. 이 기술에 있어서는, 이 특허의 제3C도에 도시된 바와 같이, 게이트선으로부터 연장하는 블랙 매트릭스는 화소 전극의 모서리와 함께 중첩하도록 형성된다. 이 구조는 블랙 매트릭스와 화소 전극의 부분들을 중첩함에 있어서 보조 캐패시터를 형성하도록 적응된다.
그러나, 이 특허 기술은 다음의 두 가지 문제점을 안고 있다. 첫째, 블랙 매트릭스가 게이트선으로부터 연장하기 때문에, 광 차폐가 완전하지 않다. 그 이유는 소스선이 누화를 회피할 수 있을 정도로 블랙 매트릭스와 중첩될 수 없기 때문이다. 그 부분들에서는 광 누설이 허용되어야 한다.
둘째, 블랙 매트릭스가 게이트선과 동일한 평면을 점유하고 있기 때문에, 당연히 게이트선 자체를 광 차폐시킬 수 없다. 게다가, 블랙 매트릭스는 전술한 바와 같이 누화를 회피하도록 소스선을 광 차폐할 수 없다.
최근의 디지털 장비의 발달에 있어서, 저주파수에서 마이크로 웨이브까지의 전자기파의 영향은 여러 가지 문제들을 야기하고 있다. 액정 광전 장치를 사용하는 환경에 있어서는, 전자기파의 영향을 염두해 두어야 한다.
그러므로, 액정 표시 장치는 외부 전자기파에 감응하도록 구성될 필요가 있다.
전술한 바와 같은 관점에서, 미국 특허 번호 제5,339,181호에서 설명하고 있는 바와 같은, 이미지 신호를 전송하는 소스선과 게이트선이 외부 전자기파에 노출되는 전술의 구조는 소스선과 게이트선이 안테나로서의 역할을 수행하기 때문에 적합하지 않다.

발명의 개요

본 발명의 목적은 블랙 매트릭스에 의해서 효과적인 광 차폐를 구동할 수 있는 액티브 매트릭스 액정 표시 장치의 화소 구조를 제공하는데 있다.
본 발명의 다른 목적은 전체의 장치(entire device)가 외부 전자기파에 의해서 영향받지 않고 보호될 수 있는 구조를 제공하는데 있다.
본 발명의 또 다른 목적은 개구율을 감소시키지 않고서도 필요한 용량을 갖 는 보조 캐패시터를 형성하는데 있다.
본 발명의 제1 양상에 의하면, (제1도 및 제2도에 도시된 바와 같은) 표시장치는,
매트릭스 형태로 배열되는 소스선(113)과 게이트선 (110)과,
상기 소스선(113)과 상기 게이트선(110)에 의해서 둘러 쌓인 각 영역에 배치되는 적어도 하나의 화소 전극(118) 및,

상기 소스선(113)과 상기 게이트선(110)을 피복하도록 배치되는 광 차폐 전극(116)을 구비하고,
상기 화소 전극(118)의 주변부는 광 차폐 전극(116)과 중첩하고 그의 동연장 영역(coextending region)(119 또는 120)은 보조 캐패시터로서의 기능을 수행한다.
이 구조에 의하면, 박막 트랜지스터(103)의 화소 전극(118)과 드레인 전극(116) 이외의 모든 구성 요소는 입사광으로부터 차폐될 수 있다. 특히, 소스선(113)과 게이트선(110)은 외부로부터 완전히 차폐될 수 있다. 이에 의해, 외부 전자기파는 소스선(113)과 게이트선(110)에 의해서 수신되어 장치의 오동작(erroneous or faulty operation)이 발생하는 것을 방지한다.
개구율을 감소시키지 않고서도 보조 캐패시터가 형성될 수 있다.
전술의 구조에 있어서, 화소 전극(118)은 예컨대 ITO로 만들어진 투명 전도막(transparent conductive film)이다. 기본 구조에 있어서는 각 화소에 한 개의 화소 전극이 제공되지만, 각 화소의 화소 전극은 복수개의 부분들로 분할되어도 된다.
화소 전극(118)의 주변부와 중첩되도록 배치되는 블랙 매트릭스(116)는 티타늄이나 크롬으로 구성된다. 블랙 매트릭스(116)는 과 차폐막으로서의 기능을 수행할 뿐만 아니라, 보조 캐패시터를 구성하는 전극들중 하나로서의 기능을 수행하기도 한다.
양호하게는, 금속 전극(116)이 화소 전극(118)의 주변부와 함께 그의 전체 주변부에 걸쳐서 중첩되도록 형성된다. 제3A도 내지 제3E도는 제2도의 각 요소의 위치 관계를 설명하기 위한 평면도이다.
본 발명의 다른 양상에 의하면, 제1도 및 제2도에 예시된 바와 같이,
매트릭스 형태로 배열되는 소스선(113)과 게이트선 (110)과,
상기 소스선(113)과 상기 게이트선(110)에 의해서 둘러 쌓인 각 영역에 배치되는 적어도 하나의 화소 전극(118) 및,
상기 화소 전극(118)의 주변부와 중첩하도록 배치되는 광 차폐 전극(116)을 구비하고,
상기 화소 전극(118)과 상기 광 차폐 전극(116)은 절연막(117)을 통해서 캐패시터를 구성하며, 상기 광 차폐 전극(116)은 상기 소스선(113)과 상기 게이트선(110)과는 다른 층에 존재하는 표시 장치를 제공한다.
본 발명의 또 다른 양상에 의하면, 제1도 및 제2도에 예시된 바와 같이, 입사광측(즉 제1도의 상단)에서부터 기록되는 바와 같은 순서로,
화소 전극(118)과,
광 차폐 전극(116)과,
소스선(113) 및,
게이트선(110)을 구비하고,
상기 화소 전극(118)과 상기 광 차폐 전극(116)은 그들 사이에 캐패시터(119 또는 120)를 구성하는 표시 장치를 제공한다.
이 구성에 있어서, 화소 전극(118)을 입사광측에 가장 가깝게 배치하고 광 차폐 전극(블랙 매트릭스)(116)을 화소 전극(118) 다음에 배치시킴으로써, 하층의 소스선(113)과 게이트선(110) 및 박막 트랜지스터(드레인 영역(106)은 제외)는 입사광으로부터 완전히 차단될 수 있다.
이 구조는 광 차폐에 매우 유용할 뿐만 아니라, 외부 전자기파 영향의 제거에도 유용하다.
게다가, 캐패시터(119 및 120)는 개구율을 감소시키지 않고서도 형성될 수 있다.

양호한 실시예의 설명

제1도 및 제2도는 본 발명을 이용하는 액티브 매트릭스 액정 표시 장치의 구조를 도시한다.
제1도는 제2도의 A-A'선을 따라서 자른 단면도이다. 제1도 및 제2도는 액티브 매트릭스 액정 표시 장치의 화소 영역(화소 영역은 많은 화소들로 이루어져 있다)을 구성하는 단일 화소의 구조를 도시한다.
제1도 및 제2도는 박막 트랜지스터가 배열되어 있는 기판의 측면상의 구조만을 도시하고 있다. 실제로는, 그 반대쪽에 다른 기판이 있다. 이 두 개의 기판사이 에는 약 수 마이크로미터 정도의 간격을 통해서 액정이 보간되어 있다.
제1도 및 제2도에 있어서, 참조 번호103은 박막 트랜지스터를 나타내고, 참조 번호101은 유리 기판을 나타낸다. 대안으로, 석영이 사용되어도 된다. 참조 번호102는 하부 피막(undercoat film)으로서의 산화 실리콘막을 나타낸다. 박막 트랜지스터(103)의 액티브층은 소스 영역(104), 오프셋 게이트 영역(107 및 108), 채널 형성 영역(105) 및 드레인 영역(106)을 구성하고 있다. 액티브층은 비정질 실리콘막을 가열하거나 그 막에 레이저 광을 조사함으로써 결정화되어 온 결정 실리콘막으로 이루어져 있다.
참조 번호109는 게이트 절연막을 포함하는 산화 실리콘막을 나타내고, 참조 번호110은 주로 알루미늄으로 만들어지고 게이트선으로부터 연장하는 게이트 전극을 나타낸다. 제1도에서, 참조 번호110은 게이트 전극 및 게이트선을 나타낸다.
참조 번호111은 알루미늄 게이트 전극(110)을 음극선(anode)으로서 사용하는 음극화에 의해서 형성되어 온 산화 음극막(anodic oxide film)을 나타낸다.
참조 번호112는 산화 실리콘막인 제1 층간 절연막을 나타낸다. 참조 번호113은 소스 영역(104)에 접속되고 소스선으로부터 연장하는 리드 아웃(lead-out) 전극을 나타낸다. 제1도에서, 참조 번호113은 소스 전극과 소스선을 나타낸다.
참조 번호115는 드레인 전극(106)에 그리고 화소 전극으로서의 역할을 수행하는 ITO 전극(118)에 접속되는 리드 아웃 전극을 나타낸다. 참조 번호114 및 117은 각각 제2 및 제3 층간 절연막을 나타낸다.
참조 번호116은 블랙 매트릭스로서의 역할을 수행하는 티타늄 전극을 나타낸 다. 대안으로, 크로뮴막 등이 사용되어도 된다. 티타늄막(116)은, 블랙 매트릭스로서의 역할을 수행할 수 있기 위해서, 화소 전극(118)의 주변부와 중첩하도록 형성된다.

티타늄 전극(116)과 화소 전극(118)이 그들 사이에 보간된 제3 층간 절연막(117)의 일부분과 함께 연장하는 영역(119 및 120)에는 보조 캐패시터들이 형성된다. 이 캐패시터들은 절연막(117)을 얇게 만들 수 있기 때문에 큰 용량(capacitance)을 가질 수 있다.
티타늄 전극(116)은 게이트선(110)과 소스선(113)을 광으로부터 차폐하기도 하기 때문에, 그 티타늄 전극(116)은 강한 광 조사로 인해 그곳에서의 전하 발생과 누적을 방지할 수 있다. 또한, 티타늄 전극(116)은 외부 전자기파에 대한 차폐로서의 역할도 수행한다. 즉, 티타늄 전극(116)은 게이트선(110)과 소스선(113)을 안테나로서 동작하지 않도록 방치함으로써 장치(device)가 원치 않는 신호를 수신하지 않게 하는 기능을 갖는다.
티타늄 전극(116)은 또한 박막 트랜지스터(103)를 피복하도록 형성된다. 이에 의해, 박막 트랜지스터(103)를 조사하는 광이 트랜지스터(103)의 동작에 영향을 미치는 경우를 방지한다. 게다가, 도면에 도시되지는 않았지만, 전극(116)은 카운터 전극과 전기적으로 동일한 전위로 설정된다.
전술의 실시예에서는 절연막(117)이 단일층이지만, 절연막(117)은 다층 구조를 가져도 된다.
전술한 바와 같이, 절연막을 통해서 화소 전극의 주변부와 블랙 매트릭스를 중첩함으로써, 함께 연장하는 부분은 보조 캐패시터로서의 역할을 수행한다. 이 구조에 의해, 화소의 개구율 감소가 방지된다. 게다가, 절연막을 얇게 만들 수 있기 때문에, 보조 캐패시터는 큰 용량을 갖는다.
블랙 매트릭스는 효과적인 광 차폐를 제공할 뿐만 아니라 전체의 장치(entire device)를 외부 전자기파로부터 보호할 수 있다.
본 발명은 액티브 매트릭스 액정 광전 장치에는 물론, 화소 전극, 주변부를 피복하는 블랙 매트릭스 및 박막 트랜지스터에 접속된 보조 캐패시터를 필요로 하는 플랫 패널 표시 장치(flat panel display)에도 적용될 수 있다.

(57) 청구의 범위

청구항 1.
표시 장치에 있어서,
기판 위에 형성되며, 소스 영역과, 드레인 영역과, 채널 영역과, 상기 채널 영역에 인접하는 게이트 전극, 및 상기 게이트 전극과 상기 채널 영역 사이에 설치되는 게이트 절연막을 갖는 박막 트랜지스터;
상기 게이트 전극에 전기적으로 접속되며, 상기 기판 위에서 제 1 방향으로 연장하도록 구성되는 게이트 선;
상기 박막 트랜지스터와 상기 게이트 선 위에 형성되는 제 1 층간 절연막과,
상기 제 1 층간 절연막 위에 형성되고, 상기 제 1 층간 절연막의 제 1 접촉 홀을 통해 상기 박막 트랜지스터의 소스 영역에 전기적으로 접속되며, 상기 게이트선에 실질적으로 직각인 제 2 방향으로 연장하여 화소 영역을 한정하는 소스선;
상기 층간 절연막과 상기 소스 선 위에 형성된 제 2 층간 절연막:
상기 제 2 층간 절연막 위에 형성되어 적어도 상시 소스 선 및 상기 게이트선을 차폐시키는 광 차폐 층;
상기 제 2 층간 절연막 위에 형성되고, 상기 제 1 및 제 2 층간 절연막에 형성되는 제 2 접촉 홀을 통해 상기 트랜지스터의 드레인 영역에 전기적으로 접속되는 드레인 전극;
상기 제 2 층간 절연막 및 상기 광 차폐 층 위에 형성되는 제 3 층간 절연막; 및
상기 제 3 층간 절연막 위에 형성되고, 상기 제 3 층간 절연막에 형성되는 제 3 접촉 홀을 통해 상기 드레인 전극에 전기적으로 접속되는 화소 전극을 포함하며,
상기 광 차폐 층의 일부는 상기 화소 전극의 주변부와 중첩하고 상기 제 3 층간 절연막은 상기 광 차폐 층과 상기 화소 전극 사이에 개재하여 기억 캐패시터를 형성하는 표시 장치.

청구항 2.
제 1 항에 있어서,
상기 광 차폐 층은 티타늄 또는 크롬을 포함하는, 표시 장치.

청구항 3.
제 1 항에 있어서,
상기 제 1 층간 절연막은 실리콘 산화물을 포함하는, 표시 장치.

청구항 4.
제 1 항에 있어서,
상기 박막 트랜지스터는 상기 게이트 전극이 상기 채널 영역에 위치하는 최상부-게이트 구조(top-gate structure)를 갖는, 표시 장치.

청구항 5.
제 1 항에 있어서,
상기 화소 전극은 상기 소스 선과 상기 게이트 선에 부분적으로 중첩하는, 표시 장치.

청구항 6.
표시 장치에 있어서,
기판 위에 형성되며, 소스 영역과, 드레인 영역과, 채널 영역과, 상기 채널 영역에 인접하는 게이트 전극, 및 상기 게이트 전극과 상기 채널 영역 사이에 설치되는 게이트 절연막을 갖는 박막 트랜지스터;
상기 게이트 전극에 전기적으로 접속되며, 상기 기판 위에서 제 1 방향으로 연장하도록 구성되는 게이트 선;
상기 박막 트랜지스터 및 상기 게이트 선 위에 형성되는 제 1 층간 절연막;

상기 제 1 층간 절연막 위에 형성되고, 상기 제 1 층간 절연막의 제 1 접촉 홀을 통해 상기 박막 트랜지스터의 소스 영역에 전기적으로 접속되며, 상기 게이트선에 실질적으로 직각인 제 2 방향으로 연장하여 화소 영역을 한정하는 소스 선;
상기 제 1 층간 절연막 및 상기 소스 선 위에 형성되는 제 2 층간 절연막과,
상기 제 2 층간 절연막 위에 형성되어 적어도 상기 소스 선 및 상기 게이트선을 차폐시키는 광 차폐 층;
상기 제 2 층간 절연막 및 상기 광 차폐 층 위에 형성되는 제 3 층간 절연막; 및
상기 제 3 층간 절연막 위에 형성되며, 상기 박막 트랜지스터의 상기 드레인 영역에 전기적으로 접속되는 화소 전극을 포함하며,
상기 광 차폐 층의 일부는 상기 화소 전극의 주변부와 중첩하고 상기 제 3 층간 절연막은 상기 광 차폐 층과 상기 화소 전극 사이에 개재하여 기억 캐패시터 를 형성하며 상기 제 2 층간 절연막은 상기 화소 전극에 편평한 상부 표면을 제공하는, 표시 장치.

청구항 7.

제 6 항에 있어서,
상기 광 차폐 층은 티타늄 또는 크롬을 포함하는, 표시 장치.

청구항 8.

제 6 항에 있어서,
상기 제 1 층간 절연막은 실리콘 산화물을 포함하는, 표시 장치.

청구항 9.

제 6 항에 있어서,
상기 박막 트랜지스터는 상기 게이트 전극이 상기 채널 영역 위에 위치하는 최상부-게이트 구조(top-gate structure)를 포함하는, 표시 장치.

청구항 10.

제 6 항에 있어서,
상기 화소 전극은 상기 소스 선과 상기 게이트 선에 부분적으로 중첩하는, 표시 장치.

청구항 11.

표시 장치에 있어서,
기판;
상기 기판 위에 형성된 복수의 평행한 소스 선들과 복수의 평행한 게이트 선 들로서, 상기 소스 선들 및 게이트 선들은 상기 기판 위에 픽셀 영역들의 매트릭스를 형성하도록 서로 관련하여 배열되며, 상기 픽셀 영역들 각각은 두 개의 인접하는 소스 선들과 두 개의 인접하는 게이트 선들에 의해 경계지어지는, 상기 복수의 소스 선들 및 복수의 게이트 선들;
상기 기판 위에 형성된 복수의 박막 트랜지스터들로서, 상기 픽셀 영역들의 각각에서 상기 소스 선들과 상기 게이트 선들의 각각의 교차점에 적어도 하나의 박막 트랜지스터가 배치되는, 상기 복수의 박막 트랜지스터들;
상기 박막 트랜지스터들 위에 형성된 제 1 층간 절연막;
상기 제 1 층간 절연막 위에 형성되고 상기 픽셀 영역들의 매트릭스와 관련하여 매트릭스 패턴을 갖도록 구성되는 광 차폐 전극을 포함하는 블랙 매트릭스로서, 상기 광 차폐 전극은 상기 소스 선들과 상기 게이트 선들을 완전하게 덮으면서 상기 픽셀 영역들 각각의 일부를 노출되게 남겨 두도록 배치되는, 상기 블랙 매트릭스;
상기 광 차폐 전극 위에 형성된 제 2 층간 절연막;
상기 제 2 층간 절연막 위의 상기 픽셀 전극들 각각에 배치된 픽셀 전극으로서, 상기 픽셀 전극의 주변부는 상기 광 차폐 전극과 중첩해서 상기 광 차폐 전극, 상기 제 2 층간 절연막, 및 상기 픽셀 전극과 함께 보조 캐패시터를 형성하는, 상기 픽셀 전극; 및
상기 광 차폐 전극과 전기적으로 통신하는 카운터 전극으로서, 상기 광 차폐 전극은 상기 카운터 전극과 동일한 전위에 전기적으로 접속되는, 상기 카운터 전극 을 포함하는 표시 장치.

청구항 12.

제 11 항에 있어서,
상기 제 2 층간 절연막은 상기 제 1 픽셀 전극과 상기 제 1 층간 절연막 사이에 개재하여 상기 제 1 픽셀 전극과 상기 제 1 층간 절연막 사이의 직접적인 전기적 접촉을 방지하는, 표시 장치.

청구항 13.

제 11 항에 있어서,
상기 제 2 층간 절연막은 상기 광 차폐 전극 위의 편평한 상부 표면을 갖는, 표시 장치.

청구항 14.

표시 장치에 있어서,
기판;
상기 기판 위에 형성된 복수의 평행한 소스선들 및 복수의 평행한 게이트선들로서, 상기 소스선들 및 게이트선들은 상기 기판 위에서 픽셀 영역들의 매트릭스를 형성하도록 서로 관련하여 배열되는, 상기 복수의 소스선들 및 복수의 게이트선들:
상기 기판 위에 형성된 복수의 박막 트랜지스터들로서, 적어도 하나의 박막 트랜지스터는 상기 픽셀 영역들의 각각에서 상기 소스선들과 게이트선들의 각각의 교차점에 배치되는, 상기 복수의 박막 트랜지스터들;

상기 박막 트랜지스터들 위에 형성된 제 1 층간 절연막;
상기 제 1 층간 절연막 위에 형성되고 상기 픽셀 영역들의 매트릭스와 관련해서 매트릭스 패턴을 가지도록 구성된 광 차폐 도전층으로서, 상기 광 차폐 도전층은 상기 소스선들과 게이트선들을 덮으면서 상기 픽셀 영역들의 각각의 일부를 노출되게 남겨두도록 배치되는, 상기 광 차폐 도전층;
상기 광 차폐 도전층 위에 형성된 제 2 층간 절연막; 및
상기 제 2 층간 절연막 위의 상기 픽셀 영역들 각각 내에 배치된 픽셀 전극으로서, 상기 픽셀 전극의 주변부는 상기 광 차폐 도전층과 중첩하여 상기 광 차폐 도전층, 상기 제 2 층간 절연막 및 상기 픽셀 전극과 함께 보조 캐패시터를 형성하는, 상기 픽셀 전극을 포함하고,
상기 픽셀 전극의 주변부는 상기 소스선들 중 대응하는 소스선과 중첩하며, 상기 광 차폐 도전층은 상기 픽셀 전극과 상기 소스선들 중 상기 대응하는 소스선 사이에 연장하는, 표시 장치.

청구항 15.

표시 장치에 있어서,
기판;
상기 기판 위에 형성된 복수의 게이트선들과 복수의 소스선들;
상기 게이트선들과 상기 소스선들에 의해 한정되는 복수의 픽셀 영역들;
상기 기판 위에 형성된 복수의 박막 트랜지스터들로서, 적어도 하나의 박막 트랜지스터는 상기 픽셀 영역들 각각에 배치되는, 복수의 박막 트랜지스터;
상기 박막 트랜지스터 위에 형성된 제 1 절연층:
상기 제 1 절연층 위에 형성된 광 차폐 도전층으로서, 상기 광 차폐 도전층은 상기 소스 선들과 상기 게이트 선들을 덮으면서 상기 픽셀 영역들의 각각의 일부를 노출되게 남겨두도록 배치되는, 상기 광 차폐 도전층;
상기 광 차폐 도전층 위에 형성된 제 2 절연층; 및
상기 픽셀 영역들 각각 내의 상기 제 2 절연층 위에 형성된 픽셀 전극을 포함하며,
상기 픽셀 전극은 상기 광 차폐 도전층과 중첩하고 이들 사이에 개재하는 상기 제 2 절연층과 함께 캐패시터를 형성하며, 상기 픽셀 전극의 주변부는 대응하는 픽셀 영역을 한정하는 상기 게이트 선들 및 소스 선들과 중첩하며, 상기 광 차폐 도전층은 상기 픽셀 전극과 상기 소스 선들 및 게이트 선들 사이에 연장하는, 표시 장치.

청구항 16.

표시 장치에 있어서,
기판;
상기 기판 위에 형성된 복수의 평행한 소스 선들 및 복수의 평행한 게이트선들로서, 상기 소스 선들 및 게이트 선들은 상기 기판 위에서 픽셀 영역들의 매트릭스를 형성하도록 서로에 관련해서 배열되는, 상기 복수의 평행한 소스 선들 및 복수의 평행한 게이트 선들;
상기 기판 위에 형성된 복수의 박막 트랜지스터들로서, 적어도 하나의 박막 트랜지스터는 상기 각각의 픽셀 영역들에서 상기 소스 선들과 게이트 선들의 각각의 교차에 배치되는, 상기 복수의 박막 트랜지스터들;
상기 박막 트랜지스터들 위에 형성된 제 1 층간 절연막;
상기 제 1 층간 절연막 위에 형성되고 상기 픽셀 영역들의 매트릭스와 관련해서 매트릭스 패턴을 가지도록 구성되는 광 차폐 도전층으로서, 상기 광 차폐 도전층은 상기 소스 선들과 게이트 선들을 덮고 상기 각각의 픽셀 영역들의 노출된 일부를 남기도록 배치되는, 상기 광 차폐 도전층;
상기 광 차폐 도전층 위에 형성된 제 2 절연막; 및
상기 제 2 절연막 위의 각각의 픽셀 전극들 내에 배치된 픽셀 전극을 포함하며,
상기 픽셀 전극의 주변부는 상기 광 차폐 도전층과 중첩하여 상기 광 차폐 도전층, 상기 제 2 층간 절연막, 및 상기 픽셀 전극과 함께 보조 캐패시터를 형성하며,
상기 픽셀 전극의 주변부는 상기 게이트 선들 중 대응하는 게이트 선과 중첩하며 상기 광 차폐 도전층은 상기 픽셀 전극 및 상기 게이트 선들 중 상기 대응하는 게이트 선 사이의 중첩된 부분으로 연장하는, 표시 장치.

청구항 17.

표시 장치에 있어서,
기판;
상기 기판 위에 형성된 복수의 게이트 선들 및 복수의 소스 선들;
상기 게이트 선들 및 상기 소스 선들에 의해 한정된 복수의 픽셀 영역들;
상기 기판 위에 형성된 복수의 박막 트랜지스터로서, 적어도 하나의 박막 트랜지스터는 상기 각각의 픽셀 영역들에 배치되는, 상기 복수의 박막 트랜지스터들;
상기 박막 트랜지스터들 위에 형성된 제 1 층간 절연막;
상기 제 1 층간 절연막 위에 형성된 광 차폐 도전층으로서, 상기 광 차폐 도전층은 상기 소스 선들과 상기 게이트 선들을 덮고 상기 각각의 픽셀 영역들의 노출된 부분을 남기도록 배치되는, 상기 광 차폐 도전층;
상기 광 차폐 도전층 위에 형성된 제 2 층간 절연막;
상기 각각의 픽셀 영역들에서 상기 제 2 층간 절연막 위에 형성된 픽셀 전극; 및
상기 광 차폐 도전층과 전기적으로 통신하는 카운터 전극을 포함하며,
상기 광 차폐 도전층은 상기 카운터 전극과 동일한 전위에 전기적으로 접속되며,
상기 픽셀 전극은 상기 광 차폐 도전층과 중첩하고 이들 사이에 개재하는 상기 제 2 절연층과 함께 캐패시터를 형성하며,

상기 픽셀 전극의 주변부는 대응하는 픽셀 영역을 한정하는 상기 게이트 선들 및 상기 소스 선들과 중첩하며, 상기 광 차폐 도전층은 상기 픽셀 전극과 상기 소스 선들 및 상기 게이트 선들 사이에 연장하는, 표시 장치.

청구항 18.

제 11 또는 14 내지 17 항 중 어느 한 항에 있어서,

상기 박막 트랜지스터들은 최상부-게이트 구조(top-gate structure)를 갖는, 표시 장치.

청구항 19.

제 11 또는 14 내지 17 항 중 어느 한 항에 있어서,

상기 픽셀 전극은 투명한, 표시 장치.

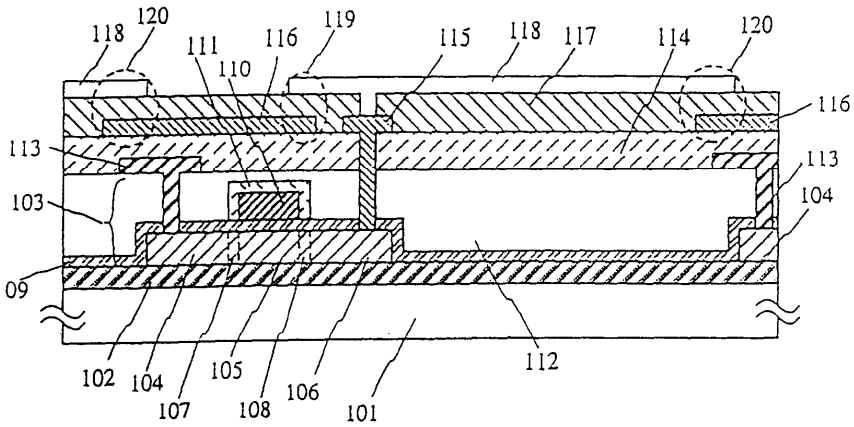
청구항 20.

제 11 또는 14 내지 17 항 중 어느 한 항에 있어서,

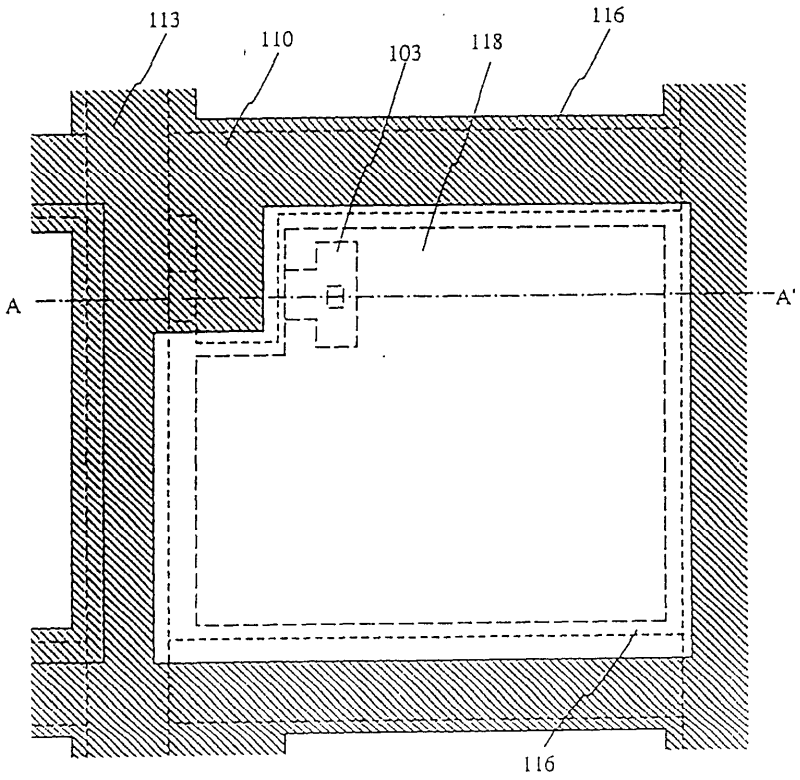
상기 광 차폐 도전층은 블랙 매트릭스를 구성하는, 표시 장치.

도면

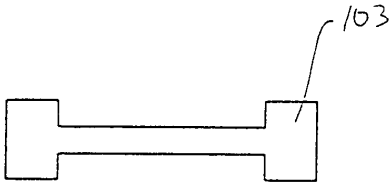
도면1



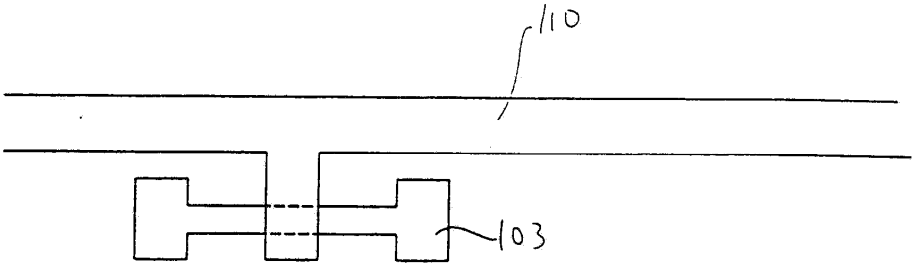
도면2



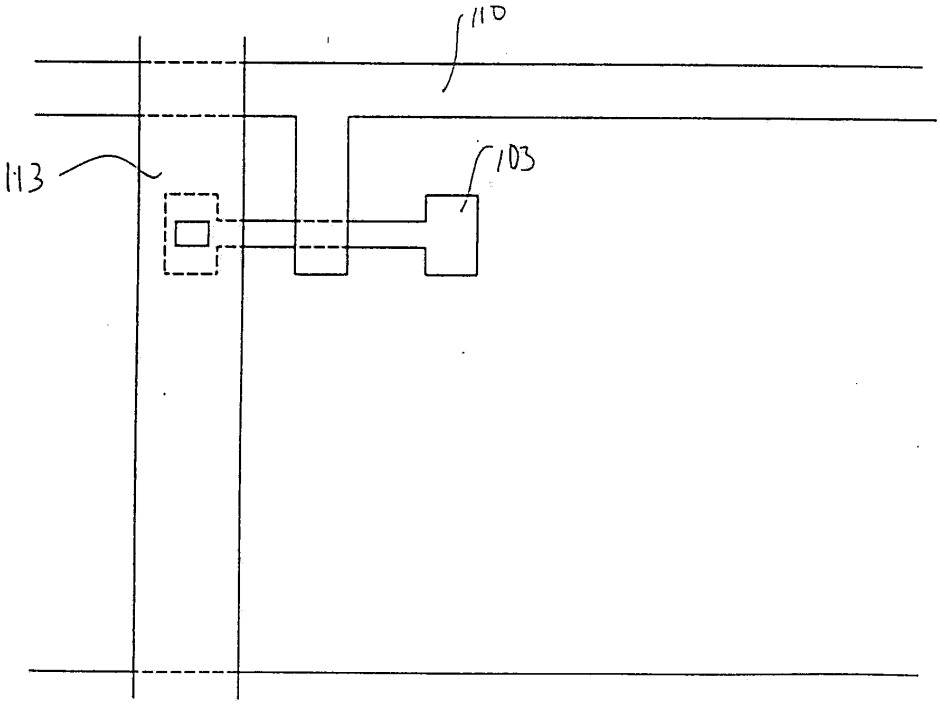
도면3a



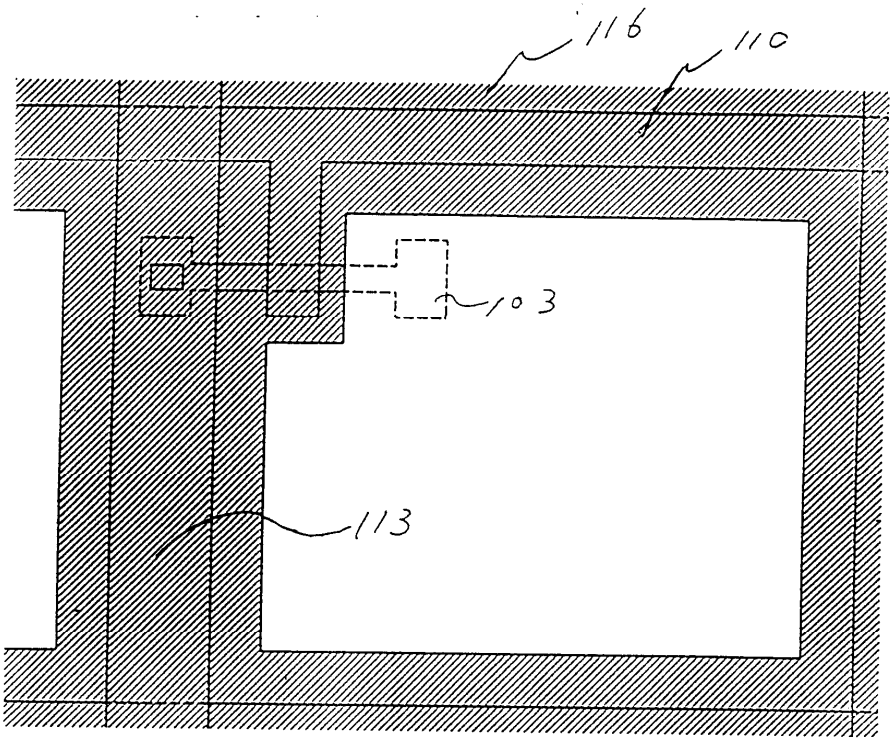
도면3b



도면3c



도면3d



도면3e

