



(12) 发明专利

(10) 授权公告号 CN 109804268 B

(45) 授权公告日 2023. 08. 01

(21) 申请号 201780061173.6

(22) 申请日 2017.08.17

(65) 同一申请的已公布的文献号  
申请公布号 CN 109804268 A

(43) 申请公布日 2019.05.24

(30) 优先权数据  
16193675.2 2016.10.13 EP  
62/382,811 2016.09.02 US

(85) PCT国际申请进入国家阶段日  
2019.04.02

(86) PCT国际申请的申请数据  
PCT/EP2017/070804 2017.08.17

(87) PCT国际申请的公布数据  
W02018/041636 EN 2018.03.08

(73) 专利权人 皇家飞利浦有限公司

地址 荷兰艾恩德霍芬

(72) 发明人 B·J·萨沃德 A·C·范伦斯  
S·F·乌祖诺夫 M·D·波伦  
N·勒杜

(74) 专利代理机构 永新专利商标代理有限公司  
72002

专利代理师 孟杰雄 王英

(51) Int.Cl.  
G01S 7/52 (2006.01)  
G01S 15/89 (2006.01)

审查员 张瀛

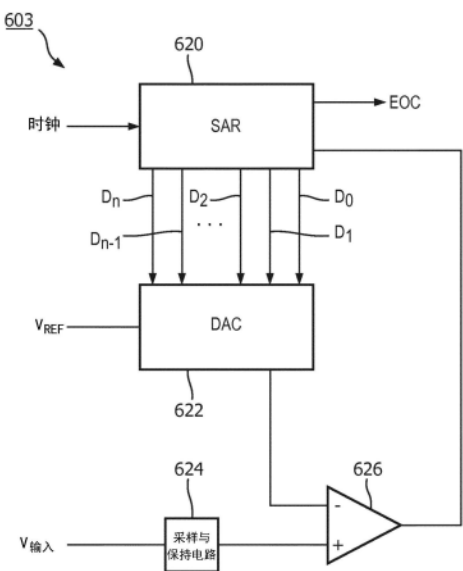
权利要求书2页 说明书9页 附图9页

(54) 发明名称

具有多线数字微波束形成器的超声探头

(57) 摘要

一种超声探头包含阵列换能器和被耦合到阵列元件的微波束形成器。所述微波束形成器包括：模数转换器，其将接收到的回波信号转换为数字回波信号；多个数字延迟电路，其产生多个可选择延迟的数字回波信号以用于多个数字多线回波信号；以及多个数字求和器，其响应于单个发射事件而将所述可选择延迟的数字回波信号进行组合以产生多个数字多线回波信号。



1. 一种超声探头(10), 包括:

- 数字微波束形成器(14); 以及

- 阵列换能器(12), 其适于在所述数字微波束形成器的控制下利用阵列的元件扫描目标区域;

其中, 所述数字微波束形成器包括:

- 多个放大器, 其被耦合到所述阵列的所述元件, 并且被布置为在接收周期期间从所述阵列的元件接收模拟回波信号, 所述放大器被布置为提供多个放大的模拟回波信号;

- 多个ADC(603), 其被耦合到所述放大器并适于接收所述放大的模拟回波信号并将所述放大的模拟回波信号转换为数字回波信号;

- 多个数字延迟电路(604), 其被耦合到所述ADC并适于产生多个可选择延迟的数字回波信号; 以及

- 多个数字求和器(605), 其被耦合到所述多个数字延迟电路并适于接收所述多个可选择延迟的数字回波信号, 并且其中:

所述多个可选择延迟的数字回波信号是多线信号;

所述多个数字求和器适于产生多个数字多线回波信号; 并且

所述多个ADC中的至少一个为低功率逐次逼近型ADC。

2. 根据权利要求1所述的超声探头, 其中, 所述数字微波束形成器还包括多个发射器(304), 所述多个发射器被耦合到所述阵列的元件并适于产生一系列发射脉冲事件, 并且

其中, 所述多个数字求和器(605) 适于响应于所述一系列发射脉冲事件中的单个发射脉冲事件而产生所述多个数字多线回波信号。

3. 根据权利要求1所述的超声探头, 其中, 所述数字延迟电路(604) 中的至少一个包括具有写入地址控制器和读取地址控制器的随机存取存储器, 并且

其中, 针对所述至少一个数字延迟电路的数字延迟是所述数字回波信号的写入寻址和读取寻址的函数。

4. 根据权利要求3所述的超声探头, 其中, 所述读取地址控制器适于从所述随机存取存储器读取被动态聚焦的延迟的数字回波信号。

5. 根据权利要求3所述的超声探头, 还包括被耦合到所述随机存取存储器的多个读取地址控制器, 每个读取地址控制器适于控制对所述多个可选择延迟的数字回波信号的读取, 以便产生所述多个数字多线回波信号。

6. 根据权利要求1所述的超声探头, 其中, 每个数字延迟电路(604) 被耦合到所述多个数字求和器(605), 以便产生四个数字多线回波信号。

7. 根据权利要求1所述的超声探头, 其中, 每个数字延迟电路(604) 被耦合到所述多个数字求和器(605), 以便产生八个数字多线回波信号。

8. 根据权利要求1所述的超声探头, 其中, 每个数字延迟电路(604) 被耦合到所述多个数字求和器(605), 以便产生多于八个的数字多线回波信号。

9. 根据权利要求1所述的超声探头, 其中, 所述数字微波束形成器(14) 还被配置为多个数字通道, 每个数字通道包括低功率ADC, 数字延迟电路, 以及多个数字求和器(605) 中的至少一些数字求和器, 其中, 每个数字通道适于产生多个数字多线回波信号。

10. 根据权利要求9所述的超声探头, 其中, 所述多个数字通道中的至少一些数字通道

的所述数字求和器(605) (1) 被耦合在一起以组合来自所述多个数字通道的延迟的数字回波信号并且(2) 适于产生所述多个数字多线回波信号。

11. 根据权利要求10所述的超声探头, 其中, 所述多个数字通道中的至少一些数字通道适于同时产生数字多线回波信号。

12. 根据权利要求11所述的超声探头, 其中, 所述多个数字通道中的至少一些数字通道适于并行地产生数字多线回波信号。

13. 根据权利要求12所述的超声探头, 还包括FPGA, 所述FPGA被耦合以接收由所述数字求和器产生的所述多个数字多线回波信号。

14. 根据权利要求13所述的超声探头, 还包括USB控制器, 所述USB控制器被耦合到所述FPGA并被配置为将数字多线回波信号传送到显示系统。

## 具有多线数字微波束形成器的超声探头

### 技术领域

[0001] 本发明涉及医学诊断超声系统,特别涉及具有多线数字微波束形成器的超声探头。

### 背景技术

[0002] 超声阵列换能器使用波束形成器来发射从换能器阵列的元件接收到的超声回波信号并对其进行适当的延迟和求和。在考虑要由波束形成器形成的波束的方向(转向)和聚焦深度的情况下选择延迟。在从每个元件接收到的信号已经被波束形成器的通道适当延迟之后,延迟的信号被组合以形成经适当转向和聚焦的相干回波信号的波束。在超声波束发射期间,对各个元件进行致动的时间是接收延迟的补充手段,从而转向和聚焦发射波束。已知能够根据阵列元件的几何形状和由波束询问的图像场的几何形状来确定如何选择延迟。

[0003] 在传统的超声系统中,阵列换能器位于在探头中,该探头在成像期间靠着患者身体放置,并且包含一些电子部件,例如,调谐元件、开关和放大设备。由超声系统主机中包含的波束形成器执行延迟和信号组合,探头通过线缆连接到该波束形成器。

[0004] 用于阵列换能器和波束形成器的前述系统架构非常适用于大多数一维(1D)换能器阵列,其中,换能器元件的数量和波束形成器通道的数量大致相同。当换能器元件的数量超过波束形成器通道的数量时,通常采用多路复用,并且在任何时间点时只有换能器元件总数的子集能够连接到波束形成器。1D阵列中的元件数量能够从小于一百至几百不等,并且典型的波束形成器具有128个波束形成器通道。随着用于二维(2D)和三维(3D)成像的二维阵列换能器的出现,这种系统架构解决方案变得难以维系。这是因为2D阵列换能器在体积区域上对波束的方位和仰角进行转向和聚焦。这种波束形成所需的换能器元件的数量通常为数千。问题的关键然后变为将探头连接到波束形成器所在的系统主机的线缆。即使导体是最细的导电细丝,数千个导体的线缆也会变得厚重,在可能的情况下也会使探头操作变得繁琐。

[0005] 针对该问题的解决方案是在探头本身中执行至少一些波束形成,如美国专利US 5199480 (Larson, III) 所述。在该专利所示的超声系统中,波束形成被分隔在探头与系统主机之间。通过被称为微波束形成器的微电路在探头中完成对元件组的初始波束形成,在微波束形成器中产生部分波束形成的求和。这些部分波束形成的求和(其数量少于换能器元件的数量)通过合理尺寸的线缆被耦合到系统主机,在系统主机中完成波束形成过程并产生最终的波束。探头中的部分波束形成由组内处理器(Larson, III) 来完成,所述组内处理器在微波束形成器中以微电子器件形式被附接到阵列换能器。还参见美国专利US 5997479 (Savord等人)、美国专利US 6013032 (Savord)、美国专利US 6126602 (Savord等人) 和美国专利US 6375617 (弗雷泽)。数千个换能器阵列元件与微波束形成器之间的数千个连接是在微电路与阵列间距的微小尺寸上完成的,而微波束形成器与系统主机的波束形成器之间的许多较少的线缆连接是由更多常规的线缆技术来完成的。能够将各种平面和曲面阵列格式与微波束形成器一起使用,例如,美国专利US 7821180 (Kunkel, III) 和美国专利US

7927280 (Davidsen) 中所示的曲面阵列。也能够将微波束形成器与一维阵列一起使用以及与被操作为一维阵列的2D阵列一起使用。例如参见美国专利US 7037264 (Poland)。

[0006] 多年来,已经以数字方式完成了超声系统中的波束形成。接收到的信号由时钟移位寄存器或随机存取存储器中的临时存储时间来延迟,并且延迟信号由数字求和器求和。能够在诸如FPGA(现场可编程门阵列)等电路中或通过微处理器中的软件指令来执行数字波束形成。但是为了以数字方式执行波束形成,必须首先通过模数转换器将接收到的信号数字化。在当今商业可获得的具有微波束形成器的超声探头中,通过在微波束形成器的本机模拟域中对接收到的回波信号进行操作,在微波束形成器中形成部分求和信号。模拟部分求和信号通过探头线缆被耦合到系统主机,在系统主机中,将模拟部分求和信号数字化并且在数字域中完成波束形成。最近,波束形成技术已经被进一步集成在飞利浦健康护理的Lumify™超声产品的L12-4线性和C5-2曲线阵列探头中。数字化和数字波束形成由位于探头手柄中的微电路执行,信号检测和通过扫描转换形成图像也是由上述微电路执行的。然而,这些探头使用1D(一维)阵列换能器,1D阵列换能器的换能器元件数量比用于3D成像的2D阵列探头的换能器元件数量少得多。期望整个波束形成电路位于用于1D阵列(二维成像)探头和2D阵列(三维成像)探头两者的探头中。

[0007] 具有2D阵列换能器的三维成像提出了另一个问题,即,为了形成3D图像,必须发射和接收的许多扫描线。为了以实时帧速率显示这个过程,期望响应于每个发射波束而接收多条扫描线,这种技术被称为多线扫描。例如参见美国专利US 5318033 (Savord)。高阶多线也用于产生合成的发射聚焦图像,如美国专利US 8137272 (Cooley等人)中所述。美国专利US 6471652 (Fraser等人)建议在微波束形成器中执行多线回波信号,但这是在模拟域中完成的,并且在超声系统波束形成器中执行更高阶多线。期望在微波束形成器中产生数字多线并且完全不需要多线系统波束形成器。

[0008] 当将所有波束形成电路集成在探头中时必须克服的问题是微电路的功耗。这个问题具体是电路散热。由于在扫描期间超声检查操作者的手会握住探头,因此探头的内部电路生成的所有热量将人在接触探头时感到温暖。有时,人在接触时可能会感觉探头手柄不舒服,这是必须防止的问题。已经设计了无源探头冷却装置以及将热量从探头传递出去且使散热的地方远离用户的有源系统,例如在美国专利US 2014/0058270 (Davidsen等人)和美国专利US 2015/0099978 (Davidsen等人)中所述。然而,这样的装置会显著增加探头及其线缆的成本和复杂性。期望通过微电路降低功耗的更简单的应急有效的措施来避免这样的装置。

[0009] 文献EP 0815793公开了一种用于B模式和多普勒成像的手持式超声仪器。该仪器可以包括阵列换能器、数字波束形成器、数字滤波器以及图像处理器。

[0010] 文献US 6208189公开了用于减少成像系统的动态延迟的数字样本流中的失真的方法和装置。该装置可以包括多波束波束形成器,以在每个发射周期中产生若干同时的接收波束。

[0011] 文献US 2007/0016023公开了多种具有多种功能的ASIC芯片,其中,该ASIC中的每种ASIC都沿着超声数据路径执行一种或多种功能。

## 发明内容

[0012] 本发明由权利要求来限定。

[0013] 根据本发明的原理,描述了在超声探头中执行数字波束形成的微波束形成器电路。本发明提供了低功率部件的独特组合,其能够实现对包括所述部件的超声探头的全超声成像功能。通过使用低功率数模转换技术(例如, $\Delta - \Sigma$ 或逐次逼近模数转换)来降低功耗。在数字转换之后,数字延迟电路对接收到的回波信号施加可选择的不同延迟,使得这些信号能够用于根据相同的发射脉冲事件的回波形成多个不同的多线信号。设计者可以选择四阶、八阶或更高阶多线的多线阶层。

[0014] 在优选实施例中,一种数字微波束形成器从阵列换能器的换能器元件接收信号并放大该信号。ADC(模数转换器)(例如,低功率逐次逼近型ADC)将接收到的模拟回波信号数字化,并且随机存取存储器或移位寄存器对上述模拟回波信号应用数字延迟。每个数字延迟响应于单个发射事件而产生多个可选择延迟的数字回波信号,数字求和器响应于发射事件而将上述多个可选择延迟的数字回波信号与其他延迟的数字回波信号进行组合以产生多个数字多线回波信号。多个多线回波信号的产生使得能够以实时帧速率产生3D图像以用于显示,并且由探头产生的多线回波信号是数字形式的,其适用于诸如智能手机、平板电脑和笔记本电脑等普通处理和显示设备直接使用。

## 附图说明

[0015] 在附图中:

[0016] 图1以框图形式图示了根据本发明的原理构造的超声成像系统。

[0017] 图2以框图形式图示了本发明的超声探头的微波束形成电路和换能器阵列,该超声探头被耦合到作为显示设备的便携式计算机。

[0018] 图3以框图形式图示了图2的微波束形成器的模拟ASIC的部件。

[0019] 图4是图3的模拟ASIC的模拟接收延迟的电路图。

[0020] 图5以框图形式图示了图3的数字ADC(模数转换器)和波束形成ASIC的部件。

[0021] 图5a以框图形式图示了适用于图5的数字ASIC的逐次逼近模数转换器。

[0022] 图6图示了图5的数字ASIC的一个通道的数字延迟、延迟控制和求和电路。

[0023] 图7图示了用于图5的数字ASIC中的子采样延迟的数字FIR(有限脉冲响应)滤波器。

[0024] 图8图示了由图7的子采样延迟FIR产生的具有不同延迟的回波信号波形。

## 具体实施方式

[0025] 首先参考图1,以框图形式示出了根据本发明的原理构造的超声系统。探头10具有二维阵列换能器12,二维阵列换能器12可以是平面的或曲面的,如该示例中所示。换能器可以包括诸如CMUT(电容式微机械超声换能器)或PVDF等MUT设备,但是优选包括诸如PZT等压电陶瓷材料。阵列的元件被耦合到位于换能器阵列后面的探头中的数字微波束形成器14。微波束形成器是位于探头中的集成电路,其中,波束形成通道被耦合到2D阵列换能器12的元件。微波束形成器将定时发射脉冲施加到阵列的元件(拼片)中的每组元件(拼片),以在期望的方向上发射波束并将波束发射到阵列前面的图像场中的期望焦点。发射波束的仰角

维度的轮廓能够呈现出点焦点、平面波或任何中间波束轮廓。发射波束从细胞和组织返回的回波被阵列元件接收并被耦合到微波束形成器14的通道,在微波束形成器14中,模拟回波信号被单独延迟。来自邻接的换能器元件拼片的延迟信号被组合以形成拼片的部分求和信号。在下面更全面地描述微波束形成器的模拟部分中,通过将来自拼片元件的延迟信号耦合到公用总线来完成组合,从而避免了对求和电路的需要。然后将模拟回波信号数字化并通过数字ASIC(专用集成电路)以数字形式将上述模拟回波信号进一步波束形成。每个拼片的波束形成的数字信号通过线缆16被耦合到超声系统中的系统波束形成器22,在系统波束形成器22中完成波束形成过程。备选地,在优选实施方式中,所有波束形成均由探头中的微波束形成器执行,并且完全波束形成的数字信号被耦合到系统主机。波束形成的数字信号用于由信号与图像处理器24形成图像,信号与图像处理器24可以执行诸如基带检测、谐波分离、滤波、多普勒处理以及用于图像形成的扫描转换等操作。信号与图像处理器24产生2D或3D图像以用于在图像显示器30上显示。信号与图像处理器可以包括电子硬件部件,由软件控制的硬件或运行图像处理算法的微处理器。信号与图像处理器通常还包括将接收到的回波数据处理成用于期望格式的图像的图像数据的专用硬件或软件,例如,扫描转换器。

[0026] 对超声系统参数(例如,探头选择,波束转向和聚焦,以及信号与图像处理)的选择是在系统控制器26的控制下完成的,系统控制器26被耦合到系统的各种模块以及探头10中的微波束形成器,如下面更全面地描述的。系统控制器可以包括ASIC电路或微处理器电路以及诸如RAM、ROM或磁盘驱动器等软件数据存储设备。在探头10的情况下,通过线缆16的数据线将这些控制信息中的一些控制信息从系统主机提供给微波束形成器,从而根据特定扫描流程的需要来调控微波束形成器以操作换能器阵列。用户借助于控制面板20控制这些操作参数。

[0027] 图2图示了超声探头106中的数字微波束形成器,该数字微波束形成器操作2D(二维)矩阵阵列换能器101,2D矩阵阵列换能器101具有在128个组中操作的8192个换能器元件,每个组均由被配置为 $8 \times 8$ 拼片的64个元件组成。所示实施方式中的微波束形成器包括两个模拟ASICS 102,每个模拟ASICS 102被耦合到矩阵阵列101中的一半元件。模拟ASIC包含发射电路、发射/接收(T/R)开关、前置放大器以及模拟延迟器,如下面更全面地描述的。模拟ASIC 102被耦合到微波束形成器的四个数字ASIC 103,所述四个数字ASIC 103包含低功率模数转换器和数字波束形成电路。FPGA 104从操作控制与显示设备(在此示为膝上型计算机108)的用户接收控制数据。备选地,控制与显示设备能够是车载式超声系统、平板计算机、PDA、智能电话或具有显示器和用户接口的类似的数字设备。FPGA被耦合到微波束形成器ASIC以提供用于超声发射和接收波束形成的控制信息,并且还将数据存储于RAM(随机存取存储器)110中并管理USB控制器105和开关电源109。RAM 110存储探头的每个预期扫描模式所需的所有控制数据。例如,RAM 110可以被耦合到写入地址控制器以将数字回波信号写入RAM,并且被耦合到多个读取地址控制器,每个读取地址控制器适于控制对延迟的数字回波信号的读取以用于不同数字多线回波信号。所有这些电路必须根据所选的功率预算来操作(在该示例中,功率预算为3.0瓦),以便维持冷却的手持式探头。下表1图示了图2所示的微波束形成器电路的示例性功率预算。

表 1: 用于指示条件的图 2 的电路的功耗

[0028]	部件	操作	功率
	模拟 ASIC 的发射功能	利用 4096 个元件进行发射	0.75 W
	模拟 ASIC 的前置放大器和延迟电路	利用 8192 个元件进行接收, 对 128 个部分求和信号进行波束形成	0.5 W
	USB 3.0 控制器	3Gb/s 数据传输	0.7 W
	控制 FPGA	数据管理	0.25 W
	电源	假设效率为 90%	0.3 W
	数字 ASIC	128 个 ADC 以 20 Mhz 进行采样, 以 8x 多线输出进行数字波束形成	0.5 W
	总和		3.0 W

[0029] 该功率预算表明整个微波束形成器电路及其控制FPGA、电源和USB控制器在3.0瓦的功率分配内工作,从而在探头中产生非常少的热量。模拟ASIC 102从128个拼片中产生128个部分求和模拟信号,每个拼片具有64个元件,这128个部分求和模拟信号是针对数字ASIC中的128个ADC的128个输入信号。因此,微波束形成器可以被视为128通道数字波束形成器。将功率分配除以通道数表明微波束发生器的每个通道仅消耗大约23毫瓦。并且在优选实施方式中,每个数字通道产生八条多线以用于高帧率数字成像,每条多线扫描线的功耗仅为大约3毫瓦。

[0030] 因此,本发明的超声探头提供多个数字通道,其中,每条单线扫描线的功耗能够低至3毫瓦。在另一实施例中,每个数字通道产生四条多线,每条多线扫描线的功耗低于或大约为6毫瓦。

[0031] 在图2所示的实施方式中,矩阵阵列换能器101的声学元件在倒装芯片型互连中直接连接到模拟ASIC 102的元件焊盘。控制和组输出信号通过与包含另一探头电路的印刷电路板的柔性互连(例如,柔性电路)连接在模拟ASIC与微波束形成器的其他部件之间。也可以采用其他互连技术,例如,堆叠硅管芯、陶瓷电路或多芯片模块。每个模拟ASIC具有64个通道线路输出(通道),这64个通道线路输出将64个元件拼片的部分波束形成的模拟信号传导到数字ASIC中的两个ASIC的通道输入部(CH)。因此,每个数字ASIC处理32个通道的部分求和信号。FPGA 104向模拟ASIC提供控制数据,将控制数据从模拟ASIC的 $\mu$ BF ASIC控制总线提供给模拟ASIC 102的控制接口输入部。FPGA分别通过地址总线 and 数据总线向数字ASIC 103提供数字地址数据和控制数据,并且提供时钟(CLK)信号。通过使用连接不同ASIC的波束\_输入总线和波束\_输出总线,数字波束形成的输出信号从一个数字ASIC传播到下一个数字ASIC并进行求和,直到从最后的ASIC到FPGA的接收波束数据输入部施加完全求和的数字回波信号。FPGA将完全波束形成的输出信号施加到USB控制器105,USB控制器105然后通过USB线缆107将数字回波信号作为串行数据发射到用户控制与显示系统108。也能够使用其



他高速数字接口,例如,HDMI或以太网。合适的USB控制器是可从加利福尼亚州圣何塞的赛普拉斯半导体公司获得的FX3.0s控制器。开关电源109被示为将必要的电力施加到微波束形成器的所有集成电路的电源输入部。

[0032] 图3图示了模拟ASIC 102的一个通道300的部件。在所图示的实施方式中,每个模拟ASIC具有用于连接到矩阵阵列101的4096个元件的4096个模拟通道的部件。发射脉冲发生器302从FPGA 104接收发射数据(Tx数据)。FPGA已经响应于先前从系统控制器26接收到的命令而以获得期望的发射/接收序列从RAM存储器110访问该数据,系统控制器26本身响应于用户在用户接口20上输入的成像选择而起作用。Tx数据控制发射脉冲的参数,例如,脉冲宽度,相对于时间标记的发射延迟,以及脉冲计数。将Tx数据按时间记入发射脉冲发生器302,发射脉冲发生器302通过发展出所期望的发射脉冲事件序列来做出响应。在发射启用信号(Tx启用)时,将发射脉冲序列施加到高电压发射器304的输入部。如图所示,当将发射/接收(T/R)开关306设置为将发射器耦合到换能器元件时,高电压发射器304利用高电压发射波形驱动矩阵阵列的元件101n。在将波形发射到对象中之后,将T/R开关306设置到备选位置,使得响应于接收到的声学回波而换能得到的电信号被耦合到前置放大器68(也被称为预放大器)的输入部。接收到启用信号(Rx启用)会在回波信号接收时段期间启用前置放大器。在回波接收时段期间增大前置放大器68的增益,为从对象的增加的深度接收到的信号提供TGC增益特性。可以通过可控反馈阻抗310以数字方式调节该增益,可控反馈阻抗310以集成电路形式被实施为多个可切换并联阻抗。随着并联阻抗的更多数字控制开关闭合,更多阻抗进行并联耦合,从而减小了前置放大器的反馈阻抗310。例如参见美国临时专利申请第62/370841号(Freeman等人)。放大的模拟回波信号耦合到模拟接收延迟电路320,模拟接收延迟电路320相对于由用于模拟波束形成的拼片的其他元件的通道施加到其他回波信号的延迟而延迟接收到的回波信号。由从FPGA 104接收到的延迟数据来控制所施加的延迟。如附图中的通道输出所示,将延迟的回波信号与拼片的其他模拟信号一起施加到求和节点,其中,以拼片求和模拟信号的形式对回波信号进行求和。在用于2D阵列的优选实施方式中,存在128个求和节点,这128个求和节点产生来自128个拼片的部分求和信号,每个拼片具有64个元件。这128个部分求和信号是用于执行多线数字波束形成的数字ASIC 103的输入信号。

[0033] 图4图示了模拟接收延迟电路320的集成电路实施方式。电路320是电容电路,其通过闭合开关65对换能器元件101n产生的信号进行采样,将样本存储在电路的电容器62上,然后在定义预期延迟的稍后时间时,通过闭合开关62从电容器读取样本。以这种方式延迟的信号然后通过输出缓冲器74耦合到拼片求和节点,其中,将上述延迟的信号与来自拼片的其他63个元件的模拟信号进行求和。通过写入控制器64和读取控制器66的操作来确定信号存储在电容器62<sub>1</sub>、62<sub>1</sub>、...、62<sub>M</sub>上的时间。写入控制器是指针电路,该指针电路决定开关65<sub>1</sub>、65<sub>2</sub>、...、65<sub>M</sub>中的一个的闭合,这些开关的短暂闭合在前置放大器68的输出部处对换能器101n的信号进行采样并将样本存储在电容器上。在开关将一个样本“写入”到电容器之后,写入控制器关闭另一个开关65以将另一个信号样本存储在另一个电容器62上。因此,写入控制器快速连续地存储在回波接收时段期间由换能器元件101n接收的多个信号样本。采集样本的频率超过接收频带的奈奎斯特速率,并且通常远远超过奈奎斯特速率。读取控制器66是指针电路,所述指针电路以类似方式操作,以便在期望的延迟时段内将信号样本存

储在电容器上之后读取所存储的信号样本。读取控制器关闭开关67中的一个,将所存储的信号样本耦合到输出缓冲器74,从输出缓冲器74可用于进一步处理该信号样本。从电容器62快速连续地读取一系列采样信号,并且在拼片求和节点处转发现在延迟的样本以进行求和。

[0034] 模拟ASIC102的部件被视为数字控制的模拟部件,并且发射器304和T/R开关306必须能够以驱动换能器元件所需的高电压来操作。在优选实施方式中,通过适用于高电压并具有相对较大的特征尺寸(例如,0.18 $\mu\text{m}$ )的集成电路工艺来制造模拟ASIC。

[0035] 图5示出了四个数字ASIC 103的电路。在所图示的实施方式中,每个数字ASIC包含32个数字通道601,以处理来自32个换能器元件拼片的求和模拟信号。每个数字通道将模拟拼片信号数字化并形成八个数字多线输出信号,从而同时形成八个接收波束,每个接收波束具有一系列数字回波信号。对于附图中的每个通道,八个多线输出信号被示为ML0至ML7。如图5所示,多线程度可以是4x、8x,也可以是16x或由电路设计者确定的任何更高阶的多线。在操作中,模拟拼片信号由低功率ADC 603(优选为消耗10毫瓦或更少的ADC,例如,逐次逼近型ADC或 $\Delta - \Sigma$  ADC)转换为数字回波样本序列。每个数字回波样本由数字延迟电路604延迟八个可选择的延迟增量,从而产生针对八条多线的延迟回波信号。八个多线样本ML0-ML7耦合到八个数字加法器或求和器(求和电路)605,其中,将样本与由其他通道产生的数字回波样本进行求和。来自前一数字ASIC的八条多线的数字回波样本由解串器602接收为高速串行数据流,解串器602将该数据流的样本分类为针对八条多线的八条平行线。然后,ASIC的32个通道以低于串行数据流的高速率的数据速率将这32个通道的部分求和多线信号加到这8条平行线的数据中。例如,串行数据流可以以160MHz运行,而数字ASIC上的所有其他电路的时钟频率为20MHz。在ASIC的输出部(附图中的右下方)处,八条平行线的数据由串行器607重新布置成高速串行数据流,串行器607耦合到下一个数字ASIC以用于与来自其他通道的数字部分求和信号进行求和。与解串器602类似,串行器607以更高的数据速率运行。在链中的最后的数字ASIC的输出部处,完全波束形成的串行数据(接收波束数据)耦合到FPGA 104,FPGA 104将接收到的波束数据应用于USB控制器105以用于与图像显示设备108通信。每个数字ASIC还包含控制寄存器606,寄存器606从FPGA接收控制数据以设置数字转换和波束形成过程的参数,例如,数字延迟电路604的采样时间和延迟值。

[0036] 在图5所示的数字ASIC中,所使用的集成电路工艺的特征尺寸优选比模拟ASIC的特征尺寸更小,模拟ASIC必须高电压下操作。适用于数字ASIC的特征尺寸为65nm或更小,这将允许数字ASIC的电路密度比模拟ASIC的电路密度更高而同时会节省功率。通过以比集成电路处理能力更低的时钟速率操作大多数数字ASIC,进一步促进功耗降低。如前所述,串行器和解串器在高频率(例如,160MHz)下操作,因此选定的集成电路过程必须能够以该时钟频率运行。但是,数字ASIC内核(特别是ADC、数字延迟器和求和器)的时钟频率为20MHz。这种低操作频率远低于该电路设计的操作频率,进一步降低了数字ASIC 103所需的功率,因为功耗与时钟频率成比例。此外,较低的数据时钟速率减少了对电路之间重新同步寄存器的需求,从而进一步降低了功耗。此外,通过以较低的时钟频率操作数字ASIC,能够使用比在更高的时钟频率下维持所期望的精度所需的电源电压更低的电源电压。由于功耗是电压的函数,因此在较低电压下操作也可以节省功率。在优选实施方式中,数字ASIC的ADC和串行器和解串器在较高电压下操作,而ASIC芯在较低电压下操作。

[0037] 图5a图示了低功率逐次逼近型ADC 603的架构。要转换的模拟回波信号(附图中的 $V_{IN}$ )由采样与保持电路624进行采样和保持。对逐次逼近寄存器(SAR)620进行初始化,使得其最高有效输出位 $D_n$ 被设置为值1。数模转换器(DAC)622产生以电压 $V_{REF}$ 为参考的比较电压,该比较电压 $V_{REF}$ 是 $n+1$ 位数字的模拟等效物,其最高有效位( $D_n$ )被设置为1。比较器626将模拟回波信号与比较电压进行比较,如果比较电压大于模拟回波信号,则比较器输出使得SAR将最高有效位设置为0;否则,最高有效位将保留为值1。SAR的下一个最高有效位 $D_{n-1}$ 被设置为1,并且执行另一个比较以确定 $D_{n-1}$ 位的正确设置。完成该过程,直到SAR的所有输出位都已经得到正确设置,这些输出位的值就是模拟回波信号的数字值。转换结束信号EOC将这种转换完成以信号方式发射到数字延迟电路604,然后数字延迟电路604接收SAR的数字值作为其下一个数字信号样本。然后,采样与保持电路624采集新的回波信号样本,对SAR 620进行初始化,并且该过程继续进行。

[0038] 在图6中更详细地示出了图5的数字ASIC的一个通道的数字延迟电路、延迟控件以及求和电路。当低功率ADC 603产生来自拼片的连续数字回波信号样本时,通过对写入地址计数器(WAC)642进行索引将样本存储在多端口RAM 640中。通过用于八条多线的八个读取地址计数器(RAC)644<sub>0</sub>至644<sub>8</sub>从RAM 640的八个输出端口 $Q_0$ - $Q_7$ 读出延迟的回波信号,其中的一个RAC的电路如图所示。当要产生八条以上的多线时,能够添加额外的读取地址计数器。每个RAC 644将其读取地址应用于RAM的八个地址端口Ad-r0至Ad-r7中的一个。读出样本的地址及其时序决定了数字回波信号的延迟。响应于由FPGA 104提供的聚焦数据,由聚焦控制电路646<sub>0</sub>设置应用于针对多线的RAM的地址,并且将输出地址按时间记入RAC 644<sub>0</sub>中并进行周期性调节以用于动态聚焦。能够通过子采样延迟FIR 648<sub>0</sub>将在RAM 640的Q输出处产生的延迟的数字回波信号进一步分辨为更精细的延迟,子采样延迟FIR 648<sub>0</sub>也根据需要从聚焦控制电路接收数据。由求和器605<sub>0</sub>将针对多线的最终延迟的数字回波信号(在附图中被示为CH0)与针对来自其他数字通道的该多线的其他样本进行求和。通过将求和样本按时间记入D型触发器650<sub>0</sub>来对直到该点的求和样本进行重新同步,并且将该求和样本应用于下一个通道的求和器。因此,每个通道同时为八条多线( $Q_0$ - $Q_7$ )产生适当延迟的数字拼片信号样本。

[0039] 图7示出了优选的子样本延迟有限脉冲响应(FIR)滤波器。与常规FIR滤波器不同,这种优选的FIR滤波器不使用乘法器,从而节省了功率。来自RAM 640的连续回波信号样本被按时间记入寄存器702,因此寄存器702在其输入部处具有电流样本 $Q_n$ 并且在其输出部处具有前一个样本 $Q_{n+1}$ 。形成两个样品的加权分数以产生更精细分辨的延迟样品值。不使用乘法器来进行加权,而是使用的2的幂的加权分数来进行加权,所述2的幂的加权分数是通过将样本值的最高有效位中的一个或多个进行强制零填充而形成的。因此,求和器704被耦合以接收加权两次的 $Q_n$ 样本,一次将其最高有效位置零(0, $Q_n$ ),并且第二次将其两个最高有效位置零(0,0, $Q_n$ )。类似地,求和器704也被耦合以接收两个加权形式的 $Q_{n+1}$ 样本,一次将两个最高有效位置零,并且第二次将三个最高有效位置零。因此,求和器704产生形式为 $75Q_n + 125Q_{n+1}$ 的加权回波信号。以类似的方式,求和器706被耦合以产生形式为 $125Q_n + 75Q_{n+1}$ 的加权回波信号。 $Q_n$ 样本和这两个加权样本值被应用于多路复用器708的三个输入,并且通过由聚焦控制电路646提供的SSD选择信号选择应用值中的一个应用值作为多路复用器输出值。将所选择的精细延迟值按时间记入寄存器710以用于进行重新同步,并将所选择的精细延

迟值应用于针对该多线的求和器605。图8示出了能够由图7的子采样延迟FIR滤波器产生的典型的超声回波信号的三个相移。如图所示,利用该电路能够实现基本采样时钟频率的0、1/3和2/3的延迟值。

[0040] 图5的数字ASIC的针对降低功耗的重要特征是ADC 603和随后的数字波束形成(数字延迟器604和求和器605)位于相同的集成电路封装中。这使得不需要将数据从一个封装中的ADC传送到另一个封装中的数字波束形成器,这需要增加功率以便通过中间集成电路引脚、PCB迹线和连接焊盘将信号从一个封装驱动到另一个封装。通过使用封装内互连可以节省功率。虽然数字ASIC封装能够采用堆叠管芯或多芯片模块,但是优选地,ADC与数字波束形成器电路位于相同的硅管芯上。

[0041] 应当注意,上面描述的和由图1和图2的示例性超声系统图示的各种实施例可以以硬件、软件或其组合的方式来实施。超声系统的各种实施例和/或部件(例如,模块或其中的部件和控制器)也可以被实施为一个或多个计算机或微处理器的部分。计算机或处理器可以包括计算设备、输入设备、显示单元以及接口(例如用于访问互联网)。计算机或处理器可以包括微处理器。微处理器可以连接到通信总线以例如访问PACS系统。计算机或处理器还可以包括存储器。上述存储器设备可以包括随机存取存储器(RAM)和只读存储器(ROM)。计算机或处理器还可以包括存储设备,所述存储设备可以是硬盘驱动器或可移动存储驱动器(例如,软盘驱动器、光盘驱动器、固态拇指驱动器)等。存储设备还可以是用于将计算机程序或其他指令加载到计算机或处理器中的其他类似单元。

[0042] 本文使用的术语“计算机”或“模块”或“处理器”可以包括任何基于处理器或基于微处理器的系统,包括使用微控制器、精简指令集计算机(RISC)、ASIC、逻辑电路以及能够执行本文描述的功能的任何其他电路或处理器的系统。以上示例仅是示例性的,因此并不旨在以任何方式限制这些术语的定义和/或含义。

[0043] 计算机或处理器运行被存储在一个或多个存储元件中的指令集,以便处理输入数据。存储元件还可以根据期望或需要而存储数据或其他信息。存储元件可以是处理机器内的信息源或物理存储元件的形式。

[0044] 包括微波束形成器的超声系统的指令集可以包括各种命令,这些指令指示计算机或处理器作为处理机器来执行特定操作,例如本发明的各种实施例的方法和过程。指令集可以是软件程序的形式。软件可以是各种形式,例如,系统软件或应用软件,并且可以被实施为有形和非瞬态计算机可读介质。另外,软件还可以是单独的程序或模块的集合、较大程序内的程序模块或程序模块的部分的形式。软件还可以包括面向对象编程形式的模块化程序设计。处理机器对输入数据的处理可以响应于操作者命令,或者响应于先前处理的结果,或者响应于另一个处理机器做出的请求。例如,在图2的超声系统中,微波束形成器的FPGA 104从主机超声系统接收软件指令。然后,FPGA将软件指令应用于模拟ASIC 102和数字ASIC 103,以通过软件指令来控制微波束形成器结构部件的操作。

[0045] 此外,并不是用功能模块的格式来撰写权利要求的限制,并且除非此类权利要求限制是在没有进行结构描述的情况下进行功能陈述时明确使用短语“用于……的单元”,否则并不旨在基于35U.S.C.112的第六段来解读权利要求。

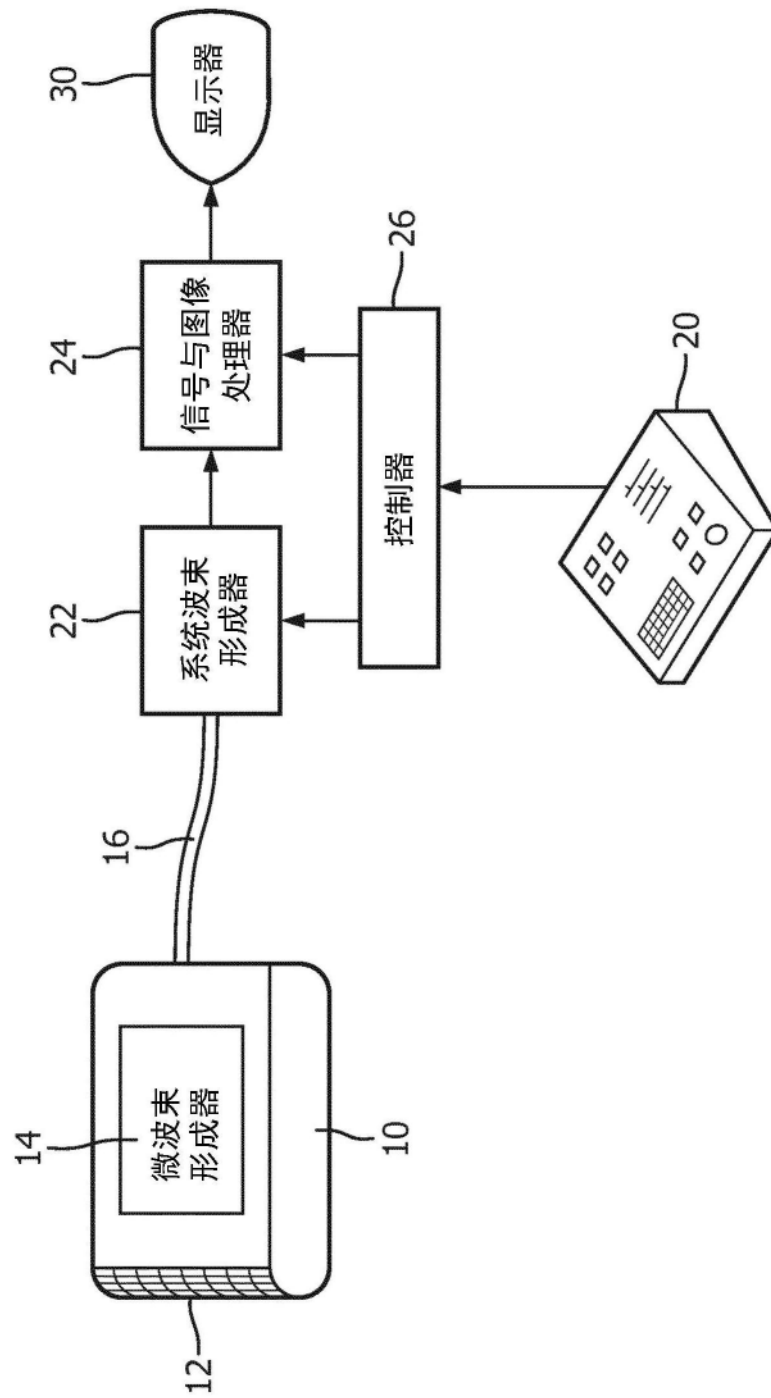


图1

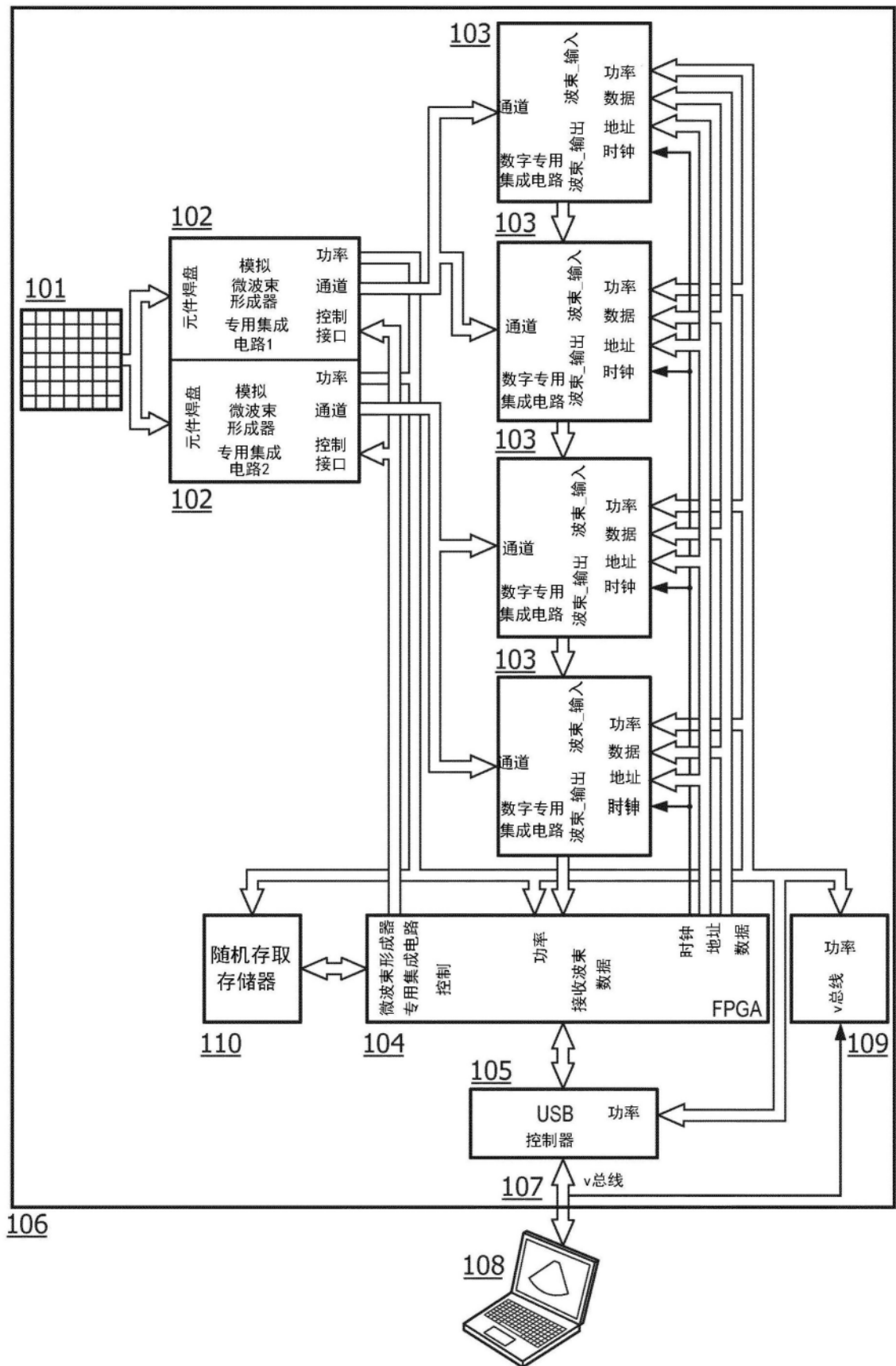


图2

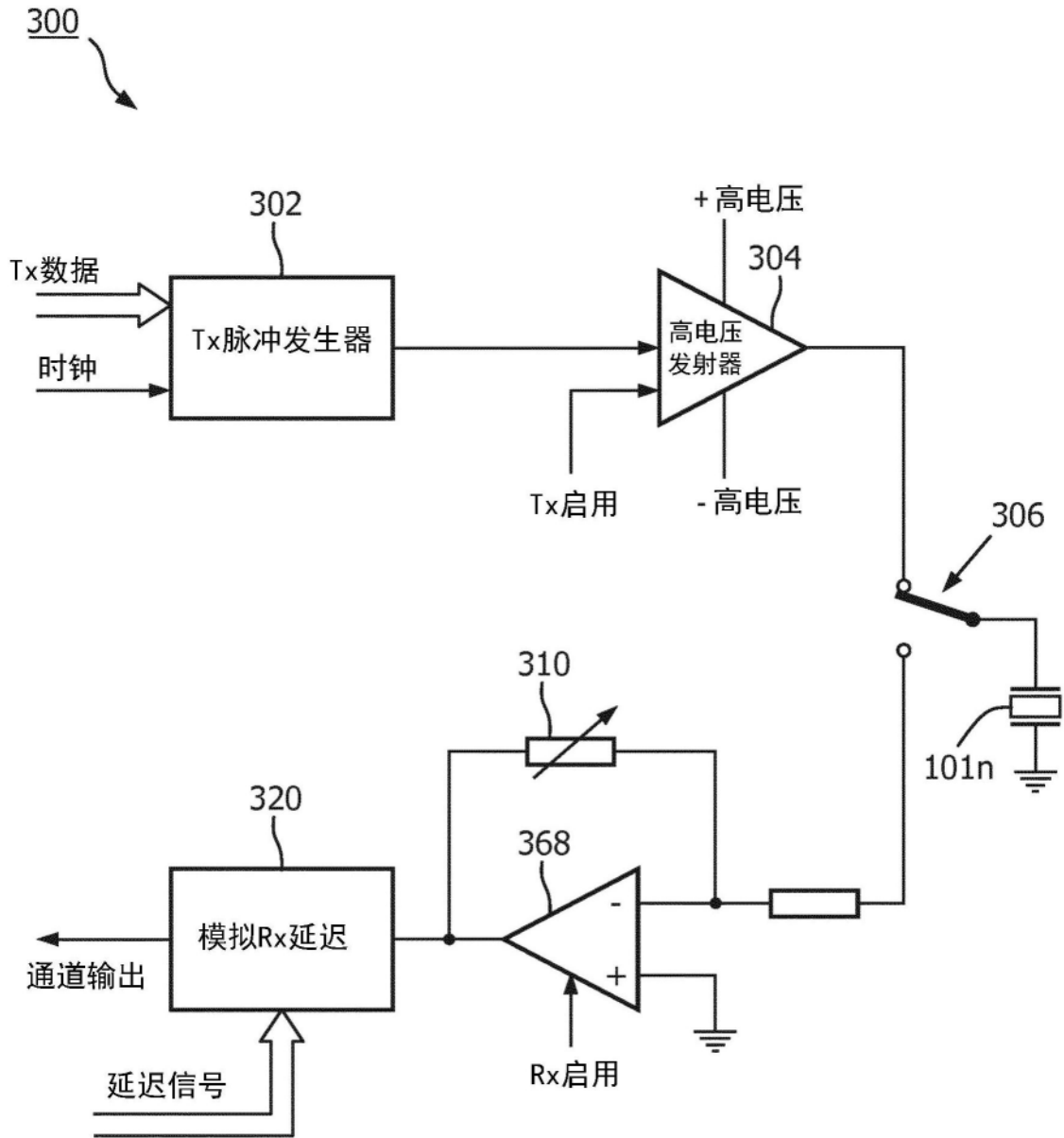


图3

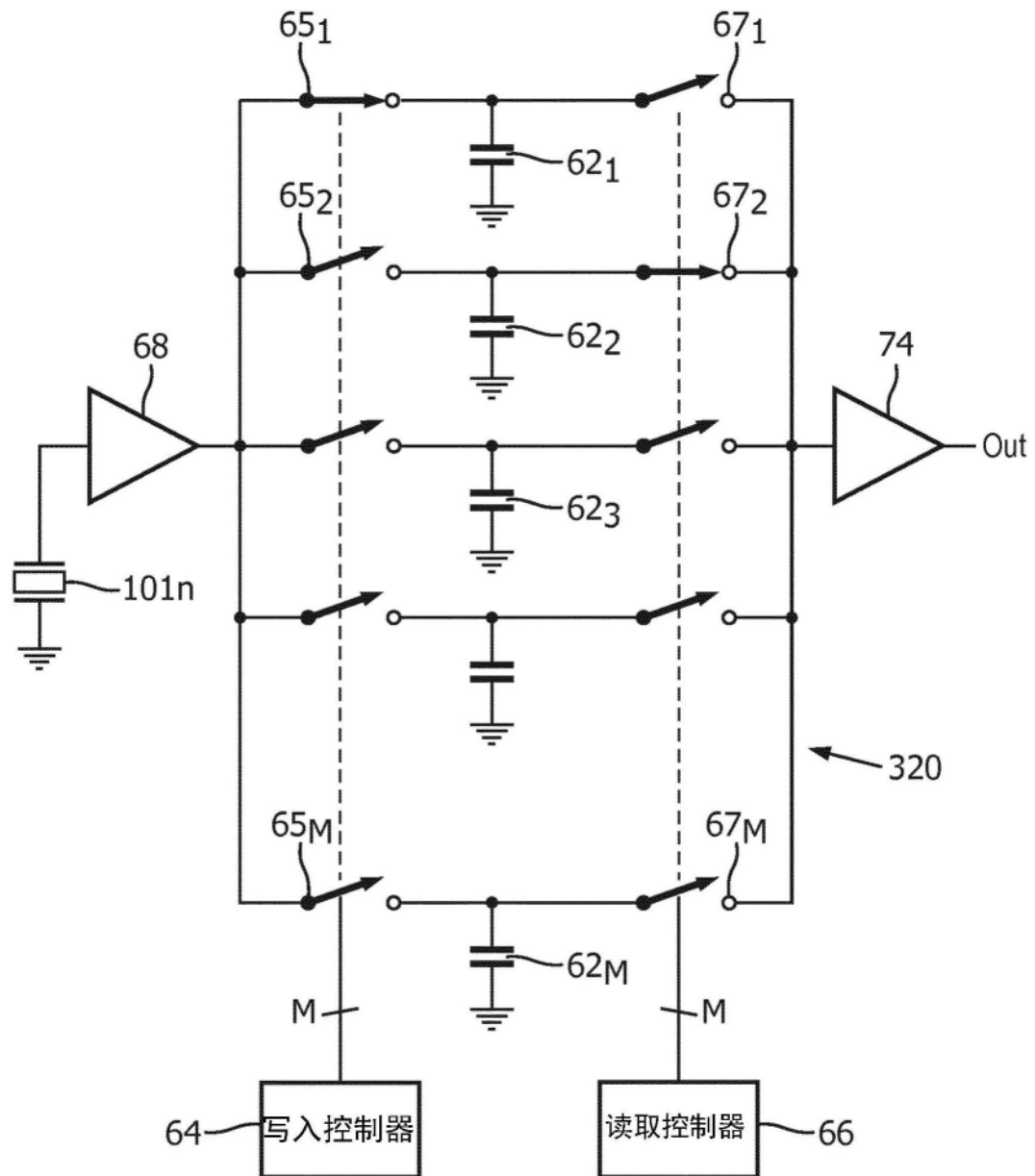


图4



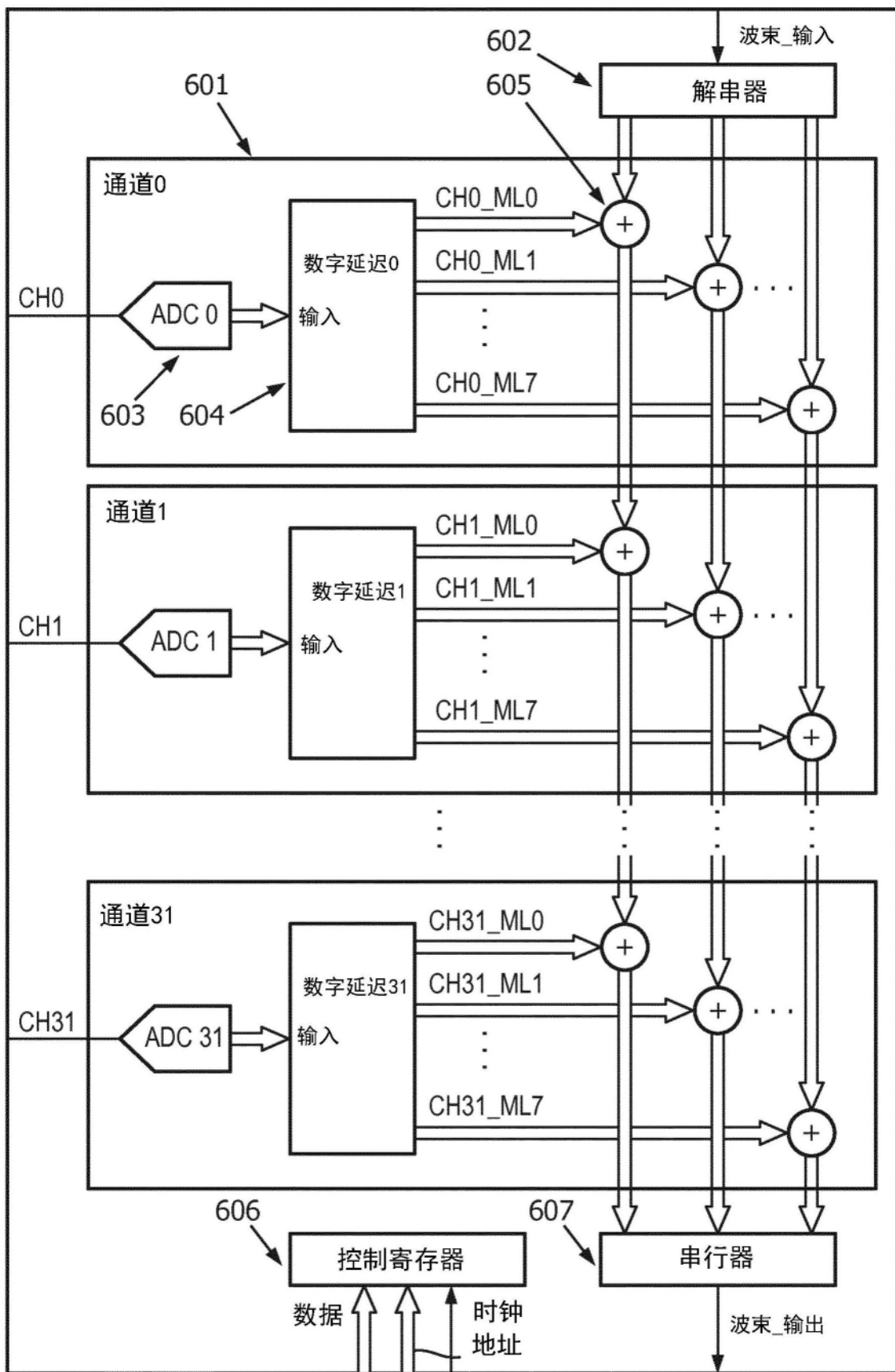


图5

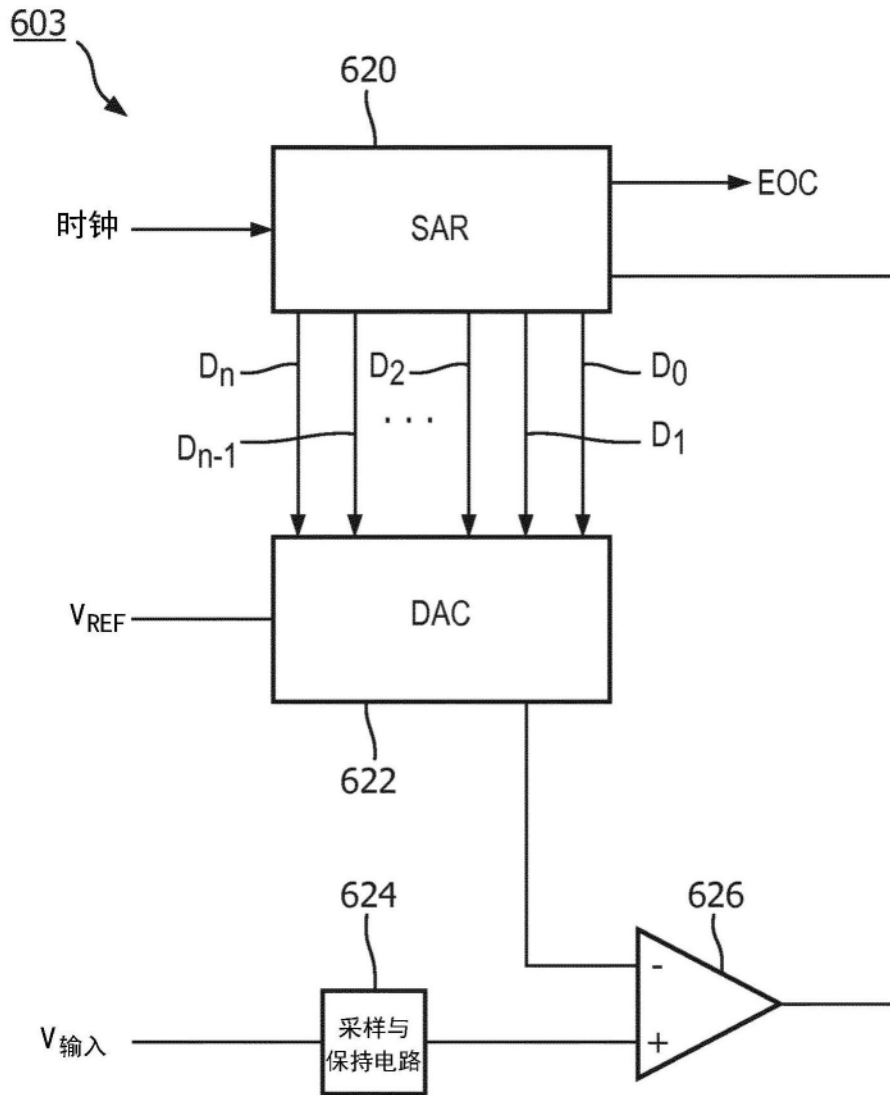


图5a

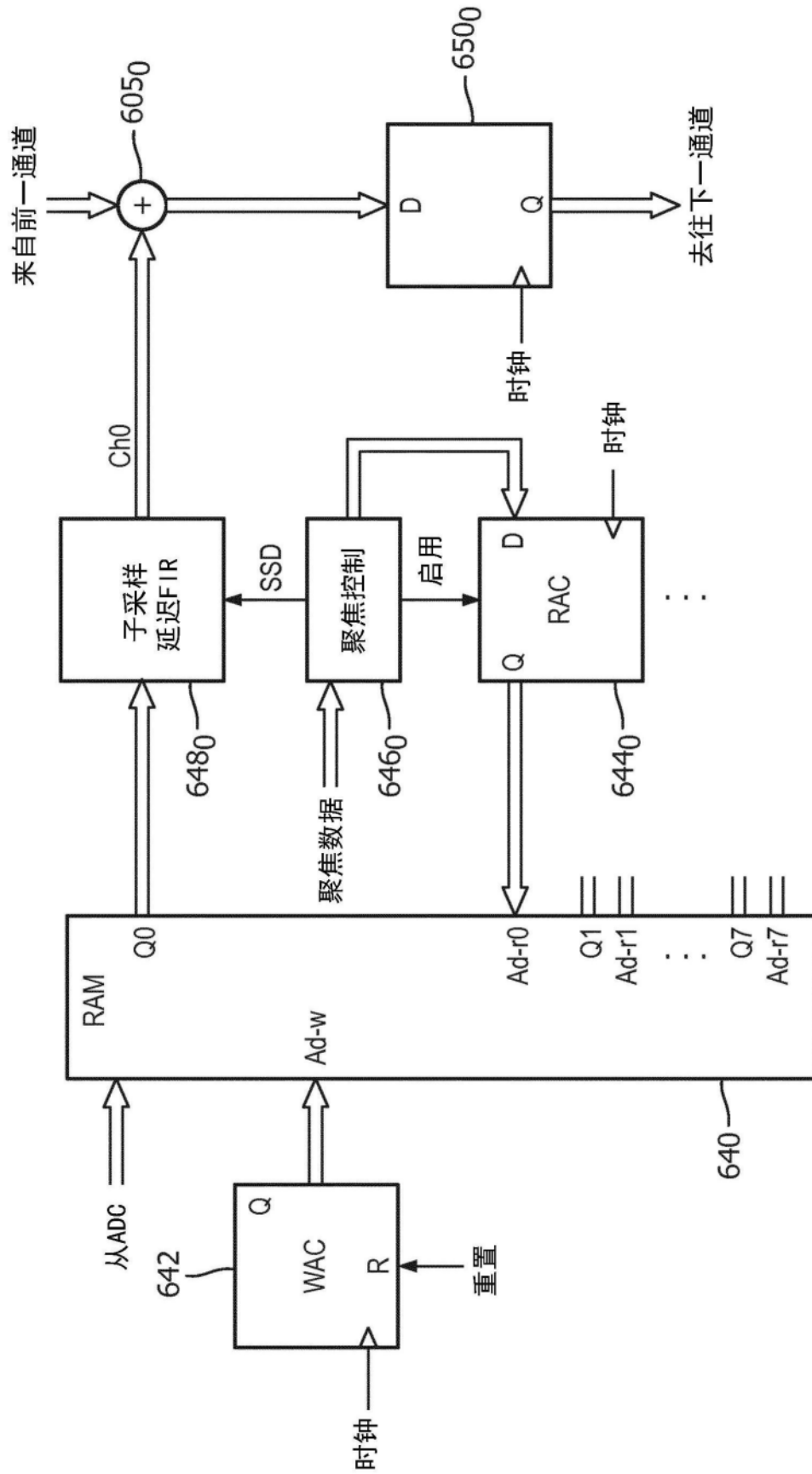


图6

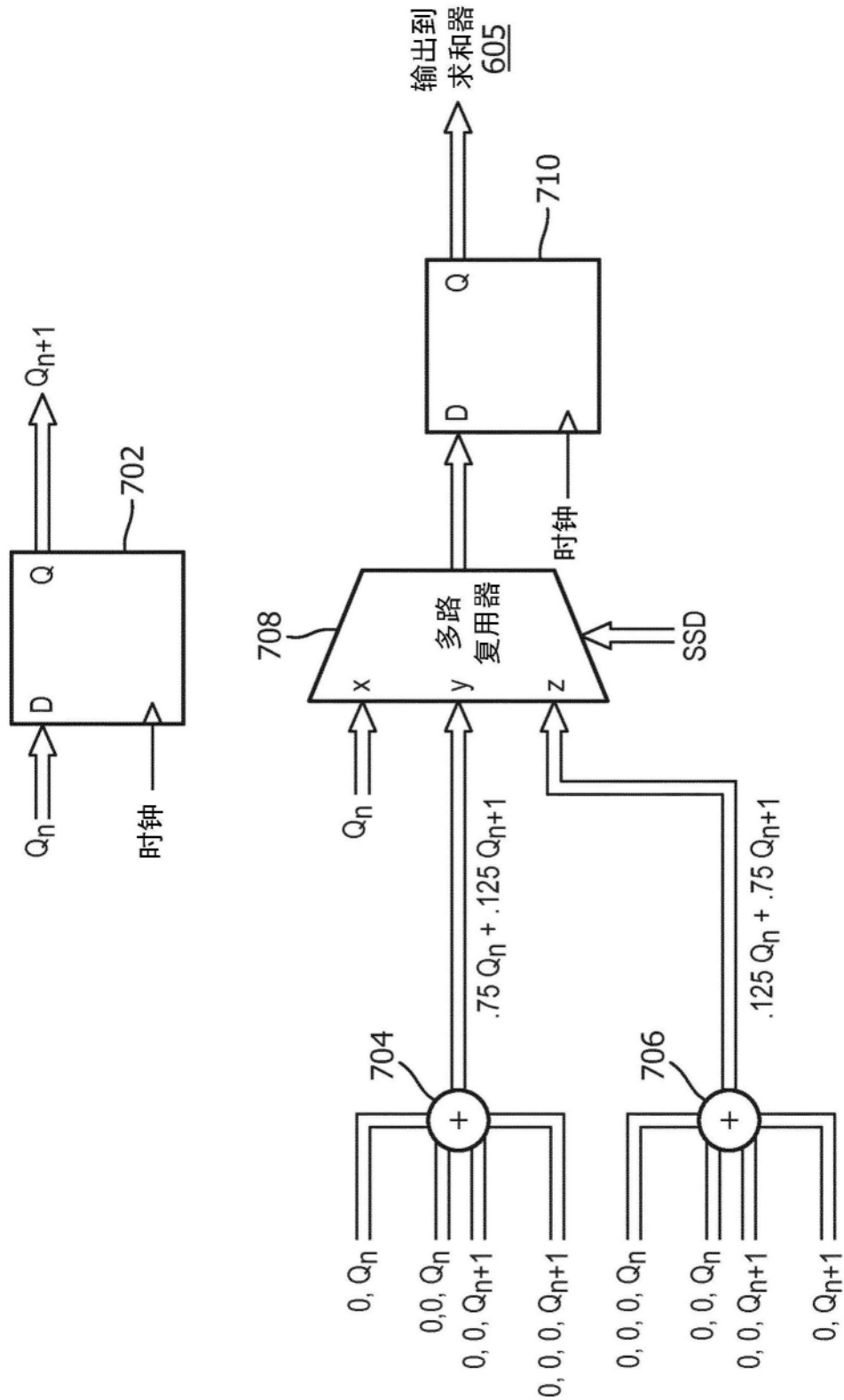


图7

