

19 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

11 N° de publication :

2 964 809

(à n'utiliser que pour les  
commandes de reproduction)

21 N° d'enregistrement national :

10 57335

51 Int Cl<sup>8</sup> : H 03 L 7/18 (2006.01)

12

## DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 14.09.10.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 16.03.12 Bulletin 12/11.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

71 Demandeur(s) : STMICROELECTRONICS SA  
*Société anonyme — FR et CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE (CNRS) Etablissement public — FR.*

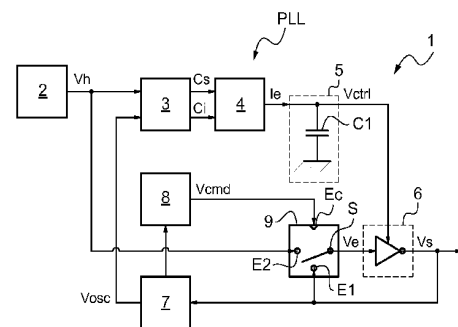
72 Inventeur(s) : BELOT DIDIER, LUCAS DE PES-  
LOUAN PIERRE-OLIVIER, MAJÉK CEDRIC, DEVAL  
YANN, TARIS THIERRY et BEGUERET JEAN-BAP-  
TISTE.

73 Titulaire(s) : STMICROELECTRONICS SA Société  
anonyme, CENTRE NATIONAL DE LA RECHERCHE  
SCIENTIFIQUE (CNRS) Etablissement public.

74 Mandataire(s) : BUREAU D.A. CASALONGA &  
JOSSE.

54 DISPOSITIF ET PROCEDE DE GENERATION D'UN SIGNAL DE FREQUENCE PARAMETRABLE.

57 Dispositif de génération d'un signal de fréquence paramétrable comprenant une boucle à verrouillage de phase (PLL) comportant un générateur (2) d'un signal de référence, un comparateur phase-fréquence (3) comprenant une première entrée pour recevoir le signal de référence, un oscillateur (6) contrôlé à partir du résultat en sortie du comparateur phase-fréquence (3), un diviseur fractionnel (7) couplé entre une sortie de l'oscillateur (6) et une deuxième entrée du comparateur phase-fréquence (3), et un sélecteur (9) reliant sélectivement une entrée de l'oscillateur (6) soit avec une entrée du générateur (2), soit avec la sortie de l'oscillateur (6) en fonction du rapport de multiplication du diviseur fractionnel (7).



FR 2 964 809 - A1



## **Dispositif et procédé de génération d'un signal de fréquence paramétrable**

5 L'invention concerne la génération de signaux de fréquence paramétrable.

Actuellement, on utilise des synthétiseurs de fréquence pour générer des signaux de fréquences variables à partir de deux types d'architecture, une boucle à verrouillage de phase, notée PLL ou  
10 « Phase Locked Loop » en langue anglaise, et une boucle à verrouillage de délai, notée DLL ou « Delay Locked Loop » en langue anglaise.

On peut citer par exemple la publication « A Mixed PLL/DLL Architecture for low jitter clock generation (2004 IEEE, Auteurs :  
15 Yong-Cheol Bae et Gu-Yeon Wei, publiée le 23-26 mai 2004) » qui divulgue un système pour diminuer la dérive temporelle d'un signal utilisant une architecture de type PLL et de type DLL. Le système comprend un diviseur entier pour générer des fréquences du signal de  
20 sortie multiple de la fréquence d'horloge, mais il ne permet pas de générer des fréquences suffisamment précises. En outre, il utilise un filtre de boucle du deuxième ordre, ce qui rend le système lent pour la génération du signal de sortie.

On peut également citer la publication « Low-Spur, Low-Phase-Noise Clock Multiplier Based on a Combination of PLL and  
25 Recirculating DLL With Dual-Pulse Ring Oscillator and Self-Correcting Charge Pump (2008 IEEE, Auteur : Sander L. J. Gierkink, publiée le 10 décembre 2008) » qui divulgue un système pour synthétiser des signaux de fréquence multiple d'une fréquence d'horloge ayant un faible bruit de phase comprenant une combinaison  
30 d'une PLL et d'une DLL. Mais ce document ne décrit pas non plus un moyen pour obtenir des fréquences encore plus précises. Par ailleurs, dans ce système, l'oscillateur de la DLL est activé en permanence par les fronts du signal d'horloge, ce qui a tendance à ralentir la génération du signal de sortie.

Il est donc proposé un dispositif et un procédé pour générer des signaux ayant une fréquence suffisamment précise tout en étant stable.

Il est également proposé un dispositif et un procédé qui soient rapides.

5            Selon un aspect, il est proposé un dispositif de génération d'un signal de fréquence paramétrable comprenant une boucle à verrouillage de phase comportant un générateur d'un signal de référence, un comparateur phase-fréquence comprenant une première entrée pour recevoir le signal de référence, et un oscillateur contrôlé à partir du  
10            résultat en sortie du comparateur phase-fréquence.

             Ce dispositif comprend un diviseur fractionnel couplé entre une sortie de l'oscillateur et une deuxième entrée du comparateur phase-fréquence, un sélecteur reliant sélectivement une entrée de  
15            l'oscillateur soit avec une sortie du générateur, soit avec la sortie de l'oscillateur en fonction du rapport de multiplication du diviseur fractionnel.

             Ainsi, on fournit un moyen pour générer des fréquences plus précises que celles proposées dans l'art antérieur. Le fait de contrôler l'oscillation de l'oscillateur de manière à relancer ce dernier par le  
20            signal de référence périodiquement, c'est-à-dire maintenir l'oscillation en sortie de l'oscillateur, permet de rendre le dispositif particulièrement stable.

             La boucle à verrouillage de phase peut comprendre un filtre du type passe-bas couplé entre la sortie du comparateur phase-fréquence et une entrée de contrôle de l'oscillateur.  
25

             Selon un mode de réalisation, le filtre du type passe-bas est un filtre du premier ordre.

             En outre, l'utilisation d'une PLL ayant un filtre du premier ordre rend le dispositif plus rapide par rapport à une PLL ayant un  
30            filtre d'ordre supérieur, tout en étant stable.

             Avantagement, le rapport de multiplication du diviseur fractionnel est paramétrable.

             Selon un mode de réalisation, le rapport de multiplication est égal à un rapport entre un dividende et un diviseur et le sélecteur relie

périodiquement l'oscillateur avec le générateur selon une période de commande égale à un multiple du diviseur dudit rapport de division multiplié par la période du signal de référence.

5 Ainsi, on active l'oscillation de l'oscillateur par le signal de référence à chaque instant où le signal de référence est synchronisé avec le signal de sortie de l'oscillateur, ce qui permet de stabiliser le dispositif. En effet, cette commande périodique de l'oscillateur permet d'éliminer les oscillations du signal de contrôle de l'oscillateur, ce qui a pour conséquence d'empêcher la dérive en fréquence du signal de  
10 sortie de l'oscillateur.

Selon un autre mode de réalisation, le sélecteur est un interrupteur.

Selon un autre aspect, il est proposé un procédé de génération d'un signal de fréquence paramétrable comprenant une boucle à  
15 verrouillage de phase comportant un générateur d'un signal de référence, un comparateur phase-fréquence comprenant une première entrée pour recevoir le signal de référence, et un oscillateur contrôlé à partir du résultat en sortie du comparateur phase-fréquence.

Dans ce procédé, ladite boucle à verrouillage de phase  
20 comprenant un diviseur fractionnel couplé entre une sortie de l'oscillateur et une deuxième entrée du comparateur phase-fréquence, on relie sélectivement une entrée de l'oscillateur soit avec une sortie du générateur, soit avec la sortie de l'oscillateur en fonction du rapport de multiplication du diviseur fractionnel.

25 Selon un mode de mise en œuvre on contrôle l'oscillateur à partir d'un signal de contrôle élaboré par un filtre du type passe-bas couplé entre la sortie du comparateur phase-fréquence et une entrée de contrôle de l'oscillateur.

Selon un autre mode de mise en œuvre, le rapport de  
30 multiplication est égal à un rapport entre un dividende et un diviseur et on relie périodiquement l'oscillateur avec le générateur selon une période de commande égale à un multiple du diviseur dudit rapport de division multiplié par la période du signal de référence.

D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de quelques exemples de modes de mise en œuvre et de réalisation, nullement limitatifs, et des dessins annexés, sur lesquels :

- 5           -       la figure 1 illustre de façon schématique un mode de réalisation d'un dispositif de génération d'un signal de fréquence paramétrable ;
- la figure 2 illustre de façon schématique les chronogrammes de différents signaux utilisés dans le
- 10           -       la figure 3 illustre de façon schématique la comparaison d'une courbe du signal de contrôle d'un oscillateur d'une boucle à verrouillage de phase classique et d'une courbe du signal de contrôle d'un
- 15           -       oscillateur selon l'invention.

Sur la figure 1, on a représenté un mode de réalisation d'un dispositif 1 de génération d'un signal  $V_s$  de fréquence paramétrable  $f_s$ .

Ce dispositif 1 comprend une boucle à verrouillage de phase PLL pour élaborer ledit signal  $V_s$ . Cette boucle à verrouillage de phase

20 PLL comprend un générateur 2, un comparateur phase-fréquence 3, une pompe de charge 4, un filtre 5 du type passe-bas et un oscillateur 6.

Le dispositif 1 comprend en outre un diviseur fractionnel 7, un moyen de commande 8 et un sélecteur 9.

Le générateur 2 génère un signal de référence  $V_h$ , ayant une

25 fréquence de référence  $f_0$ , sur une première entrée du comparateur phase-fréquence 3. Ce générateur peut être un oscillateur à quartz pour générer le signal de référence  $V_h$ , également noté signal d'horloge. Le comparateur phase-fréquence 3 comprend une deuxième entrée pour recevoir un signal  $V_{osc}$  émis par le diviseur fractionnel 7. Le

30 comparateur phase-fréquence compare en phase et en fréquence les deux signaux  $V_h, V_{osc}$  reçus respectivement sur ses deux entrées et génère deux signaux  $C_s, C_i$  en direction de la pompe de charge 4. Ces deux signaux  $C_s, C_i$  émis par le comparateur de phase-fréquence 3 correspondent au résultat de la comparaison des signaux  $V_h, V_{osc}$

d'entrée du comparateur 3. Si le signal de référence  $V_h$  est en avance de phase par rapport au signal  $V_{osc}$ , le premier signal généré  $C_s$  est nul, et au contraire, si le signal de référence  $V_h$  est en retard de phase par rapport au signal  $V_{osc}$ , le deuxième signal généré  $C_i$  est nul.

5            La pompe de charge 4 reçoit les deux signaux  $C_s, C_i$  générés par ledit comparateur 3 et élabore un courant d'erreur  $I_e$  en fonction du résultat de la comparaison des signaux  $V_h, V_{osc}$  d'entrée du comparateur 3. Ce courant d'erreur  $I_e$  est transmis au filtre 5, noté également filtre de boucle, qui élabore une tension de contrôle  $V_{ctrl}$  en fonction du courant d'erreur  $I_e$  reçu. Ce filtre de boucle 5 est un  
10            filtre du type passe-bas, qui peut être un filtre du premier ordre ou d'ordre supérieur. Par exemple, le filtre de boucle 5 est un filtre du premier ordre réalisé à partir d'une capacité  $C_1$  couplée entre la sortie de la pompe de charge 4 et la masse. L'utilisation d'une simple  
15            capacité  $C_1$  permet de rendre le dispositif plus compact. Cette tension de contrôle  $V_{ctrl}$  est émise en direction de l'oscillateur 6. Cet oscillateur 6 comprend un nombre impair d'éléments de retard contrôlables montés en série, qui sont par exemple des inverseurs, contrôlés par la tension de contrôle  $V_{ctrl}$ . L'avantage de ce type  
20            d'oscillateur est qu'il autorise une large bande de fréquence de fonctionnement. L'oscillateur 6 comprend une entrée de contrôle pour recevoir ladite tension de contrôle  $V_{ctrl}$  et une entrée principale couplée à une entrée du premier élément de retard. Cet oscillateur 6 élabore, sur une sortie couplée au dernier élément de retard, le signal  
25             $V_s$  de fréquence paramétrable.

Le signal  $V_s$  de sortie de l'oscillateur 6 est également transmis en direction du diviseur fractionnel 7 et du sélecteur 9.

Le diviseur fractionnel permet de diviser la fréquence du signal  $V_s$  de sortie de l'oscillateur d'un facteur  $RM$ , noté également rapport de multiplication, de sorte que la fréquence  $f_{osc}$  du signal  $V_{osc}$  de  
30            sortie du diviseur est donnée par l'équation 1 suivante :

$$f_{osc} = f_s/RM \quad (\text{équation 1})$$

où

- $f_{osc}$  : fréquence du signal  $V_{osc}$  élaboré par le diviseur fractionnel 7 ;
- $f_s$  : fréquence du signal  $V_s$  de sortie de l'oscillateur 6 ; et
- RM : rapport de multiplication du diviseur fractionnel.

Le rapport de multiplication RM est un nombre décimal, ce qui permet d'obtenir une fréquence  $f_s$  précise du signal  $V_s$  de sortie de l'oscillateur 6. En outre, ce rapport de multiplication est paramétrable en fonction de la valeur de la fréquence  $f_s$  désirée.

En d'autres termes, à un instant  $t$ , le rapport de multiplication RM est soit égal à un nombre entier  $N$ , soit égal à un nombre entier  $N+1$ , où  $N$  est un nombre entier tel que  $N < RM < N+1$ . L'équation 2 suivante est alors vérifiée à l'instant  $t$  :

$$f_{osc} = f_s/N \text{ ou } f_{osc} = f_s/(N+1) \quad (\text{équation 2})$$

où  $N < RM < N+1$ .

D'autre part, le rapport de multiplication RM peut être exprimé selon le rapport entre un dividende DD et un diviseur DV. L'équation 1,  $f_{osc} = f_s/RM$ , est donc vérifiée en moyenne sur un temps suffisamment long, c'est-à-dire un temps supérieur au rapport  $DV/f_0$  où  $f_0$  est la fréquence du signal de référence  $V_h$ .

Le moyen de commande 8 reçoit la valeur du rapport de multiplication RM depuis le diviseur fractionnel 7, et commande le sélecteur à partir d'un signal de commande  $V_{cmd}$  élaboré en fonction de la valeur dudit rapport de multiplication RM.

Le sélecteur 9 comprend une première entrée E1 configurée pour recevoir le signal  $V_s$  de sortie de l'oscillateur 6, une deuxième entrée E2 configurée pour recevoir le signal  $V_h$  de référence émis par le générateur 2, et une entrée de commande  $E_c$  pour recevoir le signal de commande  $V_{cmd}$  issu du moyen de commande 8. Par ailleurs, le

sélecteur 9 comprend une sortie S couplée sur l'entrée principale de l'oscillateur 6. Cette sortie S du sélecteur est en outre configurée pour émettre un signal d'entrée  $V_e$  sur l'entrée principale de l'oscillateur 6. Ce signal d'entrée  $V_e$  représente, soit le signal  $V_s$  de sortie de l'oscillateur 6, soit le signal  $V_h$  de référence, en fonction du signal  $V_{cmd}$  de commande.

Selon la valeur du signal de commande  $V_{cmd}$ , le sélecteur couple soit la première entrée E1 avec l'entrée principale de l'oscillateur 6, soit la deuxième entrée E2 avec l'entrée principale de l'oscillateur 6. Ce sélecteur 9 peut être un interrupteur, il peut être réalisé, par exemple, à partir d'inverseurs du même type que les éléments de retard de l'oscillateur, de manière à générer le moins de retard possible sur le signal émis en direction de l'oscillateur 6.

Lorsque la première entrée E1 est couplée avec l'entrée principale de l'oscillateur 6, on dit que l'oscillateur est fermé et que le dispositif 1 fonctionne en mode PLL. Dans ce cas, le dispositif a le même comportement qu'une boucle à verrouillage de phase PLL à diviseur fractionnel.

Lorsque la deuxième entrée E2 est couplée avec l'entrée principale de l'oscillateur 6, on dit que l'oscillateur est ouvert et que le dispositif 1 fonctionne en mode DLL. Dans ce cas, le dispositif a le même comportement qu'une boucle à verrouillage de délai DLL. En effet, en mode DLL, l'oscillateur oscille grâce aux fronts du signal  $V_h$  de référence, on dit également que l'oscillateur est activé.

Ce dispositif 1 permet de générer un signal  $V_s$  ayant une fréquence  $f_s$  selon l'équation 2 suivante :

$$f_s = RM \cdot f_0 \quad (\text{équation 2})$$

où  $f_0$  est la fréquence du signal  $V_h$  de référence.

Le dispositif 1 utilise les avantages d'une boucle à verrouillage de délai DLL dans une architecture de type boucle à verrouillage de phase PLL.

La boucle à verrouillage de délai DLL présente l'avantage d'empêcher la dérive en fréquence du signal en sortie de l'oscillateur 6 grâce à l'activation périodique, selon une période choisie, de l'oscillateur 6 par le signal de référence  $V_h$ . Ainsi, le bruit de phase pour des fréquences inférieures à la fréquence de référence  $f_0$  est sensiblement égal à celui du signal de référence  $V_h$ .

Lorsqu'on utilise une PLL classique pour générer des signaux de fréquence paramétrable, plus la PLL est rapide, plus elle est instable. En effet, l'utilisation d'un filtre du premier ordre pour obtenir une PLL rapide génère un signal de contrôle de l'oscillateur qui présente des oscillations autour de la tension de contrôle, ce qui se traduit par un signal en sortie de l'oscillateur qui dérive en phase, en d'autres termes, la PLL est instable.

Afin de stabiliser la PLL, on utilise les avantages de la DLL. On relance donc l'oscillateur 6 de façon périodique afin, d'une part d'empêcher la dérive en fréquence du signal  $V_s$  de sortie de l'oscillateur 6, et d'autre part d'éviter la dérive en phase du signal  $V_s$  résultant des oscillations sur le signal  $V_{ctrl}$  de contrôle.

On fournit donc un dispositif qui est à la fois rapide et stable.

L'activation périodique de l'oscillateur selon une période  $T_a$  choisie est effectuée par la commande du sélecteur 9 par le moyen de commande 8. La période  $T_a$  pour commander le sélecteur 9 est calculée en fonction de la partie décimale du rapport de multiplication  $RM$  et de la période  $T_0$  du signal de référence  $V_h$ . Le rapport de multiplication  $RM$  peut être exprimé selon le rapport entre un dividende  $DD$  et un diviseur  $DV$ . La période  $T_a$  sera donc proportionnel à un multiple du diviseur  $DV$ , c'est-à-dire proportionnel à un multiple du plus petit diviseur entier du rapport de multiplication  $RM$ . En particulier,  $T_a = n \cdot DV \cdot T_0$ , où  $n$  est un entier et  $T_0$  est la période du signal  $V_h$  de référence.

Ce dispositif 1 a la particularité d'être paramétrable en changeant la valeur du rapport de multiplication  $RM$ .

Sur la figure 2, on a représenté schématiquement les chronogrammes des principaux signaux utilisés dans le dispositif 1 de

génération d'un signal de fréquence paramétrable selon le mode de réalisation décrit à la figure 1. On a représenté le signal de référence  $V_h$ , le signal d'entrée  $V_e$  de l'oscillateur 6, le signal  $V_s$  de sortie de l'oscillateur 6 et le signal de commande  $V_{cmd}$  du sélecteur 9.

5 Comme le dispositif 1 comprend un diviseur fractionnel, c'est-à-dire que le rapport de multiplication  $RM$  est un nombre décimal, les fronts du signal  $V_h$  de référence ne sont pas toujours synchronisés avec les fronts du signal  $V_s$  de sortie de l'oscillateur 6. On relance l'oscillateur 6 aux instants où les fronts du signal  $V_h$  de référence et les fronts du signal  $V_s$  de sortie de l'oscillateur 6 sont synchronisés.  
10 On commande donc le sélecteur 9 de manière à coupler la deuxième entrée  $E_2$  du sélecteur 9 avec l'entrée principale de l'oscillateur 6 (mode DLL) et on laisse passer un front du signal  $V_h$  de référence (un front montant ou descendant) en direction de l'oscillateur 6 pour relancer ce dernier. Puis, après avoir laissé passer un front du signal  $V_h$  de référence, on commande le sélecteur 9 de manière à coupler la première entrée  $E_1$  du sélecteur 9 avec l'entrée principale de l'oscillateur 6 (mode PLL). En d'autres termes, on active l'oscillateur 6 selon la période  $T_a = n \cdot DV \cdot T_0$ . Par exemple, si l'on souhaite générer un signal  $V_s$  ayant une fréquence  $f_s = 2,2 \cdot f_0$ , c'est-à-dire que  $RM = 11/5$ , on active l'oscillateur 6 périodiquement selon la période  $T_a = 5 \cdot T_0$ , avec  $n=1$ .

Dans cet exemple, les fronts des signaux  $V_h$  et  $V_s$  sont synchronisés tous les cinq cycles d'horloge.

25 A chaque période  $T_a$ , l'oscillateur 6 est relancé et le dispositif est en mode DLL. Le reste du temps, le signal de commande  $V_{cmd}$  commande le sélecteur 9 de sorte que la première entrée  $E_1$  est couplée avec l'entrée principale de l'oscillateur, on dit alors que l'oscillateur est fermé et que le dispositif fonctionne en mode PLL.

30 On a représenté sur la figure 3, de façon schématique une comparaison d'une courbe MPLL, en trait plein, du signal de contrôle d'un oscillateur d'une boucle à verrouillage de phase classique ayant un filtre de boucle du type passe-bas du premier ordre et d'une courbe

MMIX, en tiretés, du signal de contrôle Vctrl de l'oscillateur 6 selon l'invention.

La courbe MPLL d'une boucle à verrouillage de phase classique présente des oscillations autour de la tension de contrôle de l'oscillateur, ce qui montre l'instabilité des PLL classiques.

Au contraire, la courbe MMIX ne présente pratiquement aucune oscillation, le dispositif 1 est donc stable. En outre, on constate que ces deux courbes MMIX, MPLL ont des pentes à l'origine qui sont parallèles, ce qui montre que le dispositif 1 est rapide, en d'autres termes qu'il conserve la rapidité de la PLL ayant un filtre du premier ordre.

Par ailleurs, un procédé de génération d'un signal de fréquence paramétrable peut être mis en œuvre par le dispositif qui vient d'être décrit.

Ce procédé peut être implémenté dans un calculateur embarqué dans un appareil de communication sans fil, tel qu'un téléphone mobile cellulaire, sous forme logiciel ou également sous la forme de circuits logiques.

Le dispositif de génération d'un signal de fréquence ainsi décrit permet d'obtenir un signal de fréquence précise adapté à des appareils de communication mobiles. L'utilisation d'un filtre du premier ordre permet de réaliser un synthétiseur de fréquence rapide adapté à des sauts de fréquence rapides. En particulier, un tel dispositif permet d'utiliser une fréquence de coupure du filtre de boucle supérieure à un dispositif utilisant une PLL classique. Ainsi on peut augmenter la fréquence de coupure du filtre de boucle pour augmenter la rapidité du dispositif tout en garantissant la stabilité du dispositif. En outre, la réalisation d'un tel filtre à partir d'une simple capacité permet de réduire la taille du dispositif, ce qui permet d'améliorer l'intégration de ce dispositif dans un circuit électronique intégré et réduire ainsi la consommation en silicium. Par ailleurs, l'aspect paramétrable du dispositif et sa stabilité s'applique parfaitement à des synthétiseurs standards où le temps de réponse

temporelle à un changement de fréquence doit être le plus petit possible.

## REVENDICATIONS

1. Dispositif de génération d'un signal de fréquence paramétrable comprenant une boucle à verrouillage de phase (PLL) comportant un générateur (2) d'un signal de référence, un comparateur phase-fréquence (3) comprenant une première entrée pour recevoir le signal de référence, et un oscillateur (6) contrôlé à partir du résultat en sortie du comparateur phase-fréquence (3), caractérisé en ce qu'il comprend un diviseur fractionnel (7) couplé entre une sortie de l'oscillateur (6) et une deuxième entrée du comparateur phase-fréquence (3), un sélecteur (9) reliant sélectivement une entrée de l'oscillateur (6) soit avec une sortie du générateur (2), soit avec la sortie de l'oscillateur (6) en fonction du rapport de multiplication du diviseur fractionnel (7).

2. Dispositif selon la revendication 1, dans lequel la boucle à verrouillage de phase (PLL) comprend un filtre (5) du type passe-bas couplé entre la sortie du comparateur phase-fréquence (3) et une entrée de contrôle de l'oscillateur (6).

3. Dispositif selon la revendication 2, dans lequel le filtre (5) du type passe-bas est un filtre du premier ordre.

4. Dispositif selon l'une des revendications 1 à 3, dans lequel le rapport de multiplication du diviseur fractionnel (7) est paramétrable.

5. Dispositif selon l'une des revendications 1 à 4, dans lequel le rapport de multiplication est égal à un rapport entre un dividende et un diviseur et le sélecteur (9) relie périodiquement l'oscillateur (6) avec le générateur (2) selon une période de commande égale à un multiple du diviseur dudit rapport de division multiplié par la période du signal de référence.

6. Dispositif selon l'une des revendications 1 à 5, dans lequel le sélecteur (9) est un interrupteur.

7. Procédé de génération d'un signal de fréquence paramétrable comprenant une boucle à verrouillage de phase (PLL) comportant un générateur (2) d'un signal de référence, un comparateur phase-

fréquence (3) comprenant une première entrée pour recevoir le signal de référence, et un oscillateur (6) contrôlé à partir du résultat en sortie du comparateur phase-fréquence (3), caractérisé en ce que ladite boucle à verrouillage de phase comprenant un diviseur fractionnel (7) couplé entre une sortie de l'oscillateur (6) et une deuxième entrée du comparateur phase-fréquence (3), on relie sélectivement une entrée de l'oscillateur (6) soit avec une sortie du générateur (2), soit avec la sortie de l'oscillateur (6) en fonction du rapport de multiplication du diviseur fractionnel.

10           8. Procédé selon la revendication 7, dans lequel on contrôle l'oscillateur (6) à partir d'un signal de contrôle élaboré par un filtre (5) du type passe-bas couplé entre la sortie du comparateur phase-fréquence (3) et une entrée de contrôle de l'oscillateur (6).

15           9. Procédé selon la revendication 7 ou 8, dans lequel le rapport de multiplication du diviseur fractionnel est paramétrable.

20           10. Procédé selon l'une des revendications 7 à 9, dans lequel le rapport de multiplication est égal à un rapport entre un dividende et un diviseur et on relie périodiquement l'oscillateur (6) avec le générateur (2) selon une période de commande égale à un multiple du diviseur dudit rapport de division multiplié par la période du signal de référence.

1/2

Fig.1

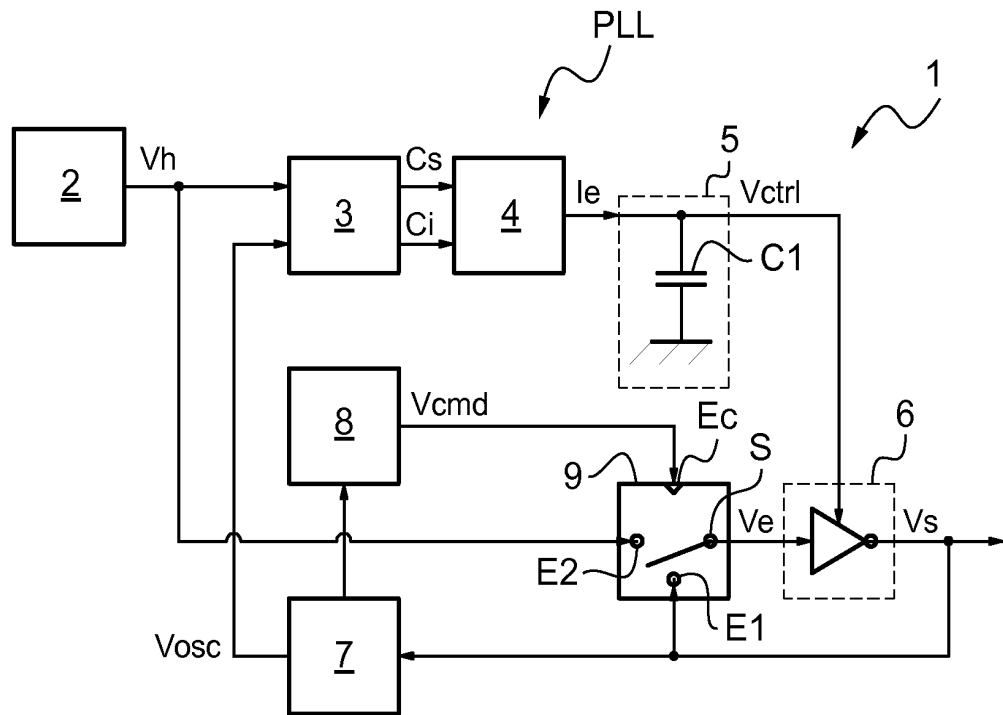
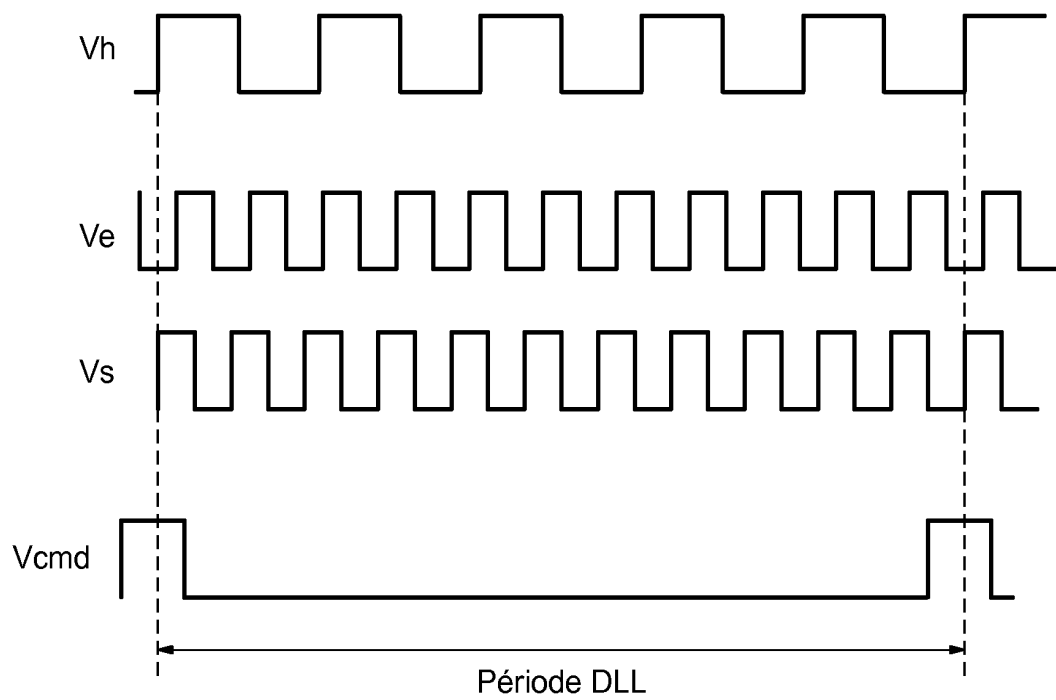
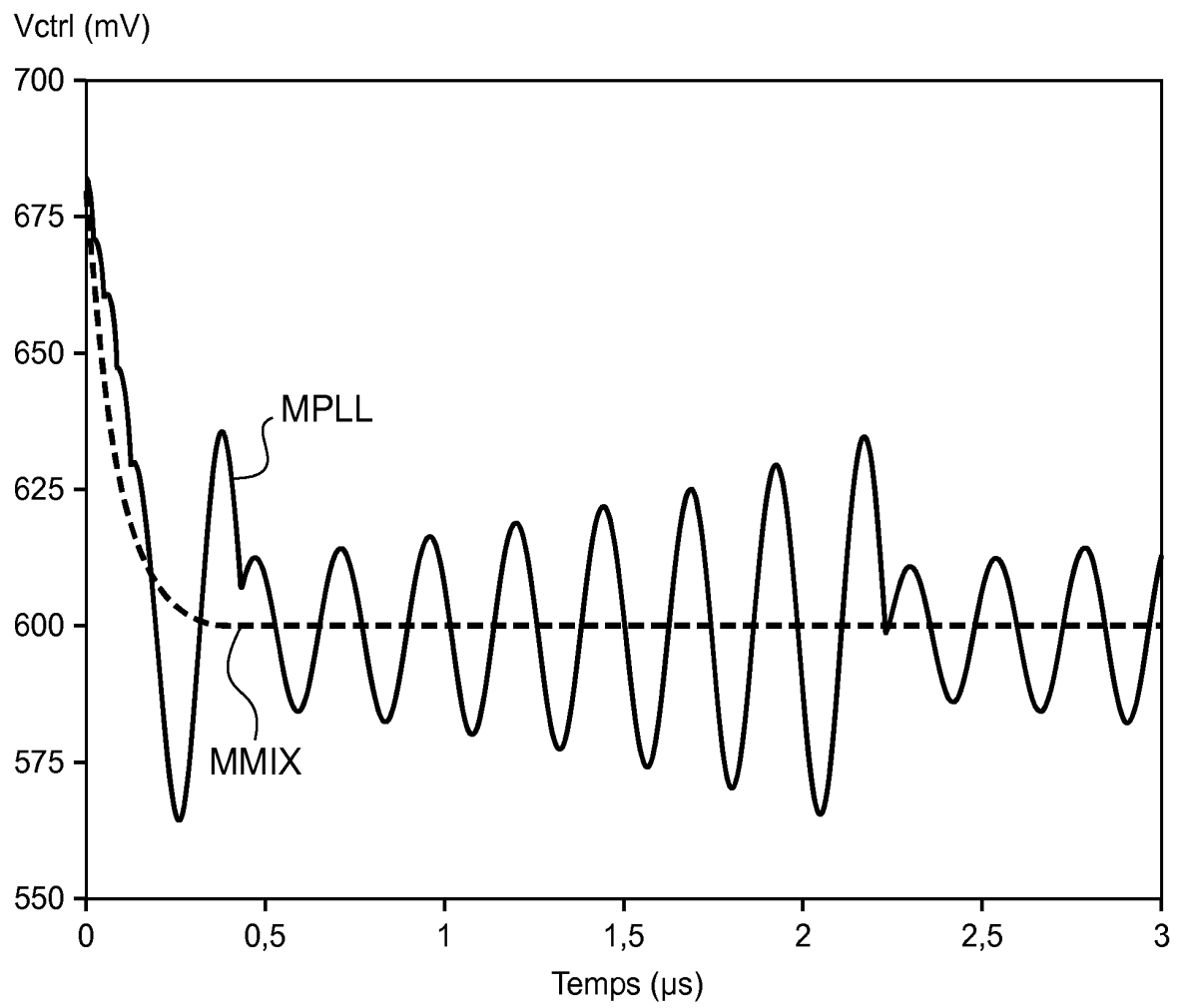


Fig.2



2/2

Fig.3





**RAPPORT DE RECHERCHE  
PRÉLIMINAIRE**

N° d'enregistrement  
national

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

FA 741195  
FR 1057335

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 6 995 590 B1 (PEDERSEN BRUCE [US]) 7 février 2006 (2006-02-07) * colonne 4, ligne 18 - colonne 6, ligne 53; figures 3,4 *	1-10	H03L7/18  DOMAINES TECHNIQUES RECHERCHÉS (IPC)  H03L
X	----- GU-YEON WEI ET AL: "A 500MHz MP/DLL clock generator for a 5gb/s backplane transceiver in 0.25/spl mu/m CMOS", SOLID-STATE CIRCUITS CONFERENCE, 2003. DIGEST OF TECHNICAL PAPERS. ISS CC. 2003 IEEE INTERNATIONAL SAN FRANCISCO, CA, USA 9-13 FEB. 2003, PISCATAWAY, NJ, USA, IEEE, US, 9 février 2003 (2003-02-09), pages 1-8, XP010661496, ISBN: 978-0-7803-7707-3 * le document en entier *	1-10	
X	----- US 2008/042698 A1 (KIM WOO-SEOK [KR]) 21 février 2008 (2008-02-21) * alinéas [0081] - [0110]; figures 3,5,6 *	1-10	
Date d'achèvement de la recherche		Examineur	
6 avril 2011		Waters, Duncan	
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p>		<p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons ..... &amp; : membre de la même famille, document correspondant</p>	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1057335 FA 741195**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **06-04-2011**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 6995590	B1	07-02-2006	AUCUN	
-----				
US 2008042698	A1	21-02-2008	CN 101127526 A	20-02-2008
			KR 20080016179 A	21-02-2008
-----				