



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2013년01월25일  
 (11) 등록번호 10-1225921  
 (24) 등록일자 2013년01월17일

(51) 국제특허분류(Int. Cl.)  
 H01L 21/60 (2006.01) H01L 21/28 (2006.01)  
 (21) 출원번호 10-2012-7003235(분할)  
 (22) 출원일자(국제) 2008년02월14일  
 심사청구일자 2012년02월06일  
 (85) 번역문제출일자 2012년02월06일  
 (65) 공개번호 10-2012-0045008  
 (43) 공개일자 2012년05월08일  
 (62) 원출원 특허 10-2009-7018959  
 원출원일자(국제) 2008년02월14일  
 심사청구일자 2009년09월25일  
 (86) 국제출원번호 PCT/US2008/053994  
 (87) 국제공개번호 WO 2008/101102  
 국제공개일자 2008년08월21일  
 (30) 우선권주장  
 11/675,731 2007년02월16일 미국(US)  
 (56) 선행기술조사문헌  
 JP2006135277 A\*  
 KR1020060051448 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 쿠파 에셋 엘티디. 엘.엘.씨.  
 미국 델라웨어 19801 월밍턴 오렌지 스트리트  
 1209  
 (72) 발명자  
 트레자 존  
 미국 03063 뉴햄프셔 나슈아 화이트 오크 드라이브  
 브 12  
 (74) 대리인  
 신정건, 김태홍

전체 청구항 수 : 총 18 항

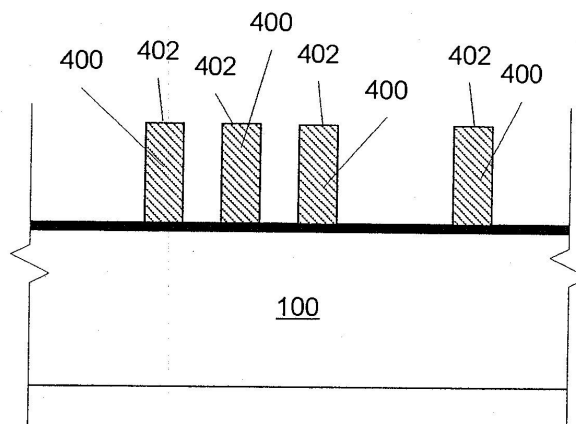
심사관 : 장지혜

**(54) 발명의 명칭 도금된 필라 패키지의 형성**

**(57) 요약**

필라들을 기관상에 위치하는 시드층부터 전기적 전도성 물질로 도금하는 단계; 상기 필라들 및 충전 물질이 공동으로 제 1 패키지를 형성하도록 상기 필라들을 상기 충전 물질로 둘러싸는 단계; 및 상기 제 1 패키지로부터 상기 기관을 제거하는 단계를 포함하는 방법.

**대표도** - 도5



**특허청구의 범위**

**청구항 1**

장치에 있어서,

제1 복수 개의 상호접속 필라(pillar)들;

상기 제1 복수 개의 상호접속 필라들을 둘러싸는 제1 충전 물질로서, 상기 제1 복수 개의 상호접속 필라들은 상기 제1 충전 물질의 제1 측면으로부터 상기 제1 충전 물질의 반대 측면으로 연장하는 것인, 상기 제1 충전 물질;

제1 복수 개의 트레이스들로서, 이 트레이스들 각각은 상기 제1 복수 개의 상호접속 필라들 중 적어도 두 개의 상호접속 필라들에 접속되는 것인, 상기 제1 복수 개의 트레이스들;

상기 제1 복수 개의 트레이스들 중 적어도 하나의 트레이스에 결합된 제1 칩;

제2 복수 개의 상호접속 필라들; 및

상기 제2 복수 개의 상호접속 필라들을 둘러싸는 제2 충전 물질을 포함하고,

상기 제2 복수 개의 상호접속 필라들은 상기 제2 충전 물질의 제1 측면으로부터 상기 제2 충전 물질의 반대 측면으로 연장하고, 상기 제1 복수 개의 상호접속 필라들 중 적어도 하나의 상호접속 필라는 상기 제2 복수 개의 상호접속 필라들 중 적어도 하나의 상호접속 필라에 결합되는 것인, 장치.

**청구항 2**

제1항에 있어서, 상기 제1 복수 개의 상호접속 필라들 중 적어도 하나의 상호접속 필라에 결합된 제2 칩을 더 포함하는 장치.

**청구항 3**

삭제

**청구항 4**

제1항에 있어서, 제2 복수 개의 트레이스들을 더 포함하고,

상기 제1 복수 개의 상호접속 필라들 중 적어도 하나의 상호접속 필라 및 상기 제2 복수 개의 상호접속 필라들 중 적어도 하나의 상호접속 필라는 정렬되지 않고 상기 제2 복수 개의 트레이스들 중 적어도 하나의 트레이스에 결합되는 것인, 장치.

**청구항 5**

제1항에 있어서, 상기 제1 복수 개의 상호접속 필라들 중 적어도 하나의 상호접속 필라는 50 $\mu$ m 이하의 폭을 갖는 것인, 장치.

**청구항 6**

제5항에 있어서, 상기 제1 복수 개의 상호접속 필라들 중 적어도 하나의 상호접속 필라는 50 $\mu$ m 이하의 피치(pitch)를 갖는 것인, 장치.

**청구항 7**

제1항에 있어서, 상기 제1 복수 개의 상호접속 필라들 중 적어도 하나의 필라는 20 $\mu$ m 이하의 폭을 갖는 것인, 장치.

**청구항 8**

제7항에 있어서, 상기 제1 복수 개의 상호접속 필라들 중 적어도 하나의 상호접속 필라는 20 $\mu$ m 이하의 피치를

갖는 것인, 장치.

**청구항 9**

제1항에 있어서, 상기 제1 복수 개의 상호접속 필라들 중 제1 세트의 상호접속 필라는 상기 제1 복수 개의 상호접속 필라들 중 제2 세트의 상호접속 필라와는 상이한 폭을 갖는 것인, 장치.

**청구항 10**

장치에 있어서,

제1 복수 개의 상호접속 필라들;

상기 제1 복수 개의 상호접속 필라들을 둘러싸는 제1 충전 물질로서, 상기 제1 복수 개의 상호접속 필라들은 상기 제1 충전 물질의 제1 측면으로부터 상기 제1 충전 물질의 반대 측면으로 연장하는 것인, 상기 제1 충전 물질;

제2 복수 개의 상호접속 필라들; 및

상기 제2 복수 개의 상호접속 필라들을 둘러싸는 제2 충전 물질을 포함하고,

상기 제2 복수 개의 상호접속 필라들은 상기 제2 충전 물질의 제1 측면으로부터 상기 제2 충전 물질의 반대 측면으로 연장하고, 상기 제1 복수 개의 상호접속 필라들 중 적어도 하나의 상호접속 필라는 상기 제2 복수 개의 상호접속 필라들 중 적어도 하나의 상호접속 필라에 결합되는 것인, 장치.

**청구항 11**

제10항에 있어서, 제1 복수 개의 트레이스들을 더 포함하고,

상기 제1 복수 개의 상호접속 필라들 중 적어도 하나의 상호접속 필라 및 상기 제2 복수 개의 상호접속 필라들 중 적어도 하나의 필라는 정렬되지 않고 상기 제1 복수 개의 트레이스들 중 적어도 하나의 트레이스에 결합되는 것인, 장치.

**청구항 12**

제11항에 있어서, 상기 제1 복수 개의 상호접속 필라들 중 적어도 하나의 필라에 결합된 칩을 더 포함하는, 장치.

**청구항 13**

제11항에 있어서, 제2 복수 개의 트레이스들을 더 포함하고, 이 트레이스들 각각은 상기 제1 복수 개의 상호접속 필라들 중 적어도 하나의 상호접속 필라에 전기적으로 연결되는 것인, 장치.

**청구항 14**

제13항에 있어서, 상기 제2 복수 개의 트레이스들 중 적어도 하나의 트레이스에 결합되는 칩을 더 포함하는, 장치.

**청구항 15**

제14항에 있어서, 상기 제2 복수 개의 상호접속 필라들에 전기적으로 연결된 제3 복수 개의 트레이스들을 더 포함하고, 상기 제3 복수 개의 트레이스들 및 상기 제1 복수 개의 트레이스들은 상기 제2 충전 물질의 대향하는 측면들 상에 있는 것인, 장치.

**청구항 16**

제10항에 있어서, 상기 제1 복수 개의 상호접속 필라들 또는 상기 제2 복수 개의 상호접속 필라들 중 적어도 하나는 50 $\mu$ m 이하의 폭을 갖는 것인, 장치.

**청구항 17**

제16항에 있어서, 상기 제1 복수 개의 상호접속 필라들 또는 상기 제2 복수 개의 상호접속 필라들 중 적어도 하

나의 상호접속 필라는 50 $\mu$ m 이하의 피치를 갖는 것인, 장치.

**청구항 18**

제10항에 있어서, 상기 제1 복수 개의 상호접속 필라들 중에서, 제1 세트의 상호접속 필라들 및 제2 세트의 상호접속 필라들은 상이한 폭을 가지고, 상기 제2 복수 개의 상호접속 필라들 중에서, 제3 세트의 상호접속 필라들 및 제4 세트의 상호접속 필라들은 상이한 폭을 갖는 것인, 장치.

**청구항 19**

제10항에 있어서, 상기 제1 복수 개의 상호접속 필라들 및 상기 제2 복수 개의 상호접속 필라들은 전도성 물질을 포함하고, 상기 제1 층전 물질 및 상기 제2 층전 물질은 유전체를 포함하는 것인, 장치.

**청구항 20**

삭제

**청구항 21**

삭제

**청구항 22**

삭제

**청구항 23**

삭제

**청구항 24**

삭제

**청구항 25**

삭제

**명세서**

**기술분야**

[0001] 본 발명은 전기적 접속부에 관한 것으로, 보다 상세하게는 그러한 전기적 접속부의 패키지를 형성하는 공정에 관한 것이다.

**배경기술**

[0002] 본 명세서에서 참조로 통합된 미국 특허 출원 11/329,481, 11/329,506, 11/329,539, 11/329,540, 11/329,556, 11/329,557, 11/329,558, 11/329,574, 11/329,575, 11/329,576, 11/329,873, 11/329,874, 11/329,875, 11/329,883, 11/329,885, 11/329,886, 11/329,887, 11/329,952, 11/329,953, 11/329,955, 11/330,011 및 11/422,551은 반도체 웨이퍼 내부에 작고 깊은 비아를 형성하고, 반도체 웨이퍼를 위한 전기적 접촉부를 형성하는 다양한 기법들을 설명한다. 상기 기법들은 이전에는 달성할 수 없었던 비아 밀도(densities), 피치(pitch) 및 배치(placement)를 허용하며, 칩, 다이(die) 또는 웨이퍼 규모(scale)에서 수행될 수 있다. 그러나, 이 기법들이 고밀도의 배선들(interconnects)을 형성하는데 사용되는 경우에, 상기 배선들과 함께 사용될 수 있는 "기성품(off the shelf)" 또는 저렴한 상용 패키지(package)가 현재는 존재하지 않는다.

**발명의 내용**

**해결하려는 과제**

[0003] 그러므로 그러한 고밀도 배선들과 함께 사용될 수 있는 저렴한 패키지가 현재 필요하다.

**과제의 해결 수단**

- [0004] 위에서 기재된 출원들에서 기술된 것과 같은 고밀도로 패킹된(packed) 작은 비아들을 포함하는 칩 또는 다이(die)와 함께 사용될 수 있는 저렴한 패키지를 생성하기 위한 방법을 고안해 왔다. 본 발명은 25  $\mu\text{m}$  정도 또는 그 이하(대부분의 경우에 10  $\mu\text{m}$  이하)인 극도로 작은 피치들(pitches) 상에서 저렴한 비용으로 패키지 접속부들을 정확하게 형성할 수 있게 해준다. 더욱이, 패키지가 예를 들어, 열 팽창(thermal expansion), 강도(strength), 변형(flexure)/강성률(rigidity)의 관점에서 특정한 애플리케이션들에 적합하게되거나, 특별히 필요 또는 요구되는 두께에 적합하게되도록, 동일한 기법이 서로 다른 물질들을 사용하여 적용될 수 있다.
- [0005] 본 발명의 일 양상은 필라들(pillars)을, 기관상에 위치하는 시드층(seed layer)부터, 전기적 전도성 물질로 도금하는 단계, 상기 필라들 및 충전 물질이 공동으로(collectively) 제 1 패키지를 형성하도록, 상기 필라들을 상기 충전 물질로 둘러싸는 단계, 그리고 상기 제 1 패키지로부터 상기 기관을 제거하는 단계를 포함한다.
- [0006] 본 발명의 또 다른 양상은 패키지를 형성하는 공정을 포함한다. 상기 공정은 시드층 내장 기관(seed layer-bearing substrate)에 포토레지스트(photoresist)를 도포하는(apply) 단계와; 상기 포토레지스트에서 배선들이 위치될 곳에 개구부들을 정의하는 단계와, 상기 개구부들은 상기 시드층까지 아래로 확장되고 상기 시드층을 노출시키며; 요구되는 높이의 도금 금속이 쌓일 때까지 상기 노출된 시드층을 도금하는 단계와; 상기 쌓여진 도금 금속을 그대로 남겨둔채 상기 포토레지스트를 제거하는 단계와; 상기 포토레지스트의 제거에 의하여 생성된 부피(volume) 내부로 충전 물질을 도포하는 단계와; 그리고 상기 기관을 제거하는 단계를 포함한다.
- [0007] 본 명세서에서 서술된 장점과 특징들은 대표적인 실시예들로부터 거둘 수 있는 여러 가지 장점과 특징들 중 일부이며, 단지 본 발명의 이해를 돕기 위해 제시된 것이다. 이것들은 특허청구범위에 의해 정의된 발명에 대한 제한이나 특허청구범위의 균등물에 대한 제한으로 간주되는 것이 아님이 이해되어야 한다. 예를 들면, 이러한 장점들 중 몇몇은 단일 실시예에서 동시에 제시될 수 없다는 점에서 상호 모순된다. 마찬가지로, 몇몇 장점들은 본 발명의 일 양태에는 적용될 수 있으나, 다른 양태들에는 적용될 수 없다. 따라서 이러한 특징과 장점에 대한 요약이 균등론을 판단하는데 있어 방향을 결정하는 것으로 생각되어서는 아니된다. 본 발명의 부가적인 특징과 장점들이 다음의 상세한 설명, 도면 및 특허청구범위로부터 분명해질 것이다.

**발명의 효과**

- [0008] 고밀도 배선들과 함께 사용될 수 있는 저렴한 패키지를 형성할 수 있다.

**도면의 간단한 설명**

- [0009] 도 1은 본 발명의 공정에서 베이스(base) 역할을 할 기관 부분(100)을 간략한 형태로 도시한다.
- 도 2는 금속화에 의해 시드층이 증착된 후의 상기 기관 부분(100)을 간략한 형태로 도시한다.
- 도 3은 포토레지스트가 도포 및 패터닝되어 상기 시드층까지 아래로 개구부들을 생성한 도 2의 기관 부분을 간략한 형태로 도시한다.
- 도 4는 도금이 완료된 후의 상기 기관 부분을 간략한 형태로 도시한다.
- 도 5는 상기 포토레지스트가 제거된 후의 기관 부분을 간략한 형태로 도시한다.
- 도 6은 패키지 물질이 완전히 경화된(hardened) 후의 기관 부분을 간략한 형태로 도시한다.
- 도 7은 상기 기관 및 시드층을 제거한 후의 패키지를 간략한 형태로 도시한다.
- 도 8은 도 7의 단면을 포함하는 패키지 부분의 하부(underside)를 간략한 형태로 나타내고;
- 도 9 내지 도 16은 공동으로, 도금된 필라 패키지의 형성에 대한 본 발명의 실시예의 보다 복잡한 변형예를 간략한 형태로 도시한다.
- 도 17은 도 10 내지 도 15의 변형예를 도 2 내지 도 7의 기본적인 실시예(basic approach)에 대한 기관으로서 사용하여 생성된 패키지의 변형예를 간략한 형태로 도시한다. 그리고,
- 도 18은 제 1 패키지를 생성하기 위하여 도 10 내지 도 15의 변형예를 사용한후 동일한 변형 기법에서 상기 패키지를 기관으로서 사용하여 생성된 패키지의 변형예를 간략한 형태로 나타낸다.

**발명을 실시하기 위한 구체적인 내용**

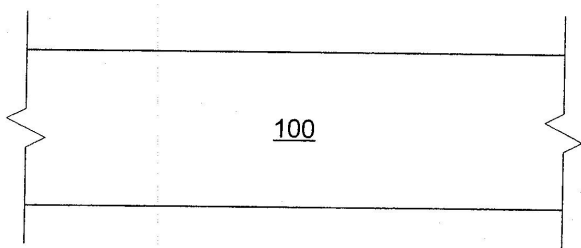
- [0010] 일반적인 관점에서, 본 발명은 포토리소그래피(photolithography) 및 도금 기법들을 이용하여, 웨이퍼 또는 다른 적절한 기판 상에 일련의 배선들(interconnects)을 형성한다. 그러므로, 본 발명은 매우 촘촘한(tight) 피치(pitches) 상에서 작은 배선들을 형성할 수 있으며, 이는 그렇게 할 수 있는 능력이 상기 배선들을 포토리소그래피로(photolithographically) 정의하는 능력 및 그 배선들을 바람직한(desired) 높이로 도금하는 능력에 의해서만 제한되기 때문이다. 더욱이, 본 발명을 사용하여 형성되는 패키지들은 약 10 $\mu$ m 만큼 얇은 것부터 심지어 1000 $\mu$ m 이상까지 확장되는 넓은 범위의 두께를 가질 수 있다(본 명세서 전반에 걸쳐 언급되는 측정치는 정확한 값으로 의도된 것이 아니라, 오히려 특정 애플리케이션에서 받아들여질 수 있는 측정 또는 제조에서의 허용오차를 더하거나 빼 것으로 고려되어야 한다는 점에 주의하여야 한다).
- [0011] 도 1 내지 도 8은, 공동으로, 도금된 필라 패키지의 형성을 위한 본 기법의 기본 버전(version)을 간략한 형태로 도시한다.
- [0012] 도 1은 본 발명의 공정에서 베이스(base) 역할을 할 기판 부분(100)을 간략한 형태로 도시한다. 특정 실시예에 따라, 기판(100)은 반도체 웨이퍼, 세라믹 웨이퍼, 또는 상기 공정과 관련된 작업들에 견딜(withstand) 수 있으며, 궁극적으로는, 형성된 패키지를 손상시키지 않고 제거될 수 있는 특성을 가지는 어떤 다른 물질일 수 있다.
- [0013] 이상적으로는, 배선들 사이의 잠재적인 좁은(narrow) 피치들 때문에, 기판(100)은 매우 편평할(flat)하게 된다(예를 들어, 만약 표준 8인치 웨이퍼라면, 상기 웨이퍼의 전체적인 볼록한면(bow) 또는 오목한면(dish)은 10 $\mu$ m 보다 크지 않으며 바람직하게는 10 $\mu$ m 보다 더 작아야 한다).
- [0014] 상기 공정은 기판(100) 위에 금속의 얇은 층을 도포하기 위하여 기판(100)을 금속화함으로써 시작되며, 그에 의해 후속적인 도금 작업(무전해 도금 또는 전기 도금)을 위한 시드층(seed layer)이 형성된다. 예를 들면 증기 증착 공정(화학적 또는 물리적인) 또는 다른 적절한 공정을 통하여 금속화가 이루어질 수 있다. 일부 변형예에서, 상기 기판은 그 자체가 금속 또는 금속 합금(alloy)일 수 있다. 그러한 경우에, 상기 기판 자체가 시드층으로서의 역할을 할 수 있다면, 상기 금속화 단계는 선택적(optional)이거나 불필요한 것일 것이다.
- [0015] 특정 실시예에 따라, 그리고 이하에서 기술되는 것처럼 유익하게, 금속화 동작은 전체적인 기판에 걸쳐서 수행되거나, 특정 영역(예를 들면, 궁극적으로 패키지가 부착될 칩의 영역에 비례하여 적절한 크기를 가지는 영역)으로 제한되거나, 또는 심지어 한정된 연결 점들의 주변부로 더욱 제한될 수 있다.
- [0016] 도 2는 금속화에 의해 시드층(200)이 증착된 후의 기판(100) 부분을 간략한 형태로 나타낸다.
- [0017] 도 3은 시드층(200)의 부분들까지 아래로 확장되어 상기 시드층(200)의 부분들을 노출하는 개구부들(302, 304, 306, 308)을 생성하기 위하여, 포토레지스트(300)가 도포되고 패터닝된 도 2의 기판(100) 부분을 간략한 형태로 나타낸다.
- [0018] 특정 실시예에 따라, 포토레지스트(300)는 유동성(flowable) 이거나 고체(solid) 일 수 있다. 반도체 공정에서 사용되는 종래의 유동성 포토레지스트는 상기 공정에 사용하기에 적합하다. 적합한 고체 포토레지스트는 E. I. du Pont de Nemours & Co에서 시판중인 리스톤<sup>®</sup> 건조 필름 포토레지스트 라인, 특히, 리스톤<sup>®</sup> 플레이트마스터(PlateMaster), 에치마스터(EtchMaster) 및 텐트마스터(TentMaster) 포토레지스트 계열의 포토레지스트를 포함한다.
- [0019] 도 3에 예시의 목적으로 도시된 바와 같이, 개구부들은 모두 기판(100)의 약 140 $\mu$ m 길이의 횡단면의 범위내에 있으며, 가장 왼편의 세 개의 개구부들은 약 10 $\mu$ m의 폭을 가지고 20 $\mu$ m 피치 상에 존재한다. 물론, 특정 실시예들에서, 상기 개구부들은 요구되는 어떠한 사이즈도 될 있지만, 본 기법은, 개구부들이 50 $\mu$ m 이하(일부 경우에는 10 $\mu$ m 미만)의 폭을 가지며, 그 개구부들이 50 $\mu$ m 이하(일부 경우에는 10  $\mu$ m 미만)의 피치 상에 존재하는 고밀도 배선들에 대하여 가장 바람직할 것이다.
- [0020] 다음으로, 패터닝된 포토레지스트(300)를 통하여 노출된 시드층 부분(200)들 위로 도금 금속(400)이 쌓이도록, 기판이 도금조(plating bath)에 삽입된다. 이는 예를 들면 종래의 전기적 도금 또는 무전해 도금 공정을 통해서 발생할 수 있다. 특정한 애플리케이션에 따라, 도금 금속(400)은 바람직하게는 개구부들 내에서 임의의 높이까지 쌓일수 있다.
- [0021] 도 4는 도금이 완료된 후의 기판(100) 부분을 간략한 형태로 도시한다.

- [0022] 일단 도금이 완료되면, 포토레지스트(300)는 사용된 특정한 포토레지스트(300)에 대한 필요에 따라 제거된다.
- [0023] 도 5는 포토레지스트(300) 제거 후의 기관(100) 부분을 간략한 형태로 나타낸다. 도식된 바와 같이, 포토레지스트(300)의 제거 후에 남겨진 도금 금속(400)은 본질적으로 동일평면상의(coplanar) 상측면(402)을 갖고 그 바닥 부들이 시드층(200)에 고정된(anchored) 일련의 직립(upstanding) 도금 금속의 "필라들"이 된다. 이 필라들은 최종적인 패키지의 배선들을 형성하게 된다.
- [0024] 이 시점에서, 포토레지스트(300)에 의해 이전에 점유된 면적(volume)을 채우도록 대략 상측면(402) 정도까지 패키지 물질(600)이 기관(100)에 도포된다. 바람직하게는 상기 패키지 물질(600)은, 응고될 때, 전기적으로 비전도성이며 상대적으로 안정적(stable) 및/또는 비활성적이어야(inert) 한다. 그리고 나서 패키지 물질(600)은 경화(hardening or curing)에 의해 적절히 고체화(solidify)된다.
- [0025] 특정 실시예에 따라, 이 패키지 물질(600)은 자경성(self hardening), 경화성(curing)이거나 또는 다른 물질일 수 있다. 패키지 물질(600)의 적절한 예는 에폭시(epoxies) 또는 액정 폴리머(liquid crystal polymers)와 같은 성형가능하며(moldable) 유동성(flowable)을 갖는 수지(resins) 및 플라스틱을 포함한다.
- [0026] 도 6은 패키지 물질(600)이 완전히 경화된 후의 기관(100) 부분을 간략한 형태로 도시한다.
- [0027] 마지막으로, 기본 공정에서, 관련된 특수 물질들에 적합한 기계적, 화학적 또는 화학-기계적 공정을 사용하여 기관(100) 및 시드층(200)이 제거되어 완전히 형성된 패키지(700)가 생성되게 된다.
- [0028] 도 7은 패키지(700)의 하부(702)로부터 기관(100) 및 시드층(200)이 제거된 후의 패키지(700)를 간략한 형태로 도시한다.
- [0029] 도 8은 도 7의 단면(상기 단면은 점선으로 표시된 위치를 통해 절취됨)을 포함하는 패키지(700) 부분의 하부(702)를 간략한 형태로 나타낸다. 이제 알 수 있는 바와 같이, 본 기법은 고밀도로 패킹된(packed) 배선들의 형성을 가능하게 한다. 예를 들면, 도 8의 좌측에는, 일 측면에 약 50  $\mu\text{m}$ 인 정사각형 영역 내에 위치하는 여덟 개의 배선들(400)이 있다.
- [0030] 도 9 내지 도 16은 공동으로, 도금된 필라 패키지의 형성을 위한 본 발명의 실시예의 더 복잡한 변형예를 간략한 형태로 도시한다. 본 기법은 금속화의 세부적인 것들을 제외하고는, 도 1 내지 도 8의 실시예와 유사하다. 그러므로, 본 변형예는 달리 언급하지 않는 한, 그 세부적인 사항은 도 1 내지 도 8과 관련하여 설명된 것과 동일한 것으로 간주하여 축약형으로 기술될 것이다.
- [0031] 그러므로, 공정은 도 9에 도시된 바와 같이 기관(100)에서 시작된다.
- [0032] 다음에, 이후의 도금 동작을 위한 시드층(1000)을 형성하기 위하여 기관(100)의 금속화 공정이 이루어진다. 그러나, 도 1 내지 도 8의 실시예와는 달리, 시드층(1000)이 중간 패터닝(intermediate patterning) 및 리프트-오프(lift-off)가 수행된 뒤에 도포되어, 상기 시드층(1000)이 오직 최종 패키지의 트레이스들(traces) 또는 컨택트 지점들(contact points)이 놓일 영역들에만 위치되게 된다. 게다가, 시드층(1000)은 궁극적으로 접촉부가 필요한 전류를 운반할 수 있도록 하기 위하여 충분한 두께가 되도록 도포된다. 도 10은 국부화된(localized) 시드층(1000)이 도포된 후의 기관(100)을 간략한 형태로 도시한다. 후속적으로 전기 도금이 사용된다면 시드층들에 전류가 흐르도록 하기 위하여 다른 금속 또는 전도성 물질이 시드층들을 연결할 수 있지만, 이 연결 영역의 두께가 패키지에 부착되는 최종 칩들의 동작 전류(operating current)를 운반하기에 충분히 두꺼울 필요는 없다.
- [0033] 그 후, 도 11 내지 도 14에서 도시된 바와 같이, 본 기법은 위에서 설명된 것과 동일하다. 특히, 포토레지스트(300)가 시드층(1000)과 관련된 부분을 노출시키기 위하여 도포 및 패터닝된다(도 11). 그 후, 도금 금속(400)을 쌓아올리기 위해 도금이 이루어 진다(도 12). 다음에, 포토레지스트(300)가 제거되어(도 13), 도금 금속(400)의 필라들이 남겨지게 된다.
- [0034] 본 발명의 대안적인(alternative) 변형예에서는, 시드층(1000)의 증착 직후, 그러나 시드층 배치를 위한 위치들을 국부화(localizing)하는 데 사용되는 포토레지스트의 제거 전에(즉, 도 10에 도시된 것 직전), 상기 기관은 예비적인 도금 동작을 겪을 수 있다. 이 도금 작업의 목적은 궁극적인 패키지에서 접촉부 또는 트레이스에 의해 운반될 수 있는 전류를 다루는데 적절한 두께까지 시드를 쌓아 올리는 것이다. 그러한 변형예에서, 본 기법이 도 10의 시드층이 이미 그것의 범위를 초과하는 도금 금속의 층을 이미 가지고 있으므로 더 두껍다는 것을 제외하고는, 상기 변형예와 본 기법은 동일할 것이다.

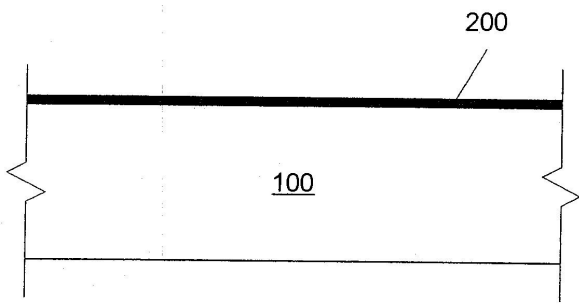
- [0035] 다음으로, 패키지 물질(600)이 도포 및 응고되며(도 14), 하부(1402)로부터의 기관의 제거(도 15) 및 시드 부분들 사이의 임의의 접속부들의 제거(위에서 기술된 바와 같이 금속 또는 다른 전도체가 사용된 경우)가 후속되어, 완전히 형성된 패키지(1500)가 남겨진다.
- [0036] 도 16은 도 15의 단면(상기 단면은 점선으로 표시된 위치를 따라 잘라졌다)을 포함하는 패키지(1500) 부분의 하부(1402)를 간략한 형태로 도시한다. 이제 도시된 바와 같이, 고밀도로 패킹된 배선들의 형성을 가능하게 하는 것에 부가하여, 본 실시예는 또한 패키지가 배선들 또는 라우팅 트레이스들(1606) 사이에, 외부로부터(예를 들어, 또 다른 칩 또는 또 다른 패키지로부터) 패키지(1500)에 연결 될 수 있게 해주는 접속부들(1602, 1604)을 포함할 수 있게 해준다.
- [0037] 두 개의 기본적인 변형예에서 설명되었듯이, 일단 그러한 패키지들(700, 1500)이 생성되면, 상기 패키지들은 칩으로서 다루어 질 수 있고 따라서, 하나 이상의 칩들에 대한 패키지로 기능하는 것에 부가하여, 적층되고 서로 결합되거나 칩들 사이에 샌드위치되어, 웨이퍼를 장치들에 상호연결하기 위한 백엔드 공정(back-end processing)에서 생성될 수 있는 비아들에 필적하는 복잡한 배선들이 형성될 수 있게 해준다.
- [0038] 더욱이 몇몇 변형예로, 단순히 기관(100) 대신에 최종적인 기본 패키지를 사용하고, 완전한 패키지의 표면에 국부화된 시드층을 도포하기 위한 국부화된 시드 배치 변형예를 사용하여 더욱 복잡한 배선 배치가 생성될 수 있다. 그후, 본 발명에서 설명된 공정은, 설명된 바와 같이, 패키지 물질(600)이 도포 및 고체화되는 시점까지 수행될 수 있고, 그 시점에서 더 복잡한 패키지가 완성될 것이다(즉, 제거될 기관이 없다).
- [0039] 도 17은 도 10 내지 도 15의 변형예를 사용하고, 그후 상기 변형예를 도 2 내지 도 7의 기본적인 실시예에 대한 기관으로서 사용하여 생성된 패키지(1700) 변형예를 간략한 형태로 나타낸다.
- [0040] 도 18은 제 1 패키지를 생성하기 위하여 도 10 내지 도 15의 변형예를 사용하고 그 패키지를 동일한 변형예에서 기관으로서 사용하여 생성된 패키지(1800) 변형예를 간략한 형태로 나타낸다.
- [0041] 최종적으로, 이제, 여기에서 설명된 대로 생성된 도금된 패키지들은 일부 경우에, 위에서 기재된 통합된 출원들에서 설명된 다른 지능 칩 패키지들(intelligent chip packages) 또는 백 엔드 웨이퍼들(back end wafer)로서 사용하기에 이상적으로 적합할 수 있다는 것이 이해되어야만 한다.
- [0042] 본 명세서의 기재(도면을 포함한)는 단지 일부 예시적인 실시예들을 대표하는 것으로 이해되어야 한다. 독자의 편의를 위하여, 본 명세서의 기재는 모든 가능한 실시예들 중 대표적인 예, 본 발명의 원리를 교시하는 예에 초점을 맞추었다. 본 명세서의 기재는 모든 가능한 변경사항들을 완전히 열거하려 시도하지 않았다. 본 발명의 구체적인 부분들에 대해서는 대안적인 실시예들이 제시되지 않을 수 있으며, 더 나아가 본 발명의 일부분에 해당하는 설명되지 않은 대안적인 실시예들이 가능하며, 그러한 대안적인 실시예들에 대해서는 비록 본 명세서에 기재되어 있지 않다고 하더라도 본 발명에서 이를 부정하는 것으로 해석해서는 아니 된다. 당업자는 설명되지 않은 실시예들의 다수가 본 발명과 동일한 원리를 가지며 균등물에 해당한다는 것을 이해할 것이다.

**도면**

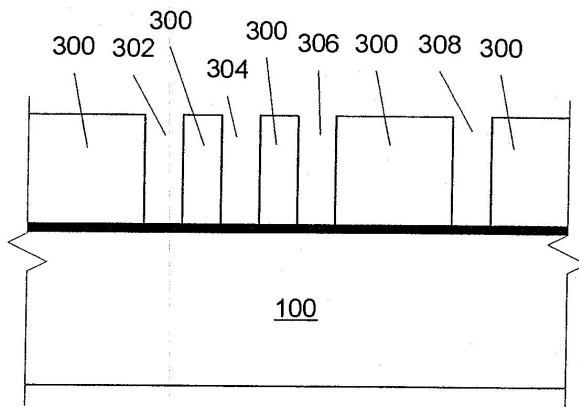
**도면1**



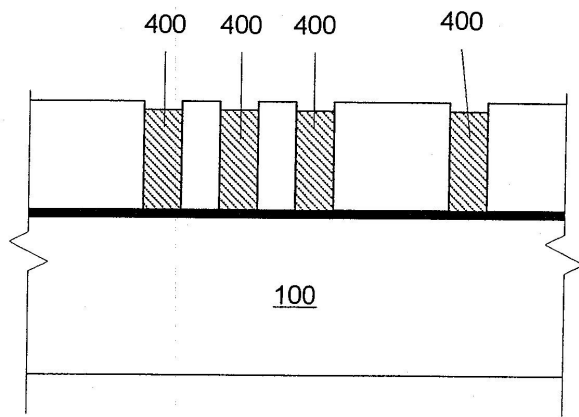
도면2



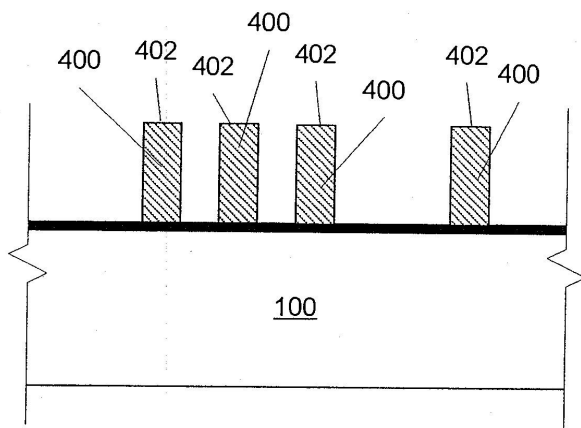
도면3



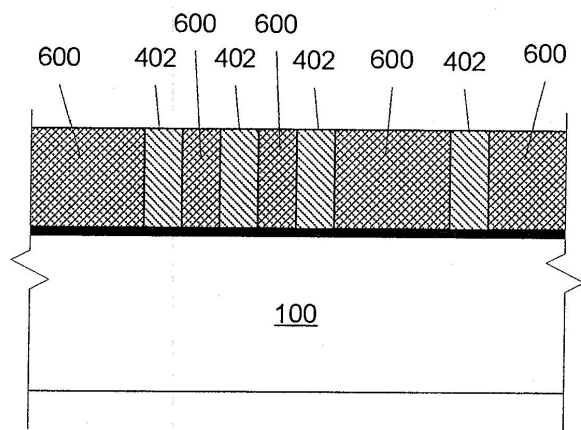
도면4



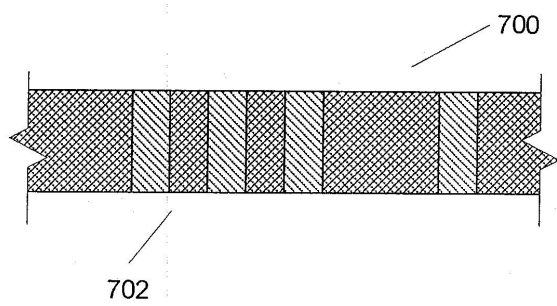
도면5



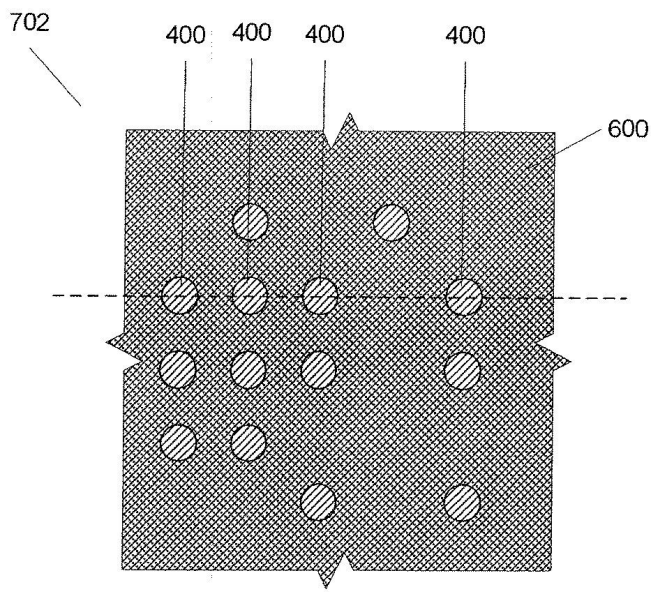
도면6



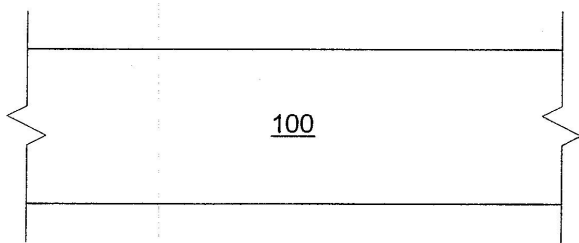
도면7



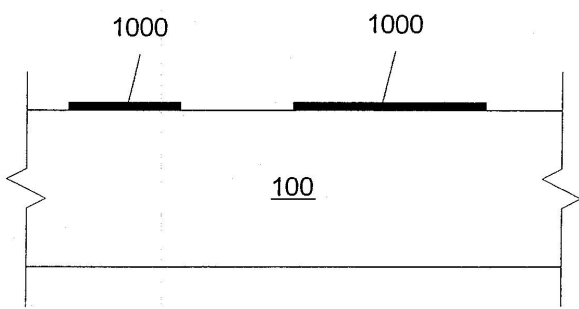
도면8



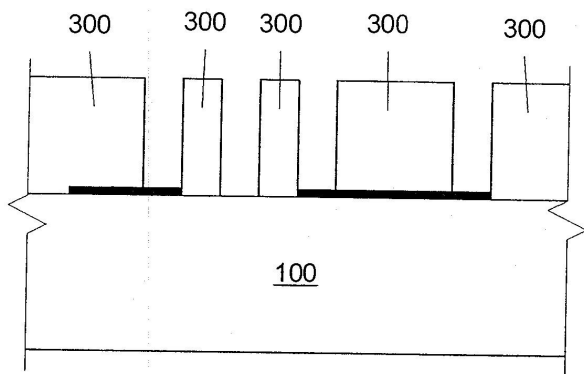
도면9



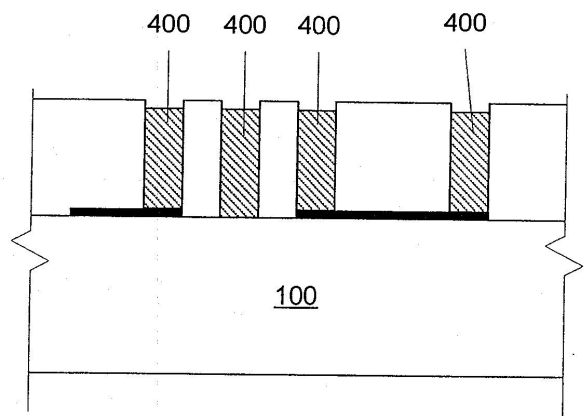
도면10



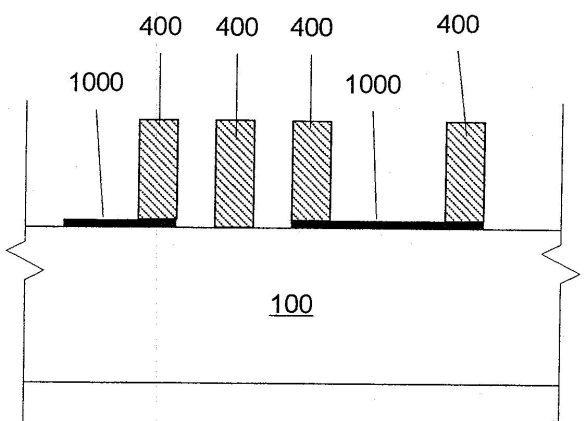
도면11



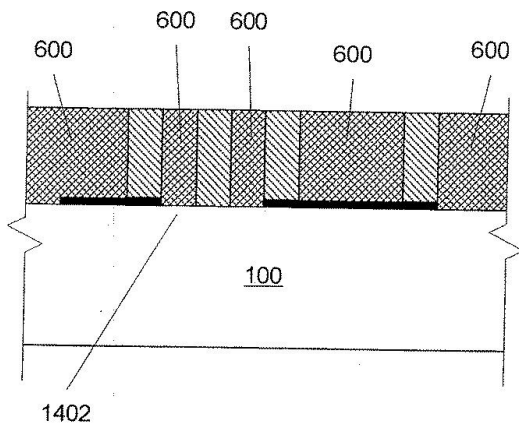
도면12



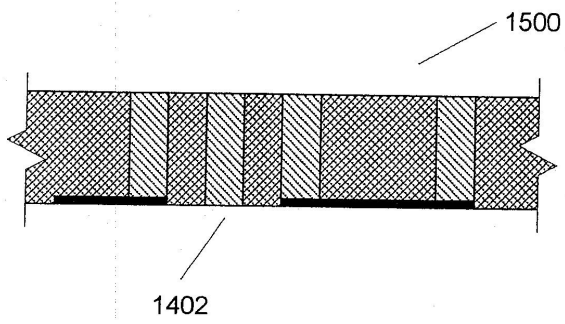
도면13



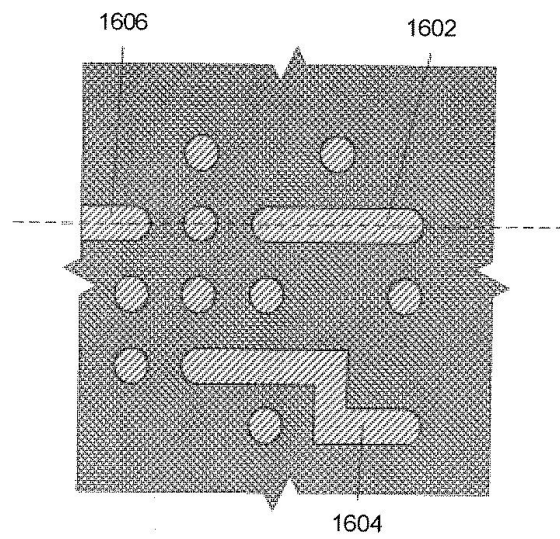
도면14



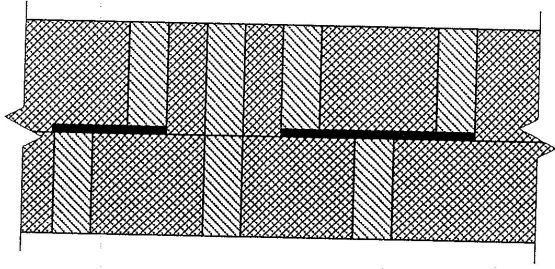
도면15



도면16



도면17



도면18

