(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H03F 17/00

(45) 공고일자 2002년06월28일
(11) 등록번호 10-0331391
(24) 등록일자 2002년03월22일

(21) 출원번호 10-1993-0010122
(22) 출원일자 1993년06월04일

(65) 공개번호 특1994-0001543
(43) 공개일자 1994년01월20일

(30) 우선권주장 893,786 1992년06월05일 미국(US)

(73) 특허권자
애질런트 테크놀로지스, 인크.
마리 오 휴버
미합중국 캘리포니아 (우편번호 94306-2024) 팔로 알토 페이지 밀로드 395

(72) 발명자
데이비드제이.갬펠
미합중국캘리포니아94087서니베일비턴드라이브1594
마이클디.머짐세이
미합중국캘리포니아94043마운틴뷰11티렐라애비뉴284
랠프이.러블레이스
미합중국캘리포니아95032로스게이토스벨블러솜웨이288
랜들케인
미합중국캘리포니아94560뉴아크뉴캐슬코트35391

(74) 대리인
김창세
장성구

심사관 : 인치복

(54) 광분리증폭기패키지,광분리증폭기및신호감지방법

요약

본 발명은 아날로그 입력 신호에 대해 선형적인 저잡음 아날로그 출력신호를 발생하고 통상적인 8 핀 듀얼 인-라인 패키지(8-pin dual in-line package) 내에 용이하게 설치되는 광 분리 증폭기(optical isolation amplifier)를 제공하는 것이다. 광 분리 증폭기 패키지는 아날로그 입력 신호를 디지털 신호로 변환시키는 시그마 델타 아날로그 디지털 변환기(sigma-delta analog-to-digital(A/D) converter)를 구비하는 입력 칩을 포함한다. 시그마 델타 변환기는 신호를 정확한 광 복원부를 구비하는 분리된 출력 칩 상의 광 검출기로 광학적으로 전송하는 오프 칩 LED(off-chip LED)를 변조하도록 사용되어 전송된 신호를 재생한다. 또한, 디지털 아날로그 변환기는 출력 칩 상에 제공되어 디지털 신호를 아날로그 입력 신호에대해 선형적인 아날로그 출력 신호로 변환시킨다.

대표도

도 1

명세서

도면의 간단한 설명

제 1 도는 통상적인 듀얼 인-라인 패키지 내에 내장된 광분리 증폭기를 구성하는 구성 요소들의 블록도.

제 la 도는 광 분리 증폭기 제조시 사용되는 반도체 웨이퍼 상에 인접한 다 이의 개략도.

제 2 도는 광 분리 증폭기의 시그마 델타 변환기, 엔코더, 전류원 및 오프 칩 LED의 블록도.

제 3 도는 엔코더의 개략도.

제 3a 도는 제 3 도에 도시된 엔코더용 발진기 회로의 개략도.

제 4 도는 광 분리 증폭기의 출력 칩 상의 광 검출기 및 광 복원부의 블록도.

제 5 도는 광 분리 증폭기의 출력칩 상의 디코더 및 디지털 아날로그 변환기의 개략도.

제 5a 도는 제 5 도에 도시된 디코더의 구성 요소 내에 사용된 타이밍 회로의 개략도.

제 6 도는 광 분리 증폭기의 출력칩 상의 아날로그 출력 필터의 개략도.

* 도면의 주요부분에 대한 부호의 설명 *

1 : 광 분리 증폭기 패키지 2 : 입력 칩

3 : 출력 칩 4 : 광 전송 경로

5a, 5b : 입력 패드 25a, 25b : 출력 패드

27, 28 : 다 29 : 반도체 웨이퍼

30 : p 채널 펀치-스루 디바이스

32 : 샘플링 회로 33, 34 : 입력 패드

36, 38 : 부 피드백 루프 42, 44 : 연산증폭기

46, 48 : 스위치형 캐패시터 필터

58 : 동기 에지 검출기 59 : 하이 상태 펄스 신장기

80 : 격자형 광학 차폐부 82 : 전달 임피던스 증폭기

84 : 단위 이득 연산증폭기 90 : 전압 비교기

130, 132, 162, 164 : CMOS 인버터

158, 160 : p 채널 트랜지스터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 센서에 관한 것으로서, 상세하게는 시그마 델타 변환기 및 광 결합기를 포함하는 듀얼 인-라인 패키지(dual in-line package) 내의 분리 증폭기에 관한 것이다. 시그마 델타 변환기를 광 결합기와 조합하여 사용함으로써, 분리 증폭기는 많은 전력을 소모하지 않으면서도 정확한 신호 재생, 적절히 규정된 이득 (well-specified gain), 및 광학적 분리를 실행할 수 있다.

센서는 통상적으로 시스템 내의 특정한 지점에서 전류 혹은 전압을 측정하는데 사용되고 감지된 전류 혹은 전압을 나타내는 출력 신호를 제공하는데 사용된다.하나의 통상적인 애플리케이션에 있어서, 절류 센사는 자동화된 조립 로봇 (automated assembly robots) 혹은 수치 제어 기계와 같은 정밀 장치 내의 모터를 정확하게 제어하기 위한 피드백 제어 회로의 일부분으로서 사용된다.

이 전류 센서는 모터의 권선을 통해 흐르는 전류를 검출하여 비례 신호를 제어 회로로 전송한다. 모터의 토크 출력(torque output)은 모터의 권선을 통해 흐르는 전류와 직접적으로 연관된다. 따라서, 센서로부터 출력된 신호에 근거하는, 모터의 토크를 정밀하게 제어하는 모터에 대한 입력 신호는 제어 회로에 의해 변경되거나 유지될 수 있다.

이러한 애플리케이션에 있어서, 제어 회로는 모터에 대한 입력을 정확하게 변화시키기 위해 매우 정확한 감지(sensing)를 필요로 한다. 센서로부터의 출력 신호는 이상적으로, 감지된 신호에 대해 선형적이어야 하고 피드백 루프 내의 다운 스트림 회로(down-stream circuitry)를 구동하로록, 적절히 규정된 이득을 가져야 한다. 모터의 권선 상에 나타나는 높은 전압 때문에, 센서 출력은 또한 이상적으로제어 시스템에 악영향을 미칠 수 있는 전압 천이 혹은 서지 전류(surge currents)로부터 보호하도록 입력 신호로부터 완전히 분리되어야 한다. 더욱이, 센서는 전력소비를 제한하고, 체적(volume)이 작아야 하며, 최소의 냉각 요건들을 가져야할 필요가 있다. 이들 각각의 특성들은 온도가 변화하는 동안에도 일정해야한다. 공간이 제약조건으로 되는 경우가 종종 있기 때문에, 센서는 또한 가능한 작은 공간과 작은 체적을 점유해야 한다.

이들 제한조건들을 고려하여, 모터 전류를 정확하게 감지하기 위한 여러 가지 센서들이 개발되었다. 이들 각각의 센서는 장단점을 갖는다. 정밀 모터용으로 널리 사용되는 타입(type)의 센서는 홀 효과 센서(Hall effect sensor)가 있다. 이러한 디바이스는 홀 효과를 사용하여 모터 내의 변화하는 전류(changing current)에 대해 선형적인 전압을 발생시킨다. 이 디바이스는 웨이퍼의 대향단에 접속된 DC 전원을 구비하는 반도체 웨이퍼로 구성된다. 웨이퍼는 모터 전류에 비례하는 인가된 자계의 강도에 비례하여 전압을 발생한다. 이런 타입의 센서는 입력측에서 많은 전력을 소비하지 않고 정확한 감지를 하지만, 출력측에서 매우 많은 전력을 소비한다. 더욱이, 센서의 출력은 반도체 재료의 고유한 특성으로 인해 온도의 변화에 따라 상당히 변화한다. 또한, 자기 코어(magnetic core)의 사이즈(size)가 비교적 크기 때문에, 홀 효과 센서는 작은 체적으로 쉽게 구현될 수 없다.

감지에 필요한 체적을 줄이기 위해, 감지하는데 홀 효과를 이용하지 않아 자기 코어를 필요치 않는 특정 분리 증폭기가 개발되었다. 이러한 분리 증폭기는 증폭기의 입력부에서 전류 감지 저항 양단에 걸쳐 발생되는 전압을 감지하여 그 신호를 갈바니 작용을 사용하지 않는 방법에 의해(non-galvanically) 증폭기의 수신부에 전송함으로써 증폭기 전치 회로와 증폭기 후단 회로간의 상호작용을 최소화시킨다. 이러한 회로들은 일정한 온도에서 정확한 신호 감지 능력을 가지는 이점이 있다. 그러나, 이들 중 몇몇 증폭기들은 온도와 프로세스 변동으로 인해 변동하는 이득을 갖는 출력을 전송한

다. 또한, 대부분 전기적인 이러한 회로들은 특히 바이폴라 집적 회로가 사용되는 경우, 시스템 요건들과 상충하는 전원을 필요로할 수 있다. 충분한 전력을 발생하기 위해 전원을 대용량으로 제조할 수 있지만, 이러한 전원은 시스템의 가격(cost) 및 체적을 증가시킨다. 이와는 달리, 저전력을 필요로하는 CMOS 구성이 사용될 수 있지만, 이러한 회로들은 입력 신호가 접지 전위보다 아래로 스윙(swings)할 경우 원하지 않는 기판 전류를 발생한다. 물론, DC 바이어스 혹은 정류 기법을 사용하여 전력 신호를 접지 전위보다 높게할 수도 있지만, 이러한 기법은 신호 감지 정확도에 악영향을 주는 에러를 증폭기 출력에 부가할 수 있다.

전술한 결점을 방지하는데 부가하여, 이상적인 증폭기(ideal amplifier)는 전압 천이와 서지 전류(surge currents)에 의해 발생된 증폭기 출력에서의 리플 (ripple)을 방지하기에 충분한 분리 장벽을 또한 제공한다. 극단적인 예에 있어서, 분리 장벽이 리플을 방지하기에 충분하지 않으면, 이러한 전압 천이 혹은 서지 전류는 증폭기의 출력 회로 또는 증폭기의 후단 회로를 손상시킬 수 있다.

자기 효과(magnetic effects)에 의존하지 않는 증폭기 내에 충분한 분리 장벽을 확립하기 위한 소정의 해결 방안이 제시되었으나, 이들 각각의 해결 방안은 전체적인 센서 성능의 저하를 초래하였다. 버트 등(Burt et al.)에 의해 출원된 미국 특허 제 4,843,339 호에 개시된 한가지 해결 방안에서는, 캐패시터가 증폭기의 분리부를 구현하기 위해 사용된다. 그러나, 이러한 캐패시터 분리는 고주파수 전압 천이와 같은 전압 입력의 급속한 변화(높은 dv/dt)를 캐패시터로 차단할 수 없다. 따라서, 전술한 이유로 인해 캐패시터 분리를 이용하는 증폭기를 잡음이 많은 애플리케이션에 사용할 수 없다.

광 분리기(optoisolators) 또는 광학 분리기(optical isolators)로도 알려진 광 결합기가 광 분리를 위해 또한 제안되었다. 광 결합기는 전기적 입력 신호를 광학적 신호로 변환하고 전송하며, 그 전송된 신호를 전기적 입력 신호와 동일한 전기적 출력 신호로 복원한다. 광학적 분리(optical isolation)는 캐패시터 분리에 비해 강력하고 더 우수한 천이 저지(transient rejection)를 제공하지만, 광 결합기의 송신부를 구현하는데 사용되는 발광 다이오드(LED)가 단점을 초래한다. LED의 비선형성으로 인해, 결합기의 검출기 단부에서 에러가 아날로그 신호 안으로 도입된다. 디지털 전송을 사용하면 비선형성으로 인한 에러를 감소시킬 수 있지만, LED는 온(on) 및 오프(off)로 전환되어야 하므로 바람직하지 못한 시스템에 영향을 초래할 수 있는 커다란 전력 변동을 발생시킨다.

따라서, 전압 혹은 전류를 정확하게 감지하기 위해 온도 또는 제조 프로세스의 변화에도 변하지 않는 선형 출력과, 완전한 분리 및 적절히 규정된 이득을 제공하는 분리 증폭기를 제공하는 것이 바람직하다,

또한, 입력 신호를 정류하거나 바이어스 하지 않고 CMOS 디바이스로 증폭기를 구성하는 것이 바람직하다.

또한, 대전력을 필요로 하지 않거나 전력 변동을 발생하지 않는 강력한 광학적 분리의 증폭기를 제공하는 것이 바람직하다.

또한, 분리증폭기는 비교적 값이 싸고 최소의 공간과 체적을 점유하는 통상적인 8 핀 듀얼 인-라인 패키지(DIP)에 적합한 것이 더욱 바람직하다.

본 발명은 상기 바람직한 특징들을 모두 혹은 일부 가지며 통상적인 8 핀 DIP 내에 간편하게 내장되는 광 분리 증폭기 패키지를 제공하는 것이다. 광 분리 증폭기 패키지는 아날로그 입력 신호를 디지털 신호로 변환하기 위한 시그마 델타 아날로그 디지털(A/D) 변환기를 포함한다. 이 시그마 델타 변환기는 전송된 신호를 재생하기 위한 정밀한 광 복원부를 구비하는 분리된 출력 칩 상의 광 검출기로 신호를 광학적으로 전송하는 오프 칩(off-chip) LED를 변조하는데 사용된다. 또한 디지털 아날로그 변환기는 출력칩 상에 제공되어 디지털 신호를, 아날로그 입력 신호와 선형적으로 관련된 아날로그 출력 신호로 변환한다.

본 발명의 여러가지 특징 및 이점은 첨부한 도면을 참조하여 다음의 바람직한 실시예에 대한 상세한 설명으로부터 더욱 잘 이해될 것이다.

제 1 도를 참조하면, 본 발명에 따른 광 분리 증폭기 패키지(1)는 광 전송 경로(4)에 의해서만 결합되는 제 1 CMOS 집적회로(IC) 칩(입력 칩)(2) 및 제 2 CMOS IC 칩(출력 칩)(3)을 포함한다. 입력 칩(2)은 광 분리 증폭기의 전송단이고,엔코더(encoder)(9)와 직렬로 접속된 아날로그 디지털 변환기(7)에 대한 입력 패드 (5a, 5b), 절류원(11) 및 오프 칩 발광 다이오드(LED)(13)를 포함한다. 출력 칩(3)은 시스템의 수신단이며, 광 복원부(17)와 결합하는 광 다이오드(15), 디코더 (decoder)(19), 디지털 아날로그(D/A) 변환기(21) 및 아날로그 필터(analogfilter) (23)를 포함한다. 광 분리 증폭기의 출력은 출력 패드(25a, 25b)를 통해 전송된다. 전형적인 실시예에 있어서, 입력 칩은 측면이 대략 1.1mm이고, 출력 칩은 대략 1.5mm x 1.1mm이다. 전체적인 구조는 바람직하게 통상적인 8 핀 듀얼 인-라인 패키지 내에 수용된다.

동작시에 있어서, 광 분리 증폭기는 입력 칩에서 아날로그 입력 전압을 취하여 이를 광학적으로 출력 칩에 전송 한다. 다음에, 광 신호가 출력 칩 상에서 아날로그 입력 신호와 실제적으로 동일한 증폭된 전기적 신호로 다시 변환된다. 또한, 이 광 분리 증폭기는 전송단과 수신단 사이를 분리한다.

입력 칩 및 출력 칩(2, 3)은 동일한 반도체 웨이퍼(29) 상의 인접한 다이 (die)(27, 28)로 제조되는 것이 바람직하다. 이러한 제조 기법을 사용하면, 각 칩상의 구성 요소들은 프로세스 변화(process variations)가 유사해져 온도 변화에 대해 유사하게 반응할 것이다. 따라서, 각각의 입력 칩 및 출력 칩 기준 전압 발생기(27, 29)에 의해 발생된 각 칩마다의 금지 대역의 아날로그 기준 전압(V_{REF1} , V_{REF2})은 상호 추적(track)한다. V_{REF1} 은 입력 칩 상의 A/D 변환기(7)에서 사용되고 V_{RSF2} 는 출력 칩 상의 D/A 변환기(21)에서 사용되므로, 이러한 대응 구성 요소들의 관련 성능은 온도 및 프로세스에 있어서 일정할 것이다. 이러한 추적은 실제적으로 전체 시스템의 정확도를 증가시킨다.

제 2 도를 참조하면, 차동 아날로그 전압 V_{IN+} - V_{IN-} 이 입력 패드 V_{IN+} (5a) 및 V_{IN-} (5b)에 인가된다. 바람직하게, V_{IN-} 패드는 접지되고 V_{IN+} 패드는 V_{IN-} 에 따라 양(positive) 및 음(negative)으로 스윙한다. 스윙은 통상적으로 ±200mv를 넘지 않는다. 각각의 입력 패드는 바람직하게 정전기적 방전 천이로부터 내부 회로를 보호하기 위해 p 채널 펀치-스루 디바이스(p-channel punch-through-device)(30)를 포함한다. 이 p 채널 디바이스는 입력 패드 상의 전압이 접지 전위 아래로 떨어지는 경우 p 채널 디바이스의 p-n 접합이 역 바이어스되기 때문에, 통상적인 n 채널 디바이스보다 바람직하다. 이와 반대로, n 채널 디바이스의 p-n 접합은 입력 패드 전압이 접지 전위 아래로 떨어지는 경우 순방향으로 바이어스 된다. 역 바이어스 때문에, p 채널 디바이스는 기판 전류를 상당히 줄이고 A/D 변환기에서의 샘플링 (sampling)의 정확도를 증가시킨다.

또한, 각각의 입력 패드는 바람직하게 패드 전압이 대략 -0.5V 아래로 스윙하는 경우 입력 전압을 대략 -0.5V로 클램핑하기 위한 클램핑 회로(32)를 포함한다. 이러한 클램핑 동작은 기판 전류가 증폭기에 내장된 CMOS 회로를 통해 흐르는 것을 방지하며, 부가적인 전력을 필요로하고 증폭기에 에러를 도입하는 DC 바이어스 혹은 정류 회로 없이 신호 입력이 접지 전위보다 낮아지도록 한다.

입력 패드는 시그마 델타(A/D) 변환기(7)의 입력 노드(33, 34)에 결합된다. 이 시그마 델타 변환기는 차동 아날로그 입력 전압을 아날로그 입력 전압에 비례하는 시간 평균값을 갖는 디지털 펄스 스트림으로 변환한다. 변환기 내에서, 변환기입력 노드들은 제 1 적분기 I_1 의 차동 입력(35, 37)에 결합된다. I_1 의 출력(39, 41)은 제 2 적분기 I_2 의 차동입력(43, 45)에 접속된다. I_2 의 차동 출력(47, 49)은 각각 비교기(Cl)의 입력(51, 53)에 접속된다. 변환기 내의 피드백 제어는 비교기의 출력노드(40)와 I_1 및 I_2 의 차동 입력 사이에 결합된 부(negative) 피드백 루프(36, 38)를 통해 확립된다. 비교기의 출력은 정밀 아날로그 전압(V_{REF1}) 혹은 접지 전위를 적 분기(I_1 , I_2)로 다시 전환한다. 또한, 비교기의 스위칭은 노드(40)에 변환기의 디지털 펄스 스트림 출력을 발생한다. 비.이.보서(B.E.Boser)와 비.에이.울리(B. A. Wooley)에 의해 1988년 12월 IEEE Journal of Solid State Circuits, Vol. 23, No.6에 개시된 " The Design of Sigma-Delta Modulation Analog-to-Digital Converters" 란 제목의 논문을 참조하면, 전형적인 차동 시그마 델타 변환기의 레이아웃(layout) 및 동작을 보다 상세하게 알 수 있다.

바람직한 실시예에 있어서, 적분기 I_1 및 I_2는 각각 연산증폭기(42, 44)를 안정화시키는 초퍼(chopper)를 포함하고 스위치형 캐패시터 회로(46, 48)와 정확하게 정합된다. 케이.씨.쉬이 등(K. C. Hsieh et al.)에 의해 1981년 12월 IEEE Journal of Solid State Circuits, Vol. SC-16, No.6에 개시된 A Low-Noise Chopper-Stabilized Differential Switched-Capacitor Filtering Technique란 제목의 논문을 참조하면, 적 분기 내에서 사용되는 연산증폭기를 안정화시키는 전형적인 초퍼를 보다 상세하게 알 수 있을 것이다. 연산증폭기(42, 44)를 안정화시키는 초퍼는 잡음을 발생시키는 DC오프셋(offset)을 아날로그 입력 전압의 베이스밴드 (baseband) 밖의 고 주파수로 푸쉬(push)하므로 바람직스럽다. 따라서, 저역 통과 필터(도시되지 않음)는 정확한 감지에 필요한 관심 대역폭 내의 저 주파수 및 DC 신호를 교란하지 않으면서 잡음을 필터링(filter out)할 수 있다. 또한, 스위치형 캐패시터 구현은 대안적인 A/D 변환기 구성에 비해 집적 회로 프로세스 드리프트 (process drift)에 대한 감도를 감소시키기 때문에 바람직하다. 스위치들의 정확한 정합으로, 신호 의존성 전하 주입에 의한 잡음이 최소화될 수 있어 센서의 전체적인 정확도가 증대된다.

분리 증폭기 내에 시그마 델타 변환기를 사용하는 것은 소정의 바람직한 특징을 제공한다. 시그마 델타 변환기는, 값비싸며 대형인 안티 앨리어싱 필터 (bulkyanti-aliasing filters)를 사용하지 않고서도 정확한 A/D 변환 및 50 kHz 내지 7OkHz의 비교적 큰 입력 대역폭을 제공하는 오버샘플링율(oversampling rate)을 사용한다. 또한, 변환기의 완전한 차동 구성은 실제로 잡음을 1 차 성분으로 감소시키는 높은 동상 제거비를 제공하여 센서 전체의 정확도를 증가시킨다. 더우기, 이러한 변환기는 비교적 공간을 적게 차지하므로 CMOS 칩 상에 제조하기가 비교적 쉽다.

시그마 델타 변환기로부터의 디지털 펄스 스트림 출력은 아날로그 입력 신호를 펄스 밀도 변조 형식(format)으로 엔코딩한다. 펄스 밀도 변조에 있어서, 아날로그 입력 신호의 진폭 정보는 주어진 시간 간격 동안에 발생된 출력 펄스의 밀도에 포함된다. 아날로그 신호의 최저 및 최고 진폭은 각각 그 시간 간격 내의 어떠한 펄스에 의해서도 나타나지 않는다. 아날로그 입력 전압의 최저 진폭은 그 시간간격 동안 연속적인 로우(low)(0)로 출력된다. 이와 반대로, 아날로그 입력 전압의 최고 진폭은 그 시간 간격 동안 하이(high)(1)로 출력된다. 진폭이 레일(rails) (V_{RSF1} 또는 $-V_{RSF1}$)로부터 멀어짐에 따라서, 그 시간 간격 내의 출력에 밀도가 증가하는 펄스들이 나타나는데, 이는 레일의 중간 지점에 근접하는 진폭을 나타낸다.

디지털 펄스 스트림 출력이 아날로그 입력 전압의 매우 정확한 디지털 복제성분(digital replica)이지만, 이 디지털 펄스 스트림의 시간 평균은 발광 다이오드(13)의 고유한 비선형성으로 인해 광학적으로 전송될 때 왜곡될 수 있다. 이러한펄스 폭의 왜곡으로 인해 정밀 애플리케이션에 사용될 수 없는 증폭기의 출력 칩 (3)(수신기 부분)에 에러 성분이 발생된다. 이러한 왜곡을 방지하기 위해, 변환기의 출력(40)에 결합된 엔코더(9)로 시그마 델타 변환기로부터 출력된 디지털 펄스 스트림을 에지 엔코딩(edge-encoded)한다. 입력(50)을 통해 엔코더로 입력되는 디지털 펄스 스트림 내의 모든 에지(edge)에 대하여, 엔코더는 펄스를 엔코더 출력 (52)으로부터 정 전류원(11)의 입력(54)으로 전송한다. 따라서, 전류원의 출력(56)은 광 신호를 발생하기에 충분한 전류를 오프 칩 LED(13)에 공급한다. LED에 대한 신호 입력을 에지 엔코딩함으로써, LED의 비선형성에 의한 펄스폭 왜곡 에러가 그 신호에 발생되지 않을 것이다.

전형적인 에지 엔코더 회로(9)가 제 3 도에 도시된다. 이 에지 엔코더는 동기형 에지 검출기(58) 및 하이 상태 펄스 신장기(high-state pulse stretcher)(59)를 포함한다. 디지털 펄스 스트림은 입력 노드(50)를 통해 엔코더로 입력되어 에지 엔코더 내의 제 1 D 플립플롭 Dl에 접속된다. Dl의 Q 출력은 제 2 D 플립플롭 D2의 D 입력에 연결되며, 이 제 2 D 플립플롭 D2는 배타적 논리합 게이트(exclusive OR gate)(XOR)의 제 1 입력(60)에 접속된다. D2의 Q 출력은 XOR의 제 2 입력(62)에 접속된다. Dl 및 D2는 각각 전압 제어형 발진기(VCO)(제 3a 도)로부터 발생된 비반전 구형파 클록 신호 ECLk에 의해 클록된다. XOR의 출력(64)은 NAND 게이트 NAND1의 제 1 입력(66)에 접속된다. NAND1의 제 2 입력(68)은 VCO(제 3a 도)로부터 발생된 반전 클록 신호 $\overline{ELCK}$를 수신한다. NAND1의 출력(69)은 3 입력 NAND 게이트 NAND3의 제 1 입력(76)에 접속된다. NAND3의 출력(79)은 정전류원(11)(제 2 도)의 입력(54)에 연결된다.

엔코더 회로는 에지 엔코딩 원리에 따라서 동작한다. 엔코더는 입력 데이터의 모든 상승 혹은 하강 에지마다 출력 펄스를 발생한다. 이들 펄스들은 각 펄스의 상승 에지에서 상태가 변화하는, 이하 상세하게 설명되는 디코더(19)(제 5 도) 내의 토글 플립플롭(toggle FF) 회로(110)로 전송된다. 입력 데이터의 상태가 변화될 때마다, 엔코더는 출력 펄스를 발생하고, 이 출력 펄스는 출력 칩으로 전송되어 토글 플립플롭 회로의 상태를 변화시킨다. 토글 플립플롭 회로는 펄스의 상승 예지의 타이밍에 대해서만 민감하므로, 전송된 펄스의 어떠한 펄스 폭 왜곡도 디코더 회로에 의해 무시되어 전송된 데이터에 영향을 주지 않는다.

엔코더 안으로 입력되는 디지털 펄스 스트림이 열 내에 하나 이상의 " 하이 (high)" 신호를 포함하면, 하이 상태 펄스 신장기(59)는 신장된 펄스에 대응하는 시간 동안 LED로 전류를 전송하는 정 전류원대 신장된 펄스를 발생한다. 이런 신장된 펄스는 광학분리기의 출력 칩 상의 디코더가 그 디지털 신호에 대해 " 로크 온 (lock on)" 되도록 하여 정확한 신호 위상을 취할 수 있도록 한다.

하이 상태 펄스 신장기(59)는 NAND 게이트 NAND2 및 한 쌍의 정합 D 플립플롭 D3, D4를 구비한다. 입력 노드(50)에서 시그마 델타 변조기로부터 출력된 디지털 펄스 스트림은 NAND2의 제 1 입력(70)에 인가된다. NAND2에 대한 제 2 입력(72)은 에지 검출기 회로(58) 내의 Dl의 Q 출력에 접속된다. NAND2의 출력(74)은 D3의 D 입력에 인가된다. D3에 대한 클록 CLK 입력은 VCO(제 3a 도)로부터 출력된 반전 클록 신호 $\overline{ELCK}$를 수신한다. D3의 Q 출력은 D 플립플롭 D4의 D 입력 및 NAND3의 제 2 입력(77)에 접속된다. D4에 대한 CLK 입력은 VCO(제 3a 도)로부터 출력된 비반전 클록 신호 ECLk를 수신한다. D4의 Q 출력은 NAND3의 제 3 입력(78)에 접속된다. NAND3의 출력(79)은 엔코더 회로의 출력 노드(52) 및 정전류원(11)(제 2 도)의 입력(54)에 접속된다.

긴 펄스들은 디코더(19)(제 5 도) 내의 듀얼 원 샷(투 샷) 회로(dual one-shot(two-shot) circuit)에 의해 검출되고 토글 플립플롭 회로(110)(제 5 도)를 정확한 상태로 세트(set)하는데 사용된다. 이런 타입의 인코딩에 있어서, 시그마 델타 출력이 하나 이상의 클록 주기 동안에 하이 상태에 있으면, 디코더가 이를 검출하여 토글 플립플롭 회로를 하이 상태로 세트할 것이다. 또한, 짧은 펄스들만이 시그마 델타 출력 신호의 로우 레벨에 대응하는 에지 마다 송신되기 때문에, 시그마델타 출력이 하나 이상의 클록 주기 동안에 로우 상태에 있으면, 디코더는 이를 검출하여 토글 플립플롭 회로를 또한 로우 상태로 세트할 것이다.

다시, 제 2 도를 다시 참조하면, 정전류원(11)은 LED의 스위칭에 의해 발생된 전원 전류에서의 변화를 감소시킴으로써 잡음을 더 최소화할 수 있다. 전류가 LED로 흐르지 않으면, 스위치 오프되지 않고 패스 트랜지스터(pass transistor)(도시되지 않음)를 통해 접지로 전환되어 흐른다. 이는 전체 시스템에 대한 제약조건인 전력 공급 변동을 방지하고 분리 증폭기 출력의 정확도에 대해 악영향인 전원 잡음을 최소화한다.

제 4 도를 참조하면, 송신기 LED는 격자형 광학 차폐부(grided optical shield)(80)를 통해 수신기 광 다이오드(15)에 광학적으로 접속된다. 광 다이오드의 양극은 접지에 접속된다. 광 다이오드의 음극은 증폭기의 수신단(출력 칩)의 광 데이터 복원부(17)로 광 다이오드 전류를 공급한다.

광 복원부(17)는 입력 칩으로부터 출력된 엔코딩된 디지털 데이터를 재생한다. 광 다이오드 전류는 전달 임피던스 증폭기(82) 및 단위 이득 연산증폭기(84)에 인가되어, 이들 증폭기 각각의 출력(85, 87)에 출력 전압(Vo) 및 추적 기준 전압 (tracking reference voltage)을 발생한다. 이들 전압은 저항 RTH1, RTH2, 및 캐패시터 CTH를 포함하는 지연 감쇄 전압 분배기(delayed decaying voltage divider)에 인가되어 임계 전압 V_{TH} 를 발생한다. 전형적인 실시예에 있어서, V_O 는 광 다이오드로 부터 출력된 전류가 흐르지 않으면 0 블트의 교류(AC)가 되고, 광 다이오드가 LED로부터 출력된 광에 의해 활성화되면 대략 400mV의 교류로 될 것이다. 임계 전압 V_{TH} 는 V_O 의 변동(movement)에 따라 변화한다. 광 복원부의 출력 단자들(86, 88)은 전압 비교기(90)의 입력(92, 94) V_O, V_{TH} 에 접속된다. 전형적인 전압비교기는 입력(92)에서의 전압 V_O 이 입력(94)에서의 전압 V_{TH} 보다 더 큰 경우 온 신호(ON-signal)를 발생한다. 따라서, 비교기의 출력은 입력되는 상대 전압(relative voltage)의 극성이 역으로 바뀔될 때마다 전환된다.

광 복원부는 비교기(90)가 빠른 스위칭(switching)을 하여 엔코딩된 디지털신호를 재생하도록 한다. 이러한 빠른 스위칭은 분리 증폭기의 전체 속도를 증가시켜 증폭기에 대한 차동 입력 전압의 계속적인 감지를 가능케 한다. 미국 특허 제 5,061,859 호를 참조하면, 광 분리 증폭기의 광 복원부에 대해 더욱 상세하게 알 수 있을 것이다.

본 발명의 광 복원부와 개시된 미국 특허와의 중요한 차이점은, 격자형 폴리실리콘 광 다이오드 차폐부(gridded poly silicon photodiode shield)(80)가 단위 이득 버퍼에 의해 구동되는 대신에, 본 발명에서는 접지에 접속된다는 것이다. 이 차폐부는 표류 전기 신호(stray electrical signals)를 픽업(picks up)하여 접지로 전송함으로써, 표류 신호가 잡음을 발생하는 것을 방지한다. 본 발명에서는 단위 이득 버퍼 대신에 차폐부를 접지시킴으로써, 우수한 분리 모드 거절(isolation mode rejection) 작용을 제공한다. 이에 따라, 증폭기의 수신기측 정확도가 증대된다.

제 5 도를 참조하면, 비교기(90)(제 4 도)는 입력칩 상의 엔코더(9)에 의해 엔코팅된 신호의 에지를 판독하는 디코더 회로(19)에 접속된다. 펄스들의 양 (positive)의 에지만을 조사함으로써, 신호의 광학적 전송으로 인한 펄스 폭 왜곡이 제거된다. 비교기(90)로부터 출력된 출력 신호는 디코더(19) 내의 듀얼 원 샷 플립플롭(투 샷) T1의 DATA 입력과 인버터(100)에 인가된다. 인버터(100)의 출력은 Tl의 NDATA 입력 및 시간 지연 인버터 회로(102)의 입력에 인가된다. 투 샷의 CLEAR 출력은 제 1 D 플립플롭 D5의 PN 입력 및 D5와 동일한 제 2 D 플립플롭 D6의 CN 입력에 접속된다. D5 및 D6은 토글 플립플롭 회로(110)를 구성한다. Tl의 PRESET 출력은 D5의 CN 입력 및 D6의 PN 입력에 접속된다. 시간 지연회로(102)의 출력(116)은 D5 및 D6 모두의 클록 입력에 접속된다. D5의 QN 출력은 D5의 D 입력에 접속되고 D6의 QN 출력은 D6의 D 출력에 접속된다. D5 및 D6의 Q 출력들은 통상적인 H 브리지 D/A 변환기(21)에 대한 차동 입력으로서 출력 노드(124, 126)에 인가된다. 두 개의 정합된 D 플핍플롭으로부터 출력된 Q 출력들을 사용하면, 바람직하게 동일한 플립플롭으로부터 출력된 두 개의 출력 Q, QN을 사용하는 것보다 우수한 단일 단부형(single-ended) 차동 신호 변환을 제공한다.

디코더의 동작은 다음과 같다. 비교기(Cl)는 입력(92, 94) 사이의 차동 펄스들(the difference pulses)을 구형화시킴으로써, 실제의 디지털 레벨로 하여 로우상태 검출기 및 하이 상태 검출기로 구성된 듀얼 원 샷 Tl을 통해 이들을 전송한다. Tl은 옳지 않은 상태(180 ° 위상차)에서 부주의하게 시동(start-up)될 경우 출력 데이터의 정확한 극성을 " 재생(refresh)" 하도록 작동한다. 입력 데이터 내에 신장된 하이 펄스가 있으면, 전술한 바와 같이 Tl 내의 하이 상태 검출기가 작동되고, 노드 PRESET이 로우 상태로 되며, D 플립플롭 출력 중 하나를 로우 상태로 다른 하나를 하이 상태로 한다. 이러한 동작은 출력 데이터의 극성을 정확하게 설정한다. 마찬가지로, 어떠한 입력 데이터 펄스도 검출되지 않으면, Tl 내의 로우 상태 검출기가 작동되고, 노드 CLEAR가 로우 상태로 되며, 듀얼 플립플롭을 반대 상태로 세트한다. 입력 데이터가 예를 들어, 50% 듀티 사이클(duty-cycle)의 구형파(신장된 펄스가 아님)이면, 듀얼 원 샷은 아무런 작동도 하지 않고, 노드 CLEAR 및 PRESET은 하이 상태로 유지된다. 따라서, 구형화된 펄스 데이터는 각 펄스마다 토글되게 세트된 D 플립 플롭을 클록(clocks)한다. 그러므로, 출력 노드들(124,126)은 시그마 델타 변환기로부터 전송된 초기 데이터의 각 펄스에 대응하는 입력 데이터의 모든 상승 에지에서 토글된다. 다음에, 초기의 엔코딩되지 않은 시그마 델타 출력 데이터가 복원된다.

엔코더(9)와 디코더(19) 사이의 정확한 상호 작용은 투 샷 타이밍 회로(제 5a 도)가 입력 칩 상의 VCO(제 3a 도)의 클록 주기를 추적하도록 설계되어 있기 때문에 더 증대된다. 이러한 추적은 이하 상세하게 설명되는 바와 같이, 광 분리 증폭기의 전체 정확도를 실제로 증가시킨다.

엔코더 회로(제 3 도)용의 통상적인 VCO가 제 3a 도에 도시된다. VCO는 대칭 구조를 가지며 대략 50% 듀티 사이클을 갖는 구형파 출력을 노드(198, 200)에 발생한다. V_{REF1} 과 연관된 전류원 I_{OSC} 는 한 쌍의 CMOS 인버터(162, 164) 내에 포함된 p 채널 트랜지스터(158, 160)의 소스(154, 156)에 접속된다. CMOS 인버터의 출력 (166, 168)은 캐패시터(COSC) 양단에 접속되고, 이들 각각은 한 쌍의 정합 연산증폭기(OA1, OA2)의 비반전 입력(170, 172)에 접속된다. 이 연산증폭기의 반전 입력 (174, 176)은 모두 전압원 V_{TH} 에 접속된다. OA1의 출력(178)은 제 1 NOR 게이트 NOR1의 제 1 입력(182)에 접속된다. OA2의 출력(180)은 NOR1과 전기적으로 정합된 제 2 NOR 게이트 NOR2의 제 1 입력(184)에 접속된다. NOR1 및 NOR2의 출력(186, 188)은 NOR1 및 NOR2의 제 2 입력(190, 192)에 교차 결합(cross-coupled)된다. NOR1 및 NOR2의 개별적인 출력(186, 188)은 인버터(194,196)에 각각 접속된다. 인버터(194)의 출력(198)은 엔코더(제 3 도)에 대한 클록 신호 $\overline{ELCK}$이고 인버터 (196)의 출력(200)은 엔코더(제 3 도)에 대한 반전 클록 신호 ELCK이다.

VCO의 발진 주기를 결정하는데에는 주요한 3 가지 팩터인 전류원 Iosc의 진폭과, 캐패시터 COSC의 값 및 비교기 임계 전압 V_{TH} 가 있음을 주지해야만 한다. V_{TH} 와 마찬가지로, Iosc는 매우 안정하고 예측 가능한 주파수 특성을 획득하기 위해 내부 정밀 기준 전압 V_{REFl} 에 연관된다.

제 5a 도를 참조하면, 투 긴 Tl용의 타이밍 회로가 도시된다. 투 샷 Tl은 원 긴 T1A 및 T1B로 구성된다. T1의 DATA 입력은 T1A 내에 있는 OR 게이트 ORA의 제 1 입력(202) 및 n 채널 MOSFET(206)의 게이트(204)에 접속된다. NMOS의 소스 (208)는 전압원 V_{TH} 를 거쳐 연산증폭기 OA3의 비반전입력(210)에 접속된다. NMOS의 드레인은 연산증폭기 OA3의 반전 입력(209)에 접속된다. 캐패시터 CCL은 NMOS의 소스(208)와 드레인(212) 사이에 접속된다. T1A용의 전원은 제 2 칩 기준 전원 V_{REF2} 로부터 유도된 전류원 I_{CL} 이 된다. 연산증폭기의 출력(214)은 OR 게이트의 제 2 입력(216)에 접속된다. OR 게이트의 출력(218)은 투 샷 Tl의 CLEAR 출력에 접속된다.

제 2 원 샷 T1B의 동작 및 레이아웃은 T1A와 실제로 동일하지만, T1B에 대한 입력이 투 샷 T1에 대한 NDATA(DATA 대신임) 입력이고 T1B로부터의 출력이 투 샷 Tl로부터의 PRESET 출력인 점만 상이하다. 또한, T1B에서 사용된 캐패시터는 CPR (CLL 대신임)이고, T1B에서 사용된 전류원은 I_{PR} (I_{CL} 대신임)이다.

투 샷 타이머 회로는 그의 타이밍 주기가 입력 칩 상의 VCO의 클록 주기를 추적하도록 설계된다. VCO와 마찬가지로, 투 샷 회로의 타이밍 주기를 결정하는 3 가지 주요한 팩터는 전류원 I_{CL} 및 I_{PR} 의 진폭과, 타이밍 캐패시터 CLL 및 CPR의 값 및 비교기 임계 전압 V_{TH} 가 있다. VCO에서와 같이, I_{CL} , I_{PR} , 및 V_{TH} 는 온 칩 정밀 기준 전압 V_{REF2} 에 연관하여 매우 안정하고 예측 가능한 타이밍 특성을 갖는다. VCO 및 투 샷 타이머의 주요한 타이밍 요인 팩터들이 정합되기 때문에, 이 두 회로는 온도 및 프로세스 IC의 변화를 서로 추적하며 시그마 델타 출력 데이터의 정확한 디코딩을 제공한다.

복원된 디지털 데이터를 포함하는 플립플롭의 출력 신호는 제 5 도에 도시된 한 쌍의 결합 CMOS 인버터(130, 132)를 구비하는 통상적인 H 브리지 D/A 변환기로 전송된다. 이 회로의 출력인 SDA 및 SDB는 두 개의 정밀 아날로그 전압 V_{REF2} 및 V_{REF2} × 3 사이를 전환한다. 이러한 방식으로, 노드(124, 126)에서 디지털 데이터는 동일한 듀티 사이클을 갖는 아날로그 데이터로 변환된다. H 브리지 D/A 변환기에 사용된 아날로그 전원 V_{REF2} (29)는 광 결합기(제 1 도)의 LED 입력 칩(2)상의 유사한 아날로그 전압원 V_{REF1} (27)과 전기적으로 정합된다. 이러한 정합은 이득이 주로 입력 칩 및 출력 칩의 기준 전압 V_{REF1} , V_{REF2} 의 비율에 의존하므로 우수한 이득 안정도를 보증한다.

제 6 도를 참조하면, 2 개의 초퍼 안정화 연산증폭기 OAA, OAB에 출력을 제공하는 4 극 RC 베이스형 필터(four-pole RC-based filter)가 도시된다. 입력 및 출력 공통 모드 범위(common-mode ranges)는 모두 전원 전압의 대략 1 볼트 내에 있다.

D/A 변환기(21)로부터 출력된 차동 아날로그 출력 신호는 필터(23)의 차동 입력 노드(250, 252)에 인가된다. 노드(250)는 4 개의 저항 ROA, R1A, R2A, R3A와 직렬로 접속된다. 노드(252)는 4 개의 저항 ROB, R1B, R2B, R3B와 직렬로 연결되며, 이들 각 4 개의 저항은 노드(250)에 연결된 대응 저항과 동일한 저항값을 갖는 것이 바람직하다. 병렬로 연결된 두 개의 캐패시터 C0A 및 C0B는 바람직하게 동일한 캐패시턴스를 가지며 노드(254)와 (256) 사이에 접속된다. 병렬로 연결된 2 개의 다른 캐패시터 C1A 및 C1B는 바람직하게 C0A 및 C0B와 동일한 캐패시턴스를 가지며 노드(258)와 (260) 사이에 접속된다. 노드(262)는 캐패시터 C3A를 거쳐 접지에 접속되며 연산증폭기 OAA의 입력 V_{INA} 에도 접속된다. 노드(264)는 바람직하게 C3A와 동일한 캐패시턴스를 갖는 캐패시터 C3B를 거쳐 접지에 접속되고, 연산증폭기 OAB의 입력 V_{INB} 에도 접속된다. 바람직한 실시예에 있어서, OAA및 OAB는 정합되며 초퍼가 안정화되어 매우 낮은 오프셋(offset) 레벨을 달성한다. 연산증폭기 OAA의 출력 V_{OUTA} 는 노드(266)에 접속되며, 이는 다시 OAA의 입력측노드(270)로 피드백된다. 마찬가지로, 연산증폭기 OAB의 출력 V_{OUTB} 는 OAB의 입 력측 노드(272)로 피드백된다. 출력 V_{OUTA} 및 V_{OUTB} 는 또한 출력 칩의 출력 패드(25a, 25b)에 각각 접속된다.

아날로그 필터의 직렬 저항들을 통해서는 어떠한 전류도 흐르지 않음을 알 수 있을 것이다. 이 저항들은 OAA 및 OAB를 구동하기 위해 사용된다. 따라서, 이들은 출력 패드(25a, 25b)의 아날로그 출력 신호에 어떠한 오프셋에도 기여하지 않는다. 또한, 디코더(19), D/A 변환기(21), 및 필터(23)의 완전한 차동 레이아웃은 전원 잡음 및 다른 공통 모드 효과가 출력 패드(25a, 25b)에서의 차동 출력 신호의 정확도에 영향을 미치지 않음을 보증한다.

전술한 설명으로부터 출력 패드에서 차동 출력 신호가 입력칩 상의 입력 패드(5a, 5b)로 입력되는 아날로그 입력 신호에 대해 선형적임을 알 수 있을 것이다.

지금까지 하나의 바람직한 실시예로써만 설명하였지만, 당업자라면 본 발명의 사상과 범주를 벗어나지 않는 범위내에서 다른 실시예가 있음을 명백하게 이해할 것이다. 예를 들면, 여러가지 유형의 에지 엔코더 및 디코더가 사용될 수 있을것이다. 사용된 아날로그 필터, D/A 변환기 및 기준 전압 발생기는 특정 애플리케이션에서의 특정 잡음 및 이득 요건들을 만족시키도록 쉽게 조정될 수 있을 것이다. 또한, 전체 광분리 증폭기는 여러 개의 핀을 구비한 DIP 내에 하우징될 수 있다.

(57) 청구의 범위

청구항 1.

광 분리 증폭기 패키지(package)에 있어서,

아날로그 입력 신호를 디지털 신호로 변환하기 위한 초퍼 안정화된(chopper-stabilized) 시그마 델타 변환기를 구비하는 입력 칩파,

상기 디지털 신호를 광학적으로 전송하기 위한 광원과,

출력 칩을 포함하되, 상기 출력 칩은,

상기 광학적으로 전송된 디지털 신호를 검출하기 위한 수단과,

상기 광학적으로 전송된 신호를, 상기 아날로그 입력 신호에 실질적으로 비례하는 아날로그 출력 신호로 변환하기 위한 수단을 갖는 광 분리 증폭기 패키지.

청구항 2.

제 1 항에 있어서,

상기 입력 칩은 상기 아날로그 입력 신호를 수신하는 적어도 하나의 입력 패드와, 상기 패드에 결합되어 상기 아날로그 입력 신호를 클램핑(clamping)하고 CMOS 칩 내의 기판 전류를 억제하는 클램핑 회로(a clamping)를 더 포함하는 광 분리 증폭기 패키지.

청구항 3.

제 2 항에 있어서,

상기 각 입력 패드는 P 채널 펀치-스루 디바이스(punch-through device)를 포함하는 광 분리 증폭기 패키지.

청구항 4.

제 1 항에 있어서,

상기 입력 칩에 상기 시그마 델타 변환기에 연결된 에지 엔코더(an edge encoder)를 더 포함하는 광 분리 증폭기 패키지.

청구항 5.

제 4 항에 있어서,

상기 전송된 디지털 신호를 상기 아날로그 출력 신호로 변환하기 위한 수단은 에지 디코더(an edge decoder)를 포함하는 광 분리 증폭기 패키지.

청구항 6.

제 5 항에 있어서,

상기 에지 엔코더는 발진기를 포함하고, 상기 에지 디코더는 상기 발진기를 추적하는 타이밍 회로(a timing circuitg)를 포함하는 광 분리 증폭기 패키지.

청구항 7.

제 1 항에 있어서,

상기 입력 칩 및 상기 출력 칩은 모두 단일 반도체 웨이퍼를 절단하여 제작된 광 분리 증폭기 패키지.

청구항 8.

제 1 항에 있어서,

상기 입력 칩은 입력 칩 기준전압 발진기를 더 포함하고, 상기 출력 칩은 상기 입력 칩 기준전압 발진기와 정합되는 출력 칩 기준전압 발진기를 더 포함하는 광 분리 증폭기 패키지.

청구항 9.

제 1 항에 있어서 ,

상기 입력 칩 및 상기 출력 칩은 모두 단일 듀얼 인-라인 패키지(a single dual in-line package) 내에 내장되는 광 분리 증폭기 패키지.

청구항 10.

광 분리 증폭기에 있어서,

아날로그 입력 신호를 수신하기 위한 입력 패드와,

상기 입력 패드에 결합되어, 상기 아날로그 입력 신호를 디지털 펄스 스트림 (stream)으로 변환시키기 위한 시그마 델타 변환기와,

상기 시그마 델타 변환기에 결합되어, 상기 디지털 펄스 스트림을 에지 엔코딩된(edge-encoded) 디지털 신호로 변환시키기 위한 엔코더와,

상기 엔코더에 결합되어, 상기 디지털 신호를 나타내는 광 신호를 광 채널을 통해 전송하고 상기 전송된 광 신호를 검출하기 위한 광 송신기/수신기를 포함하는 광 분리 증폭기.

청구항 11.

제 10 항에 있어서,

상기 광 송신기/수신기에 결합되어, 상기 검출된 신호를, 상기 디지털 신호 와 실질적으로 동일한 디지털 출력 신호로 변환시키기 원한 광 복원 회로와,

상기 광 복원 회로에 결합되어, 상기 디지털 출력 신호를 상기 아날로그 입 릭신호에 대해 선형적인 아날로그 출력 신호로 변환시키기 위한 디지털 아날로그 변환기(a digital-to-analog converter)를 더 포함하는 광 분리 증폭기.

청구항 12.

제 10 항에 있어서,

상기 광 복원 회로와 상기 디지털 아날로그 변환기 사이에 결합된 디코더 회로를 더 포함하는 광 분리 증폭기.

청구항 13.

제 10 항에 있어서,

상기 디지털 아날로그 변환기의 출력단에 결합되는 아날로그 필터(an analog filter)를 더 포함하는 광 분리 증폭기.

청구항 14.

제 10 항에 있어서,

각각의 입력 패드는 P 채널 펀치-스루 디바이스를 포함하는 장 분리 증폭기.

청구항 15.

제 10 항에 있어서,

각각의 입력 패프는 CMOS 칩 내의 기판 전류를 방지하기 위해 접지 전위보다충분히 낮은 레벨로 상기 아날로그 입력 전압을 클램핑하기 위한 클램핑 회로를 포함하는 광 분리 증폭기.

청구항 16.

제 10 항에 있어서,

상기 시그마 델타 변환기는 초퍼 안정화 연산증폭기를 포함하는 광 분리 증폭기.

청구항 17.

제 10 항에 있어서,

상기 광 송신기/수신기는 발광 다이오드 및 광 다이오드를 포함하는 광 분리 증폭기.

청구항 18.

제 10 항 있어서,

상기 광 분리 증폭기는 듀얼 인-라인 패키지 내에 내장되는 광 분리 증폭기.

청구항 19.

시스템애서 신호를 감지하기 위한 방법에 있어서,

광학적으로 출력 칩에 결합된 시그마 델타 아날로그 디지틸 전환기를 포함하는 입력 칩을 구비하는 광 분리 증폭기를 제공하는 단계와,

아날로그 전압 입릭 신호를 상기 광 분리 증폭기로 전송하는 단계와,

상기 아날로그 전압 신호를, 상기 아날로그 전압 입력 신호와 실질적으고 동 일한 시간 평균값을 갖는 다수의 디지털 펄스들로 변환시키는 단계와,

상기 디지털 펄스들을 에지 엔코딩(edge-encoding)하는 단계와,

상기 디지털 펄스들로 발광 다이오드를 변조하는 단계를 포함하는 신호 감지

방법.

청구항 20.

제 19 항에 있어서,

상기 디지털 펄스들을, 상기 아날로그 전압 입력 신호들에 실질적으로 비례하는 아날로그 전압 출력 신호로 변환시키는 단계를 더 포함하는 신호 감지 방법

청구항 21.

제 20 항에 있어서 ,

상기 광 분리 증폭기를 제공하는 단계는 단일 듀얼 인-라인 패키지 내에 상기 입력 칩 및 상기 출력 칩을 제공하는 단계를 포함하는 신호 감지 방법.

청구항 22.

광 분리 증폭기 패키지에 있어서,

아날로그 신호를 수신하여 상기 아날로그 신호를 디지털 신호로 변환하기 위한 시그마 델타 변환기에 연결된 P 채널 펀치-스루 장치를 구비하는 입력 칩과,

상기 디지털 신호를 광학적으로 전송하기 위한 광원과,

상기 디지털 신호를 수신하기 위해 상기 광원에 광학적으로 결합된 출력 칩을 포함하는 광 분리 증폭기 패키지.

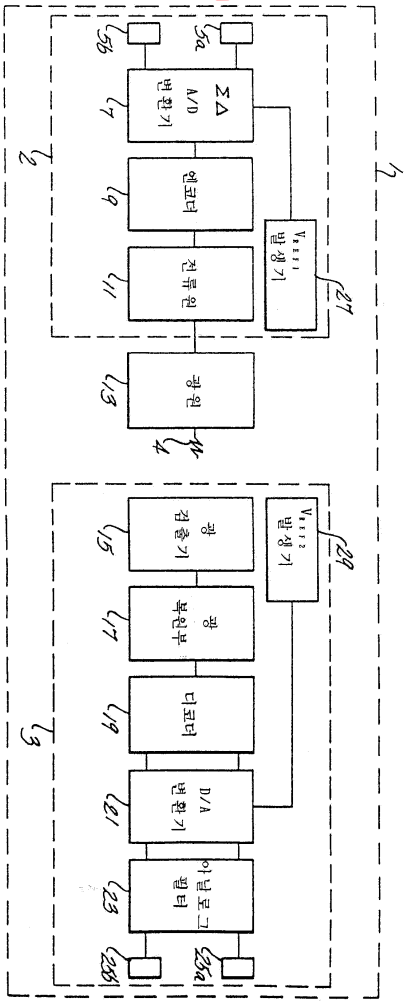
청구항 23.

제 22 항에 있어서,

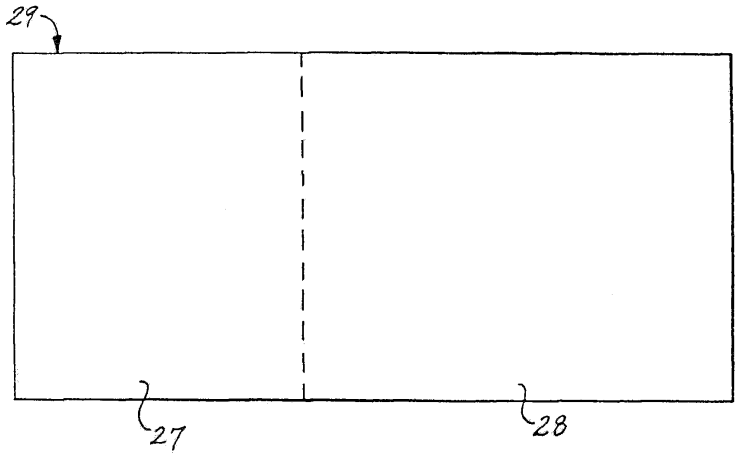
상기 디지털 신호가 상기 광원에 의하여 광학적으로 전송되기 전에 상기 디지털 신호를 에지 엔코딩(edge-encoding)하기 위하여 상기 시그마 델타 변환기에 연결된 수단을 더 포함하는 광 분리 증폭기 패키지.

도면

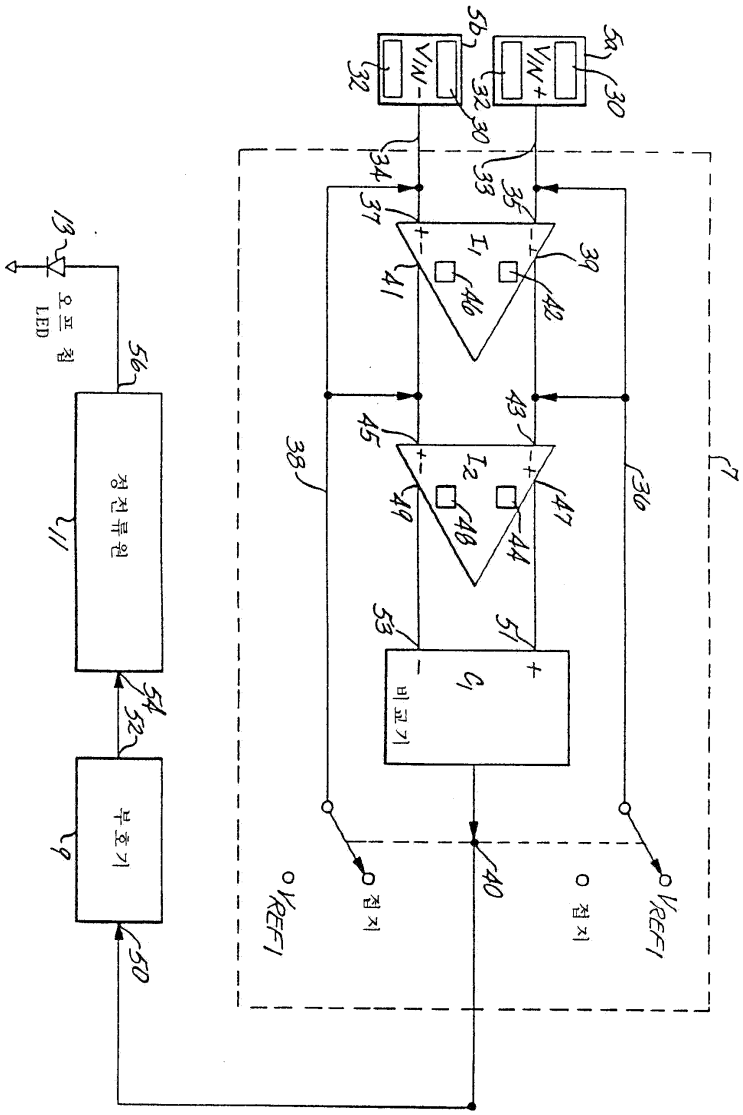
도면 1


ΣΔ A/D 변환기
엔코더
전류원
광원
광 검출기
광 복원부
디코더
D/A 변환기
아날로그 필터
VREF1 발생기
VREF2 발생기

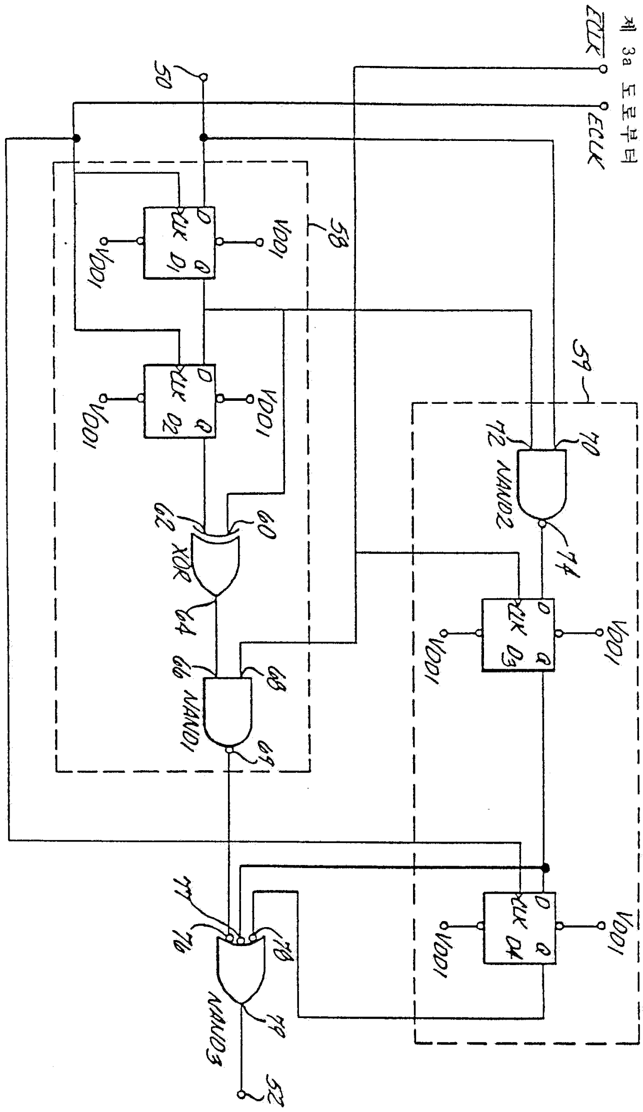
도면 1a



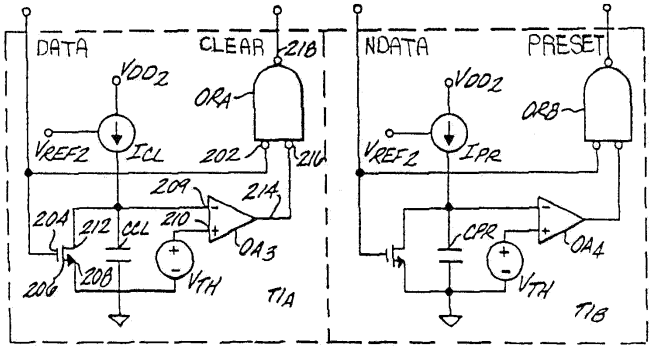
도면 2



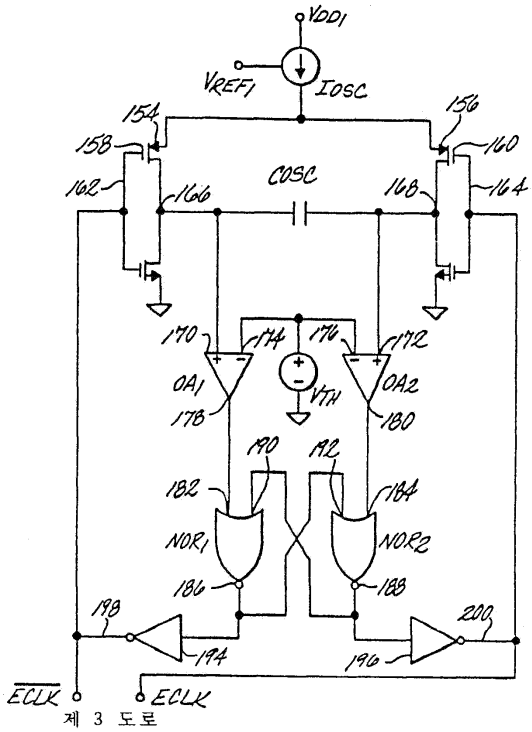
도면 3


제 3a 도로부터
ECLK
ECLK
50
58
59
D Q CLK D1
D Q CLK D2
D Q CLK D3
D Q CLK D4
VDD1
62 XOR
60
64
66 NAND1
68
69
70
72 NAND2
74
76
77
78
79
NAND3
52

도면 3a

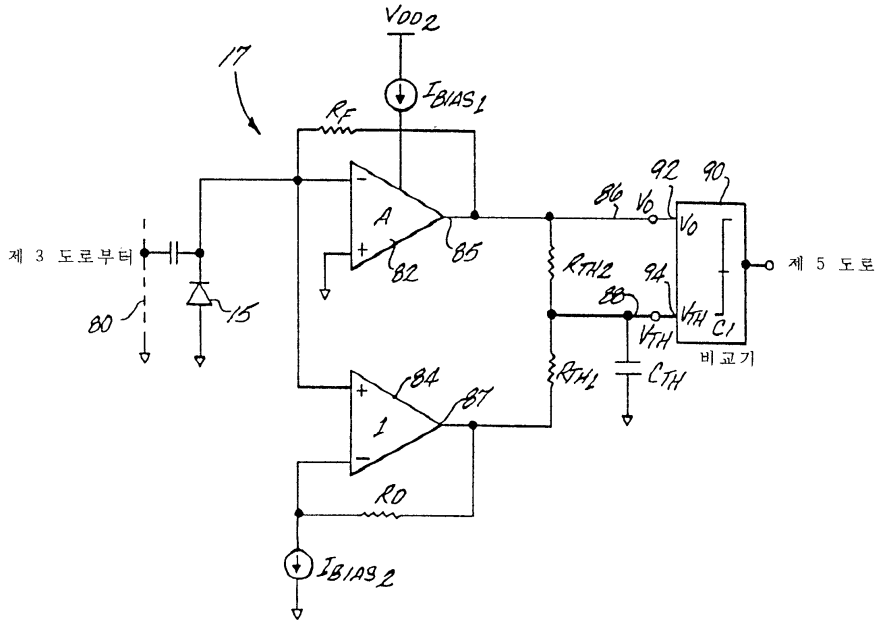


도면 5a

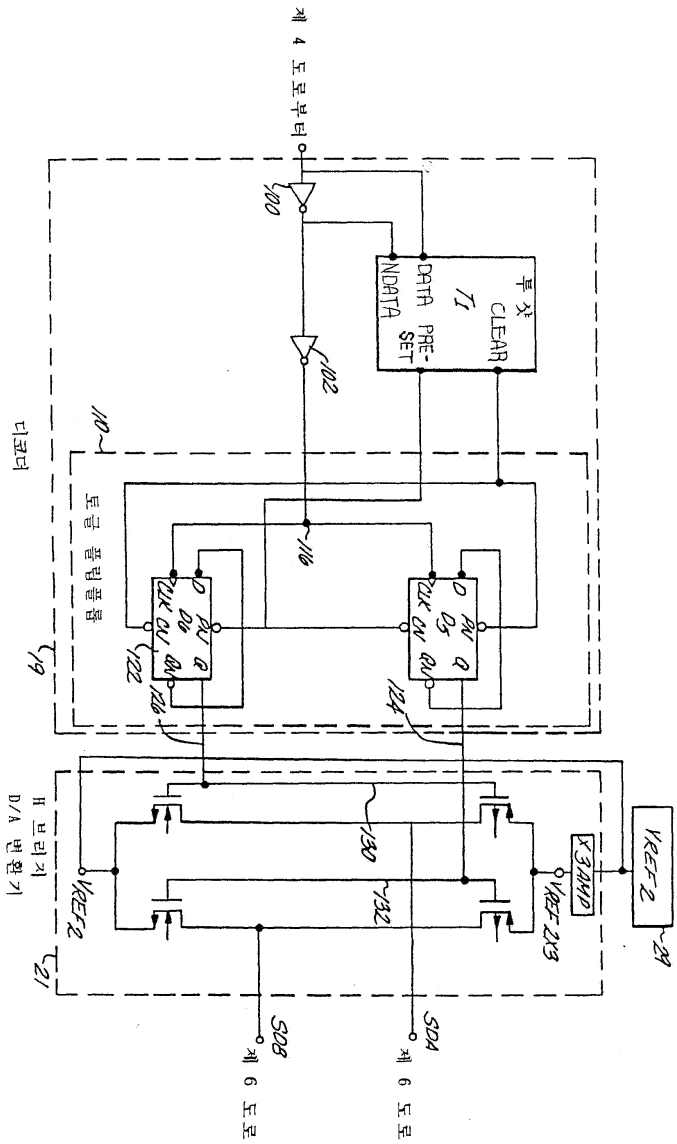


제 3 도로

도면 4


VDD2
17
IBIAS1
RF
A
82
85
86
92
90
VO
VO
제 3 도로부터
80
15
RTH2
94
88
VTH
VTH
C1
비교기
제 5 도로
84
87
1
RTH1
CTH
RO
IBIAS2

도면 5


제 4 도로부터
100
102
T1
DATA
NDATA
PRE-SET
CLEAR
110
디코더
토글 플립플롭
116
D
CLK
Q
122
124
126
T19
T21
H 브리지 D/A 변환기
130
132
VREF2
VREF2/3
X3AMP
VREF2
24
SDB
SDA
제 6 도로
제 6 도로

도면 6