



CONFÉDÉRATION SUISSE
OFFICE FÉDÉRAL DE LA PROPRIÉTÉ INTELLECTUELLE

Int. Cl.³: G 01 K 7/24
H 01 L 27/00

Brevet d'invention délivré pour la Suisse et le Liechtenstein
Traité sur les brevets, du 22 décembre 1978, entre la Suisse et le Liechtenstein



FASCICULE DU BREVET A5

(11)

633 885

(21) Numéro de la demande: 5448/79

(22) Date de dépôt: 11.06.1979

(30) Priorité(s): 09.06.1978 JP 53-69507

(24) Brevet délivré le: 31.12.1982

(45) Fascicule du brevet
publié le: 31.12.1982

(73) Titulaire(s):
Kabushiki Kaisha Daini Seikosha, Tokyo (JP)

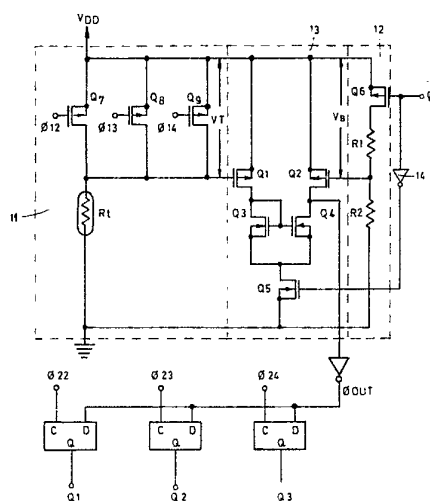
(72) Inventeur(s):
Noboru Kaneko, Koto-ku/Tokyo (JP)

(74) Mandataire:
Bovard & Cie., Bern

(54) Dispositif détecteur de températures.

(57) Pour résoudre le problème consistant à intégrer, à faible encombrement, un circuit détecteur de tension dans un circuit intégré C-MOS, le dispositif utilise une construction comprenant un thermistor (R_t) et une pluralité de transistors MOS (Q_7, Q_8, Q_9) branchés en série avec le thermistor et mis séquentiellement à l'état passant saturé. La tension (V_T) entre un point d'alimentation et le point de jonction du thermistor et du transistor MOS saturé est comparée à une tension de référence (V_B) à l'aide d'un circuit de comparaison de tension (13). Les transistors (Q_7, Q_8, Q_9) qui viennent séquentiellement, à l'état saturé, en circuit avec le thermistor (R_t) sont dimensionnés de façon à présenter des résistances de saturation différentes qui rendent la tension comparée (V_T) égale à la tension de comparaison (V_B) pour des valeurs différentes de la résistance du thermistor (R_t), c'est-à-dire pour des températures différentes. Différents seuils de température sont ainsi détectés avec une grande précision, à l'aide d'éléments MOS pouvant être intégrés avec un faible encombrement.

Application avantageuse à tous les appareils comprenant une plaquette de circuit intégré et dans lesquels une détection de température doit intervenir.



REVENDEICATIONS:

1. Dispositif détecteur de températures comprenant une résistance sensible à la température en tant qu'élément de détection de température, caractérisé en ce qu'il comprend une pluralité de transistors MOS disposés en parallèle, qui est mis en circuit en série avec la dite résistance sensible, une source de tension constante pour délivrer une tension constante, un circuit de comparaison de tension agencé pour comparer à la tension de la dite source de tension constante la tension sur le transistor MOS ou la tension aux bornes de la dite résistance lorsque les transistors de la dite pluralité de transistors MOS sont chacun rendus successivement passants, de façon que la température se trouve détectée par un signal délivré par la sortie du dit circuit de comparaison de tension.

2. Dispositif selon la revendication 1, caractérisé en ce qu'il comprend encore un circuit-verrou pour mémoriser temporairement un ou plusieurs niveaux successifs du dit signal de sortie du circuit de comparaison de tension.

La présente invention concerne un dispositif détecteur de températures comprenant une résistance sensible à la température en tant qu'élément de détection de température. Typiquement, le dit élément de détection de température est un thermistor.

Dans le cas où il faut commander certains dispositifs à une certaine température ou à certaines températures, au sein d'un large domaine de températures, il est nécessaire d'utiliser un dispositif détecteur de température. L'art antérieur connaissait des détecteurs de température aptes à détecter le franchissement de plusieurs seuils de température; la fig. 1 illustre à titre d'exemple un tel dispositif détecteur de température connu. Toutefois, dans ce dispositif, il était nécessaire de prévoir une pluralité de circuits comparateurs de tension pour pouvoir détecter plusieurs seuils de température, par exemple afin de savoir entre quelles limites étroites de températures on se trouvait. De ce fait, ces circuits détecteurs de température occupaient une grande place dans un circuit intégré si l'on voulait les y intégrer avec d'autres agencements de circuits ayant d'autres fonctions.

Un autre dispositif détecteur de température, comme celui qu'illustre la fig. 2, n'emploie qu'un circuit de comparaison de tension; toutefois, il comprend une pluralité de circuits détecteurs de température d'un type classique. Cette construction de circuit-là n'était pas adéquate pour être réalisée dans un circuit intégré du type CMOS.

Au sujet de la construction précédemment envisagée d'un circuit comparateur de tension en circuit intégré CMOS, il y a lieu de remarquer ce qui suit:

Le domaine de tension d'entrée dans lequel un circuit comparateur de tension en technique CMOS sera opérationnel est limité par la tension de seuil du transistor MOS. Les modifications de la tension V_T (fig. 2) en fonction de la température forment une courbe asymétrique comme celle représentée à la fig. 3. Cette évolution est due à la non linéarité du thermistor utilisé en tant qu'élément détecteur de température. La variation « ΔV_T » de la tension « V_T » correspondant à une augmentation de température unitaire (1 °C) devient, d'une façon remarquable, de plus en plus petite au fur et à mesure que la température devient élevée. De ce fait, la précision de la tension de référence de température qui sert à comparer la tension « V_T » doit donc nécessairement être très grande. Par ailleurs, il est nécessaire de déterminer avec une très grande précision les résistances formant diviseurs de tension pour établir la tension de référence, et on doit veiller également à avoir une résistance de passage extrêmement petite de l'élément commutateur à l'aide duquel la tension de référence est branchée. Si l'on utilise un transistor MOS en tant qu'élément commutateur pour le bran-

chement de la tension de référence, il est nécessaire d'utiliser alors un transistor ayant une grande largeur de canal pour diminuer la résistance de passage de ce transistor, ce qui implique que l'encombrement constitué par ce transistor dans la plaque de circuit imprimé doit être grand, ce qui n'est pas favorable.

Le but de la présente invention est d'éliminer les difficultés et insuffisances susmentionnées d'un circuit détecteur de température, ce dernier devant avoir une haute précision de détection sans occuper une trop grande place dans un circuit intégré.

Conformément à l'invention, ce but est atteint par la présence des caractères énoncés dans la première revendication.

La seconde revendication énonce un caractère additionnel qui rend le dispositif détecteur de températures particulièrement avantageux à utiliser pour détecter un ou plusieurs seuils de température.

Le dessin annexé illustre, à titre d'exemple, et comparative-ment à ce que connaissait l'art antérieur, une forme d'exécution de l'objet de l'invention; dans ce dessin:

les fig. 1 et 2 représentent des constructions de circuits connues pour un dispositif détecteur de température,

la fig. 3 est un diagramme représentant la caractéristique de l'évolution de la tension « V_T » en fonction de la température, dans un dispositif de type classique,

la fig. 4 est un schéma illustrant la construction d'un circuit de détection de température conforme à la présente invention,

la fig. 5 est un diagramme d'évolution séquentielle des niveaux logiques concernant des signaux appliqués dans le schéma de la fig. 4, et

les fig. 6 et 7 sont des diagrammes représentant des portions de courbes de tensions en fonction de la température, qui expliquent le fonctionnement du dispositif selon la fig. 4.

Les fig. 1, 2 et 3, ayant déjà été mentionnées, on considérera maintenant la forme d'exécution selon la fig. 4 qui représente un dispositif détecteur de température constituant une forme d'exécution de l'invention.

Le circuit ou dispositif détecteur de température en question comprend une partie de détection de température 11, une partie 12, de génération d'une certaine tension de référence sur la base du rapport entre deux résistances R_1 et R_2 , et une partie 13 constituant un circuit comparateur de tension qui compare la tension V_T délivrée par la partie de détection de température 11 à la tension de référence V_B délivrée par la partie de tension de référence 12. La partie de détection de température 11 comprend un thermistor R_t et trois transistors P-MOS Q7, Q8 et Q9 qui sont connectés en parallèle l'un avec l'autre et dont chacun à son tour peut être connecté en série avec le thermistor R_t .

On voit de plus que le dispositif détecteur de température comprend encore un circuit verrou fonctionnant en tant que circuit mémoire pour commander et mémoriser les niveaux du signal de sortie du dit circuit comparateur de tension 13 compris dans le dispositif détecteur.

On va considérer maintenant le mode de fonctionnement de base du circuit détecteur de température selon la fig. 4.

Les transistors Q5 et Q6 sont des transistors de commutation enclenchant le fonctionnement de la partie de référence de tension 12 et de la partie de comparaison de tension 13. Un signal $\emptyset 1$, représenté à la fig. 5, est appliqué à l'électrode de commande du transistor Q6; tandis qu'un signal inverse, obtenu à l'aide d'un inverseur, est appliqué au transistor Q5. Du fait de leur polarité opposée, ces deux transistors sont donc mis en même temps en état de conduction lorsque le niveau du signal $\emptyset 1$ est bas. Par ailleurs des signaux $\emptyset 12$, $\emptyset 13$, $\emptyset 14$ sont appliqués respectivement aux électrodes de commande des transistors Q7, Q8 et Q9. Ces derniers sont séquentiellement rendus passants chacun lorsque son signal de commande respectif $\emptyset 12$, $\emptyset 13$ ou $\emptyset 14$, passe au niveau bas (fig. 5).

Les tensions qui apparaissent alors aux bornes (source-drain) des transistors Q7, Q8 et Q9 sont choisies de façon telle que, lorsque le transistor Q7 est à l'état passant et que la température est de 15 °C, on ait l'égalité « $V_T = V_B$ », que lorsque le transistor Q8 est à l'état passant à la température de 25 °C on ait également cette égalité de tension « $V_T = V_B$ », et que, lorsque le transistor Q9 est à l'état passant et que la température est de 35 °C, on ait encore une fois cette même égalité de tension « $V_T = V_B$ ».

La fig. 6 montre comment les tensions aux bornes de ces transistors Q7, Q8 et Q9, constitués de façon adéquate pour le but visé, évoluent en fonction de la température. Par exemple, dans le cas où la température est de 30 °C, lorsque les transistors Q7, Q8 et Q9 sont successivement rendus passants par les signaux de temps Ø12, Ø13 et Ø14, les valeurs de tension V_T aux bornes de ces transistors correspondent à ce qui est marqué d'un Δ à la fig. 6 (ces valeurs de tension apparaissant naturellement de façon synchrone avec les passages successifs des trois transistors à l'état passant). Ainsi donc, on voit que lorsque les deux transistors Q7 et Q8 sont à l'état passant, la tension V_T est supérieure à la tension V_B , tandis que lorsque c'est le transistor Q9 qui est à l'état passant, la tension V_T est inférieure à la tension V_B .

Le signal de sortie «Ø out» du circuit de comparaison de tension 13 est représenté à la fig. 5. On voit que lorsque les signaux Ø12 et Ø13 passent au niveau bas, le signal «Ø out» est au niveau élevé. Par contre, lorsque c'est le signal Ø14 qui passe au niveau bas, le signal «Ø out» reste au niveau bas. Le niveau du signal de sortie «Ø out» passe du niveau haut au niveau bas lorsque la commande remplace le niveau bas du signal Ø13 par le niveau bas du signal Ø14. Comme le signal Ø13 commande le transistor Q8 tandis que le signal Q14 commande le transistor Q9, on en déduit que la température est plus haute que celle pour laquelle le transistor Q8 établit l'identité $V_T = V_B$, c'est-à-dire qu'elle est plus haute que 25 °C, mais qu'elle est plus basse que celle pour laquelle le transistor Q9 établit l'identité $V_T = V_B$, c'est-à-dire qu'elle est plus basse que 35 °C. Un signal de sortie «Ø out», comme celui que représente la fig. 5 indique donc une température située entre 25 °C et 35 °C.

On remarque que le signal «Ø out» alimente l'entrée de préparation (D) de trois bascules 15, 16 et 17 qui forment un circuit de verrou. Les entrées d'impulsions (C) de ces trois flip-flops reçoivent respectivement des signaux Ø22, Ø23 et Ø24 qui présentent un passage négatif approximativement pendant la première moitié de la période dans laquelle les signaux Ø12, Ø13 et Ø14 présentent respectivement le niveau bas, de sorte que ces signaux Ø22, Ø23 et Ø24 effectuent un saut positif au milieu des périodes respectives de conduction des trois transistors Q7, Q8 et Q9. Les états que prendront ces flip-flops 15, 16 et 17 seront donc représentatifs des trois tests successifs de température, à 15 °C, 25 °C et 35 °C. Ces états apparaissent sur les trois sorties Q1, Q2 et Q3, permettant de disposer en permanence de l'information de température alors que les tests se font d'une façon intermittente.

Selon le cas, il est possible de répéter en permanence le cycle représenté à la fig. 5, mais, en général, on répètera ce cycle à une cadence beaucoup plus lente, avec de longs intervalles entre chaque cycle.

On va considérer maintenant d'une façon plus précise les conditions de dimensionnement et de fonctionnement de la partie de détection de température 11.

Comme le circuit de comparaison de tension 13 est de construction C-MOS, la tension à son entrée, qui est la tension de sortie de la partie de détection de température 11, est soumise à certaines contingences. Si les transistors Q7, Q8 et Q9 sont commandés pour être saturés lorsqu'ils sont rendus passants, la tension qui s'établit entre leurs extrémités (source et drain) est donnée par l'expression suivante:

$$V_T = V_C - K_P \cdot R_t(T) (V_{GS} - V_{TP})^2 \quad (1)$$

dans laquelle

V_C est la tension de la source d'alimentation,

K_P le est le coefficient d'électro-conduction,
 $R_t(T)$ est la valeur de la résistance du thermistor R_t à une température T °C,

V_{GS} est la tension entre la source et l'électrode de commande du transistor, et

V_{TP} est la tension de seuil du transistor.

Dans les transistors Q7, Q8 et Q9, le paramètre K_P est établi de façon à assurer l'égalité $V_T = V_B$ pour chaque transistor à la température qu'il est destiné à détecter, c'est-à-dire respectivement pour les trois transistors à 15 °C, 25 °C et 30 °C.

Par ailleurs, la relation entre la température et la valeur de résistance du thermistor R_t correspond à l'expression suivante:

$$R_t(T) = R_t(T_0) 1 \times P^B \left(\frac{1}{T} - \frac{1}{T_0} \right) \quad (2)$$

dans laquelle:

T est la température absolue: 273,15K

T_0 est la température de référence: 298,15K (pour 25 °C),

et

$R_t(T_0)$ est la valeur de la résistance du thermistor R_t à la dite température de référence T_0 .

A l'aide des expressions ci-dessus, il est possible de calculer une valeur du paramètre de transistor K_P en correspondance avec la valeur de résistance du thermistor R_t , pour une quelconque température.

Toutefois, les valeurs de K_P et V_{TP} pour un transistor sont en général déterminées statistiquement à 25 °C, mais elles peuvent présenter quelques écarts avec la valeur nominale dans chaque plaquette de circuit intégré, du fait des irrégularités du processus de fabrication de la plaquette de circuit intégré. Toutefois, il est possible d'éliminer l'effet de ces irrégularités des paramètres K_P et V_{TP} en sélectionnant, dans la formule (1) la valeur « R_t » de la résistance du thermistor R_t .

En ce qui concerne le paramètre K_P des transistors Q7, Q8 et Q9, on remarque que si des glissements ou écarts interviennent par rapport aux valeurs nominales planifiées, les rapports relatifs de chacune des valeurs K_P , c'est-à-dire de K_{P7} (paramètre K_P du transistor Q7), de K_{P8} (paramètre K_P du transistor Q8) et de K_{P9} (paramètre K_P du transistor Q9), ne sont quant à eux pas modifiés par les irrégularités du processus de fabrication, car celles-ci touchent semblablement les trois transistors situés près l'un de l'autre dans la plaquette de circuit intégré, de sorte que ces irrégularités ne présentent pas de problème, pouvant toutes être compensées par une même affectation du thermistor R_t . La fabrication de ces transistors dans le circuit intégré est donc aisée.

Les valeurs des paramètres V_{TP} et K_P pour les trois transistors Q7, Q8 et Q9 subissent également des variations en fonction de la température, ces changements se produisant en dépendance des modifications de la mobilité dans le semi-conducteur, mobilité dont il résulte qu'une modification de ces valeurs de paramètres selon la température doit toujours être considérée. Il est toutefois aisé de déterminer les valeurs des paramètres K_P de ces trois transistors en prenant en considération ces glissements de valeur en fonction de la température, les valeurs des paramètres devant être établies respectivement à 15 °C, 25 °C et 35 °C pour les trois transistors Q7, Q8 et Q9.

On pourrait toutefois considérer qu'il subsiste encore de petites irrégularités de la valeur du paramètre V_{TP} , en dépendance des tolérances du procédé de fabrication et en dépendance des variations en fonction de la température, en ce sens que la valeur V_T (tension aux bornes des transistors voir fig. 4) pourra se trouver encore très légèrement différente de la valeur qui avait été calculée et traduite concrètement dans le dimen-

sionnement des transistors, dès que la température s'écartera d'une température prédéterminée en fonction de laquelle le dimensionnement a été établi, et ceci même si la valeur de résistance du thermistor R_t est déterminée correctement à la température voulue.

Plus précisément, les valeurs des paramètres V_{TP} des transistors Q7, Q8 et Q9 sont établies de façon à donner aux paramètres K_p une valeur déterminée. Toutefois, l'identité $V_T = V_B$ est réalisée à 15 °C et à 35 °C dans les conditions où le thermistor R_t est établi pour assurer, à 25 °C, l'identité $V_T = V_B$ dans le transistor Q8. L'erreur de détection de température provenant de ces irrégularités secondaires de la valeur du paramètre V_{TP} est toutefois maintenue dans la marge de $\pm 0,3$ °C dans le domaine allant de 0 °C à 50 °C. Cette erreur secondaire s'avère extrêmement petite aux températures de détection de 15 °C, 25 °C et 35 °C.

La fig. 7 illustre les conditions susmentionnées. Selon la conception proposée, la tension caractéristique V_T est séquentiellement comparée avec la tension de référence V_B , à l'aide du circuit de comparaison de tension 13. Toutefois, l'importance de la variation de la tension caractéristique V_T en fonction de la température, au voisinage de la tension de référence V_B , est très grande de sorte que la précision de la tension de référence V_B n'a pas besoin d'être aussi poussée qu'elle doit l'être par exemple dans le cas d'un circuit de détection de température antérieurement connu, selon la fig. 1 ou la fig. 2. Dans la conception selon l'invention, il est possible d'obtenir une bonne précision de détection de température en laissant tomber une décimale de précision dans l'établissement de la tension de référence V_B , en admettant que l'on désire obtenir la même précision de détection de température que dans le cas d'un circuit de l'art antérieur selon les fig. 1 et 2. Les conditions de détection de température, dans la conception proposée, s'avèrent remarquablement intéressantes lorsque la détection de température doit s'établir sur un large domaine, partant de valeurs très basses et allant jusqu'à des valeurs très élevées. A la fig. 7, les courbes indiquant les variations en fonction de la température de la tension aux bornes des transistors Q7, Q8 et Q9, avec le thermistor R_t , sont représentées en traits pleins, dans leur évolution nominale. La courbe concernant le transistor Q8 évolue, par définition, conformément à ce qui a été nominalelement déterminé. Les courbes concernant les transistors Q7 et Q9 peuvent présenter par contre de légers écarts secondaires qui sont repré-

sentés à la fig. 7 par des lignes en traits pointillés. On voit que, pour une tension de référence fixe V_B ayant la valeur nominale, les écarts de détection de température sont extrêmement faibles.

A la fig. 7, on a indiqué encore les courbes qui représenteraient une tension de référence établie pour détecter respectivement des seuils de température plus élevés de 10 °C ou moins élevés de 10 °C. Dans un tel cas, la tension de référence, pour correspondre au cas des transistors selon leur détermination nominale, devrait subir une légère variation en fonction de la température, mais ici encore on voit que les écarts sont minimes. Cela signifie qu'un écart de la tension de référence fixe V_B en dehors d'un décalage en valeur absolue des seuils de température détectés, se traduirait simplement par une légère modification de l'amplitude des gradins de température.

On remarque également qu'il est possible de réaliser un circuit détecteur de température comme celui de la fig. 4 en prévoyant plus de trois gradins de détection de seuil de température; entre 0 et 50 °, par exemple, on pourrait en prévoir 5, voire davantage.

Dans le cas d'une détection de température sur une caractéristique à 50 °C, il y aurait lieu de prévoir une décimale de plus pour la détermination des valeurs, avec un gradient qui pourrait être ± 1 °C/0,08V, avec le circuit de détection selon la conception proposée. Dans ce cas, la dimension du transistor de commutation Q6 pourrait être moins grande et la place occupée par ce transistor dans la plaquette de circuit intégré s'en trouverait donc réduite.

On remarque qu'on a proposé, dans la forme d'exécution décrite, d'utiliser l'état saturé de transistors MOS à canal P, mais il est bien clair que l'on pourrait opérer d'une manière identique avec la combinaison de transistors MOS à canal N et d'un thermistor. La précision de la détection de température serait alors du même ordre de grandeur que celle que l'on obtient avec des transistors MOS à canal P.

De ce qui vient d'être décrit, on infère que la conception proposée permet une notable réduction du nombre des éléments dans l'ensemble du dispositif, du fait de l'usage d'un seul circuit de comparaison de tension. Par ailleurs, la conception proposée permet la réalisation d'un circuit détecteur de température de haute précision qui ne prend qu'extrêmement peu de place sur une plaquette de circuit intégré du type C-MOS sur laquelle d'autres composants servant à former d'autres circuits ayant d'autres fonctions, se trouvent également intégrés.

Fig.1

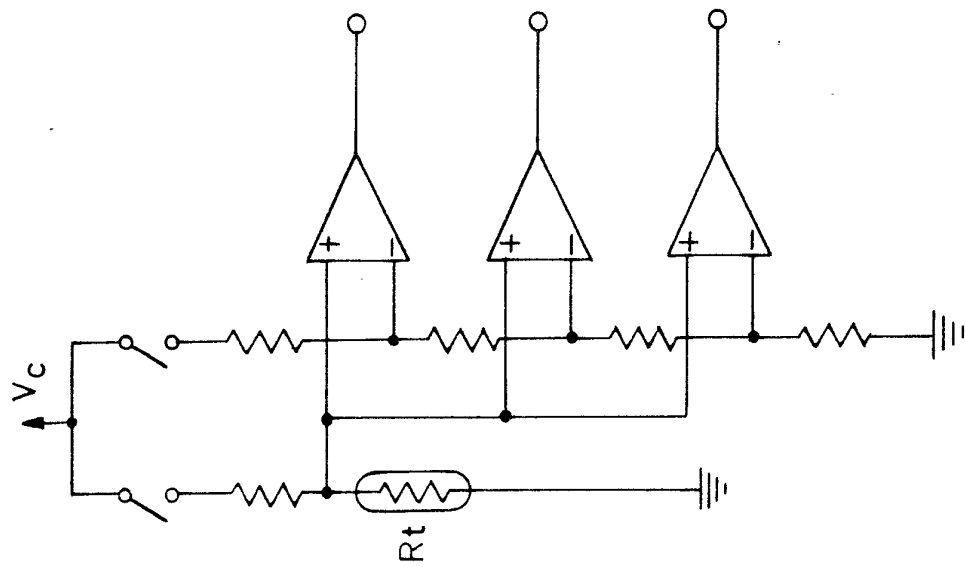
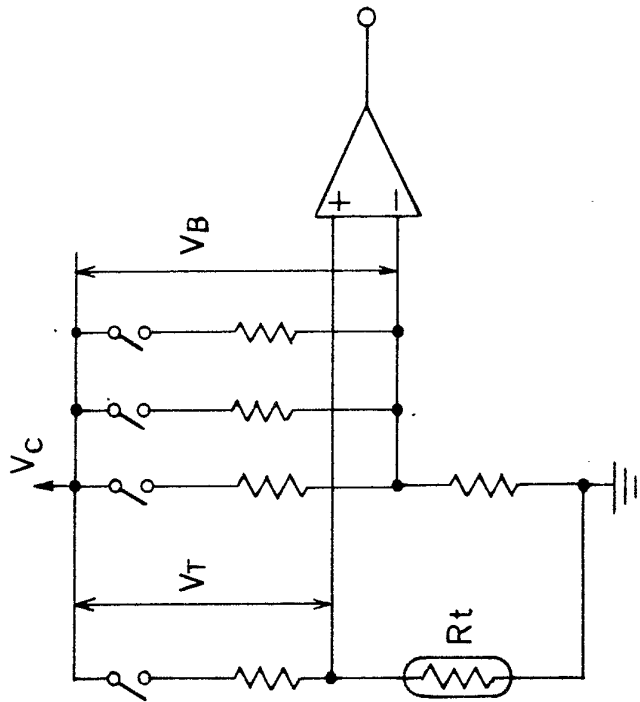


Fig.2



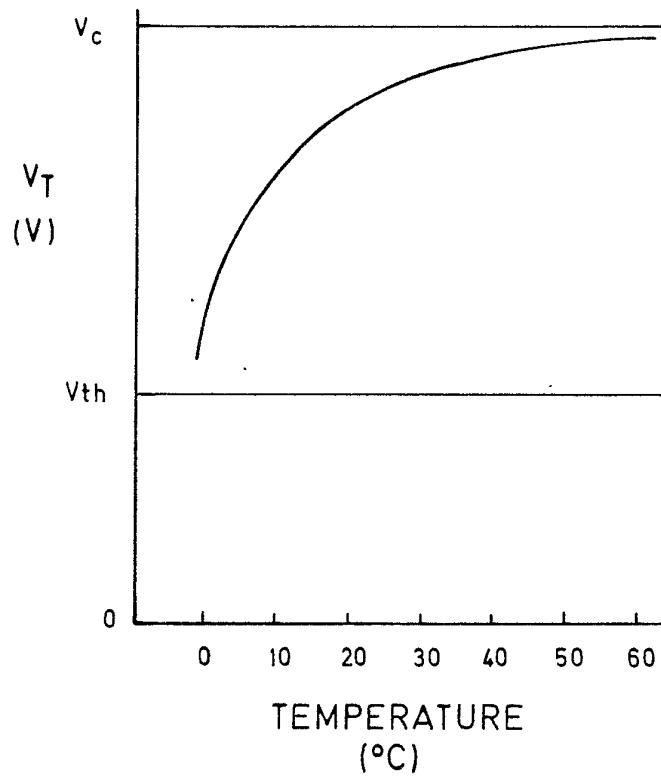


Fig. 3

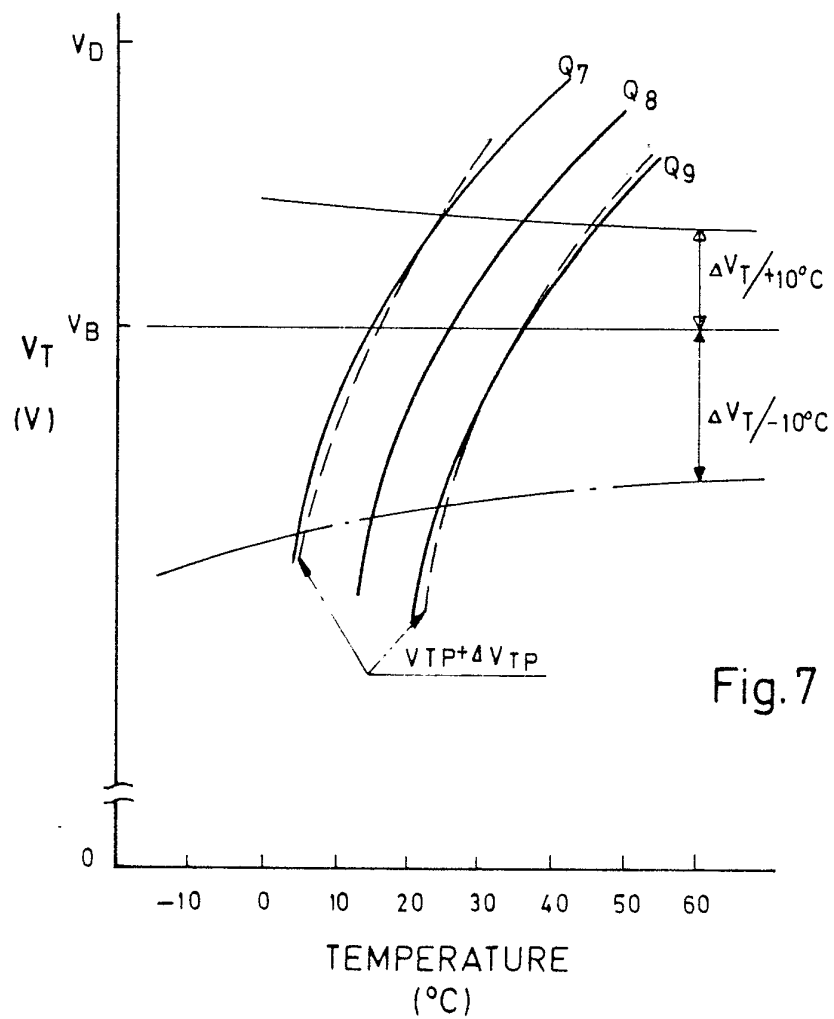


Fig. 7

Fig. 4

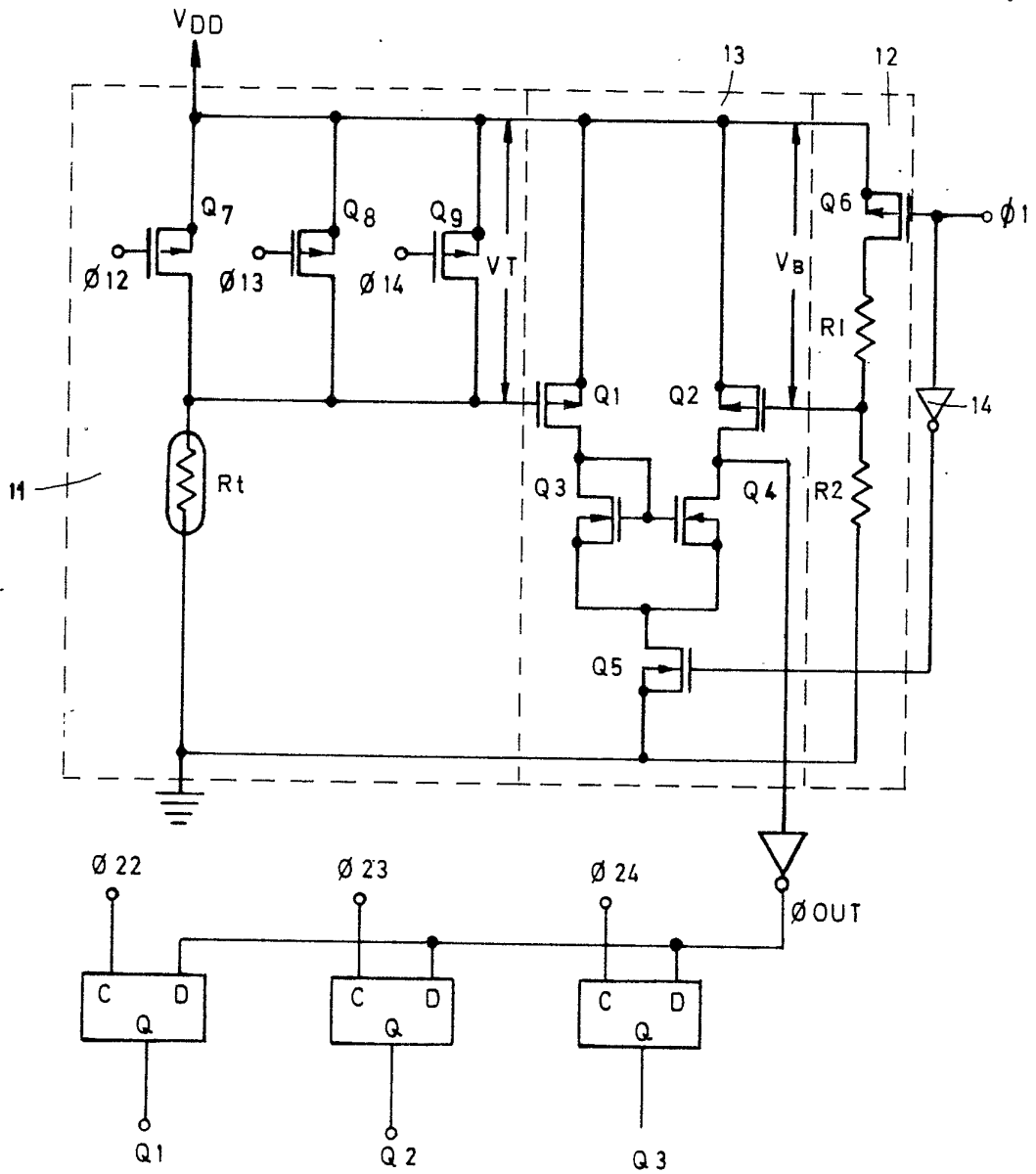


Fig.6

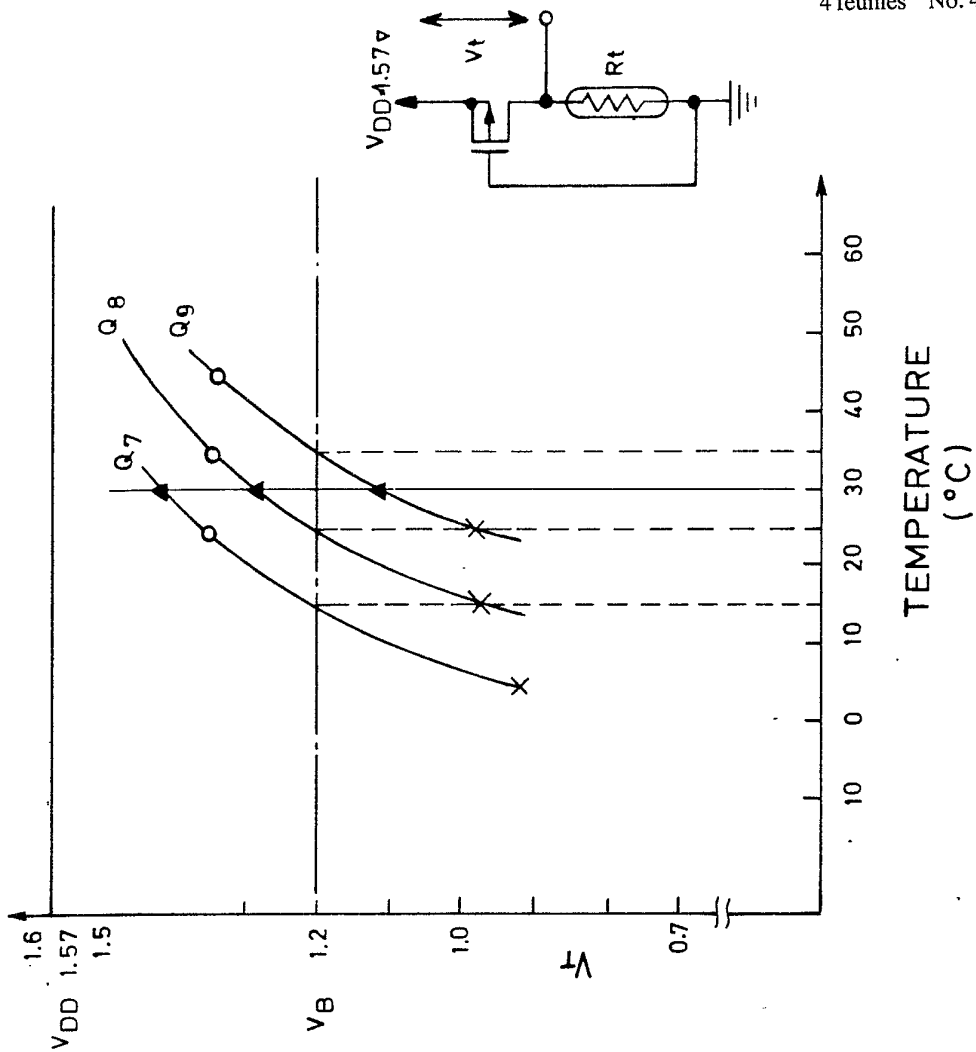


Fig.5

