



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 200949853 A1

(43)公開日：中華民國 98 (2009) 年 12 月 01 日

(21)申請案號：098104775

(22)申請日：中華民國 98 (2009) 年 02 月 13 日

(51)Int. Cl. : **G11C7/22 (2006.01)**

(30)優先權：2008/05/30 南韓 10-2008-0051064

(71)申請人：海力士半導體股份有限公司 (南韓) HYNIX SEMICONDUCTOR INC. (KR)
南韓

(72)發明人：尹元柱 YUN, WON JOO (KR)；李鉉雨 LEE, HYUN WOO (KR)

(74)代理人：賴安國；李政憲；吳柏昇

申請實體審查：有 申請專利範圍項數：26 項 圖式數：5 共 45 頁

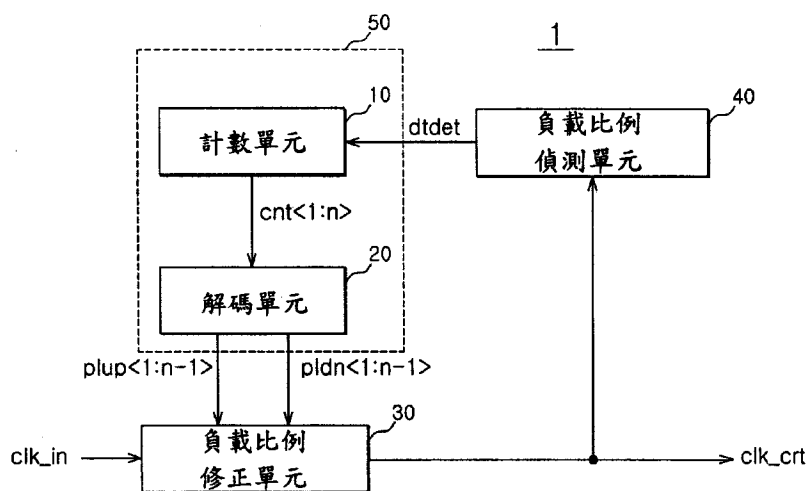
(54)名稱

負載週期修正電路與修正負載週期的方法

DUTY CYCLE CORRECTING CIRCUIT AND METHOD OF CORRECTING A DUTY CYCLE

(57)摘要

本發明提供一種負載週期修正電路，包括一負載比例控制單元，其經配置以回應於一負載比例偵測信號來交替改變一升壓控制信號之複數個位元及一降壓控制信號之複數個位元的邏輯數值；一負載比例修正單元，其經配置以回應於該升壓控制信號之該等複數個位元及該降壓控制信號之該等複數個位元而調整一第一驅動器與一第二驅動器之驅動能力以輸出一修正時脈信號；及一負載比例偵測單元，其經配置以偵測該修正時脈的一負載比例來產生該負載比例偵測信號。



1：負載週期修正電路

10：計數單元

20：解碼單元

30：負載比例修正單元

40：負載比例偵測單元

50：負載比例控制單元

clk_crt：修正時脈信號

clk_in：輸入時脈信號

cnt < 1:n >：計數信號

dt det：負載比例偵測信號

pldn < 1:n-1 >：降壓控制信號

plup < 1:n-1 > : 升
壓控制信號



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 200949853 A1

(43)公開日：中華民國 98 (2009) 年 12 月 01 日

(21)申請案號：098104775

(22)申請日：中華民國 98 (2009) 年 02 月 13 日

(51)Int. Cl. : **G11C7/22 (2006.01)**

(30)優先權：2008/05/30 南韓 10-2008-0051064

(71)申請人：海力士半導體股份有限公司 (南韓) HYNIX SEMICONDUCTOR INC. (KR)
南韓

(72)發明人：尹元柱 YUN, WON JOO (KR)；李鉉雨 LEE, HYUN WOO (KR)

(74)代理人：賴安國；李政憲；吳柏昇

申請實體審查：有 申請專利範圍項數：26 項 圖式數：5 共 45 頁

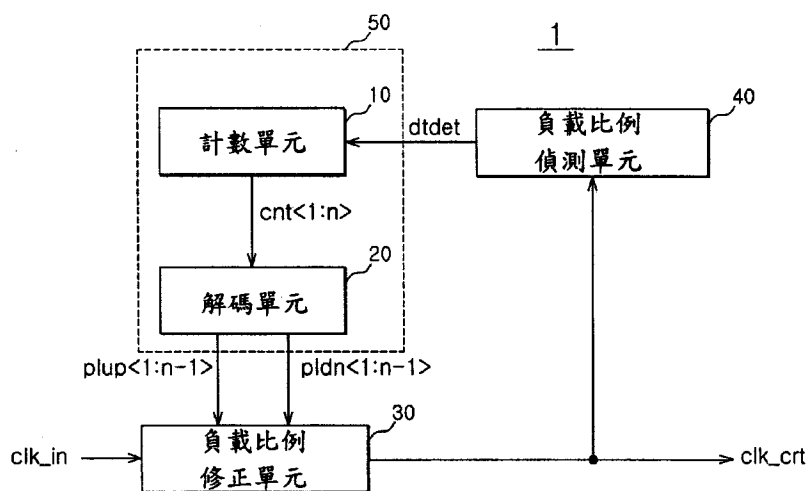
(54)名稱

負載週期修正電路與修正負載週期的方法

DUTY CYCLE CORRECTING CIRCUIT AND METHOD OF CORRECTING A DUTY CYCLE

(57)摘要

本發明提供一種負載週期修正電路，包括一負載比例控制單元，其經配置以回應於一負載比例偵測信號來交替改變一升壓控制信號之複數個位元及一降壓控制信號之複數個位元的邏輯數值；一負載比例修正單元，其經配置以回應於該升壓控制信號之該等複數個位元及該降壓控制信號之該等複數個位元而調整一第一驅動器與一第二驅動器之驅動能力以輸出一修正時脈信號；及一負載比例偵測單元，其經配置以偵測該修正時脈的一負載比例來產生該負載比例偵測信號。



1：負載週期修正電路

10：計數單元

20：解碼單元

30：負載比例修正單元

40：負載比例偵測單元

50：負載比例控制單元

clk_crt：修正時脈信號

clk_in：輸入時脈信號

cnt < 1:n >：計數信號

dt-det：負載比例偵測信號

pldn < 1:n-1 >：降壓控制信號

六、發明說明：

【發明所屬之技術領域】

此處所述之具體實施例係關於一種半導體積體電路(IC, "Integrated circuit")裝置及其方法，尤指一種包括在一半導體 IC 裝置中一負載週期修正電路，及修正一時脈信號之負載週期的方法。

【先前技術】

概言之，半導體 IC 裝置，例如同步動態隨機存取記憶體 (SDRAM, "Synchronous dynamic random access memory")裝置，其藉由使用時脈信號操作而增加作業速率。例如，一半導體 IC 裝置包括一時脈緩衝器，且緩衝化一外部時脈信號來在其內部使用。在一些案例中，該半導體 IC 裝置使用一延遲鎖定迴路(DLL, "Delay locked loop")電路或一相位鎖定迴路(PLL, "Phase locked loop")電路來產生及使用一內部時脈信號，其中與該外部時脈信號之相位差已經修正。在該半導體 IC 裝置中使用的內部時脈信號當中，一高位準間隔與一低位準間隔之間的比例，即一負載比例，其較佳是維持在一預定比例 50:50。但是，因為該半導體 IC 裝置包括多種延遲元件，該內部時脈信號之負載比例可以輕易地改變。

由於半導體 IC 裝置之高速作業，一時脈信號之利用率已經增加，其中需要具有一穩定負載比例之時脈。因此，每個半導體 IC 裝置包括一負載週期修正電路來穩定化一時脈信號之負載比例。該負載週期修正電路成為更加

重要，以在該半導體 IC 裝置的高速作業期間利用一穩定的時脈信號。

負載週期修正電路之種類可以分類成類比式及數位式。數位式負載週期修正電路之好處在於使用較少的半導體 IC 裝置之面積，及其高作業速率。數位式負載週期修正電路包括多重階段驅動器，且回應於一數位碼而改變該等驅動器之驅動能力，並調整一時脈信號的負載比例。例如，在一兩階段驅動器中，一第一階段一驅動器升壓之驅動能力及一第二階段一驅動器降壓之驅動能力經過調整，藉此改變一時脈信號之低位準間隔的寬度。因此，該數位碼為藉由使用一通用計數器產生一二元碼及解碼該二元碼所產生的信號。因此，當改變該數位碼之一邏輯值，該兩個階段個別驅動器的驅動能力依序改變。

該負載週期修正電路係經配置以使得複數個驅動器之一的驅動能力回應於該數位碼而先改變，且其它驅動器之驅動能力亦會改變。例如，該負載週期修正電路之操作使得該第一階段驅動器之升壓區段與該第二階段驅動器之降壓區段被設定成基於該數位碼之預設值而具有最大的驅動能力，且該第一階段驅動器升壓區段之驅動能力逐漸降低且最小化。此外，該第二階段驅動器降壓區段之驅動能力在當該數位碼改變時即逐漸降低及最小化。然而，如果該第一階段驅動器升壓區段之驅動能力為最小化，則該第一階段整個驅動器之驅動能力即降低，且在該兩個階段驅動器之間的扇出數差異即會增加。因此，所有的該等

驅動器皆會錯誤地運作。也就是說，該負載週期修正電路係僅考慮一負載週期修正作業來設計，而不考慮該等驅動器之間的扇出數。為此原因，即會降低該作業之穩定性。

【發明內容】

本發明揭示一種負載週期修正電路，以及一種修正一負載週期以實施一穩定負載週期修正作業之方法。

在一種態樣中，一負載週期修正電路包括一負載比例控制單元，其經配置以回應於一負載比例偵測信號來交替改變一升壓控制信號之複數個位元及一降壓控制信號之複數個位元的邏輯值；一負載比例修正單元，其經配置以回應於該升壓控制信號之該等複數個位元及該降壓控制信號之該等複數個位元而調整一第一驅動器與一第二驅動器之驅動能力以輸出一修正時脈信號；及一負載比例偵測單元，其經配置以偵測該修正時脈的一負載比例來產生該負載比例偵測信號。

在另一種態樣中，一負載週期修正電路包括一計數單元，其經配置以產生一計數信號之複數個位元，其邏輯值以一預定單位增加；一解碼單元，其經配置以根據該計數信號之該等複數個位元的一最低有效位元之邏輯值來改變一升壓控制信號之複數個位元與一降壓控制信號之複數個位元之一的邏輯值；及一負載比例修正單元，其經配置以回應於該升壓控制信號之該等複數個位元及該降壓控制信號之該等複數個位元而調整一第一驅動器與一第二驅動器之驅動能力以輸出一修正時脈信號。

在另一種態樣中，一種修正在一負載週期修正電路中一負載週期的負載週期修正方法，其中包括串聯連接的第一及第二驅動器，且修正一輸入時脈信號之負載比例來產生一修正時脈信號，該方法包括偵測該修正時脈信號之負載比例以產生一負載比例偵測信號，回應於該負載比例偵測信號改變該第一驅動器的驅動能力以修正該修正時脈信號之負載比例，偵測該修正時脈信號之負載比例來產生該負載比例偵測信號，且回應於該負載比例偵測信號改變該第二驅動器的驅動能力而修正該修正時脈信號之負載比例。

在根據本發明之具體實施例的負載週期修正電路與方法中，在修正一輸入時脈信號之負載週期的多重階段驅動器當中，該等驅動器之驅動能力係交替地改變，藉此防止該等驅動器之間的扇出數差異的增加。因此，其可實施一穩定負載週期修正作業。

再者，在根據本發明之具體實施例的負載週期修正電路與方法中，一負載週期修正作業可在當可以確保該多重階段驅動器之每一驅動器的穩定性時即會執行。因此，一時脈信號之負載週期可以準確地修正。

這些及其它特徵、態樣及具體實施例皆在以下的章節「實施方式」當中說明。

【實施方式】

第一圖為根據一具體實施例之示例性負載週期修正電路裝置之架構方塊圖。在第一圖中，負載週期修正電路

1 可經配置以包括一計數單元 10、一解碼單元 20、一負載比例修正單元 30、及一負載比例偵測單元 40。

計數單元 10 回應於一負載比例偵測信號「 dt_{det} 」而產生一計數信號「 $cnt<1:n>$ 」之 n 位元。該負載比例偵測信號「 dt_{det} 」在當一修正時脈信號「 clk_{crt} 」之低位準間隔寬於其高位準間隔時即被致能。計數單元 10 可在當負載比例偵測信號「 dt_{det} 」被致能時進行運作。在當計數單元 10 在運作時所產生計數信號「 $cnt<1:n>$ 」之 n 位元中，其邏輯值可用一預定單位增加，例如「1」。當負載比例偵測信號「 dt_{det} 」被除能時，計數單元 10 可鎖定計數信號「 $cnt<1:n>$ 」之 n 位元的邏輯值。

解碼單元 20 可解碼計數信號「 $cnt<1:n>$ 」之 n 位元而產生一升壓控制信號「 $plup<1:n-1>$ 」之 $(n-1)$ 位元，及一降壓控制信號「 $pldn<1:n-1>$ 」之 $(n-1)$ 位元。此外，解碼單元 20 可決定計數信號「 $cnt<1:n>$ 」之 n 位元之一最低有效位元的邏輯值，然後可以改變升壓控制信號「 $plup<1:n-1>$ 」之 $(n-1)$ 位元的邏輯值或降壓控制信號「 $pldn<1:n-1>$ 」之 $(n-1)$ 位元的邏輯值。例如，當計數信號「 $cnt<1:n>$ 」之 n 位元最低有效位元的邏輯值為「0」時，解碼單元 20 可以改變升壓控制信號「 $plup<1:n-1>$ 」之 $(n-1)$ 位元的邏輯值為「1」。當計數信號「 $cnt<1:n>$ 」之 n 位元最低有效位元的邏輯值為「1」時，解碼單元 20 可以改變降壓控制信號「 $pldn<1:n-1>$ 」之 $(n-1)$ 位元的邏輯值為「1」。

計數信號「 $cnt<1:n>$ 」之 n 位元可在當計數單元 10

改變在一單元中的邏輯值為「1」時即可產生，因此計數信號「cnt<1:n>」之 n 位元最低有效位元的邏輯值交替具有數值「0」或「1」。因此，升壓控制信號「plup<1:n-1>」之(n-1)位元的邏輯值與降壓控制信號「pldn<1:n-1>」之(n-1)位元的邏輯值可交替地改變。在此例中，解碼單元 20 可決定計數信號「cnt<1:n>」之 n 位元最低有效位元的邏輯值。解碼單元 20 亦可決定該第二低位元之邏輯值。

負載比例修正單元 30 可回應於升壓控制信號「plup<1:n-1>」之(n-1)位元的邏輯值與降壓控制信號「pldn<1:n-1>」之(n-1)位元的邏輯值而修正一輸入時脈信號「clk_in」之負載比例以輸出一修正時脈信號「clk_crt」。

負載比例修正單元 30 可經配置以包括多重階段驅動器，其將在以下詳細說明。負載比例修正單元 30 可使用串聯連接的第一與第二驅動器，並可修正輸入時脈信號「clk_in」之負載比例以輸出修正時脈信號「clk_crt」。在此，該第一驅動器與第二驅動器之每一者可包括一升壓區段及一降壓區段。

該第一驅動器升壓區段之驅動能力可回應於升壓控制信號「plup<1:n-1>」之(n-1)位元而改變，且該第二驅動器之降壓區段的驅動能力可回應於降壓控制信號「pldn<1:n-1>」之(n-1)位元而改變。升壓控制信號「plup<1:n-1>」之(n-1)位元可被輸入到該第二驅動器的升壓區段，而降壓控制信號「pldn<1:n-1>」之(n-1)位元可被輸入到該第一驅動器的降壓區段。

如上所述，升壓控制信號「 $\text{plup}<1:n-1>$ 」之 $(n-1)$ 位元的邏輯值與降壓控制信號「 $\text{pldn}<1:n-1>$ 」之 $(n-1)$ 位元的邏輯值可交替地改變成「1」。因此，該第一驅動器之升壓區段的驅動能力可回應於升壓控制信號「 $\text{plup}<1:n-1>$ 」之 $(n-1)$ 位元而運作，且該第二驅動器之降壓區段的驅動能力可回應於降壓控制信號「 $\text{pldn}<1:n-1>$ 」之 $(n-1)$ 位元而運作，其皆可交替地改變。因此，該第一驅動器之升壓區段與該第二驅動器之降壓區段可交替地改變它們的驅動能力。因此，該第一驅動器與第二驅動器之間的扇出數差異可經配置以不超過一預定範圍，藉此改善該作業的穩定性。

負載比例偵測單元 40 可偵測修正時脈信號「 clk_crt 」之負載比例來產生負載比例偵測信號「 dtdet 」。於負載週期修正電路 1 之初始作業時，修正時脈信號「 clk_crt 」之第一間隔，即一低位準間隔，其可寬於一第二間隔，即一高位準間隔。如果修正時脈信號「 clk_crt 」之第一間隔於執行上述的負載週期修正作業時未明顯地寬於其第二間隔，則負載比例偵測單元 40 可除能負載比例偵測信號「 dtdet 」，且負載週期修正電路 1 可停止改變修正時脈信號「 clk_crt 」之負載週期。負載週期偵測單元 40 之結構可以包括例如一負載累積器。

在第一圖中，計數單元 10 及解碼單元 20 可標示為負載比例控制單元 50。例如，負載比例控制單元 50 回應於負載比例偵測信號「 dtdet 」可交替地改變升壓控制信號「 $\text{plup}<1:n-1>$ 」之 $(n-1)$ 位元的邏輯值與降壓控制信號

「 $\text{pldn}<1:n-1>$ 」之 $(n-1)$ 位元的邏輯值。

第二圖為根據一具體實施例可包括於第一圖之裝置的一示例性解碼單元之架構圖，而第三圖為根據一具體實施例可包括於第一圖之裝置的一示例性負載比例修正單元之架構圖。為了解釋起見，變數「 n 」代表多種信號之 n 位元的數目為 5。然後，計數信號「 $\text{cnt}<1:5>$ 」之 5 個位元的最高有效位元係表示成計數信號「 $\text{cnt}<1>$ 」，而其最低有效位元係表示成計數信號「 $\text{cnt}<5>$ 」。同樣的方式，升壓控制信號「 $\text{plup}<1:4>$ 」及降壓控制信號「 $\text{pldn}<1:4>$ 」之最高有效位元，其每一個實施成 4 位元，其分別表示成升壓控制信號「 $\text{plup}<1>$ 」及降壓控制信號「 $\text{pldn}<1>$ 」，且其最低有效位元分別表示成升壓控制信號「 $\text{plup}<4>$ 」及降壓控制信號「 $\text{pldn}<4>$ 」。

如第二圖所示，一解碼單元 20a 可經配置以包括第一到第八正反器 FF1 到 FF8，及第一到第五反向器 IV1 到 IV5。第一反向器 IV1 可倒反計數信號「 $\text{cnt}<5>$ 」來產生一負計數信號「 $/\text{cnt}<5>$ 」。

第一正反器 FF1 可由一重置信號「 rst 」所重置，並可回應於負計數信號「 $/\text{cnt}<5>$ 」來閘鎖計數信號「 $\text{cnt}<1>$ 」而產生升壓控制信號「 $\text{plup}<1>$ 」。第二反向器 IV2 可接收計數信號 1 $\text{cnt}<1>$ 。第二正反器 FF2 可由重置信號「 rst 」重置，並可回應於計數信號「 $\text{cnt}<5>$ 」來閘鎖第二反向器 IV2 之輸出信號而輸出降壓控制信號「 $\text{pldn}<1>$ 」。

第三正反器 FF3 可由重置信號「 rst 」所重置，並可回

應於負計數信號「/cnt<5>」來門鎖計數信號「cnt<2>」而產生升壓控制信號「plup<2>」。第三反向器 IV2 可接收計數信號「cnt<2>」。

第四正反器 FF4 可由重置信號「rst」重置，並可回應於計數信號「cnt<5>」來門鎖第三反向器 IV3 之輸出信號而輸出降壓控制信號「pldn<2>」。

第五正反器 FF5 可由重置信號「rst」所重置，並可回應於負計數信號「/cnt<5>」來門鎖計數信號「cnt<3>」而產生升壓控制信號「plup<3>」。第四反向器 IV4 可接收計數信號「cnt<3>」。

第六正反器 FF6 可由重置信號「rst」重置，並可回應於計數信號「cnt<5>」來門鎖第四反向器 IV4 之輸出信號而輸出降壓控制信號「pldn<3>」。

第七正反器 FF7 可由重置信號「rst」所重置，並可回應於負計數信號「/cnt<5>」來門鎖計數信號「cnt<4>」而產生升壓控制信號「plup<4>」。第五反向器 IV5 可接收計數信號「cnt<4>」。

第八正反器 FF8 可由重置信號「rst」重置，並可回應於計數信號「cnt<5>」來門鎖第五反向器 IV5 之輸出信號而輸出降壓控制信號「pldn<4>」。

根據解碼單元 20a，升壓控制信號「plup<1:4>」之四個位元的邏輯值與降壓控制信號「pldn<1:4>」之四個位元的邏輯值可交替地改變。計數信號「cnt<1:5>」之五個位元、升壓控制信號「plup<1:4>」之四個位元及降壓控制信

號「pldn<1:4>」之四個位元的邏輯值的改變可參照下表 1 來瞭解。

[表 1]

小數	cnt<1:5>	plup<1>	plup<2>	plup<3>	plup<4>	pldn<1>	pldn<2>	pldn<3>	pldn<4>
0	00000	0	0	0	0	1	1	1	1
1	00001	0	0	0	0	1	1	1	1
2	00010	0	0	0	1	1	1	1	1
3	00011	0	0	0	1	1	1	1	0
4	00100	0	0	1	0	1	1	1	0
5	00101	0	0	1	0	1	1	0	1
6	00110	0	0	1	1	1	1	0	1
7	00111	0	0	1	1	1	1	0	0
8	01000	0	1	0	0	1	1	0	0
9	01001	0	1	0	0	1	0	1	1
10	01010	0	1	0	1	1	0	1	1
11	01011	0	1	0	1	1	0	1	0
12	01100	0	1	1	0	1	0	1	0
13	01101	0	1	1	0	1	0	0	1
14	01110	0	1	1	1	1	0	0	1
15	01111	0	1	1	1	1	0	0	0
16	10000	1	0	0	0	1	0	0	0
17	10001	1	0	0	0	0	1	1	1
18	10010	1	0	0	1	0	1	1	1
19	10011	1	0	0	1	0	1	1	0
20	10100	1	0	1	0	0	1	1	0
21	10101	1	0	1	0	0	1	0	1
22	10110	1	0	1	1	0	1	0	1
23	10111	1	0	1	1	0	1	0	0
24	11000	1	1	0	0	0	1	0	0
25	11001	1	1	0	0	0	0	1	1
26	11010	1	1	0	1	0	0	1	1
27	11011	1	1	0	1	0	0	1	0
28	11100	1	1	1	0	0	0	1	0
29	11101	1	1	1	0	0	0	0	1
30	11110	1	1	1	1	0	0	0	1
31	11111	1	1	1	1	0	0	0	0

如表 1 所示，當具有計數信號「cnt<1:5>」之五個位元的最低有效位元之計數信號「cnt<5>」的邏輯值為「0」時，升壓控制信號「plup<1:4>」之四個位元的邏輯值可增加「1」。當該計數信號「cnt<5>」的邏輯值為「1」時，升壓控制信號「pldn<1:4>」之四個位元的邏輯值可減少「1」。也就是說，解碼單元 20a 可取得計數信號「cnt<1:5>」之五個位元來產生升壓控制信號「plup<1:4>」之四個位元及降壓控制信號元「pldn<1:4>」之四個位元。因此，升壓控制信號「plup<1:4>」之四個位元的邏輯值與降壓控制信號「pldn<1:4>」之四個位元的邏輯值可交替地改變。因此，如果升壓控制信號「plup<1:4>」之四個位元的邏輯值與降壓控制信號「pldn<1:4>」之四個位元的邏輯值交替地改變，則負載比例修正單元 30 由於在該負載比例修正作業期間扇出數差異的增加而可防止一錯誤作業，其將在以下再次說明。

在第三圖中，一負載比例修正單元 30a 可包括一第一驅動器 310a 及一第二驅動器 320a。第一驅動器 310a 可回應於該升壓控制信號「plup<1:4>」之四個位元來驅動輸入時脈信號「clk_in」而輸出一驅動時脈信號「clk_drv」。在此，第一驅動器 310a 可包括一第一輸出節點(Nout1)、一第一預設驅動器 312、一第一升壓區段 314a 及一第一降壓區段 316a。第一輸出節點(Nout1)可輸出驅動時脈 clk_drv。此外，第一預設驅動器 312 可驅動輸入時脈信號「clk_in」，並可傳送輸入時脈信號「clk_in」到第一輸出

節點(Nout1)。

第一預設驅動器 312 可包括第一到第四電晶體 TR1 到 TR4。第一電晶體 TR1 可包括接收輸入時脈信號「clk_in」之一閘極終端，及供應一外部電壓 VDD 之一源極終端。第二電晶體 TR2 可包括供應一接地電壓 VSS 之一閘極終端，連接至第一電晶體 TR1 一汲極終端之一源極終端，及連接至第一輸出節點(Nout1)之一汲極終端。第三電晶體 TR3 可包括供應有外部電壓 VDD 之一閘極終端，與可連接至第一輸出節點(Nout1)之一汲極終端。第四電晶體 TR4 可包括接收輸入時脈信號「clk_in」之一閘極終端，可連接至第三電晶體 TR3 一源極終端之一汲極終端，與可連接至接地之一源極終端。

第一升壓區段 314a 可回應於輸入時脈信號「clk_in」與升壓控制信號「plup<1:4>」之四個位元而拉升第一輸出節點(Nout1)的一電壓位準。第一升壓區段 314a 可包括第五電晶體 TR5a<1:4>的四群組，及第六電晶體 TR6a<1:4>之四群組。

在第三圖中，第五電晶體 TR5a<1:4>之四群組之每一群組可包括接收輸入時脈信號「clk_in」之一閘極終端，及可供應外部電壓 VDD 之一源極終端。第六電晶體 TR6a<1:4>之四群組之每一群組可包括接收升壓控制信號「plup<1:4>」之四個位元中每一個位元之一閘極終端，可連接至該第五電晶體 TR5a<1:4>之四群組每一個汲極終端之一源極終端，及可連接至第一輸出節點(Nout1)之一汲極

終端。

第一升壓區段 316a 可回應於外部電壓 VDD 及輸入時脈信號「clk_in」而降低第一輸出節點(Nout1)之一電壓位準。第一降壓區段 316a 可經配置以包括第七電晶體 TR7a<1:4>的四群組，及第八電晶體 TR8a<1:4>之四群組。

該第七電晶體 TR7a<1:4>之四群組的每一群組可包括供應外部電壓 VDD 之一閘極終端，與可連接至第一輸出節點(Nout1)之一汲極終端。此外，該第八電晶體 TR8a<1:4>之四群組之每一群組可包括接收輸入時脈信號「clk_in」之一閘極終端，可連接至該第七電晶體 TR7a<1:4>之四群組每一群組一源級終端之一源極終端，及可連接至接地之一源極終端。

第二驅動器 320a 回應於降壓控制信號「pldn<1:4>」之四個位元來驅動驅動時脈信號「clk_drv」而產生修正時脈信號「clk_crt」。此外，第二驅動器 320a 可包括一第二輸出節點(Nout2)、一第二預設驅動器 322、一第二升壓區段 324a 及一第二降壓區段 326a。第二輸出節點(Nout2)可輸出修正時脈信號「clk_crt」。

第二預設驅動器 322 可驅動驅動時脈信號「clk_drv」，並可傳送該驅動時脈到第二輸出節點(Nout2)。第二預設驅動器 322 可包括一第九到第十二電晶體 TR9 到 TR12。

第九電晶體 TR9 可包括接收驅動時脈信號「clk_drv」之一閘極終端，及供應外部電壓 VDD 之一源極終端。第十電晶體 TR10 可包括供應接地電壓 VSS 之一閘極終端，

連接至第九電晶體 TR9 一汲極終端之一源極終端，及連接至第二輸出節點(Nout2)之一汲極終端。第十一電晶體 TR11 可包括供應有外部電壓 VDD 之一閘極終端，與可連接至第二輸出節點(Nout2)之一汲極終端。第十二電晶體 TR12 可包括接收驅動時脈信號「clk_drv」之一閘極終端，可連接至第十一電晶體 TR11 一源極終端之一汲極終端，與可連接至接地之一源極終端。

第二升壓區段 324a 回應於驅動時脈信號「clk_drv」及接地電壓 VSS 而拉升第二輸出節點(Nout2)之一電壓位準。此外，第二升壓區段 324a 可經配置以包括第十三電晶體 TR13a<1:4>之四群組，及第十四電晶體 TR14a<1:4>之四群組。

在第三圖中，第十三電晶體 TR13a<1:4>之四群組之每一群組可包括接收驅動時脈信號「clk_drv」之一閘極終端，及可供應外部電壓 VDD 之一源極終端。該第十四電晶體 TR14a<1:4>之四群組之每一群組可包括供應接地電壓 VSS 之一閘極終端，連接至第十三電晶體 TR13a<1:4>之四群組每一個汲極終端之一源極終端，及可連接至第二輸出節點(Nout2)之一汲極終端。

第二升壓區段 326a 可回應於降壓控制信號「pldn<1:4>」之四個位元及驅動時脈信號「clk_drv」而降低第二輸出節點(Nout2)之一電壓位準。此外，第二降壓區段 326a 可經配置以包括第十五電晶體 TR15a<1:4>之四群組，及該第十六電晶體 TR16a<1:4>之四群組。

在第三圖中，該第十五電晶體 TR15a<1:4>之四群組的每一群組可包括供應有外部電壓 VDD 之一閘極終端，與可連接至第二輸出節點(Nout2)之一汲極終端。該第十六電晶體 TR16a<1:4>之四群組之每一群組可包括接收驅動時脈信號「clk_drv」之一閘極終端，可連接至該第十五電晶體 TR15a<1:4>之四群組每一個源極終端之一汲極終端，及可連接至接地之一源極終端。

在具有上述之例示性結構的負載比例修正單元 30a 中，如果升壓控制信號「plup<1:4>」之四個位元及降壓控制信號「pldn<1:4>」之四個位元的邏輯值如表 1 所示，一低位準間隔於修正時脈信號「clk_crt」之初始波形中寬於一高位準間隔。然後，當升壓控制信號「plup<1:4>」之四個位元及降壓控制信號「pldn<1:4>」之四個位元的邏輯值依序變化時，第一驅動器 310a 之第一升壓區段 314a 的驅動能力及第二驅動器 320a 之第二降壓區段 326a 的驅動能力可以交替地降低，其會造成窄化修正時脈信號「clk_crt」之低位準間隔。如果修正時脈信號「clk_crt」之低位準間隔未明顯寬於其高位準間隔時，則第一驅動器 310a 之第一升壓區段 314a 的驅動能力及第二驅動器 320a 之第二降壓區段 326a 的驅動能力可被鎖定。

第四圖為根據另一具體實施例可用於第一圖之裝置的另一例示性解碼單元之架構圖，而第五圖為根據另一具體實施例可用於第一圖之裝置的另一例示性負載比例修正單元之架構圖。在第四圖及第五圖中，升壓控制信號

「plup」及降壓控制信號「pldn」之每一者可實施成四個位元。此外，升壓控制信號「plup」可包括一第一升壓控制信號「plup1<1:4>」及一第二升壓控制信號「plup2<1:4>」。類似地，降壓控制信號「pldn」可包括一第一降壓控制信號「pldn1<1:4>」及一第二降壓控制信號「pldn2<1:4>」。因此，計數信號「cnt<1:n>」可實施成一六個位元之信號，其中一最高有效位元可表示成一計數信號「cnt<1:n>」，且一最低有效位元可表示成一計數信號「cnt<6>」。

在第四圖中，解碼單元 20b 可經配置以包括一解碼器 DEC，第九到第二十四正反器 FF9 到 FF24，及第六到第九反向器 IV6 到 IV9。

解碼器 DEC 可解碼計數信號「cnt<5>」及計數信號「cnt<6>」來產生第一到第四門鎖控制信號「lat<1:4>」。第一到第四門鎖控制信號「lat<1:4>」可根據在計數信號「cnt<1:6>」之邏輯值中的改變而依序地致能。

第九正反器 FF9 可由一重置信號「rst」所重置，並可回應於第一門鎖控制信號「lat<1>」來門鎖計數信號「cnt<1>」而產生一第一升壓控制信號「plup1<1>」。第十正反器 FF10 可由重置信號「rst」重置，並回應於第三門鎖控制信號「lat<3>」而產生第一升壓控制信號「plup1<1>」。第六反向器 IV6 可接收計數信號「cnt<1>」。第十一正反器 FF11 可由重置信號「rst」重置，並可回應於第二門鎖控制信號「lat<2>」來門鎖第六反向器 IV6 之

輸出信號而輸出一第二降壓控制信號「pldn2<1>」。第十二正反器 FF12 可由重置信號「rst」所重置，並可回應於第四門鎖控制信號「lat<4>」來門鎖第二降壓控制信號「pldn2<1>」而輸出一第二降壓控制信號「pldn2<1>」。

第十三正反器 FF13 可由重置信號「rst」所重置，並可回應於第一門鎖控制信號「lat<1>」來門鎖計數信號「cnt<2>」而產生一第一升壓控制信號「plup1<2>」。第十四正反器 FF14 可由重置信號「rst」重置，並回應於第三門鎖控制信號「lat<3>」而產生第一升壓控制信號「plup1<2>」。第七反向器 IV7 可接收計數信號「cnt<2>」。第十五正反器 FF15 可由重置信號「rst」重置，並可回應於第二門鎖控制信號「lat<2>」來門鎖第七反向器 IV7 之輸出信號而輸出一第二降壓控制信號「pldn2<2>」。第十六正反器 FF16 可由重置信號「rst」所重置，並可回應於第四門鎖控制信號「lat<4>」來門鎖第二降壓控制信號「pldn2<2>」而輸出一第二升壓控制信號「plup2<2>」。

第十七正反器 FF17 可由重置信號「rst」所重置，並可回應於第一門鎖控制信號「lat<1>」來門鎖計數信號「cnt<3>」而產生一第一升壓控制信號「plup1<3>」。第十八正反器 FF18 可由重置信號「rst」重置，並回應於第三門鎖控制信號「lat<3>」而產生第一升壓控制信號「plup1<3>」。第八反向器 IV8 可接收計數信號「cnt<3>」。第十九正反器 FF19 可由重置信號「rst」重置，並可回應於第二門鎖控制信號「lat<2>」來門鎖第八反向器 IV8 之

輸出信號而輸出一第二降壓控制信號「pldn2<3>」。第二十正反器 FF20 可由重置信號「rst」所重置，並可回應於第四門鎖控制信號「lat<4>」來門鎖第二降壓控制信號「pldn2<3>」而輸出一第二升壓控制信號「plup2<3>」。

第二十一正反器 FF21 可由重置信號「rst」所重置，並可回應於第一門鎖控制信號「lat<1>」來門鎖計數信號「cnt<4>」而產生一第一升壓控制信號「plup1<4>」。第二十二正反器 FF22 可由重置信號「rst」重置，並回應於第三門鎖控制信號「lat<3>」而產生第一升壓控制信號「plup1<4>」。第九反向器 IV9 可接收計數信號「cnt<4>」。第二十三正反器 FF23 可由重置信號「rst」重置，並可回應於第二門鎖控制信號「lat<2>」來門鎖第九反向器 IV9 之輸出信號而輸出一第二降壓控制信號「pldn2<4>」。第二十四正反器 FF24 可由重置信號「rst」所重置，並可回應於第四門鎖控制信號「lat<4>」來門鎖第二降壓控制信號「pldn2<4>」而輸出一第二升壓控制信號「pldn2<4>」。

根據解碼單元 20b 之示例性結構，在該計數信號「cnt<1:6>」之六個位元當中兩下方位元可在當選擇其邏輯值在第一升壓控制信號「plup1<1:4>」、第一降壓控制信號「pldn1<1:4>」、第二升壓控制信號「plup2<1:4>」及第二降壓控制信號「pldn2<1:4>」當中變化的一信號時即可使用。第一升壓控制信號「plup1<1:4>」及第一降壓控制信號「pldn1<1:4>」可實施成使得它們的邏輯值可相同於該初始波形，並可增加「1」。此外，第二升壓控制信號

「plup2<1:4>」及第二降壓控制信號「pldn2<1:4>」可實施成使得它們的邏輯值可相同於該初始波形，並可減少「1」。因此，當該計數信號「cnt<1:6>」之六個位元當中兩個下方位元的邏輯值有改變時，依照順序第一升壓控制信號「plup1<1:4>」、第二降壓控制信號「pldn2<1:4>」、第一降壓控制信號「pldn1<1:4>」及第二升壓控制信號「plup2<1:4>」來改變它們的邏輯值。

在第五圖中，負載比例修正單元 30b 可經配置以實質上類似於第三圖所示之負載比例修正單元 30a 之配置。然而，負載比例修正單元 30b 可不同於負載比例修正單元 30a 中一第一驅動器 310b 之第一升壓區段 314b 的驅動能力可回應於第一升壓控制信號「plup1<1:4>」來改變，一第一降壓區段 316b 之驅動能力可回應於第一降壓控制信號「pldn1<1:4>」之驅動能力來改變，一第二驅動器 320b 之第二升壓區段 324b 的驅動能力可回應於第二升壓控制信號「plup2<1:4>」來改變，且一第二降壓區段 326b 之驅動能力可回應於第二降壓控制信號「pldn2<1:4>」來改變。

第一升壓區段 314a 可包括第五電晶體 TR5b<1:4>之四群組，及第六電晶體 TR6b<1:4>之四群組。該第五電晶體 TR5b<1:4>之四群組之每一群組可包括接收輸入時脈信號「clk_in」之一閘極終端，及可供應外部電壓 VDD 之一源極終端。該第六電晶體 TR6b<1:4>之四群組之每一群組可包括接收一升壓控制信號「plup1<1:4>」之四個位元每個位元之一閘極終端，可連接至該第五電晶體 TR5b<1:4>

之四群組每一個汲極終端之一源極終端，及可連接至第一輸出節點(Nout1)之一汲極終端。

第一降壓區段 316b 可經配置以包括第七電晶體 TR7b<1:4>之四群組，及第八電晶體 TR8b<1:4>之四群組。該第七電晶體 TR7b<1:4>之四群組的每一群組可包括接收第一降壓控制信號「p1dn1<1:4>」之四個位元每一位元之一閘極終端，與可連接至第一輸出節點(Nout1)之一汲極終端。該第八電晶體 TR8b<1:4>之四群組之每一群組可包括接收輸入時脈信號「clk_in」之一閘極終端，可連接至該第七電晶體 TR7b<1:4>之四群組每一個源極終端之一汲極終端，及可連接至接地之一源極終端。

第二升壓區段 324b 可經配置以包括第十三電晶體 TR13b<1:4>的四群組，及第十四電晶體 TR14b<1:4>之四群組。第十三電晶體 TR13b<1:4>之四群組之每一群組可包括接收驅動時脈信號「clk_drv」之一閘極終端，及可供應外部電壓 VDD 之一源極終端。第十四電晶體 TR14b<1:4>之四群組之每一群組可包括接收第二升壓控制信號「plup2<1:4>」之四個位元每個位元之一閘極終端，可連接至該第十三電晶體 TR13b<1:4>之四群組每一個汲極終端之一源極終端，及可連接至第二輸出節點(Nout2)之一汲極終端。

第二降壓區段 326b 可經配置以包括第十五電晶體 TR15b<1:4>的四群組，及第十六電晶體 TR16b<1:4>之四群組。該第十五電晶體 TR15b<1:4>之四群組的每一群組

可包括接收第二降壓控制信號「p1dn2<1:4>」之四個位元每一位元之一閘極終端，與可連接至第二輸出節點(Nout2)之一源極終端。該第十六電晶體 TR16b<1:4>之四群組之每一群組可包括接收驅動時脈信號「clk_drv」之一閘極終端，可連接至該第十五電晶體 TR15b<1:4>之四群組每一個源極終端之一汲極終端，及可連接至接地之一源極終端。

當第一升壓控制信號「plup<1:4>」、第二降壓控制信號「p1dn2<1:4>」、第一升壓控制信號「p1dn1<1:4>」及第二升壓控制信號「plup2<1:4>」之邏輯值可一個位元一個位元地交替改變，其順序上依照第一驅動器 310 之第一升壓區段 314、第二驅動器 320 之第二降壓區段 326、第一驅動器 310 之第一降壓區段 316 及第二驅動器 320 之第二升壓區段 324 來改變其驅動能力。因此，負載比例修正單元 30b 可逐漸地窄化修正時脈信號「clk_crt」之低位準間隔，藉此修正一負載比例。因此，相較於第二圖及第三圖所示的配置，其可執行一精心製作的負載比例修正作業。

如上所述，在一負載週期修正電路與修正一負載週期的方法中，一輸入時脈信號之負載週期可以在當該等驅動器之驅動能力可以交替地改變時使用多重階段驅動器來修正，藉此防止由於該等驅動器之間一扇出數差異而發生的錯誤作業。藉此，藉由使用該等下方位元來在解碼其邏輯值增加「1」的計數信號中彼此區別該等驅動器，一負載週期修正電路之運作穩定性可以改善，並可穩定地執行

負載週期修正。

於上述已經說明某些具體實施例之後，其將可瞭解到所述的該等具體實施例僅做為示例。因此，此處所述的裝置及方法並不限於所述的該等具體實施例。而是此處所述的該等裝置及方法必須僅受限於配合以上說明及附屬圖面所依據的該等申請專利範圍。

【圖式簡單說明】

特徵、態樣及具體實施例係配合附屬圖面進行說明，其中：

第一圖為根據一具體實施例之例示性負載週期修正電路裝置之示意方塊圖；

第二圖為根據一具體實施例中可包括有第一圖之裝置的一例示性解碼單元之示意圖；

第三圖為根據一具體實施例中可包括有第一圖之裝置的一例示性負載比例修正單元之示意圖；

第四圖為根據另一具體實施例中可用於第一圖之裝置中的另一例示性解碼單元之示意圖；及

第五圖為根據另一具體實施例中可用於第一圖之裝置中的另一例示性負載比例修正單元之示意圖。

【主要元件符號說明】

- 1 負載週期修正電路
- 10 計數單元
- 20 解碼單元
- 20a 解碼單元

- 20b 解碼單元
- 30 負載比例修正單元
- 30a 負載比例修正單元
- 30b 負載比例修正單元
- 40 負載比例偵測單元
- 50 負載比例控制單元
- 310a 第一驅動器
- 310b 第一驅動器
- 312 第一預設驅動器
- 314a 第一升壓區段
- 314b 第一升壓區段
- 316a 第一降壓區段
- 316b 第一降壓區段
- 320a 第二驅動器
- 320b 第二驅動器
- 322 第二預設驅動器
- 324a 第二升壓區段
- 324b 第二升壓區段
- 326a 第二降壓區段
- 326b 第二降壓區段
- /cnt<5> 負計數信號
- clk_crt 修正時脈信號
- clk_drv 驅動時脈信號
- clk_in 輸入時脈信號

cnt<1:n> 計數信號

cnt<1>~cnt<6> 計數信號

DEC 解碼器

dt det 負載比例偵測信號

FF1~FF24 第一正反器~第二十四正反器

IV1~IV9 第一反向器~第九反向器

lat<1>~lat<4> 第一~第四門鎖控制信號

pldn<1:n-1> 降壓控制信號

pldn<1>~pldn<4> 降壓控制信號

pldn1<1>~pldn1<4> 降壓控制信號

pldn2<1>~pldn2<4> 降壓控制信號

plup<1:n-1> 升壓控制信號

plup<1>~plup<4> 升壓控制信號

plup1<1>~plup1<4> 升壓控制信號

plup2<1>~plup2<4> 升壓控制信號

rst 重置信號

TR1~TR4 第一~第四電晶體

TR13a<1>~TR13a<4> 第十三晶體群組群組 1~4

TR13b<1>~TR13b<4> 第十三晶體群組群組 1~4

TR14a<1>~TR14a<4> 第十四晶體群組群組 1~4

TR14b<1>~TR14b<4> 第十四晶體群組群組 1~4

TR15a<1>~TR15a<4> 第十五晶體群組群組 1~4

TR15b<1>~TR15b<4> 第十五晶體群組群組 1~4

TR16a<1>~TR16a<4> 第十六晶體群組群組 1~4

TR16b<1>~TR16b<4> 第十六晶體群組群組 1~4

TR5a<1>~TR5a<4> 第五晶體群組群組 1~4

TR5b<1>~TR5b<4> 第五晶體群組群組 1~4

TR6a<1>~TR6a<4> 第六晶體群組群組 1~4

TR6b<1>~TR6b<4> 第六晶體群組群組 1~4

TR7a<1>~TR7a<4> 第七晶體群組群組 1~4

TR7b<1>~TR7b<4> 第七晶體群組群組 1~4

TR8a<1>~TR8a<4> 第八晶體群組群組 1~4

TR8b<1>~TR8b<4> 第八晶體群組群組 1~4

TR9~TR12 第九~第十二電晶體

VDD 外部電壓

VSS 接地電壓

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98104775

※申請日：98.2.13 ※IPC 分類：G11C 7/2 (2006.01)

一、發明名稱：(中文/英文)

負載週期修正電路與修正負載週期的方法

DUTY CYCLE CORRECTING CIRCUIT AND METHOD OF
CORRECTING A DUTY CYCLE

二、中文發明摘要：

本發明提供一種負載週期修正電路，包括一負載比例控制單元，其經配置以回應於一負載比例偵測信號來交替改變一升壓控制信號之複數個位元及一降壓控制信號之複數個位元的邏輯數值；一負載比例修正單元，其經配置以回應於該升壓控制信號之該等複數個位元及該降壓控制信號之該等複數個位元而調整一第一驅動器與一第二驅動器之驅動能力以輸出一修正時脈信號；及一負載比例偵測單元，其經配置以偵測該修正時脈的一負載比例來產生該負載比例偵測信號。

三、英文發明摘要：

A duty cycle correcting circuit includes a duty ratio control unit configured to alternately change logical values of a plurality of bits of a pull-up control signal and a plurality of bits of a pull-down control signal in response to a duty ratio detection signal, a duty ratio correcting unit configured to adjust driving abilities of a first driver and a second driver in response to the

plurality of bits of the pull-up control signal and the plurality of bits of the pull-down control signal to output a correction clock signal, and a duty ratio detecting unit configured to detect a duty ratio of the correction clock to generate the duty ratio detection signal.

七、申請專利範圍：

1. 一種負載週期修正電路，其包含：

一負載比例控制單元，其經配置以回應於一負載比例偵測信號來交替地改變一升壓控制信號之複數個位元與一降壓控制信號之複數個位元的邏輯值；

一負載比例修正單元，其經配置以回應於該升壓控制信號之該等複數個位元與該降壓控制信號之該等複數個位元來調整一第一驅動器與一第二驅動器的驅動能力而輸出一修正時脈信號；及

一負載比例偵測單元，其經配置以偵測該修正時脈的一負載比例而產生該負載比例偵測信號。

2. 如申請專利範圍第 1 項之負載週期修正電路，其中該負載比例控制單元包括：

一計數單元，其經配置以回應於該負載比例偵測信號來產生一計數信號的複數個位元；及

一解碼單元，其經配置以解碼該計數信號之該等複數個位元以產生該升壓控制信號之該等複數個位元及該降壓控制信號之該等複數個位元。

3. 如申請專利範圍第 2 項之負載週期修正電路，其中該計數單元經配置用以當該負載比例偵測信號被致能時以一預定單位來增加該計數信號之該等複數個位元的邏輯值，且在當該負載比例偵測信號被除能時來鎖定該計數信號之該等複數個位元的邏輯值。

4. 如申請專利範圍第 2 項之負載週期修正電路，其中該解碼單

元經配置以根據該計數信號之該等位元的一最低有效位元的邏輯值來改變該升壓控制信號之該等複數個位元與該降壓控制信號之該等複數個位元之一的邏輯值。

5. 如申請專利範圍第 2 項之負載週期修正電路，其中該解碼單元經配置以根據該計數信號之該等位元的一最低有效位元之先前位元的邏輯值來改變該升壓控制信號之該等複數個位元與該降壓控制信號之該等複數個位元之一的邏輯值。
6. 如申請專利範圍第 4 項或第 5 項之負載週期修正電路，其中該第一驅動器與該第二驅動器之每一個驅動器包括一升壓區段與一降壓區段，且該第一驅動器的升壓區段之一驅動能力回應於該升壓控制信號之該等複數個位元而改變，且該第二驅動器的降壓區段之一驅動能力回應於該降壓控制信號之該等複數個位元而改變。
7. 如申請專利範圍第 6 項之負載週期修正電路，其中該第一驅動器包含：
 - 一輸出節點；
 - 一預設驅動器，其經配置以驅動該輸入時脈信號來傳送該受驅動輸入時脈信號到該輸出節點；
 - 一升壓區段，其經配置以回應於該輸入時脈信號與該升壓控制信號之該等複數個位元而拉升該輸出節點的一電壓位準；及
 - 一降壓區段，其經配置以回應於該輸入時脈信號而降低該輸出節點的電壓位準。
8. 如申請專利範圍第 6 項之負載週期修正電路，其中該第二驅

動器包含：

一輸出節點，其經配置以輸出該修正時脈信號；

一預設驅動器，其經配置以驅動該第一驅動器的輸出信號而傳送該受驅動輸出信號到該輸出節點；

一升壓區段，其經配置以回應於該第一驅動器的輸出信號而拉升該輸出節點的電壓位準；及

一降壓區段，其經配置以回應於該第一驅動器的輸出信號與該降壓控制信號的該等複數個位元而降低該輸出節點的電壓位準。

9. 如申請專利範圍第 1 項之負載週期修正電路，其中該負載週期偵測單元經配置用以當該修正時脈信號的第一位準間隔寬於其第二位準間隔時，維持該負載比例偵測信號之一致能的狀態，且在當該第一位準間隔不寬於該第二位準間隔時，除能該負載比例偵測信號。

10. 一種負載週期修正電路，其包含：

一計數單元，其經配置以產生一計數信號之複數個位元，其邏輯值以一預定單位增加；

一解碼單元，其經配置以根據該計數信號之該等複數個位元的一最低有效位元之邏輯值改變一升壓控制信號之複數個位元與一降壓控制信號之複數個位元之一的邏輯值；及

一負載比例修正單元，其經配置以回應於該升壓控制信號之該等複數個位元與該降壓控制信號之該等複數個位元而調整一第一驅動器與一第二驅動器的驅動能力以輸出

一修正時脈信號。

11. 如申請專利範圍第 10 項之負載週期修正電路，其中該計數單元經配置用以當該負載比例偵測信號被致能時，增加一計數信號之該等複數個位元的邏輯值，且在當該負載比例偵測信號被除能時，鎖定該計數信號之該等複數個位元的邏輯值。

12. 如申請專利範圍第 11 項之負載週期修正電路，其中該解碼單元經配置用以在當該計數信號的該等複數個位元之最低有效位元的邏輯值為一第一邏輯值時，改變一升壓控制信號之該等複數個位元的邏輯值，且在當該計數信號的該等複數個位元之最低有效位元的邏輯值為一第二邏輯值時，改變該降壓控制信號之該等複數個位元的邏輯值。

13. 如申請專利範圍第 12 項之負載週期修正電路，其中該第一驅動器包含：

一輸出節點；

一預設驅動器，其經配置以驅動該輸入時脈信號來傳送該受驅動輸入時脈信號到該輸出節點；

一第一升壓區段，其經配置以回應於該輸入時脈信號與該升壓控制信號之該等複數個位元而拉升該輸出節點的一電壓位準；及

一第一降壓區段，其經配置以回應於該輸入時脈信號而降低該輸出節點的電壓位準。

14. 如申請專利範圍第 12 項之負載週期修正電路，其中該第二驅動器包含：

一輸出節點，其經配置以輸出該修正時脈信號；

一預設驅動器，其經配置以驅動該第一驅動器的輸出信號而傳送該受驅動輸出信號到該輸出節點；

一第二升壓區段，其經配置以回應於該第一驅動器的輸出信號而拉升該輸出節點的電壓位準；及

一第二降壓區段，其經配置以回應於該第一驅動器的輸出信號與該降壓控制信號的該等複數個位元而降低該輸出節點的電壓位準。

15. 如申請專利範圍第 2 項或第 10 項之負載週期修正電路，其中該升壓控制信號包括一第一升壓控制信號及一第二升壓控制信號，且該降壓控制信號包括一第一降壓控制信號及一第二降壓控制信號。
16. 如申請專利範圍第 15 項之負載週期修正電路，其中該解碼單元經配置以根據該計數信號之該等複數個位元的兩下方位元的邏輯值以一預定單位來交替地改變該第一升壓控制信號、該第二降壓控制信號、該第一降壓控制信號及該第二升壓控制信號之邏輯值。
17. 如申請專利範圍第 16 項之負載週期修正電路，其中該負載比例修正單元之第一驅動器包括一第一升壓區段及一第一降壓區段，且其第二驅動器包括一第二升壓區段與一第二降壓區段。
18. 如申請專利範圍第 17 項之負載週期修正電路，其中該第一升壓區段、該第一降壓區段、該第二升壓區段及該第二降壓區段之驅動能力回應於該第一升壓控制信號、該第一降

壓控制信號、該第二升壓控制信號及該第二降壓控制信號而改變。

19. 如申請專利範圍第 18 項之負載週期修正電路，其中該第一驅動器包含：

一輸出節點；

一預設驅動器，其經配置以驅動該輸入時脈信號，且傳送該受驅動輸入時脈信號到該輸出節點；

該第一升壓區段經配置以回應於該輸入時脈信號與該第一升壓控制信號而拉升該輸出節點的一電壓位準；及

一第一降壓區段經配置以回應於該輸入時脈信號與該第一降壓控制信號而降低該輸出節點的電壓位準。

20. 如申請專利範圍第 18 項之負載週期修正電路，其中該第二驅動器包含：

一輸出節點，其經配置以輸出該修正時脈信號；

一預設驅動器，其經配置以驅動該第一驅動器的輸出信號而傳送該受驅動輸出信號到該輸出節點；

該第二升壓區段經配置以回應於該第一驅動器的輸出信號與該第二升壓控制信號而拉升該輸出節點的一電壓位準；及

該第二降壓區段經配置以回應於該第一驅動器的輸出信號與該第二降壓控制信號而降低該輸出節點的電壓位準。

21. 一種負載週期修正方法，其修正包括串聯連接的第一與第二驅動器之一負載週期修正電路中一負載週期，且修正一

輸入時脈信號之負載比例來產生一修正時脈信號，其包含：

偵測該修正時脈信號之負載比例而產生一負載比例偵測信號；

回應於該負載比例偵測信號改變該第一驅動器之驅動能力，以修正該修正時脈信號之負載比例；

偵測該修正時脈信號之負載比例以產生該負載比例偵測信號；及

回應於該負載比例偵測信號改變該第二驅動器之驅動能力，以修正該修正時脈信號之負載比例。

22. 如申請專利範圍第 21 項之負載週期修正方法，其中該產生該負載比例偵測信號在當該修正時脈信號的第一位準間隔寬於其第二位準間隔時，維持該負載比例偵測信號之一致能的狀態，而在當該第一位準間隔不寬於該第二位準間隔時，除能該負載比例偵測信號。

23. 如申請專利範圍第 21 項之負載週期修正方法，其中該改變該第一驅動器之驅動能力來修正該修正時脈信號之負載比例包含：

在偵測到該負載比例偵測信號被致能時，執行一計數作業來增加一計數信號之複數個位元的邏輯值；

根據該計數信號之該等複數個位元的一最低有效位元的邏輯值而改變一升壓控制信號之複數個位元的邏輯值；及

回應於該升壓控制信號之該等複數個位元而改變該第一驅動器之升壓區段的驅動能力。

24. 如申請專利範圍第 21 項之負載週期修正方法，其中該改變該第二驅動器之驅動能力來修正該修正時脈信號之負載比例包含：

在偵測到該負載比例偵測信號被致能時，執行一計數作業來增加一計數信號之複數個位元的邏輯值；

決定該計數信號之該等複數個位元的一最低有效位元的邏輯值，而根據該決定的邏輯值來改變一降壓控制信號之複數個位元的邏輯值；及

回應於該降壓控制信號之該等複數個位元而改變該第二驅動器之降壓區段的驅動能力。

25. 如申請專利範圍第 21 項之負載週期修正方法，其中該改變該第一驅動器之驅動能力來修正該修正時脈信號之負載比例包含：

在偵測到該負載比例偵測信號被致能時，執行一計數作業來增加一計數信號之複數個位元的邏輯值；

根據該計數信號之該等複數個位元的兩下方位元之邏輯值而改變一降壓控制信號之複數個位元的邏輯值；及

回應於該降壓控制信號之該等複數個位元而改變該第一驅動器之降壓區段的驅動能力。

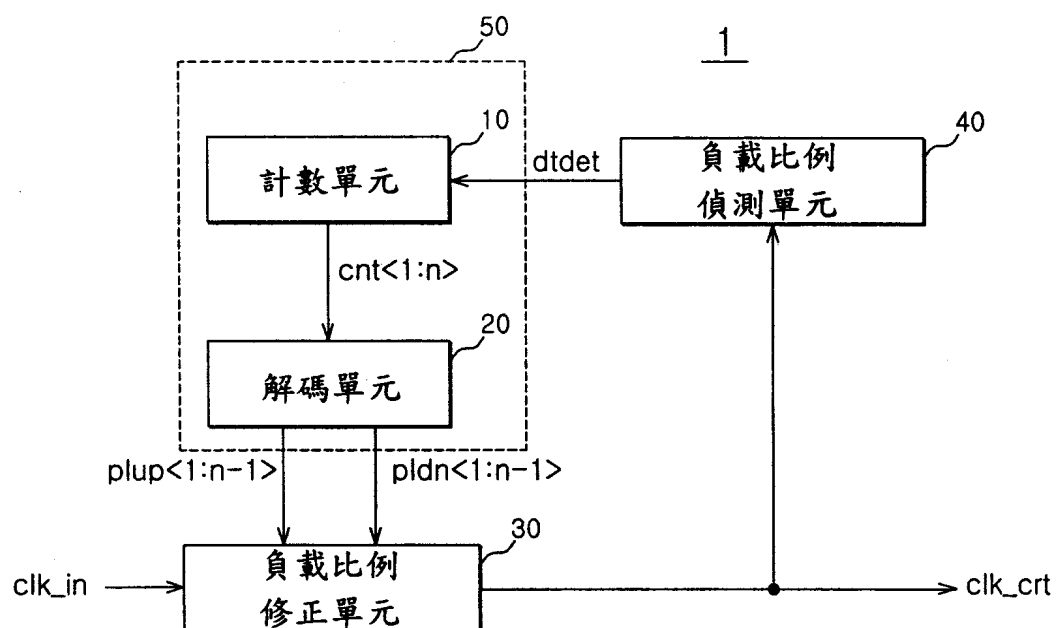
26. 如申請專利範圍第 21 項之負載週期修正方法，其中該改變該第二驅動器之驅動能力來修正該修正時脈信號之負載比例包含：

在偵測到該負載比例偵測信號被致能時，執行一計數作業來增加一計數信號之複數個位元的邏輯值；

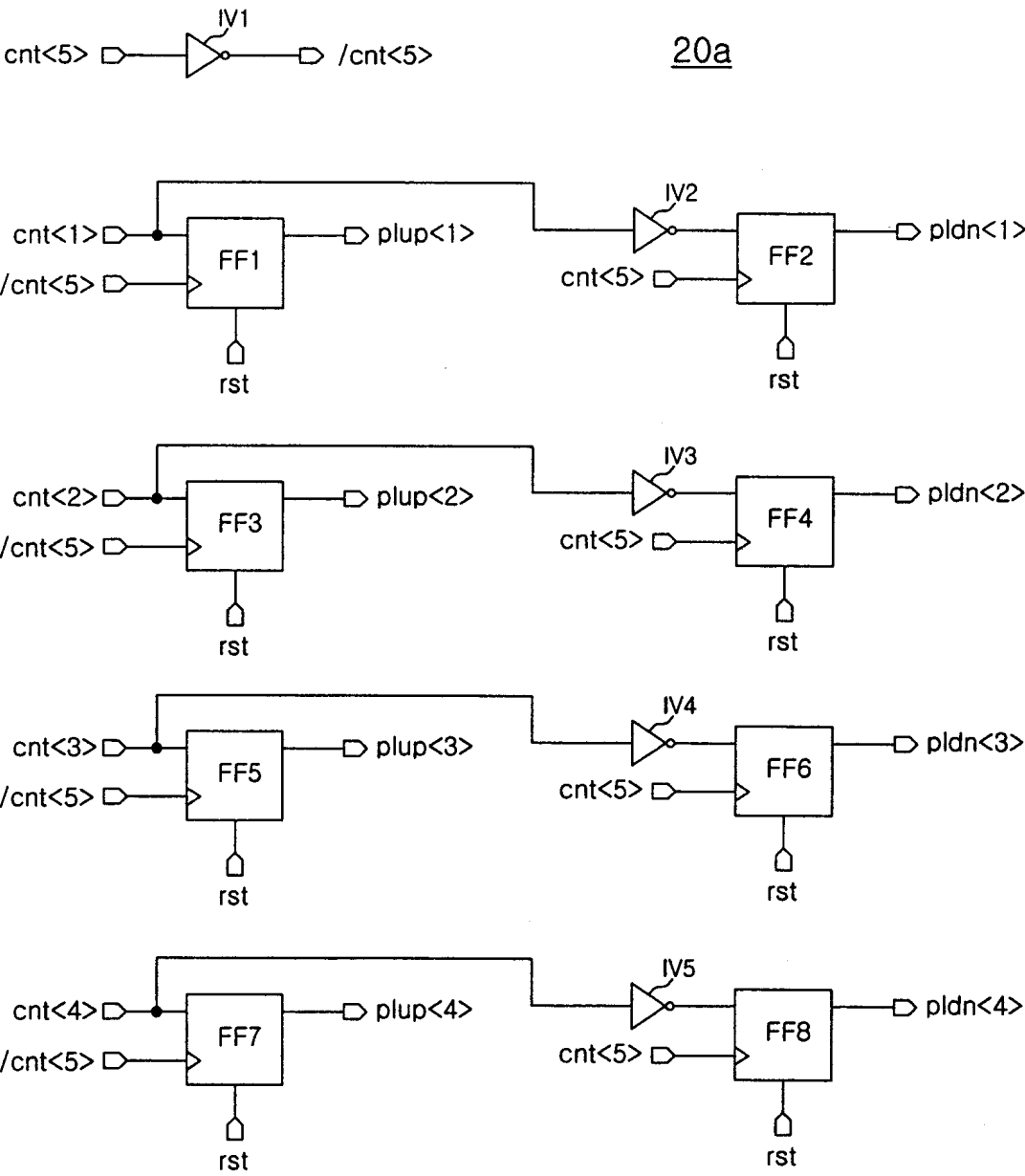
根據該計數信號之該等複數個位元的兩下方位元的邏輯值而改變一升壓控制信號之複數個位元的邏輯值；及

回應於該升壓控制信號之該等複數個位元而改變該第二驅動器之升壓區段的驅動能力。

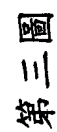
八、圖式：

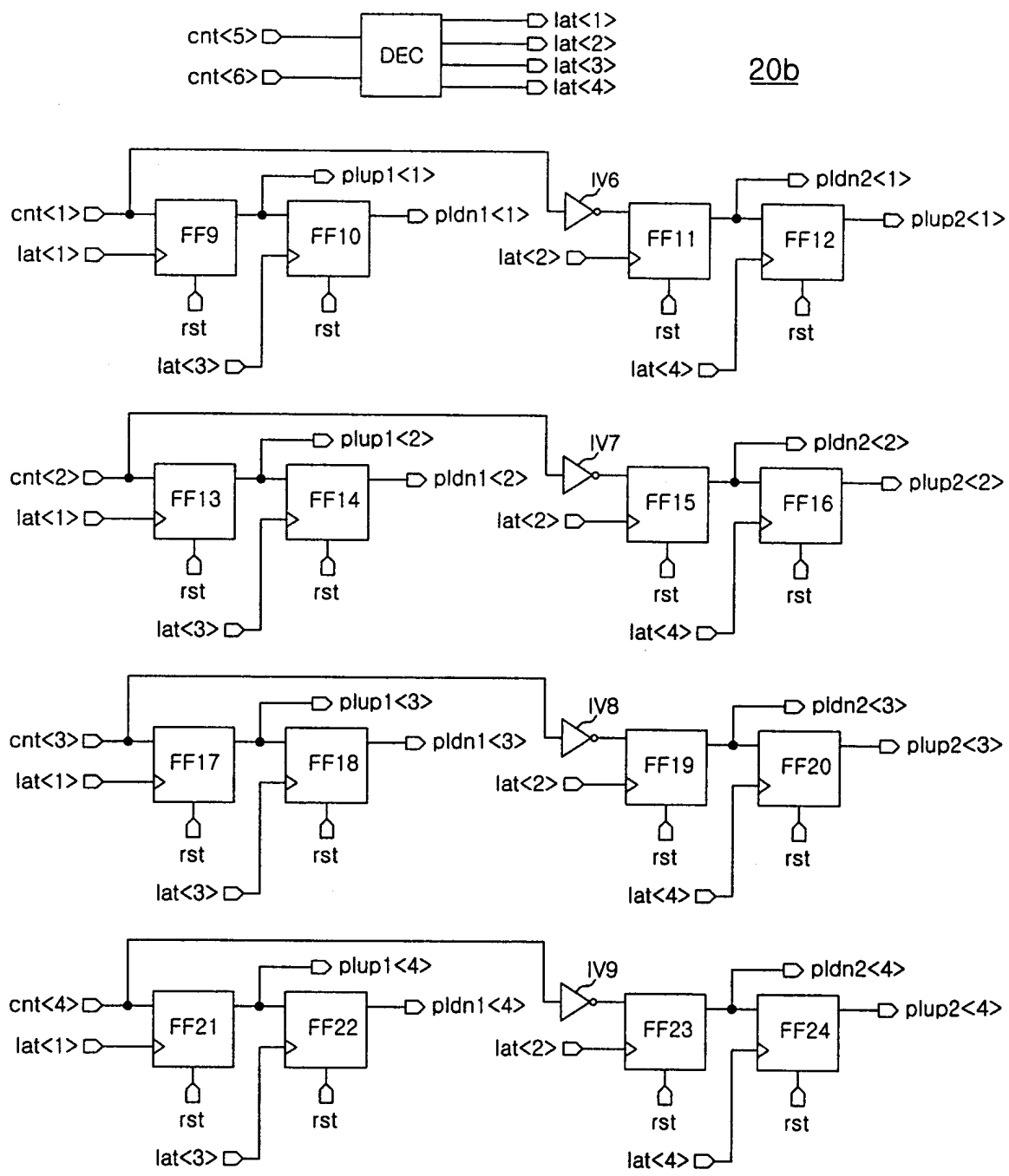


第一圖

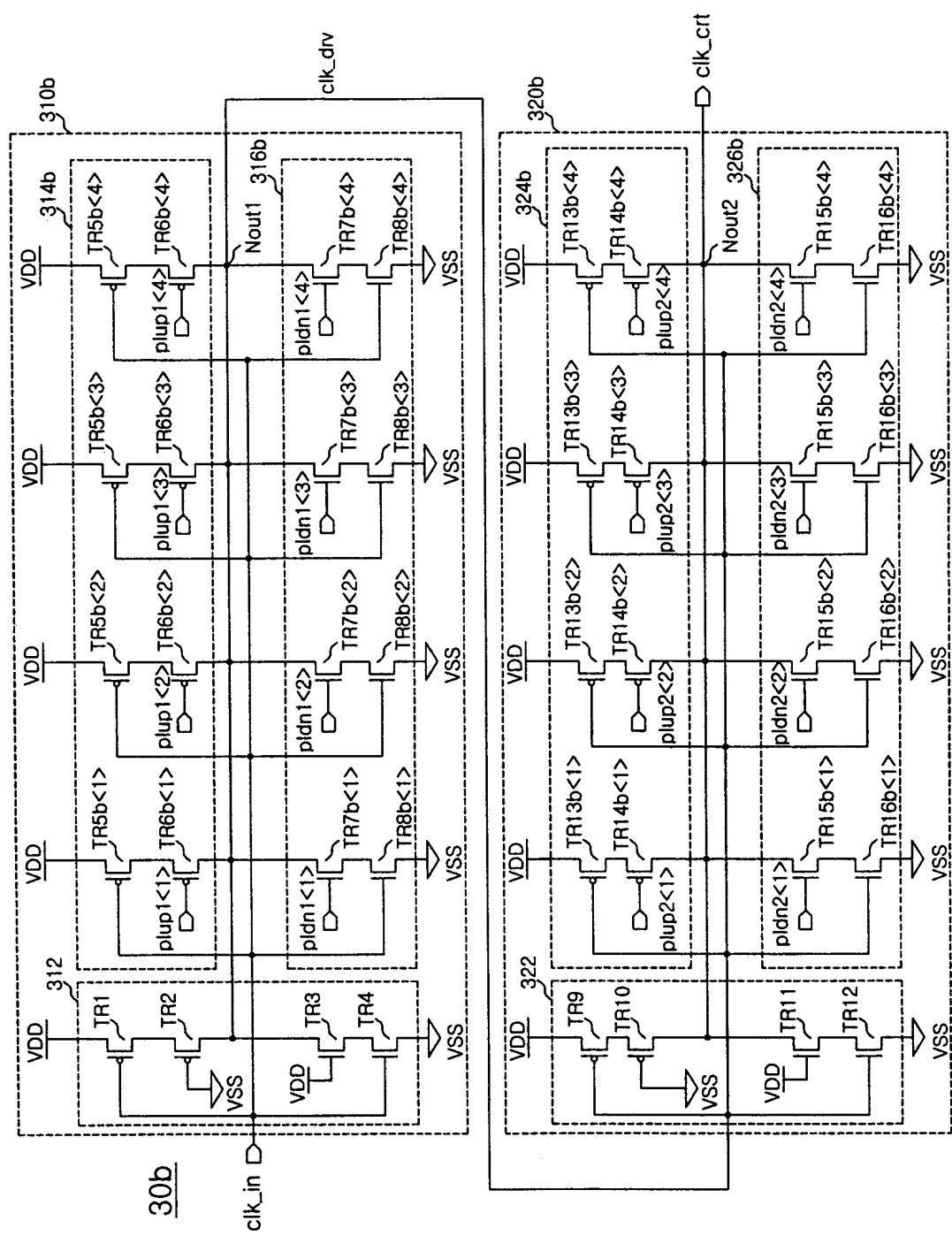


第二圖





第四圖



第五圖

四、指定代表圖：

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件符號簡單說明：

1	負載週期修正電路
10	計數單元
20	解碼單元
30	負載比例修正單元
40	負載比例偵測單元
50	負載比例控制單元
clk_crt	修正時脈信號
clk_in	輸入時脈信號
cnt<1:n>	計數信號
dtDET	負載比例偵測信號
pldn<1:n-1>	降壓控制信號
plup<1:n-1>	升壓控制信號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。