



(12)发明专利申请

(10)申请公布号 CN 109716529 A

(43)申请公布日 2019.05.03

(21)申请号 201780058467.3

(22)申请日 2017.08.28

(30)优先权数据

15/271,867 2016.09.21 US

(85)PCT国际申请进入国家阶段日

2019.03.19

(86)PCT国际申请的申请数据

PCT/US2017/048841 2017.08.28

(87)PCT国际申请的公布数据

W02018/057243 EN 2018.03.29

(71)申请人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 杨达 刘彦翔 袁骏 K·里姆

(74)专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 张宁

(51)Int.Cl.

H01L 29/66(2006.01)

H01L 29/78(2006.01)

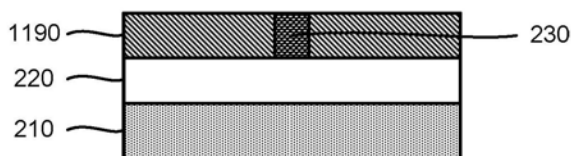
权利要求书3页 说明书10页 附图30页

(54)发明名称

FinFET中布图效应减缓

(57)摘要

描述了减缓布图效应的多栅极器件和制造方法。在制造诸如FinFET器件之类的多栅极半导体器件的常规工艺中,可以使用长隔离切口掩模。这可以导致不希望的布图效应。为了减缓或消除布图效应,提出了其中层间电介质(ILD)层在制造工艺期间在栅极切口位置处保留完整的制造方法。



1. 一种用于形成半导体器件的方法,所述方法包括:
在衬底上形成浅沟槽隔离STI层;
在所述STI层上形成第一虚设栅极和第二虚设栅极;
在所述STI层上形成层间电介质ILD层,所述ILD层对应于栅极切口区域、并且将所述第一虚设栅极和所述第二虚设栅极分离;
在所述第一虚设栅极和所述第二虚设栅极上、并且在所述ILD层上形成第一掩模,所述第一掩模具有对应于隔离切口区域、并且暴露所述第一虚设栅极和所述第二虚设栅极以及所述ILD层的沟槽,所述隔离切口区域是隔离切口掩模的区域,以及所述栅极切口区域与所述隔离切口区域相交;
在所述第一掩模上、并且在由所述沟槽暴露的所述ILD层上形成第二掩模;
移除所述第一虚设栅极和所述第二虚设栅极;
移除所述第一掩模和所述第二掩模,从而所述ILD层保留在所述STI层上;以及
填充由已移除的所述第一虚设栅极和所述第二虚设栅极留下的区域。
2. 根据权利要求1所述的方法,其中,所述栅极切口区域和所述隔离切口区域基本上彼此垂直。
3. 根据权利要求1所述的方法,其中,所述第一掩模和所述第二掩模具有不同的蚀刻选择性。
4. 根据权利要求1所述的方法,其中,形成所述第一掩模包括:
在所述第一虚设栅极和所述第二虚设栅极上、并且在所述ILD层上沉积第一掩模;
在所述第一掩模上沉积第一光致抗蚀剂,所述第一光致抗蚀剂具有对应于所述隔离切口区域的开口,并且所述开口暴露所述第一掩模的一部分;
蚀刻所述第一掩模的已暴露部分以形成所述沟槽;以及
移除所述第一光致抗蚀剂。
5. 根据权利要求1所述的方法,其中,移除所述第一虚设栅极和所述第二虚设栅极包括:
在所述第二掩模上沉积第二光致抗蚀剂,所述第二光致抗蚀剂对应于所述栅极切口区域,从而暴露所述第二掩模的在所述栅极切口区域外的部分;
移除所述第二掩模的已暴露部分,以便于暴露在所述栅极切口区域外的所述第一虚设栅极和所述第二虚设栅极;
移除所述第二光致抗蚀剂;以及
移除所述第一虚设栅极和所述第二虚设栅极,从而对应于所述栅极切口区域的所述ILD层保持完整。
6. 根据权利要求1所述的方法,其中,所述第一掩模是硬掩模。
7. 根据权利要求1所述的方法,其中,所述第二掩模是软掩模。
8. 根据权利要求1所述的方法,其中,填充由已移除的所述第一虚设栅极和所述第二虚设栅极留下的区域包括:采用SiN和/或SiO₂填充该区域。
9. 一种用于形成半导体器件的方法,所述方法包括:
在衬底上形成浅沟槽隔离STI层;
在所述STI层上形成第一虚设栅极和第二虚设栅极;

在所述STI层上形成层间电介质ILD层,所述ILD层对应于栅极切口区域、并且将所述第一虚设栅极和所述第二虚设栅极分离;

在所述第一虚设栅极和所述第二虚设栅极上、并且在所述ILD层上形成第一掩模;

在所述第一掩模上形成第二掩模,所述第二掩模对应于所述栅极切口区域,从而暴露所述第一掩模的在所述栅极切口区域外的部分;

移除所述第一掩模的已暴露部分和所述第二掩模,从而所述第一掩模的对应于所述栅极切口区域的部分保留在所述ILD层上;

移除所述第一虚设栅极和所述第二虚设栅极;

移除所述第一掩模,从而所述ILD层保留在所述STI层上;以及

填充由已移除的所述第一虚设栅极和所述第二虚设栅极留下的区域。

10. 根据权利要求9所述的方法,其中,在所述第一掩模上形成所述第二掩模包括:

在所述第一掩模上沉积所述第二掩模;

在所述第二掩模之上沉积第一光致抗蚀剂,所述第一光致抗蚀剂对应于所述栅极切口区域,从而暴露所述第二掩模的在所述栅极切口区域外的部分;

移除所述第二掩模的已暴露部分,以便于暴露所述第一掩模的在所述栅极切口区域外的部分;以及

移除所述第一光致抗蚀剂。

11. 根据权利要求9所述的方法,其中,移除所述第一掩模的已暴露部分和所述第二掩模包括:

在所述第二掩模上沉积所述第二光致抗蚀剂,所述第二光致抗蚀剂对应于所述栅极切口区域、并且具有开口,所述开口暴露所述第二掩模的、对应于在所述栅极切口区域和隔离切口区域之间的相交处的一部分;

选择性移除所述第一掩模的已暴露部分,从而所述第一掩模的、在所述第二掩模下方的对应于所述栅极切口区域的部分保留,并且在所述第一掩模下方的所述ILD层也保留;以及

移除所述第二光致抗蚀剂;以及

移除所述第二掩模,从而暴露对应于所述栅极切口区域的所述第一掩模。

12. 根据权利要求11所述的方法,其中,所述栅极切口区域和所述隔离切口区域基本上彼此垂直。

13. 根据权利要求9所述的方法,其中,所述第一掩模和所述第二掩模具有不同的蚀刻选择性。

14. 根据权利要求9所述的方法,其中,所述第一掩模是SiN和SiO₂中的一个,并且所述第二掩模是所述SiN和SiO₂中的另一个。

15. 根据权利要求9所述的方法,其中,填充由已移除的所述第一虚设栅极和所述第二虚设栅极留下的区域包括:采用SiN和/或SiO填充该区域。

16. 一种半导体器件,包括:

在衬底上的浅沟槽隔离STI层;

在所述STI层上的层间电介质ILD层,所述ILD层对应于栅极切口区域;以及

填充物,在所述STI层上的、包括所述ILD层的对应于隔离切口区域的两侧的两侧上,

其中所述栅极切口区域和所述隔离切口区域在结处彼此相交;以及
其中所述ILD层连续穿过所述结。

17. 根据权利要求16所述的半导体器件,
其中所述ILD层包括单个层,以及
其中所述填充物包括两个或更多层。

18. 根据权利要求17所述的半导体器件,其中,所述ILD层的材料不同于所述填充物的材料。

19. 根据权利要求17所述的半导体器件,
其中所述ILD层包括SiO₂,以及
其中所述填充物包括SiN和/或SiO。

20. 根据权利要求16所述的半导体器件,其中,所述半导体器件被包括在选自下组中的装置中,该组由音乐播放器、视频播放器、娱乐单元、导航装置、通信装置、移动装置、移动电话、智能电话、个人数字助理、固定位置终端、平板计算机、计算机、可穿戴装置、膝上型计算机、服务器、以及汽车中的装置构成,并且进一步包括所述器件。

FinFET中布图效应减缓

技术领域

[0001] 所公开内容的领域总体涉及半导体器件的制造。特别地,所公开主题的领域涉及诸如鳍形场效应晶体管 (FinFET) 器件之类的多栅晶体管器件的制造以减缓布图效应。

背景技术

[0002] 为了面积效率,已经在集成电路芯片中实施了多栅晶体管。多栅晶体管的示例包括鳍形场效应晶体管 (FinFET), 具有布置在栅极条带的两侧上的多个鳍, 栅极条带的一侧上的鳍用作源极且栅极条带的另一侧上的鳍用作漏极。典型的FinFET器件的示例包括其中由彼此平行的多个栅极条带形成晶体管阵列的器件, 多个栅极条带定位垂直于彼此平行的多个氧化物扩散条带。氧化物扩散条带类似鳍而位于每个栅极条带的两侧上。源极和漏极的每个配对以及在该源极和漏极配对之间的栅极条带的一部分可以实施作为单个晶体管。

[0003] 图1A示出了用于制造FinFET的常规设计。在该图中, 两个FinFET单元示出为虚线框。也示出了用于栅极切口110和隔离切口120的形状。隔离切口120是在有源区域内的隔离结构, 其中移除了虚设多晶硅栅极以及栅极下方的硅并采用电介质填充。朝向栅极条带方向的隔离切口120是在其中执行单扩散中断 (SDB) 工艺的位置上的掩模名称。SDB是通过在栅极区域处挖沟槽并深入至硅鳍中、并采用电介质填充沟槽的隔离类型。栅极切口用于切割多晶硅栅极。朝向鳍方向的栅极切口110是在切割栅极的位置上的掩模名称。栅极和隔离切口110、120是沿着FinFET栅极的制造切口的位置。栅极切口110与FinFET的鳍条带平行, 并且隔离切口120与FinFET的栅极条带平行。

[0004] 如图1A中所示, 栅极和隔离切口110、120在FinFET制造中故意地彼此分离。但是实际上, 如图1B中所示, 由于光刻工艺限制所致, 常规的隔离切口120通常合并。例如, 栅极切口110可以非常窄 (例如小至30nm), 以使得常规光刻工艺的完整性可以受损。

[0005] 图1C示出了在栅极和隔离切口110、120之间简化设计分离。如图所见, 设计使得一个隔离切口形状120在栅极切口110之上, 以及另一个隔离切口120在栅极切口110之下, 并且两个隔离切口120彼此分离。但是同样, 由于光刻工艺完整性问题, 长的隔离切口掩模125常规地用于如图1D中所示的加工。图1D也示出了栅极切口掩模115也用于加工。

[0006] 当使用长隔离切口掩模125时, 蚀刻了对应于栅极切口掩模115和隔离切口掩模125之间结的层间电介质层。这不幸地具有在稍后加工中引入应力的效果。有源区域以及周围层间电介质 (ILD) 的中断在区域处引起应变累积。例如与隔离切口相邻的PFET通常受压缩应变影响, 并且引起PFET的阈值电压 V_t 低于目标 V_t 。此外, 当隔离切口长度增大时, 这具有将阈值电压从目标甚至进一步降低的效果。换言之, 作为与目标偏离的 ΔV_t 可以随着隔离切口长度增大而增大。该布图效应通常是不希望的。

发明内容

[0007] 该发明内容识别了一些示例性方面的特征, 并且并非所公开主题的专有或排他性说明。特征或方面是否包括在该发明内容中、或者从其省略并非意在作为该特征相对重要

性的指示。描述了额外的特征和方面,并且一旦阅读了以下详细说明书并查看了形成其一部分的附图将变得对本领域技术人员明显。

[0008] 公开了一种用于形成半导体器件的示例性方法。方法可以包括在衬底上形成浅沟槽隔离(STI)层,在STI层上形成第一虚设栅极和第二虚设栅极,以及在STI层上形成层间电介质(ILD)层。ILD层可以对应于栅极切口区域并可以分离第一虚设栅极和第二虚设栅极。方法也可以包括在第一虚设栅极和第二虚设栅极以及在ILD层上形成第一掩模。第一掩模可以具有对应于隔离切口区域的沟槽。沟槽可以暴露第一虚设栅极和第二虚设栅极和ILD层。栅极切口和隔离切口区域可以相交。方法可以进一步包括在第一掩模上并在由沟槽暴露的ILD层上形成第二掩模,移除第一虚设栅极和第二虚设栅极,以及移除第一和第二掩模。可以移除第一和第二掩模以使得ILD层保留在STI层上。方法可以进一步包括填充由已移除的第一虚设栅极和第二虚设栅极留下的区域。

[0009] 公开了一种用于形成半导体器件的示例性方法。方法可以包括在衬底上形成浅沟槽隔离(STI)层,在STI层上形成第一虚设栅极和第二虚设栅极,以及在STI层上形成层间电介质(ILD)层。ILD层可以对应于栅极切口区域且可以分离第一虚设栅极和第二虚设栅极。方法也可以包括在第一虚设栅极和第二虚设栅极上和在ILD层上形成第一掩模,并在第一掩模上形成第二掩模。第二掩模可以对应于栅极切口区域,从而暴露第一掩模在栅极切口区域外的一部分。该方法可以进一步包括移除第一掩模和第二掩模的已暴露部分。由此,第一掩模与栅极切口区域对应的一部分可以保留在ILD层上。方法可以进一步包括移除第一虚设栅极和第二虚设栅极,移除第一掩模以使得ILD层保留在STI层上,以及填充由已移除的第一虚设栅极和第二虚设栅极留下的区域。

[0010] 公开了一种示例性半导体器件。半导体器件可以包括在衬底上的浅沟槽隔离(STI)层以及在STI层上的层间电介质(ILD)层。ILD层可以对应于栅极切口区域。半导体器件也可以包括在ILD层上的两侧上的STI层上的填充层,该两侧包括ILD层的与隔离切口区域对应的两侧。栅极切口区域和隔离切口区域可以在结处彼此相交,并且ILD层可以继续穿过结。

附图说明

[0011] 展示附图以帮助说明所公开主题的一个或多个方面的示例,并且仅为了示例说明而非限制而提供。

[0012] 图1A和图1C示出了用于制造FinFET单元的常规设计,示出了在隔离和栅极切口之间有意设计的分离;

[0013] 图1B和图1D示出了常规FinFET单元制造工艺,其中隔离切口合并;

[0014] 图2A-图11A、图2B-图11B以及图2C-图11C示出了用以制造半导体器件的第一示例性工艺的不同阶段;

[0015] 图12A-图22A、图12B-图22B以及图12C-图22C示出了用以制造半导体器件的第二示例性工艺的不同阶段;

[0016] 图23示出了形成半导体器件的示例性方法的流程图;

[0017] 图24示出了在形成半导体器件的示例性方法中形成第一掩模的示例性工艺的流程图;

[0018] 图25示出了在形成半导体器件的示例性方法中移除虚设栅极的示例性工艺的流程图；

[0019] 图26示出了形成半导体器件的另一示例性方法的流程图；

[0020] 图27示出了在形成半导体器件的另一示例性方法中在第一掩模上形成第二掩模的示例性工艺的流程图；

[0021] 图28示出了在形成半导体器件的另一示例性方法中移除第一掩模和第二掩模的已暴露部分的示例性工艺的流程图；以及

[0022] 图29示出了具有集成在其中的半导体器件的装置的示例。

具体实施方式

[0023] 在涉及所公开主题的具体示例的以下说明书和相关附图中提供主题的方面。可以设想备选例而并未脱离所公开主题的范围。额外地，将不详细描述或省略广泛已知的元件以便于不模糊相关细节。

[0024] 词语“示例性”在此用于意味着“用作示例、实例、或说明”。在此描述为“示例性”的任何实施例不必解释为在其他实施例之上优选或有利的。同样，术语“实施例”并不要求所公开主题的所有实施例包括所述特征、优点或操作模式。

[0025] 在此使用的术语仅是为了描述特定示例且并非有意限制的目的。如在此所使用的，单数形式“一”、“一个”和“该”意在也包括复数形式，除非上下文明确给出相反指示。应该进一步理解，当在此使用时术语“包括”（“comprises”，“comprising”，“includes”和/或“including”）规定了所述特征、整数、工艺、操作、元件和/或成分的存在，但是并未排除一个或多个其他特征、整数、工艺、操作、元件、成分、和/或其群组的存在或添加。

[0026] 进一步，根据将要由例如计算装置的元件所执行的动作序列而描述许多示例。应该认识到，在此所述的各个动作可以由特殊电路（例如专用集成电路（ASIC））、由一个或多个处理器所执行的程序指令、或者由两者的组合而执行。额外地，在此所述的这些动作序列可以视作将完全地具体化在计算机可读存储媒介的任何形式内，该计算机可读存储媒介具有存储在其中的对应计算机指令集，一旦执行时对应计算机指令集将使得相关联处理器以执行在此所述的功能。因此，可以以许多不同形式具体化各个方面，所有这些已经预期在所请求主题的范围之内。此外，对于在此所述的每个示例，任何这些示例的对应形式可以在此描述作为例如配置用于执行所述动作的“逻辑”。

[0027] 如上所示，常规的FinFET制造工艺通常包括使用图1D中所示的长隔离切口掩模125。在常规的制造工艺中，使用长隔离切口掩模125可以导致不希望的布图效应，其包括由于在制造期间引入由下层层间电介质所致的应力以及增大了与所希望阈值电压 V_t 的偏离。

[0028] 然而，在非限定性方面中，提议改变制造工艺以在制造工艺期间保持ILD层在栅极切口位置处完整。参照图1D，可见栅极切口掩模115和隔离切口掩模125在结处相交。在所提出的方面中，可以使用相同的栅极切口掩模115和隔离切口掩模125。换言之，可以重复使用在常规制造加工中使用的掩模。这具有可以避免有效重新设计和/或重新加工的优点。栅极切口掩模115和隔离切口掩模125可以基本上彼此垂直，并且因此栅极切口和隔离切口区域也可以基本上彼此垂直。

[0029] 在非限定性方面中，提出在制造工艺期间在对应于栅极切口掩模115和隔离切口

掩模125之间结处区域中保持至少ILD层完整。换言之,ILD层可以保持继续穿过阶。通过维持ILD层完整,可以减缓甚至消除不希望的布图效应。

[0030] 图2A-图11A、图2B-图11B以及图2C-图11C示出了用以制造半导体器件的第一示例性工艺的不同阶段。示例是FinFET器件。注意在图1D中,栅极切口方向涉及栅极切口掩模115的朝向(采用水平双端箭头指示)且隔离切口方向涉及隔离切口掩模125的朝向(采用垂直双端箭头指示)。此外,栅极切口和隔离切口区域可以分别用于涉及栅极切口掩模115和隔离切口掩模125的区域/区块。

[0031] 图2A-图11A示出了沿着栅极切口区域的半导体器件制造工艺的侧视图,以及图2B-图11B示出了沿着隔离切口区域半导体器件制造阶段的侧视图。尽管并未具体指示,在图2A-图11A中,栅极切口方向可以对应于左/右方向,并且隔离切口方向可以对应于观察面的进/出方向。在图2B-图11B中,栅极切口方向可以对应于观察面的进/出方向且隔离切口方向可以对应于左/右方向。

[0032] 图2C-图11C示出了半导体器件制造阶段的顶视图。尽管并未具体指示,栅极切口方向可以对应于观察面的左/右方向,并且隔离切口方向可以对应于上/下方向。此外,栅极切口区域(由栅极切口掩模115占据的区域)可以视作对应于这些图中的中心水平部分,并且隔离切口区域(由隔离切口掩模115占据的区域)可以视作对应于中心垂直部分。

[0033] 图2A、图2B和图2C示出了如下制造阶段,其中可以形成衬底210(例如Si衬底),浅沟槽隔离(STI)层220(例如SiN、SiO)可以形成在衬底210上,层间电介质(ILD)230(例如包括SiO₂的氧化物层)可以形成在STI层220上,以及虚设栅极240也可以形成在STI层220上。STI层220可以视作用于提供电隔离的装置的示例。ILD层230可以形成对应于栅极切口区域。也即,ILD层230可以形成在垂直地重叠了栅极切口掩模115(图2A、图2B和图2C中未示出)的区域中。例如,在图2C中所示的阶段的顶视图中,该ILD层230示出为占据了中心水平部分。ILD层230可以分离在ILD层230任一侧上形成的虚设栅极240。两个虚设栅极240可以称作第一虚设栅极和第二虚设栅极240。

[0034] 图3A、图3B和图3C示出了其中可以在ILD层230以及第一虚设栅极和第二虚设栅极240之上形成第一掩模350的阶段。第一掩模350可以是硬掩模。硬掩模可以由诸如氮化硅和氧化硅之类的材料形成。通常,沉积的薄膜视为是硬的,而旋涂的聚合物或有机薄膜视为是软的。诸如聚合物之类的软掩模倾向于容易地由反应气体(例如氧、氟和氯)蚀刻,从而在等离子体蚀刻期间软掩模图案可以快速地裂解。硬掩模提供了不同于光致抗蚀剂的另一蚀刻选择性,从而双重图案化(在硬掩模上具有光致抗蚀剂的图案)是可能的。

[0035] 图4A、图4B和图4C示出了其中可以在第一掩模350上沉积第一光致抗蚀剂460的阶段。可以沉积第一光致抗蚀剂460以便于包括开口465。开口465可以对应于隔离切口区域(图4A、图4B和图4C中未示出),并且可以沿隔离切口方向暴露第一掩模350。

[0036] 图5A、图5B和图5C示出了其中可以在第一掩模350中形成沟槽555的阶段。可以通过蚀刻第一掩模350的由第一光致抗蚀剂460(图5A、图5B和图5C中未示出)的开口465所暴露的一部分而形成沟槽555。蚀刻可以继续直至暴露ILD层230。以此方式,沟槽555也可以对应于隔离切口区域(未示出)。此后,可以移除第一光致抗蚀剂460。沟槽555可以暴露第一和第二栅极240的一部分,以及ILD层230的一部分。ILD层230的已暴露部分的区域可以对应于在栅极切口掩模115和隔离切口掩模125之间的结(未示出),也即在其中栅极切口和隔离切

口区域相交或重叠。注意,ILD层230可以继续穿过结。在一个方面中,ILD层230可以在制造期间保持连续穿过结。

[0037] 图6A、图6B和图6C示出了其中可以在第一掩模350之上形成第二掩模670的阶段。第二掩模670也可以形成在ILD层230的一部分上以及在第一虚设栅极和第二虚设栅极240的由沟槽555所暴露的一部分上。第二掩模670可以是软掩模。作为示例,软掩模可以形成作为旋涂玻璃(SOG)。第一掩模350和第二掩模670可以具有不同的蚀刻选择性和/或不同的蚀刻速率。

[0038] 图7A、图7B和图7C示出了其中可以在第二掩模670上沉积第二光致抗蚀剂780的阶段。可以沉积第二光致抗蚀剂780以便于对应于栅极切口区域(未示出)。在一个方面中,栅极切口掩模115(未示出)可以用于沉积第二光致抗蚀剂780,但是第二光致抗蚀剂780的色调从第一光致抗蚀剂460的色调变化。也即,采用第一光致抗蚀剂460,隔离切口区域(未示出)对应于其中并未沉积光致抗蚀剂材料的开口465。但是采用第二光致抗蚀剂780,栅极切口区域对应于其中沉积光致抗蚀剂材料的区域。因为第二光致抗蚀剂780可以不形成在栅极切口区域外,因此可以暴露第二掩模670在栅极切口区域外的部分。

[0039] 图8A、图8B和图8C说明其中可以蚀刻去除第二掩模670的已暴露部分(也即在栅极切口区域外)。结果,可以暴露虚设栅极240。注意,可以由第二光致抗蚀剂780保护在栅极切口区域内的第二掩模670。在蚀刻了第二掩模670的已暴露部分之后,可以清除第二光致抗蚀剂780以暴露剩余的第二掩模670,其可以是第二掩模670的对应于栅极切口区域(未示出)的一部分。剩余的第二掩模670可以视作用于遮蔽ILD层230的装置的示例。

[0040] 图9A、图9B和图9C示出了其中可以蚀刻第一虚设栅极和第二虚设栅极240的阶段,例如作为蚀刻工艺的一部分。结果,可以暴露在栅极切口区域外的STI层220。注意,ILD层230保持完整,因为其在栅极切口区域中由第二掩模670保护。

[0041] 图10A、图10B和图10C示出了其中可以移除剩余的第一掩模350和第二掩模670的阶段。这可以继而是图11A、图11B和图11C中所示的阶段,其中在STI层220上采用填充物1190占据之前由虚设栅极240所占据的区域(也即栅极切口区域外的区域)。硅的氮化物(例如SiN)和/或硅的氧化物(例如SiO)可以用作用于填充物1190的材料。可以例如通过化学机械抛光(CMP)而抛光填充物1190和/或ILD层230。抛光可以正好停止在栅极之上。在一个方面中,填充物1190和ILD层230可以在抛光之后共面。

[0042] 如图所见,填充物1190可以在ILD层230的两侧上,包括在ILD层230的对应于隔离切口区域的两侧上。注意,ILD层230可以继续穿过其中栅极切口和隔离切口区域相交的结。在一个方面中,ILD层230可以包括单层(例如SiO₂层)并且填充物1190可以包括多层(例如SiN和SiO层)。在另一方面中,ILD层230的材料可以不同于填充物1190的材料。

[0043] 尽管未示出,但是常规的置换金属栅极(RMG)工艺可以接着图11A、图11B和图11C中所示的阶段。因为ILD层230可以在第一示例工艺期间保持完整,可以减缓或甚至消除不希望的布图效应。

[0044] 图12A-图22A、图12B-图22B以及图12C-图22C示出了用以制造诸如FinFET器件之类的半导体器件的第二示例工艺的不同阶段。类似于第一示例性工艺,可以在第二示例性工艺期间保留ILD层。图12A-图22A说明沿着栅极切口区域的半导体器件制造阶段的侧视图,图12B-图22B示出了沿着隔离切口区域的半导体器件制造阶段的侧视图,以及图12C-图

22C示出了半导体器件制造阶段的顶视图。同样,尽管在这些图中并未明确示出,但是可以假设栅极和隔离切口区域和方向类似于图2A-图11A、图2B-图11B以及图2C-图11C。

[0045] 图12A、图12B和图12C示出了制造阶段,其中可以形成衬底210(例如Si衬底),可以在衬底210上形成STI层220(例如SiN、SiO),以及可以在STI层220上形成ILD层230(例如氧化物层)和虚设栅极240。ILD层230可以形成对应于栅极切口区域(未示出)。如图所见,ILD层230可以分离形成在ILD层230任一层上的虚设栅极240。两个虚设栅极240也可以称作第一虚设栅极和第二虚设栅极240。该阶段可以类似于或等同于图2A、图2B和图2C中所示的第一示例性工艺的阶段。

[0046] 图13A、图13B和图13C示出了其中可以在ILD层230上且在第一虚设栅极和第二虚设栅极240上形成第一掩模1350的阶段。第一掩模1350可以是由诸如硅的氮化物(例如SiN)之类的材料形成的硬掩模。第一压膜1350也可以称作第一硬掩模。该阶段可以类似于或等同于图3A、图3B和图3C中所示的第一示例性工艺的阶段。

[0047] 图14A、图14B和图14C示出了其中可以在第一掩模1350上沉积第二掩模1470的阶段。第二掩模1470也可以是硬掩模且可以由诸如硅的氧化物(例如SiO₂)之类的材料形成。第二掩模1470也可以称作第二硬掩模。第一掩模1350和第二掩模1470可以具有不同的蚀刻选择性。

[0048] 图15A、图15B和图15C示出了其中可以在第二掩模1470上沉积第一光致抗蚀剂1560的阶段。可以根据栅极切口掩模115(未示出)但是采用改变的色调而图案化第一光致抗蚀剂1560,从而图案化的第一光致抗蚀剂1560对应于栅极切口区域(未示出)。在形成第一光致抗蚀剂1560之后,可以暴露第二掩模1470在栅极切口区域外的一部分。

[0049] 图16A、图16B和图16C示出了其中可以例如通过蚀刻而移除第二掩模1470的已暴露部分(也即在栅极切口区域外)的阶段。可以由第一光致抗蚀剂1560保护在栅极切口区域内的第二掩模1470。结果,可以暴露在栅极切口区域外的第一掩模1350。在移除第二掩模1470的已暴露区域之后,可以清除第一光致抗蚀剂1560以暴露剩余的第二掩模1470,其可以是第二掩模对应于栅极切口区域(未示出)的一部分。

[0050] 图17A、图17B和图17C示出了其中可以在第二掩模1470上沉积第二光致抗蚀剂1780以便于对应于栅极切口区域(未示出)的阶段。以此方式,在栅极切口区域外的第一掩模1350可以保持暴露。可以沉积第二光致抗蚀剂1780以便于包括开口1765,例如通过使用隔离切口掩模125(未示出)。如图17C中所见,开口1765可以暴露第二掩模1470的在栅极切口和隔离切口区域内的一部分,也即其中两个区域相交。

[0051] 图18A、图18B和图18C示出了其中可以执行选择性蚀刻以移除在栅极切口区域(未示出)外的已暴露第一掩模1350的阶段。由于第一掩模1350在第二掩模1470之上的选择性蚀刻,可以保护第一掩模1350在剩余第二掩模1470下的部分也即剩余的第一掩模1350不受蚀刻。在选择性蚀刻之后,可以清除第二光致抗蚀剂1780,暴露了剩余的第二掩模1470,其可以对应于栅极切口区域。剩余的掩模1470可以视作用于遮蔽ILD层230的装置的示例。备选地,剩余的第一掩模1350和第二掩模1470可以分别视作用于遮蔽ILD层230的第一装置和第二装置的示例。

[0052] 图19A、图19B和图19C示出了其中可以移除剩余的第二掩模1470以便于暴露栅极切口区域(未示出)内剩余第一掩模1350的阶段。也即,已暴露第一掩模1350可以对应于栅

极切口区域。

[0053] 图20A、图20B和图20C示出了其中可以移除第一虚设栅极和第二虚设栅极240的阶段,例如作为蚀刻工艺的一部分。结果,可以暴露在栅极切口区域外的STI层220。注意,ILD层230保持完整,因为其在栅极切口区域中由第一掩模1350保护。

[0054] 图21A、图21B和图21C示出了其中可以移除剩余第一掩模1350的阶段。该阶段的结果可以类似于或等同于图10A、图10B和图10C中所示的第一示例性工艺的阶段的结果。这可以接着是图22A、图22B和图22C中所示阶段,其中采用填充物2290占据由虚设栅极240之前占据的区域,在栅极切口区域外的区域。例如,氮化硅和/或氧化硅可以用于填充物2290的材料。可以抛光填充物2290和/或ILD层230,例如通过化学机械抛光(CMP)。抛光可以正好停止在栅极之上。该阶段的结果可以类似于或等同于图11A、图11B和图11C中所示的第一示例性工艺的阶段的结果。例如,在一个方面中,填充物2290和ILD层230可以在抛光之后共面。

[0055] 填充物2290可以在ILD层230的两侧上,其包括ILD层230的对应于隔离切口区域的两侧上。ILD层230可以继续穿过其中栅极切口和隔离切口区域相交的结。在一个方面中,ILD层230可以包括单层(例如SiO₂层),并且填充物2290可以包括多层(例如SiN和SiO层)。在另一方面中,ILD层230的材料可以不同于填充物2290的材料。

[0056] 尽管未示出,但是常规的置换金属栅极(RMG)工艺可以接着图22A、图22B和图22C中所示的阶段。因为ILD层230可以在第二示例性工艺期间保持完整,可以减缓或甚至消除不希望的布图效应。

[0057] 图23示出了形成诸如FinFET之类的半导体器件的示例性方法2300的流程图。示例性方法2300可以应用于图2A-图11A、图2B-图11B以及图2C-图11C中所示的第一示例性工艺。应该注意,无需执行图23的所有所示框,也即一些框可以是任选的。此外,图23的框的数字参考不应视作要求必须以某一顺序执行框。

[0058] 在框2310中,可以在衬底210上形成STI层220。在框2320中,第一虚设栅极和第二虚设栅极240可以形成在STI层220上。在框2330中,ILD层230也可以形成在STI层上。框2310、2320和2330可以对应于图2A、图2B和图2C中所示的阶段。例如,ILD层230可以对应于栅极切口区域并分离第一虚设栅极和第二虚设栅极240。回想起的是,栅极切口区域可以是栅极切口掩模115的区域或区块。

[0059] 在框2340中,第一掩模350可以形成在第一虚设栅极和第二虚设栅极240上以及在ILD层230上。对应于隔离切口区域的沟槽555可以形成在第一掩模350中。回想起的是,隔离切口区域可以是隔离切口掩模125的区域或区块。如所注意,栅极切口和隔离切口区域可以相交。在方面中,两个区域可以基本上垂直。

[0060] 图24示出了用以执行框2340的示例性工艺的流程图。在框2410中,第一掩模350可以沉积在第一虚设栅极和第二虚设栅极240上以及在ILD层230上。第一掩模350可以是硬掩模。框2410可以对应于图3A、图3B和图3C中所示阶段。

[0061] 在框2420中,第一光致抗蚀剂460可以沉积在第一掩模350上。可以图案化第一光致抗蚀剂460以具有对应于隔离切口区域的开口465。开口465可以暴露第一掩模350的一部分。框2420可以对应于图4A、图4B和图4C中所示的阶段。

[0062] 在框2430中,可以蚀刻第一掩模350的已暴露部分以形成沟槽555。可以保护第一

掩模350在隔离切口区域外的部分(也即第一掩模350的由第一光致抗蚀剂460所覆盖的部分)免受蚀刻。接着在框2440中,可以移除第一光致抗蚀剂460。框2430和2440可以对应于图5A、图5B和图5C中所示的阶段。

[0063] 返回参照图23,在框2350中,第二掩模670可以形成在第一掩模350上。第二掩模670也可以形成在由沟槽555所暴露的ILD层230上。第二掩模650可以是软掩模。第二掩模670可以具有与第一掩模350不同的蚀刻速率和/或选择性。框2350可以对应于图6A、图6B和图6C中所示的阶段。

[0064] 在框2360中,可以移除第一虚设栅极和第二虚设栅极240。图25示出了用以执行框2360的示例性工艺的流程图。在框2510中,第二光致抗蚀剂780可以沉积在第二掩模670上并图案化以对应于栅极切口区域,从而暴露第二掩模670的在栅极切口区域外的部分。框2510可以对应于图7A、图7B和图7C中所示的阶段。

[0065] 在框2520中,可以例如通过蚀刻移除第二掩模670的已暴露部分。可以在移除第二掩模670之后暴露在栅极切口区域外的第一虚设栅极和第二虚设栅极240。在框2350中,可以移除第二光致抗蚀剂670。剩余的第二掩模670也即对应于栅极切口区域的部分可以保护ILD层230。框2520和2530可以对应于图8A、图8B和图8C中所示的阶段。

[0066] 在框2540中,可以移除第一虚设栅极和第二虚设栅极240。例如,可以执行拔出虚设栅极240的蚀刻。可以由剩余的第二掩模670保护栅极切口区域。因此,ILD层230可以通过蚀刻工艺保持完整。框2540可以对应于图9A、图9B和图9C中所示的阶段。

[0067] 返回参照图23,在框2370中,可以例如通过蚀刻移除第一掩模350和第二掩模670。注意,ILD层230将仍然保留。框2370可以对应于图10A、图10B和图10C中所示的阶段。

[0068] 在框2380中,可以采用填充物1190填充由已移除虚设栅极240留下的区域。也即,可以在栅极切口区域外的区域中填充填充物1190。包括SiN和SiO₂的材料可以用于填充物1190。可以例如通过化学机械抛光(CMP)抛光填充物1190和/或ILD层230。抛光可以正好停止在栅极之上。框2380可以对应于图11A、图11B和图11C中所示的阶段。

[0069] 尽管未示出,但是常规的置换金属栅极(RMG)工艺可以接着图23中所示的方法。因为ILD层230可以由方法2300保留完整,可以减缓或甚至消除不希望的布图效应。

[0070] 图26示出了形成诸如FinFET之类的半导体器件的另一示例性方法2600的流程图。示例性方法2600可以适用于图12A-图22A、图12B-图22B以及图12C-图22C中所示的第二示例性工艺。应该注意,并非必须执行图26的所有所示框,也即一些框可以是任选的。此外,图26的框的数字参考不应视作要求必须以某一顺序执行框。

[0071] 在框2610中,可以在衬底210上形成STI层220。在框2620中,可以在STI层220上形成第一虚设栅极和第二虚设栅极240。在框2630中,ILD层230也可以形成在STI层上。框2610、2620和2630可以对应于图12A、图12B和图12C中所示的阶段。例如,ILD层230可以对应于栅极切口区域并分离第一虚设栅极和第二虚设栅极240。

[0072] 在框2640中,第一掩模350可以形成在第一虚设栅极和第二虚设栅极240上以及在ILD层230上。第一掩模350可以由诸如SiN和/或SiO₂之类的材料所形成的硬掩模。框2640可以对应于图13A、图13B和图13C中所示的阶段。

[0073] 在框2650中,可以在第一掩模1350上形成第二掩模1470。第二掩模1470可以对应于栅极切口区域,从而暴露第一掩模1350的在栅极切口区域外的一部分。图27示出了用以

执行框2650的示例性工艺的流程图。在框2710中,第二掩模1470可以沉积在第一掩模1350上。第二掩模1470也可以是由诸如SiN和/或SiO₂之类的材料形成的硬掩模。第二掩模1470可以由与第一掩模1350不同的材料形成。框2710可以对应于图14A、图14B和图14C中所示的阶段。

[0074] 在框2720中,第一光致抗蚀剂1560可以沉积在第二掩模1470上。可以图案化第一光致抗蚀剂1560以对应于栅极切口区域,例如根据栅极切口掩模115。可以在形成第一光致抗蚀剂1560之后暴露第二掩模1470在栅极切口区域之外的部分。框2720可以对应于图15A、图15B和图15C中所示的阶段。

[0075] 在框2730中,可以移除第二掩模1470的已暴露部分。以此方式,可以暴露第一掩模1350在栅极切口区域外的一部分。此后在框2740中,可以移除第一光致抗蚀剂1560。框2730和2740可以对应于图16A、图16B和图16C中所示的阶段。

[0076] 返回参照图26,在框2660中,可以移除第一掩模1350和第二掩模1470的已暴露部分。在此情况下,第一掩模1350对应于栅极切口区域的一部分可以保留在ILD层230上。图28示出了执行框2660的示例性工艺的流程图。在框2810中,对应于栅极切口区域的第二光致抗蚀剂1780可以沉积在第二掩模1470上。第二光致抗蚀剂1780可以具有暴露了第二掩模1470一部分的开口1765。开口1765可以对应于栅极切口和隔离切口区域之间的相交点。框2810可以对应于图17A、图17B和图17C中所示的阶段。注意,在栅极切口区域外的第一掩模1350可以保留已暴露。

[0077] 在框2820中,可以例如通过选择性蚀刻选择性地移除第一掩模1350的已暴露部分。当执行选择性蚀刻时,第一掩模1350的、对应于在第二掩模1470下方栅极切口区域的部分可以保留,因为其可以由第二掩模1470保护。这意味着第一掩模1350下的ILD层230也可以保留。在框2830中,可以移除已暴露的第二光致抗蚀剂1780。框2820和2830可以对应于图18A、图18B和图18C中所示的阶段。

[0078] 在框2840中,可以移除第二掩模1470。在此情况下,可以暴露对应于栅极切口区域的第一掩模1350。框2840可以对应于图19A、图19B和图19C中所示的阶段。

[0079] 返回参照图26,在框2670中,可以移除第一虚设栅极和第二虚设栅极240。例如,可以执行拔出虚设栅极240的蚀刻。可以由剩余的第一掩模1350保护栅极切口区域。因此,ILD层230可以通过蚀刻工艺保持完整。框2670可以对应于图20A、图20B和图20C中所示的阶段。

[0080] 在框2680中,可以例如通过蚀刻移除第一掩模1350。注意,ILD层230可以仍然保留。框2680可以对应于图21A、图21B和图21C中所示的阶段。

[0081] 在框2690中,可以采用填充物2290填充由已移除的虚设栅极240留下的区域。也即,填充物2290可以填充在栅极切口区域外的区域中。包括SiN和SiO的材料可以用于填充物2290。可以抛光条宠物2290和/或ILD层230,例如通过化学机械抛光(CMP)。抛光可以正好停止在栅极之上。框2690可以对应于图22A、图22B和图22C中所示的阶段。

[0082] 尽管未示出,但是常规的置换金属栅极(RMG)工艺可以接着图26中所示的方法。因为ILD层230可以由方法260保持完整,可以减缓或甚至消除不希望的布图效应。

[0083] 图29示出了可以与任意前述半导体器件集成的各种电子装置。例如,移动电话装置2902、膝上型计算机装置2904、以及固定位置终端装置2906可以包括如在此所述的半导体器件2900。半导体器件2900可以例如是在此所述的集成电路、管芯、集成器件、集成器件

封装、集成电路装置、装置封装、集成电路 (IC) 封装、封装上封装装置的任意。图29中所示的装置2902、2904、2906仅是示例性的。其他电子装置也可以以半导体器件为特征,包括但不限于,包括移动装置、手持个人通信系统 (PCS) 单元、便携式数据单元诸如个人数字助理、全球定位系统 (GPS) 使能的装置、导航装置、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单元诸如仪表读取设备、通信装置、智能电话、平板计算机、计算机、可穿戴装置、服务器、路由器、实施在汽车 (例如自动车辆) 中电子装置、或者存储或检索数据或计算机指令的任何其他装置、或者其任意组合的装置 (例如电子装置) 的群组。

[0084] 本领域技术人员应该知晓,可以使用任意各种不同的工艺和技术表示信息和信号。例如,可以由电压、电流、电磁波、磁场或磁子、光场或光子、或其任意组合而表示遍及以上说明书可以涉及的数据、指令、命令、信息、信号、位、符号和芯片。

[0085] 进一步,本领域技术人员应该知晓,结合在此所公开示例描述的各种示意性逻辑块、模块、电路和算法可以实施作为电子硬件、计算机软件、或两者的组合。为了清楚地说明硬件和软件的该可互换性,以上通常已经根据它们的功能描述了各种示意性部件、组块、模块、电路和方法。该功能是否实施作为硬件或软件取决于特定的应用和对整体系统提出的设计约束。本领域技术人员可以对于额特定应用以变化的方式实施所述功能,但是该实施方式决定不应解释为引起脱离本公开的范围。

[0086] 结合在此所述示例描述的方法、序列和/或算法可以直接地具体化在硬件中,在由处理器执行的软件模块中,或者在两者的组合中。软件模块可以驻留在RAM存储器、闪存、ROM存储器、EPROM存储器、EEPROM存储器、寄存器、硬盘、可移除盘、CD-ROM、或本领域已知的任何其他形式存储媒介中。示例性的存储媒介耦合至处理器以使得处理器可以从存储媒介读取并向其写入数据。在备选例中,存储媒介可以集成至处理器。

[0087] 因此,方面可以包括具体化了形成半导体器件方法的计算机可读媒介。因此,所公开主题的范围不限于所示的示例且包括了用于执行在此所述功能的任何装置。

[0088] 尽管前述公开示出了示意性示例,应该注意,可以在此做出各种改变和修改而并未脱离如由所附权利要求所限定的所公开主题的范围。根据在此所述示例的方法权利要求的函数、进程和/或动作无需以任何特定顺序执行。进一步,尽管可以以单数形式描述或请求保护所公开主题的要素,预期了复数形式,除非明确地申明限定于单数形式。

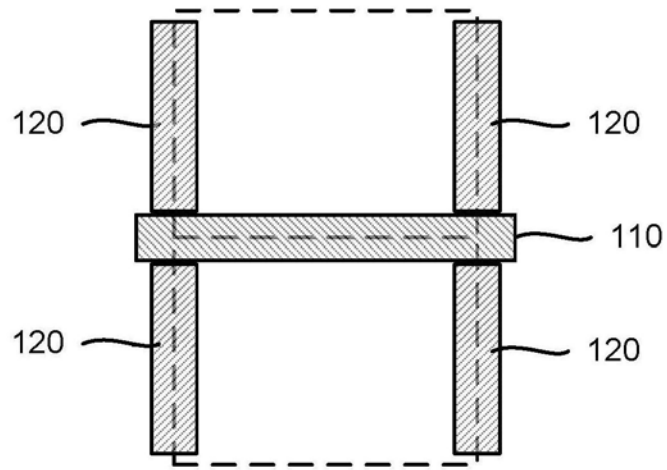


图1A

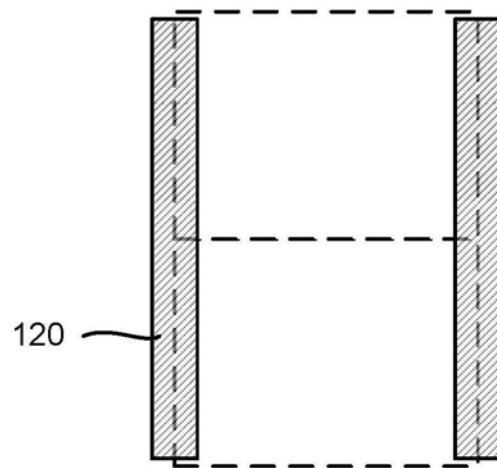


图1B

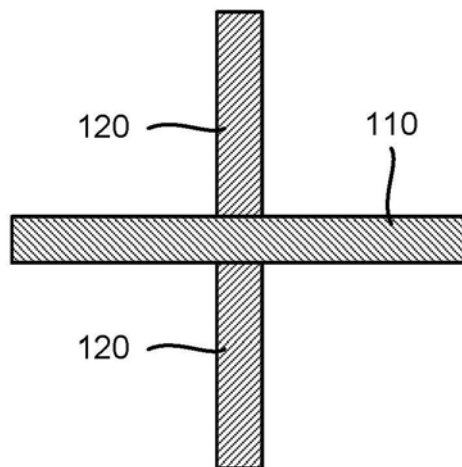


图1C

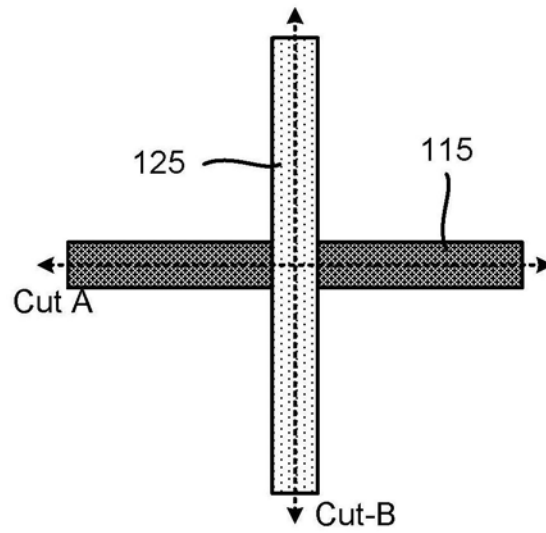


图1D

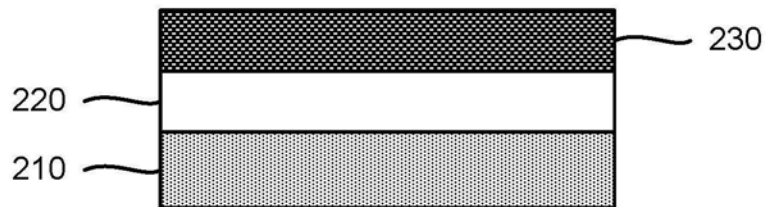


图2A



图2B

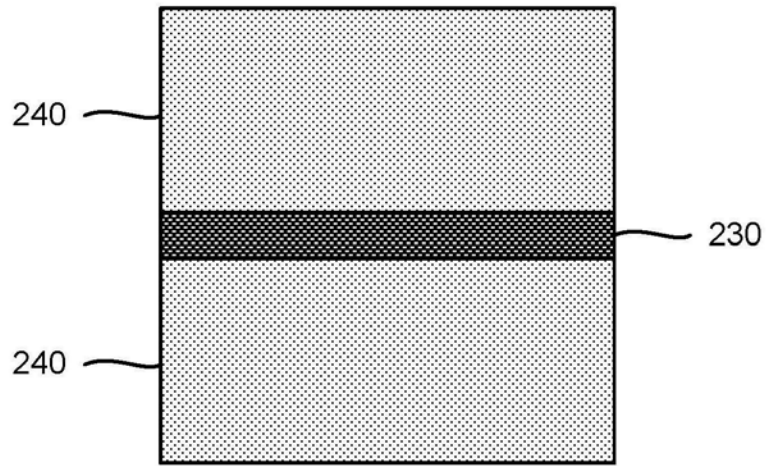


图2C

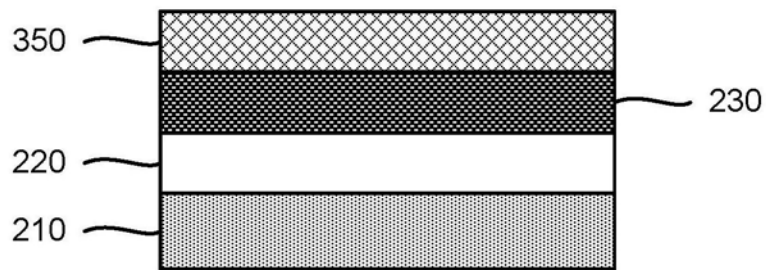


图3A

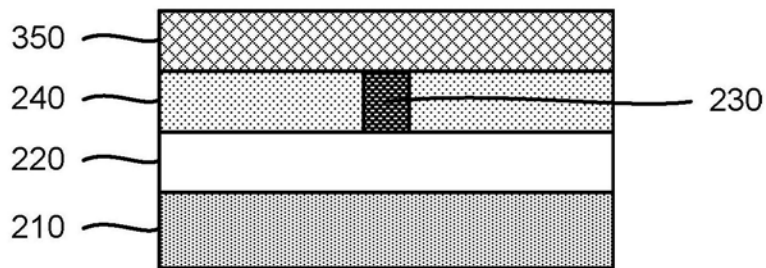


图3B

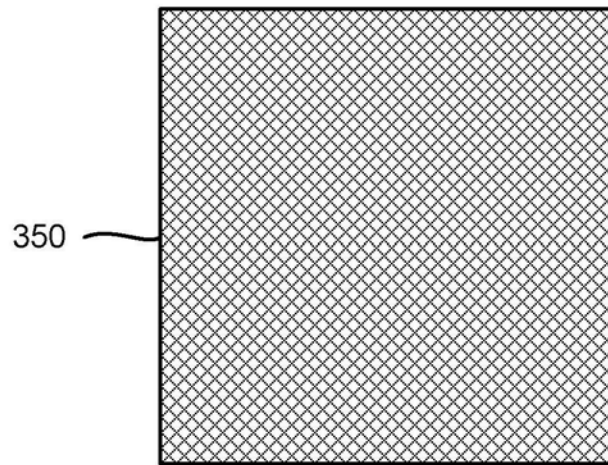


图3C

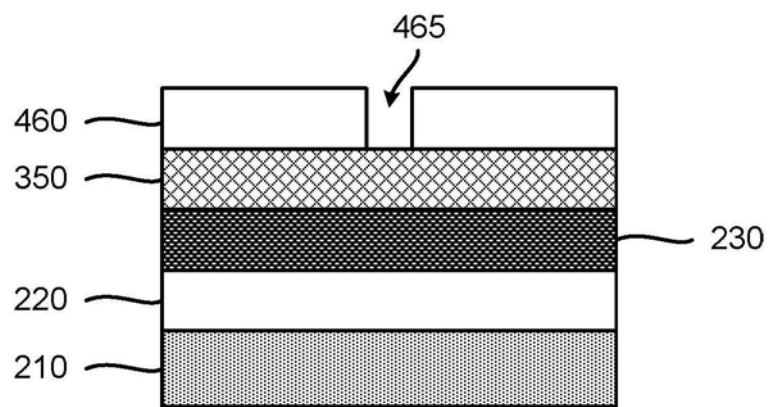


图4A

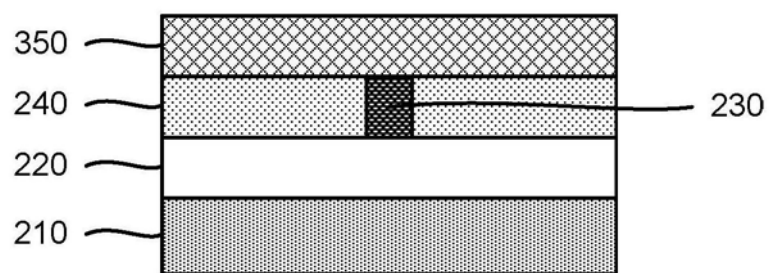


图4B

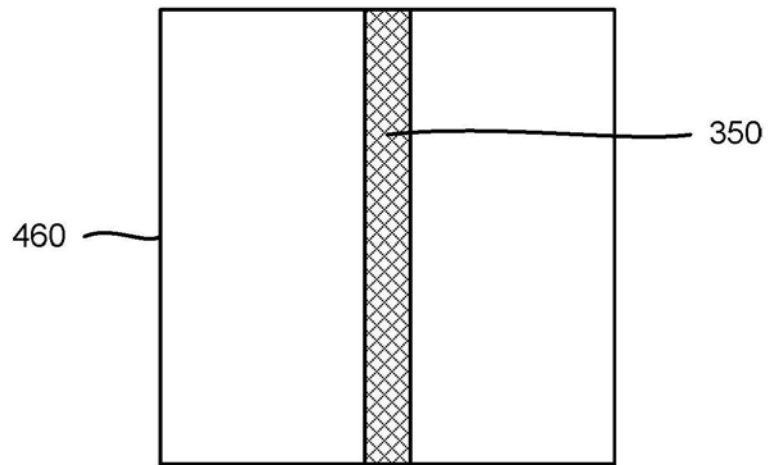


图4C

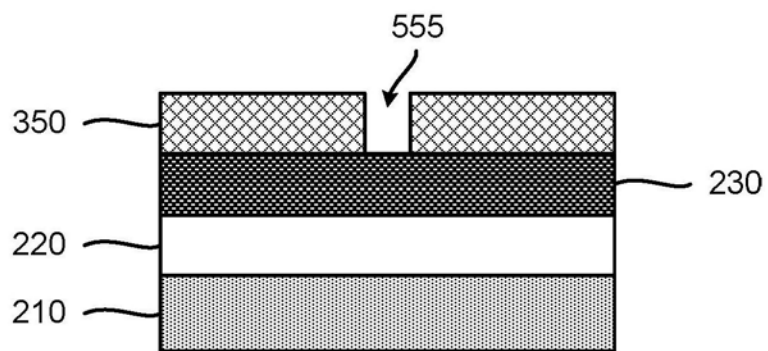


图5A

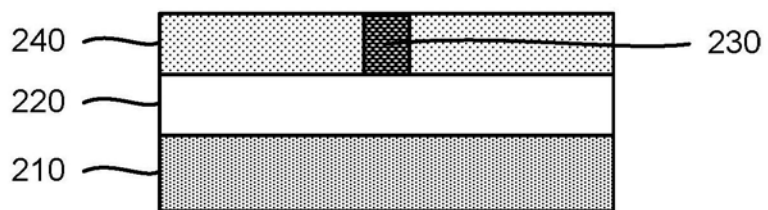


图5B

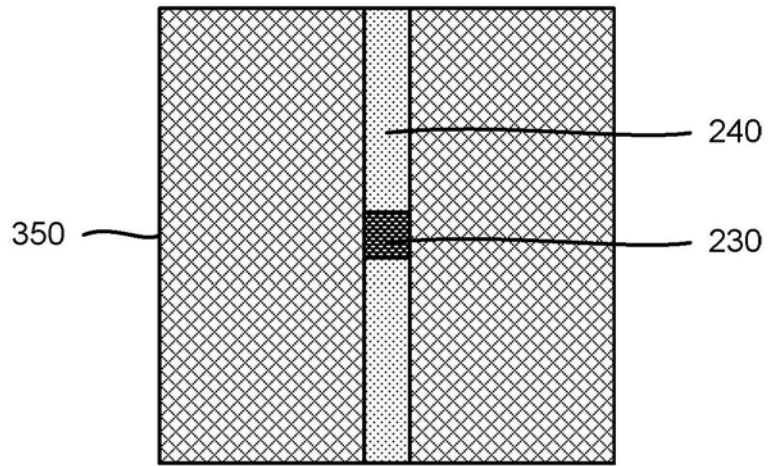


图5C

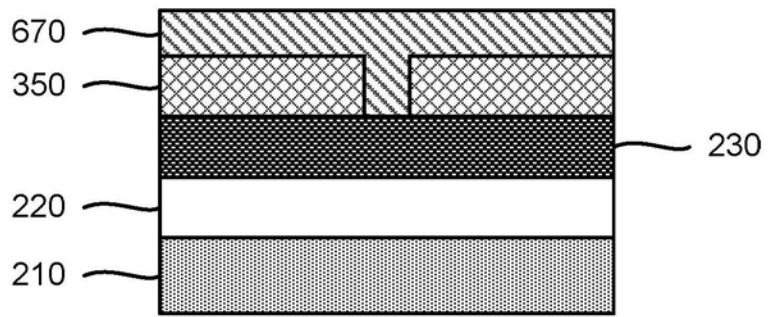


图6A

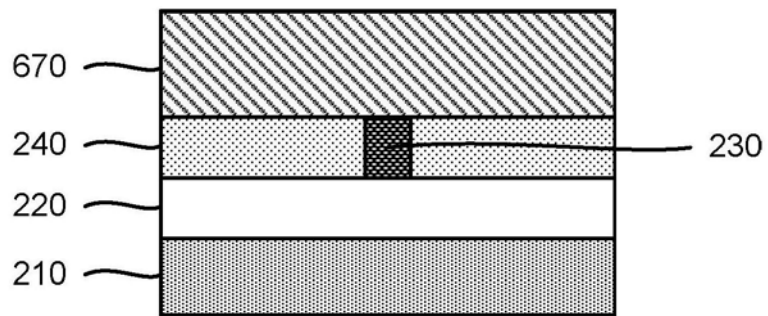


图6B

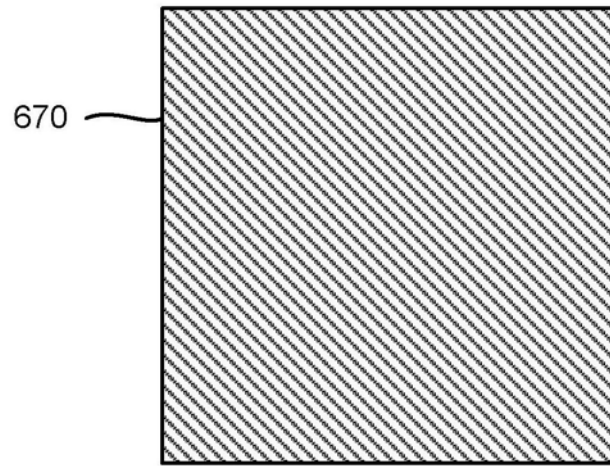


图6C

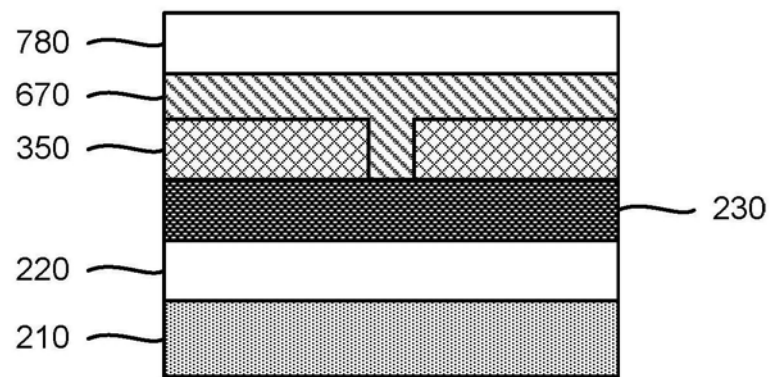


图7A

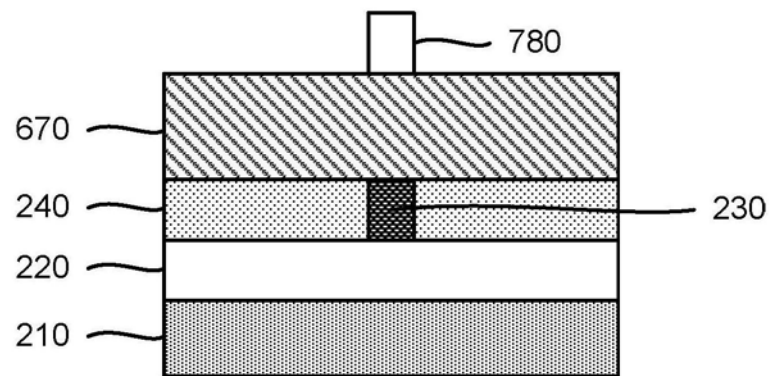


图7B

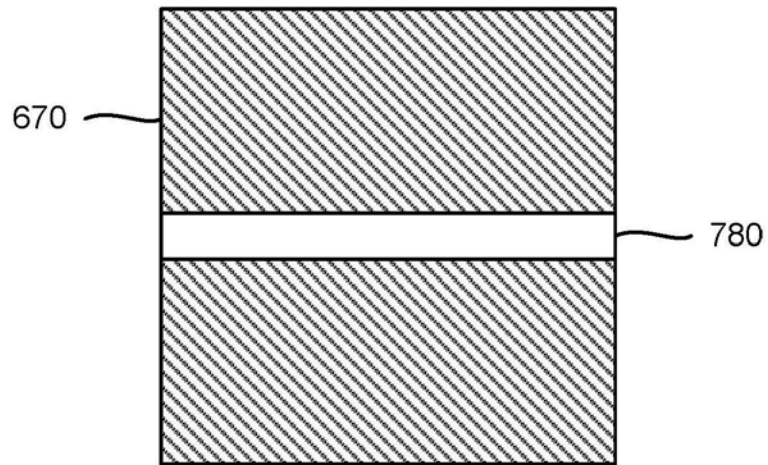


图7C

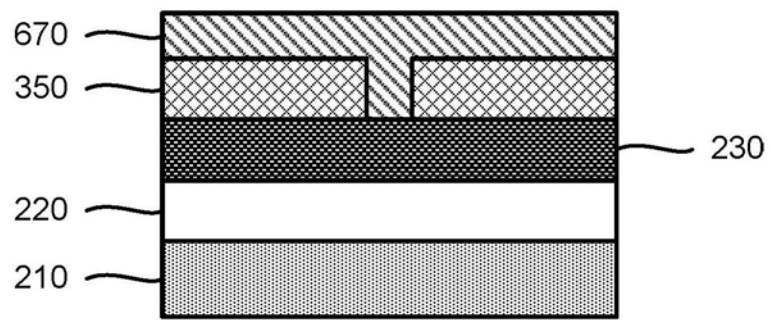


图8A

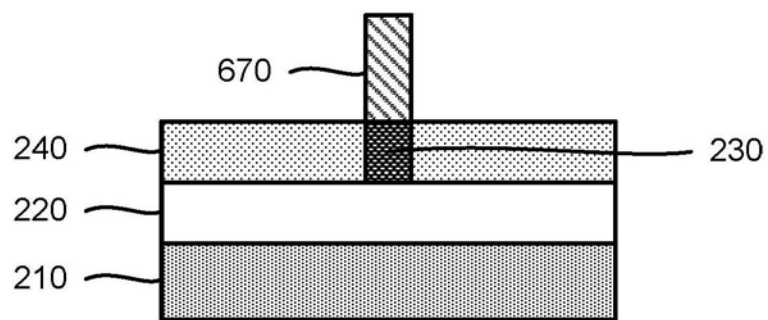


图8B

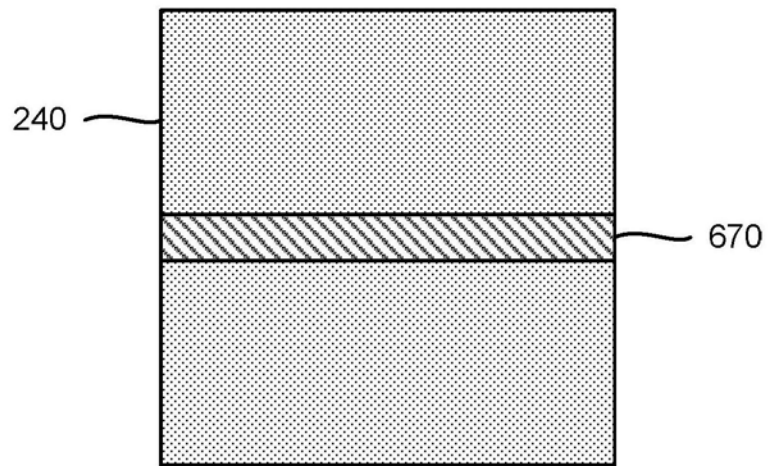


图8C

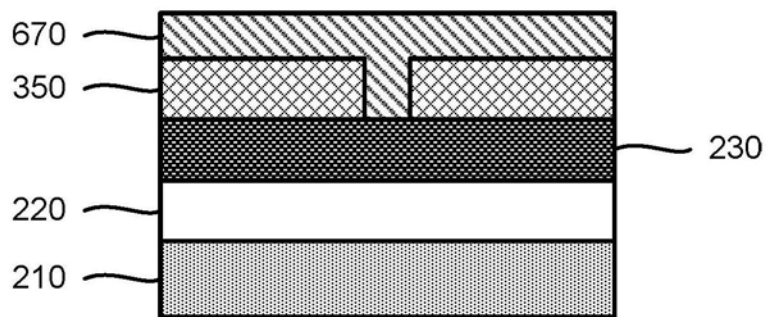


图9A

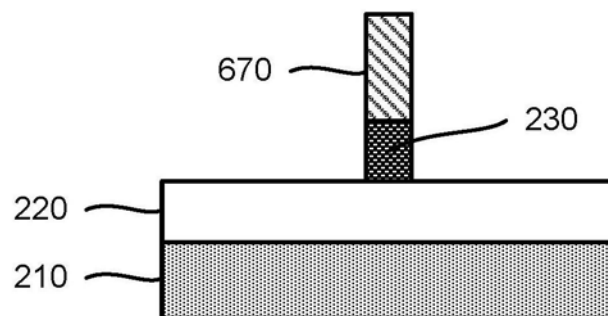


图9B

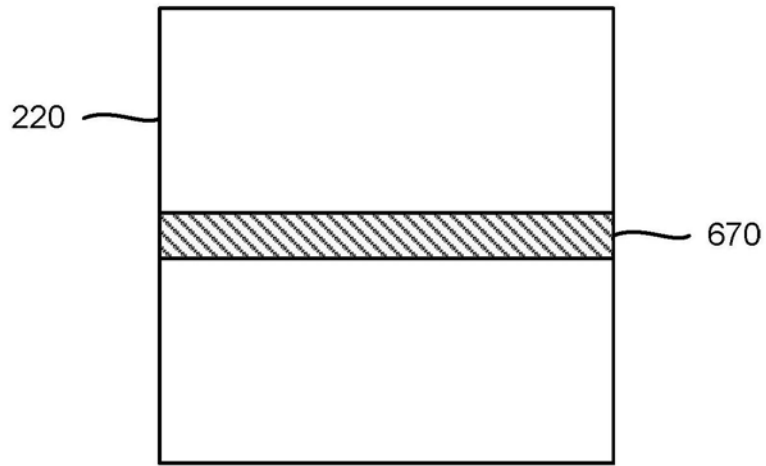


图9C



图10A

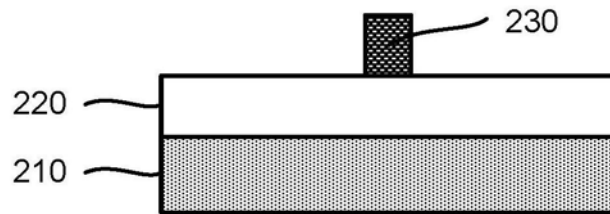


图10B

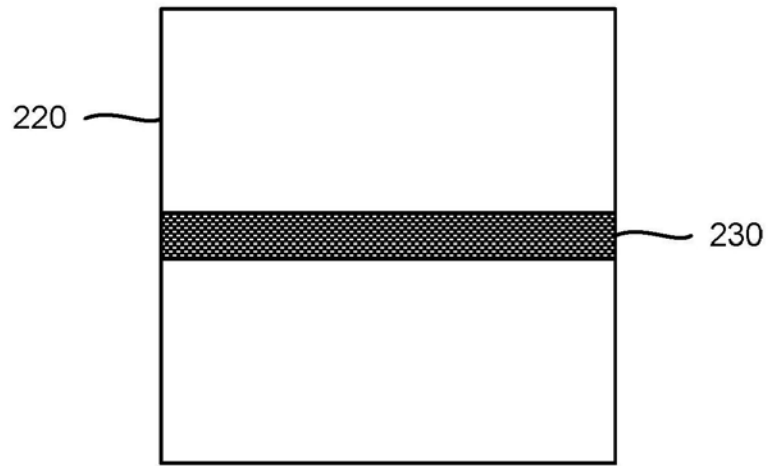


图10C

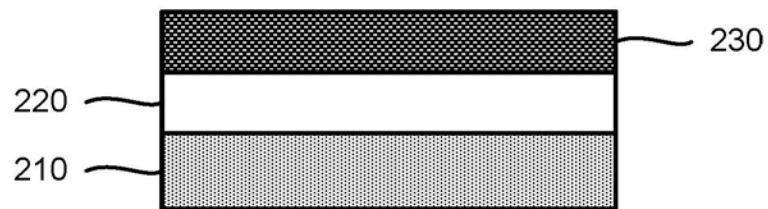


图11A

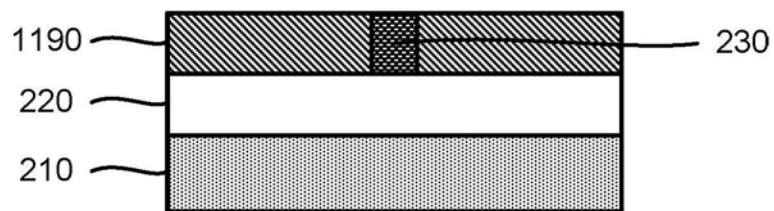


图11B

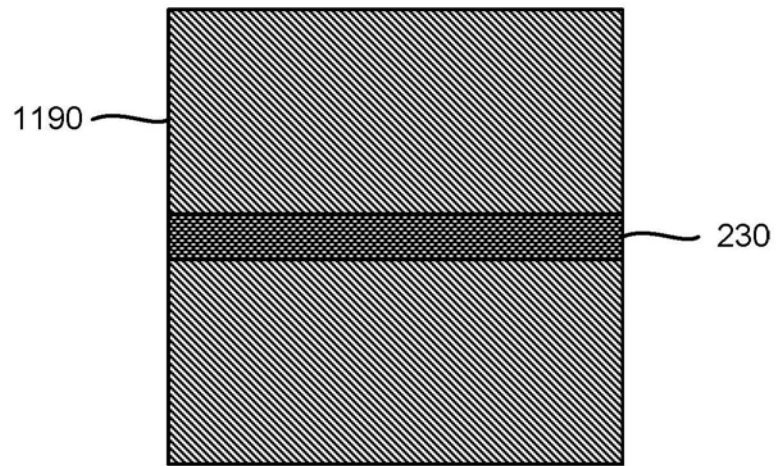


图11C

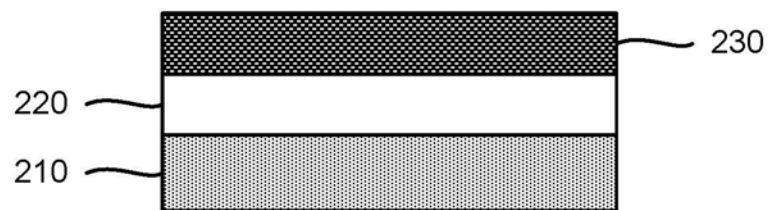


图12A

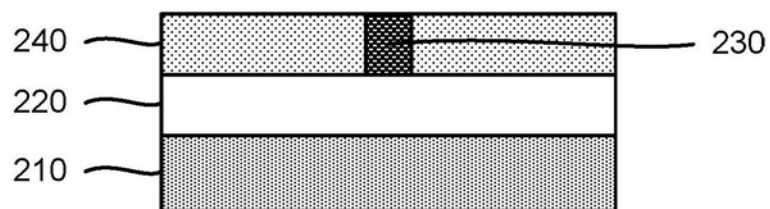


图12B

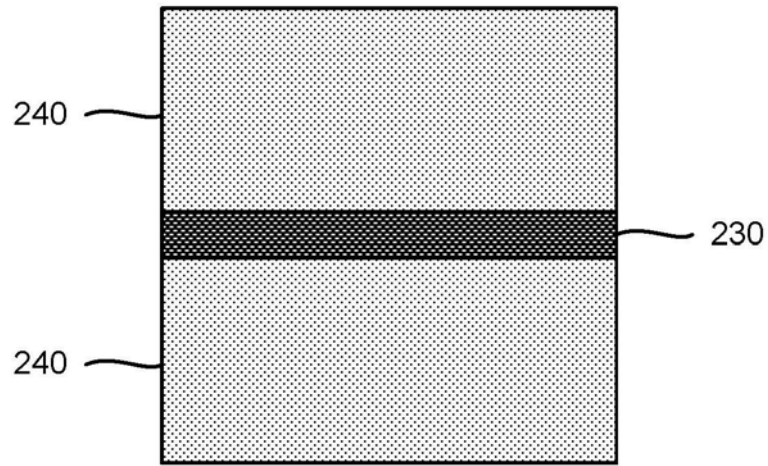


图12C

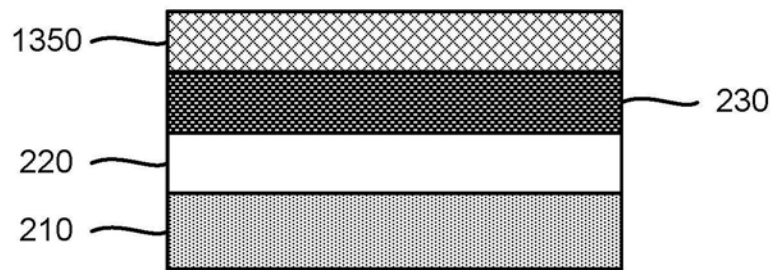


图13A

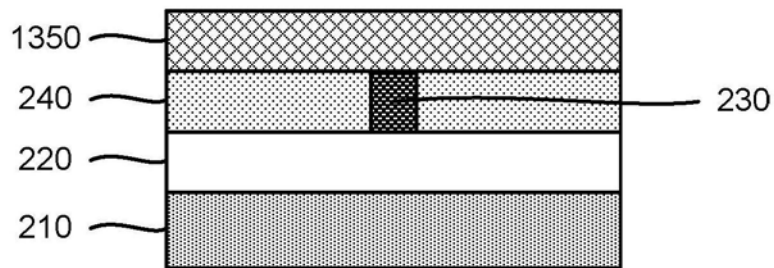


图13B

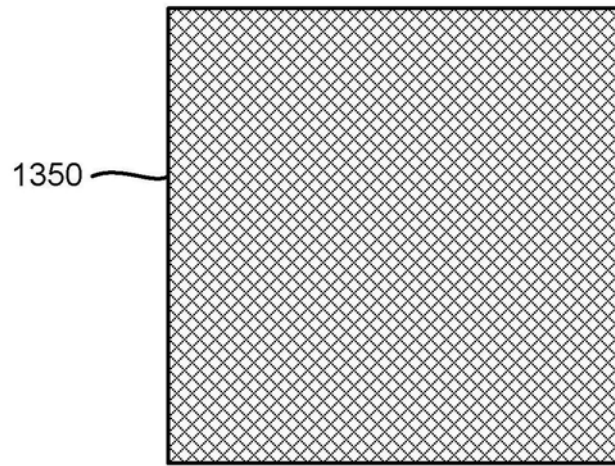


图13C

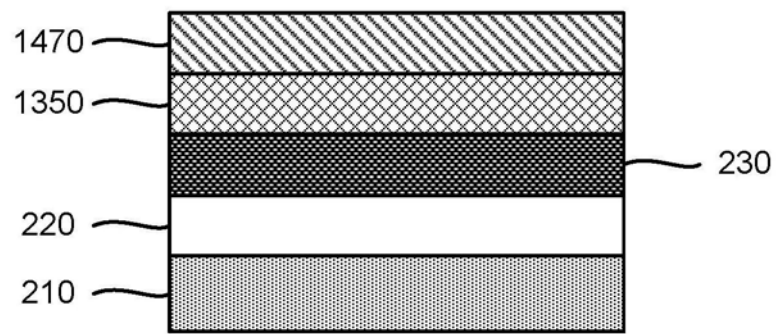


图14A

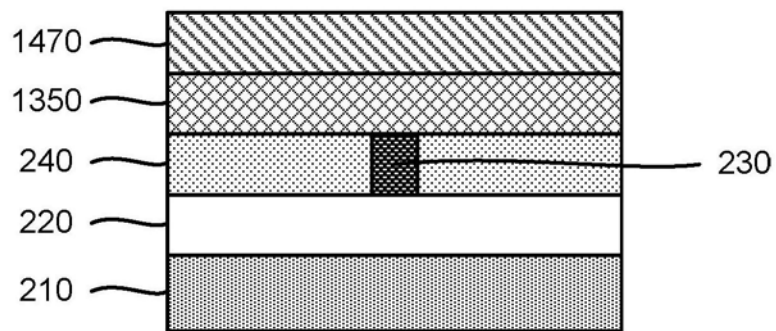


图14B

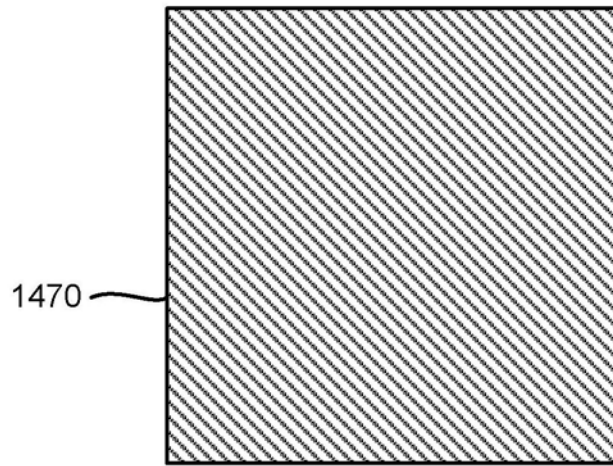


图14C

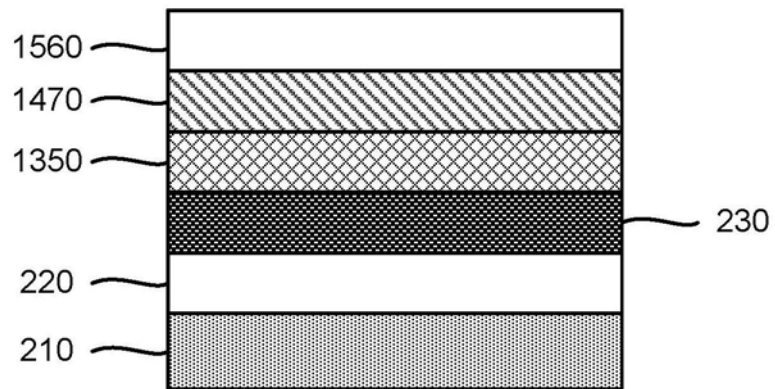


图15A

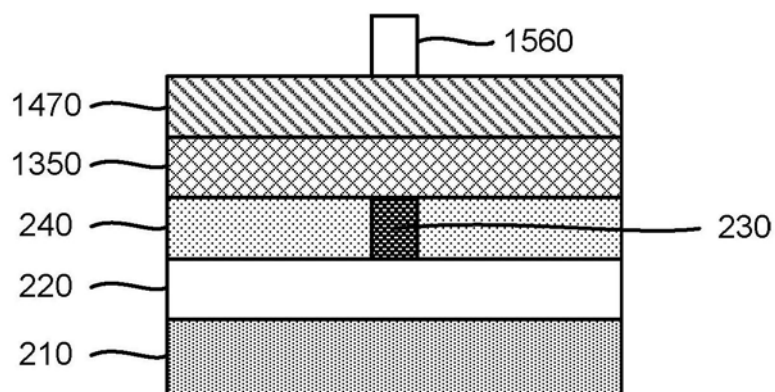


图15B

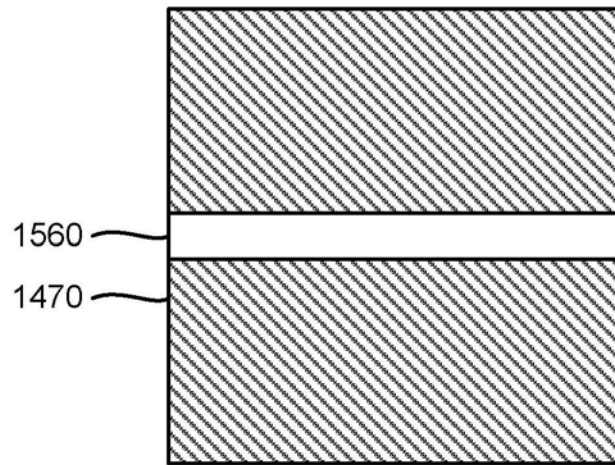


图15C

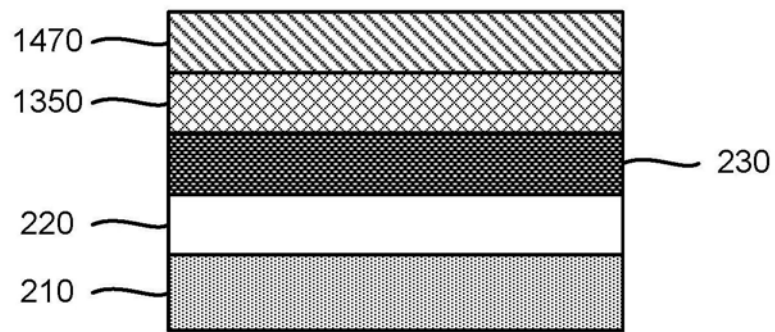


图16A

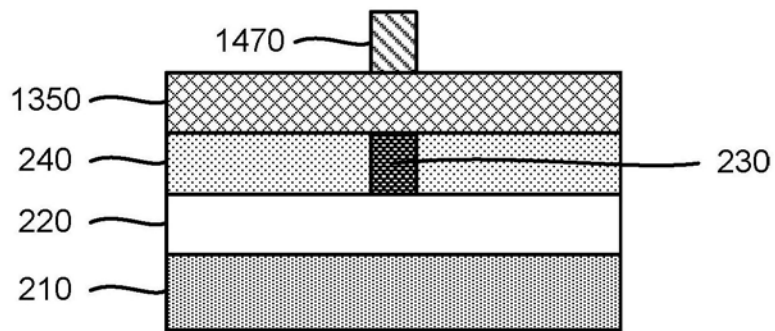


图16B

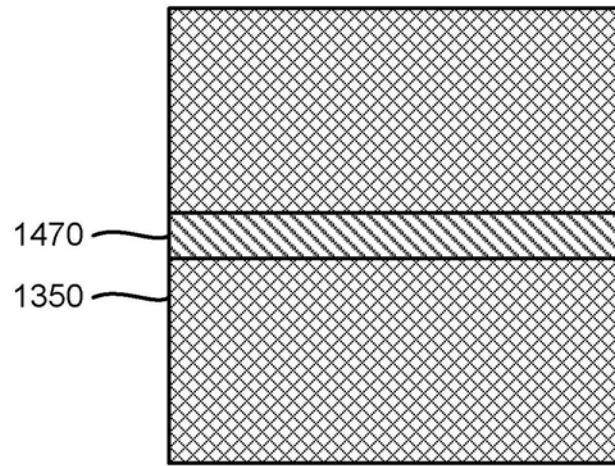


图16C

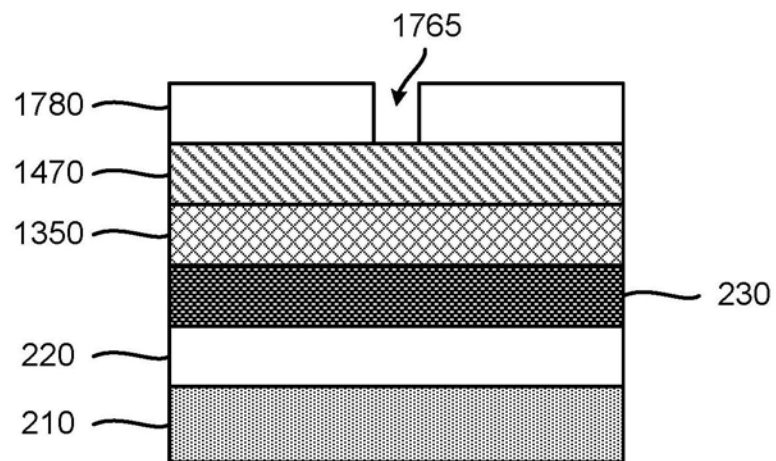


图17A

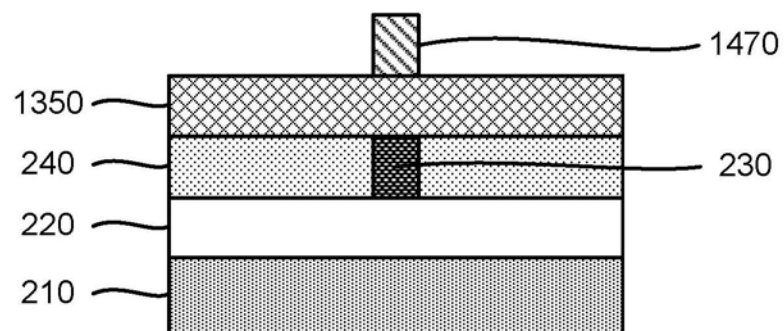


图17B

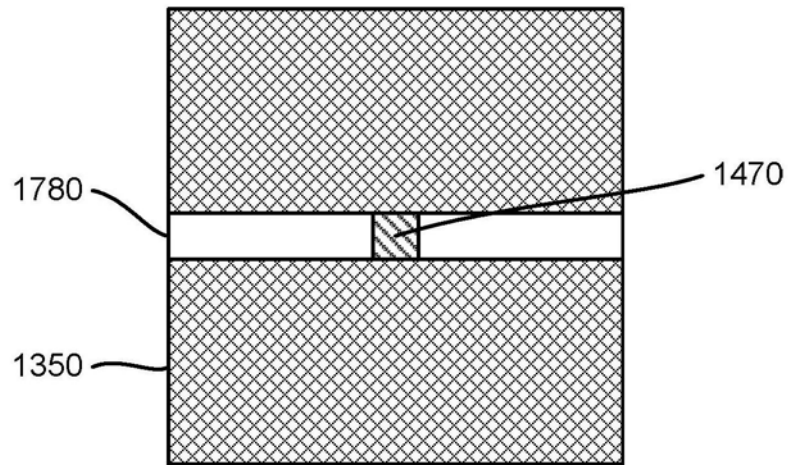


图17C

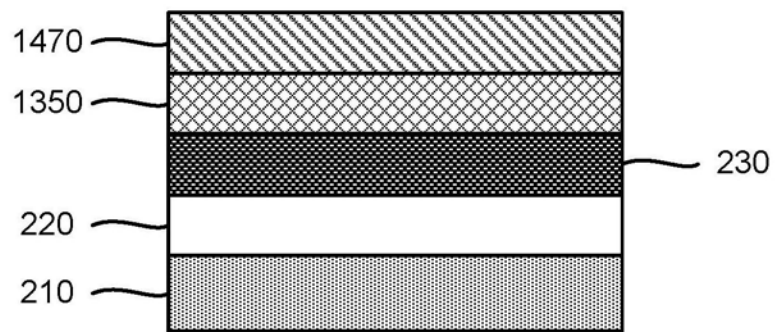


图18A

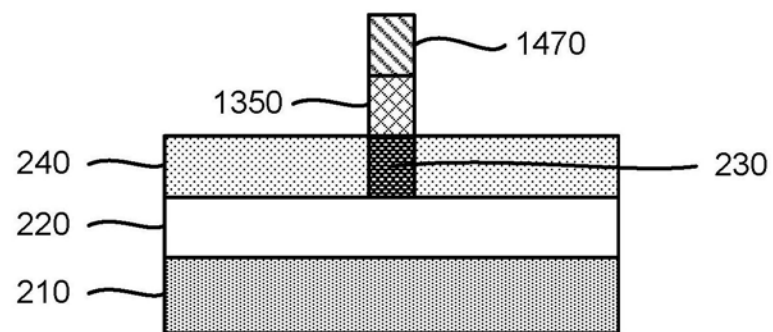


图18B

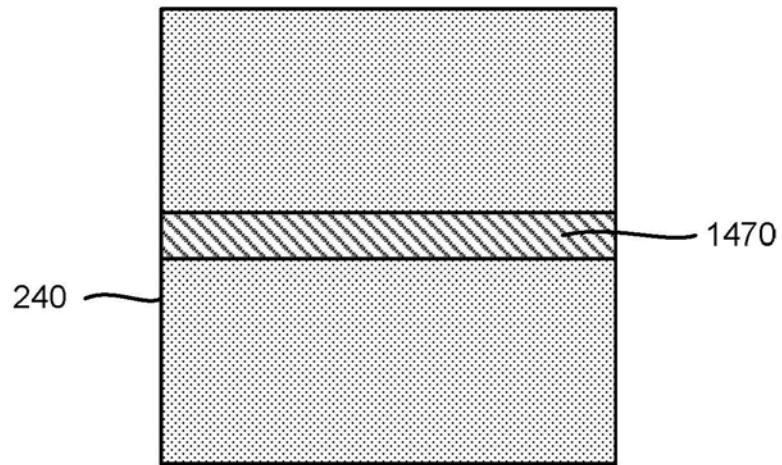


图18C

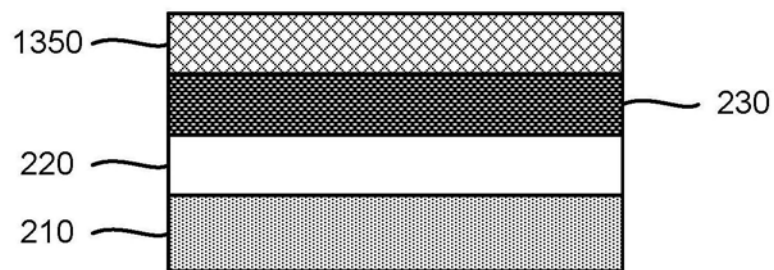


图19A

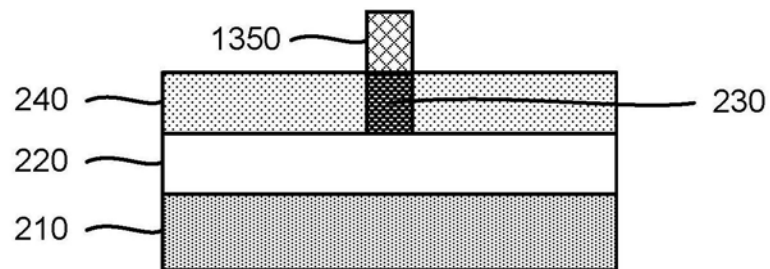


图19B

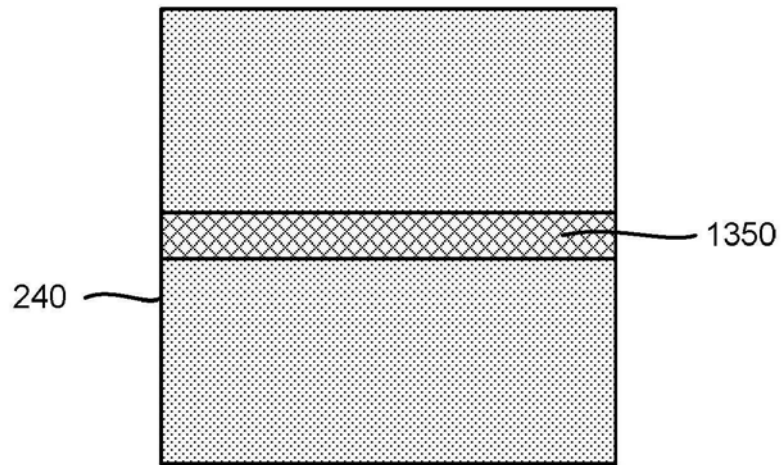


图19C

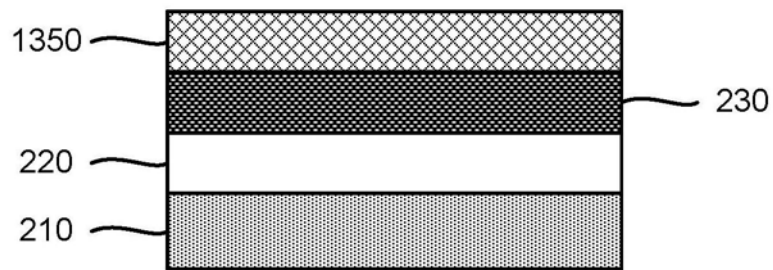


图20A

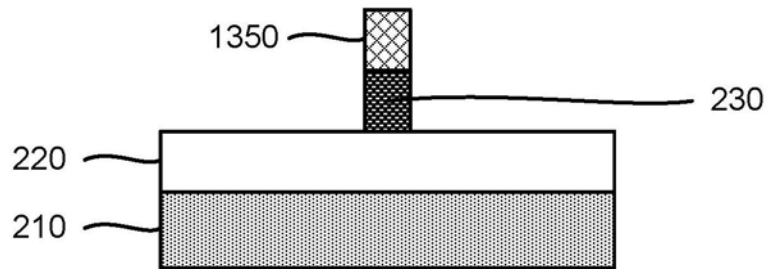


图20B

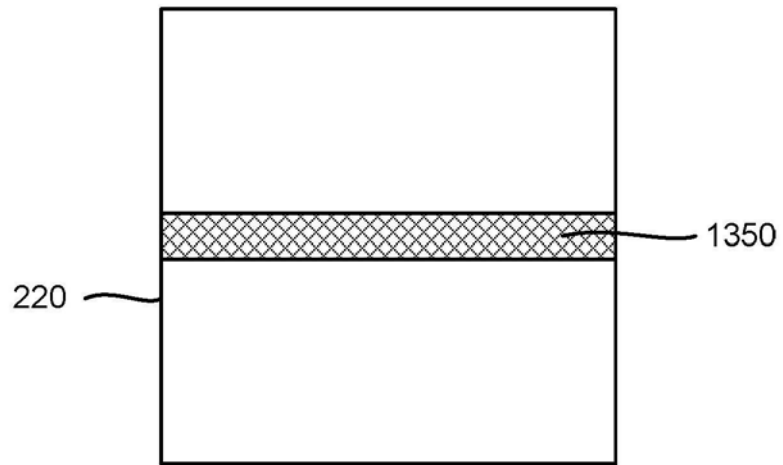


图20C

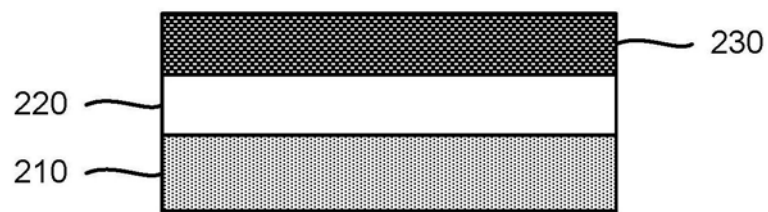


图21A

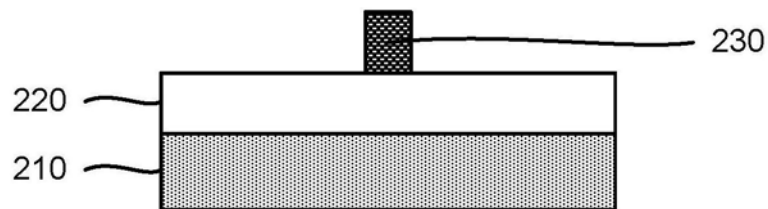


图21B

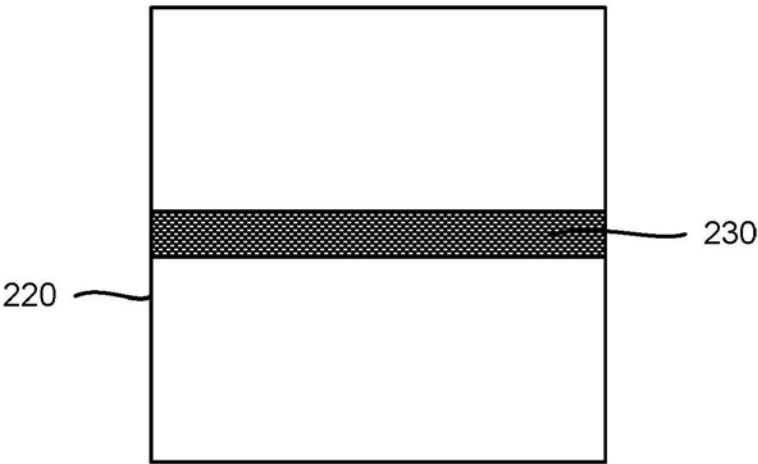


图21C

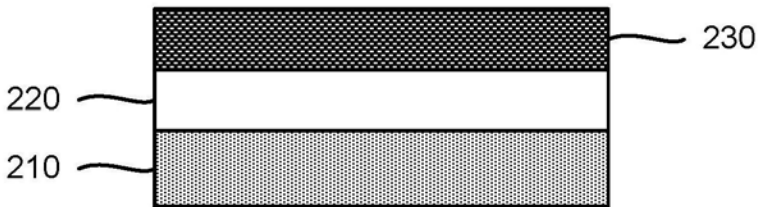


图22A

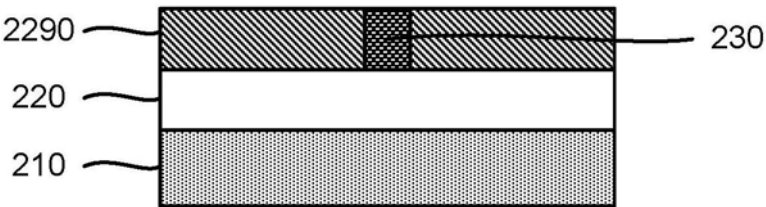


图22B

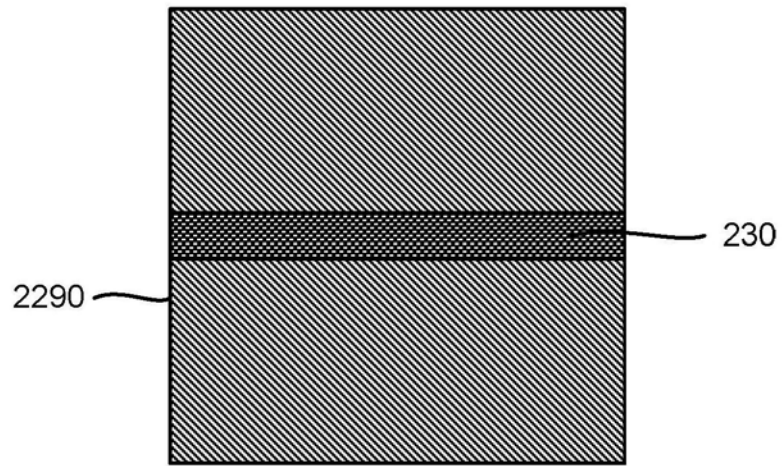


图22C

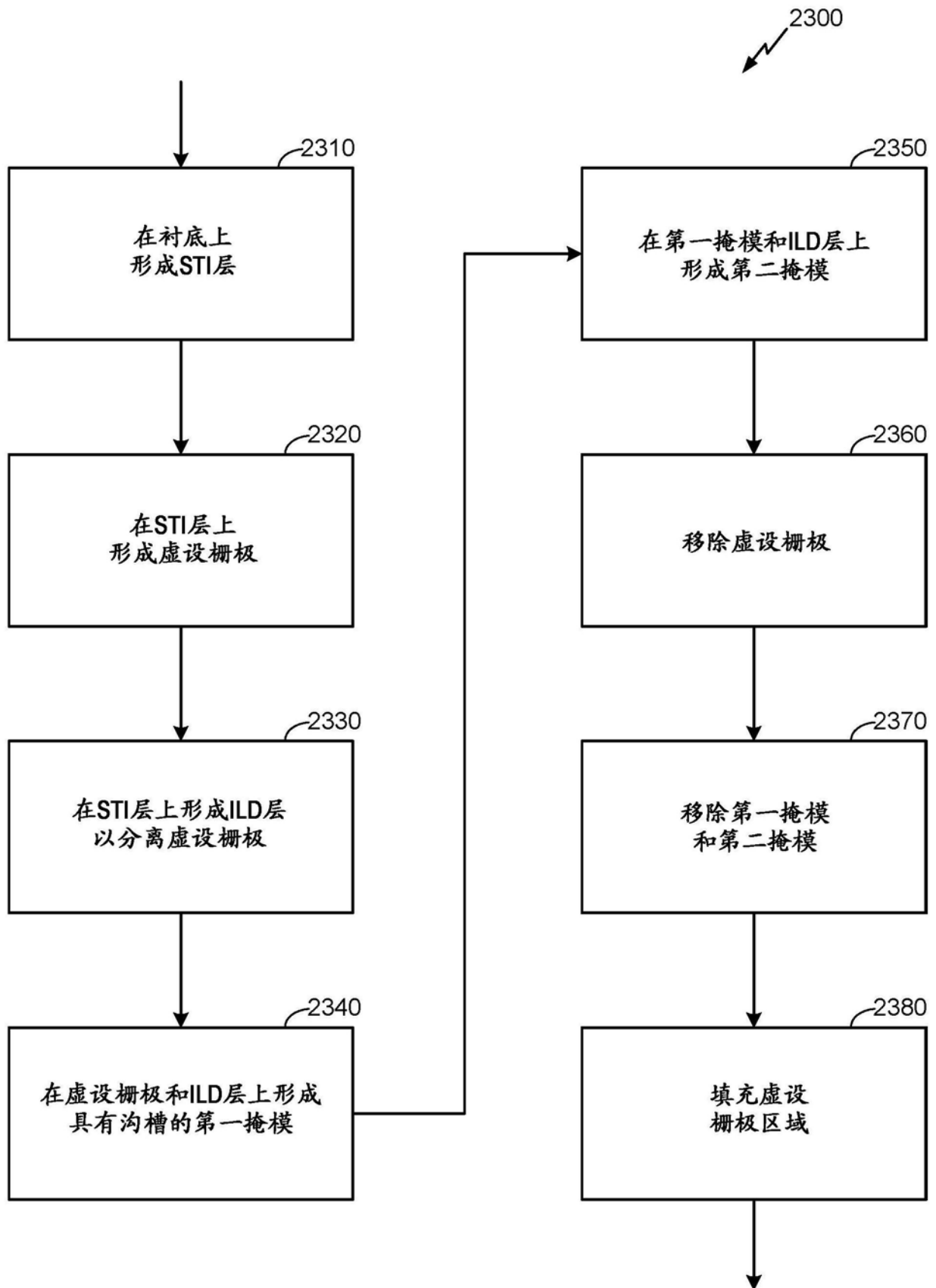


图23

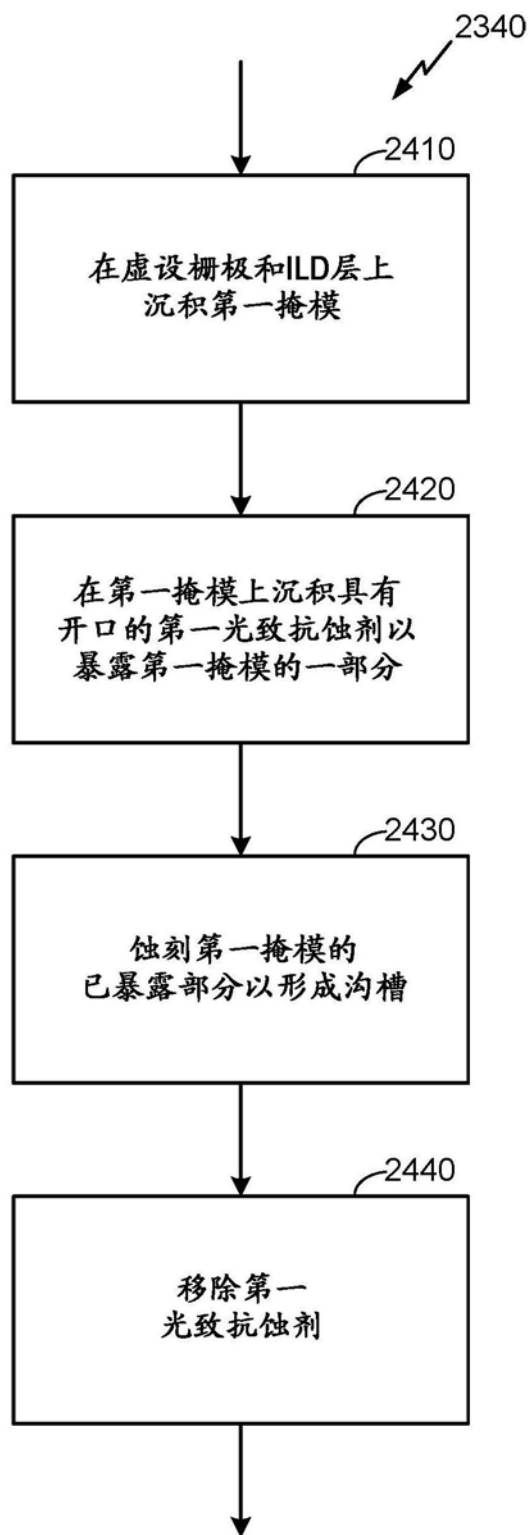


图24

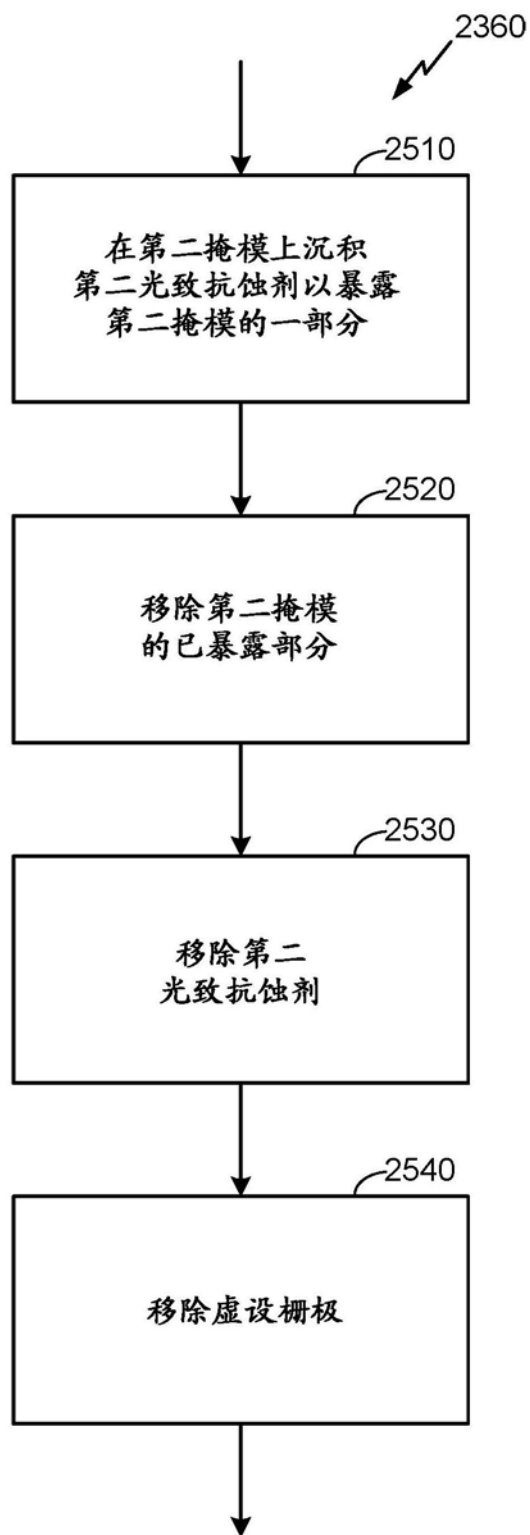


图25

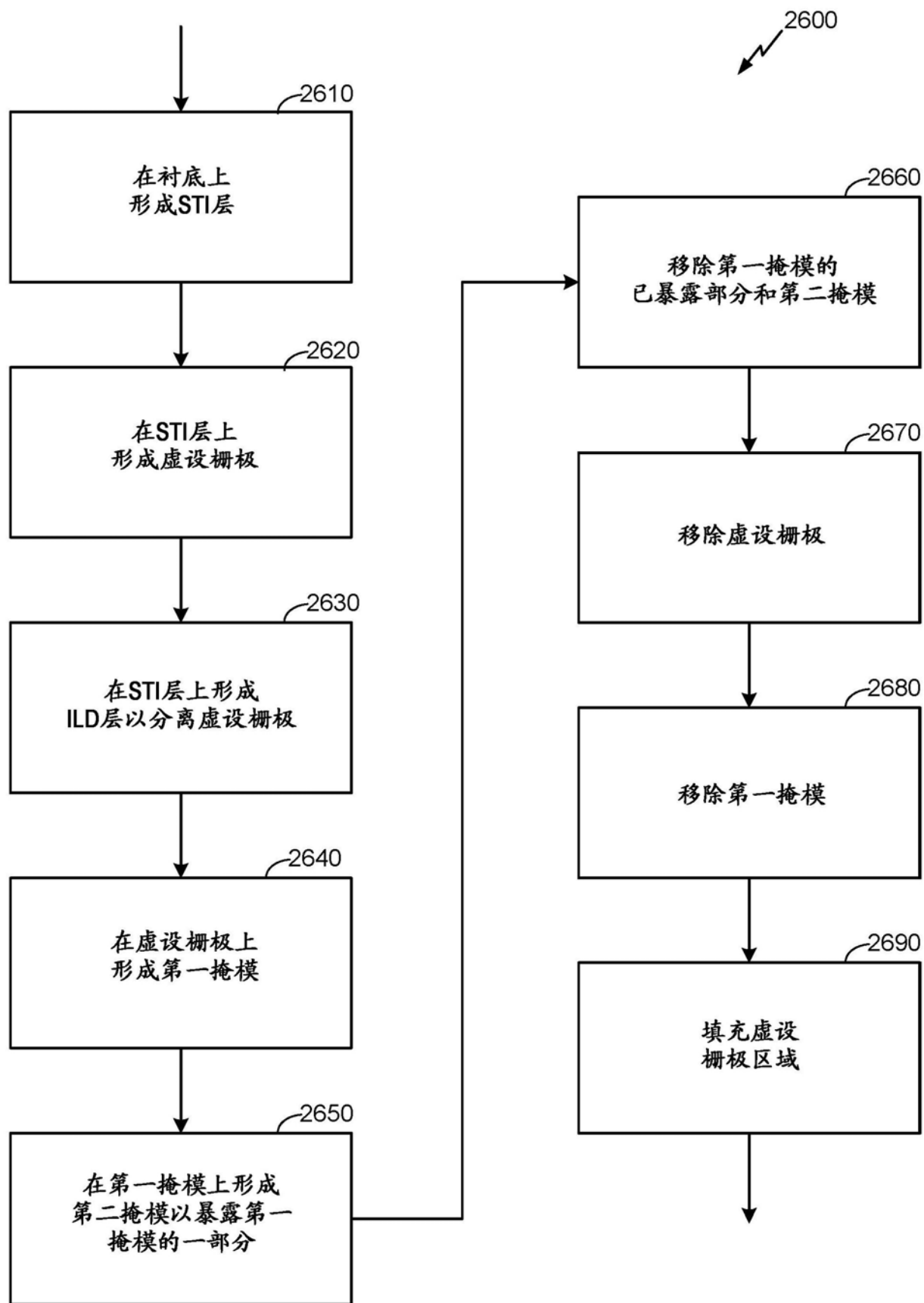


图26

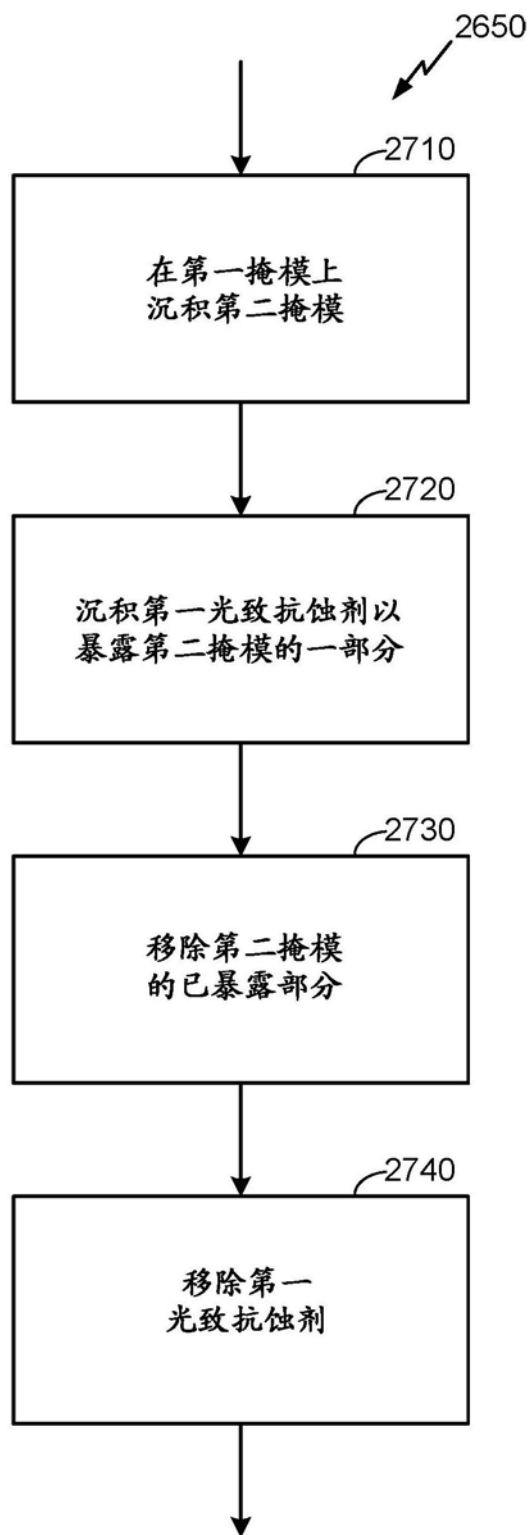


图27

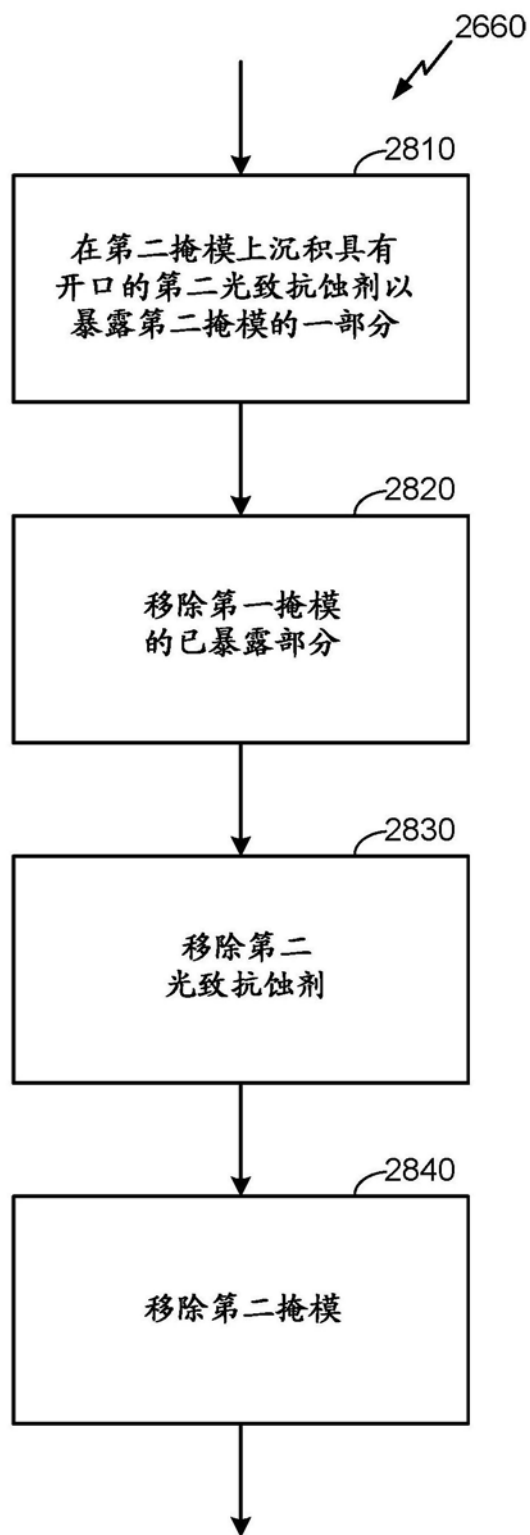


图28

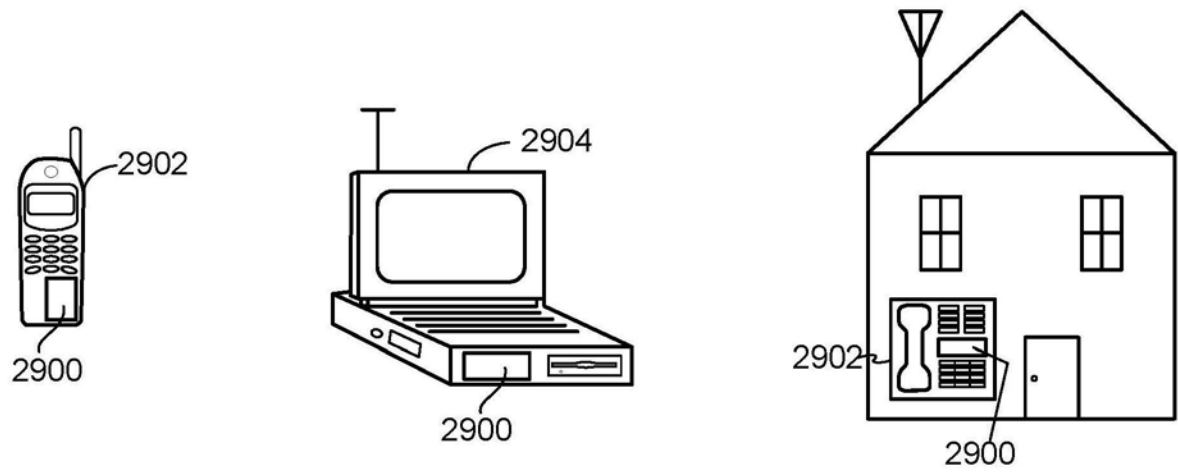


图29