

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3961682号
(P3961682)

(45) 発行日 平成19年8月22日(2007.8.22)

(24) 登録日 平成19年5月25日(2007.5.25)

(51) Int.C1.

F 1

G09G	3/20	(2006.01)	G09G	3/20	623B
G09G	3/36	(2006.01)	G09G	3/20	611C
			G09G	3/20	622B
			G09G	3/36	

請求項の数 2 (全 6 頁)

(21) 出願番号	特願平10-204629
(22) 出願日	平成10年7月21日(1998.7.21)
(65) 公開番号	特開2000-35773 (P2000-35773A)
(43) 公開日	平成12年2月2日(2000.2.2)
審査請求日	平成16年1月15日(2004.1.15)

前置審査

(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(74) 代理人	100073759 弁理士 大岩 増雄
(74) 代理人	100093562 弁理士 児玉 俊英
(74) 代理人	100088199 弁理士 竹中 孝生
(74) 代理人	100094916 弁理士 村上 啓吾
(72) 発明者	高林 勉 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】制御回路及びこれを用いた表示装置

(57) 【特許請求の範囲】

【請求項1】

入力される第一のデジタル信号を処理して、第一の遅延素子を経由する時間分遅延するように作成された第二のデジタル信号を出力する処理部、この処理部の出力する第二のデジタル信号を受けて、高電位、低電位及びハイインピーダンス状態を有する第三のデジタル信号を出力するよう構成された出力バッファ、上記第一のデジタル信号を基信号として、この基信号を上記第一の遅延素子および第二の遅延素子を経由させ、この第一及び第二の遅延素子を経由させた基信号と、上記第一及び第二の遅延素子を経由しない上記第一のデジタル信号との論理演算により、上記出力バッファのハイインピーダンス状態を制御する制御信号を作成する制御信号作成回路を備え、上記制御信号作成回路は、上記制御信号により、出力バッファの出力する第三のデジタル信号が高電位から低電位へ切り替わるとき、及び第三のデジタル信号が低電位から高電位へ切り替わるとき、出力バッファがハイインピーダンス状態となるように制御することを特徴とする制御回路。

【請求項2】

請求項1記載の制御回路、及びこの制御回路の出力する第三のデジタル信号をもとにして表示を行う表示部を備えたことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、多数の高速デジタルデータを処理する例えば液晶表示装置の制御回路及

びこれを用いた表示装置、特にそのノイズ及び不要電磁輻射対策に関するものである。

【0002】

【従来の技術】

従来の高速でディジタルデータ処理を行う制御回路は、ディジタル信号が切り替わるところで、不要電磁輻射を生じさせ、他の機器に障害を及ぼしてしまう。従来の対策としてはGND強化、回路の平衡化、フィルターの設置、金属筐体での遮蔽等が行われてきた。

【0003】

【発明が解決しようとする課題】

ディジタルエレクトロニクス技術の進歩に伴い高速化が進み、ディジタル信号のスイッチング速度が上がり、スイッチング時の電気的変化が電磁波として周辺の電気機器に障害を与えててしまう。そこで、今までの回路レベルの対策としてGND強化、フィルターの設置、配線の工夫等を行ってきたが、例えば、液晶表示装置において発生源となるタイミングコントローラICの対策は十分とは言えなかった。

液晶表示のためにディジタル信号を処理し、ディジタル信号を出力する制御回路であるタイミングコントローラICにおいて、ディジタル信号がHIGH・LOWの切り替わりのときに、タイミングコントローラIC内の出力バッファのPチャンネルトランジスタとNチャンネルトランジスタが同時にオンの状態になる瞬間ができる。そのとき、PチャンネルトランジスタとNチャンネルトランジスタを通って、電源からGNDへと一時的に大きい電流が流れ、ノイズの原因として他の信号に影響を与えてしまうことがある。この一時的に流れる大きい電流を貫通電流といい、図3にその概念図を示す。

【0004】

図3は、従来の出力バッファの貫通電流を示す概略図である。

図3において、1は入力信号、2は入力信号1がゲートに入力するPチャンネルトランジスタ、3はPチャンネルトランジスタ2と接続され、入力信号1がゲートに入力するNチャンネルトランジスタ、4は抵抗5を介してPチャンネルトランジスタ2に接続された電源、6はNチャンネルトランジスタ3に接続されたGNDである。7はPチャンネルトランジスタ2とNチャンネルトランジスタ3との接続点から出力される出力信号である。8はPチャンネルトランジスタ2とNチャンネルトランジスタ3が同時にオンしたとき、Pチャンネルトランジスタ2とNチャンネルトランジスタ3を通じて流れる貫通電流である。

出力バッファは、出力信号がHIGHのときは電源4側に、LOWのときはGND6側に回路が繋がると考えてよい。

【0005】

この発明は、上述のような課題を解決するためになされたもので、第一の目的は、出力バッファの貫通電流を低減することができる制御回路を得るものである。

また、第二の目的は、そのような制御回路を用いた表示装置を得るものである。

【0006】

【課題を解決するための手段】

この発明に係わる制御回路においては、入力される第一のディジタル信号を処理して、第一の遅延素子を経由する時間分遅延するように作成された第二のディジタル信号を出力する処理部、この処理部の出力する第二のディジタル信号を受けて、高電位、低電位及びハイインピーダンス状態を有する第三のディジタル信号を出力するよう構成された出力バッファ、第一のディジタル信号を基信号として、この基信号を第一の遅延素子および第二の遅延素子を経由させ、この第一及び第二の遅延素子を経由させた基信号と、第一及び第二の遅延素子を経由しない第一のディジタル信号との論理演算により、出力バッファのハイインピーダンス状態を制御する制御信号を作成する制御信号作成回路を備え、制御信号作成回路は、制御信号により、出力バッファの出力する第三のディジタル信号が高電位から低電位へ切り替わるとき、及び第三のディジタル信号が低電位から高電位へ切り替わるとき、出力バッファがハイインピーダンス状態となるように制御するものである。

【0007】

10

20

30

40

50

さらに、この発明に係わる表示装置においては、制御回路の出力する第三のデジタル信号をもとにして表示を行う表示部を備えたものである。

【0008】

【発明の実施の形態】

発明のベースとなる技術

入力される第一のデジタル信号を処理部によって処理して得られる第二のデジタル信号を、出力バッファにより第三のデジタル信号として出力するよう構成された制御回路であるタイミングコントローラ I C の出力バッファから出力される出力信号の H I G H ・ L O W の切り替わりで、オフ状態つまりハイインピーダンス状態にして、出力バッファのデバイスから生じる貫通電流を抑える。

例えば、液晶駆動に用いているタイミングコントローラ I C の出力バッファに 3 ステート出力バッファを用い、出力信号のデータ切り替わりタイミングに H I G H 状態が重なるイネーブル信号を作成し、3 ステート出力バッファによって出力信号が H I G H から L O W または、L O W から H I G H へと切り替わる点で、出力バッファをハイインピーダンス状態にして回路に貫通電流が流れないようにする。

【0009】

実施の形態 2 .

実施の形態 2 では、出力バッファをハイインピーダンス状態にするイネーブル信号をデータから作成するようにしたものである。

図 1 は、この発明の実施の形態 2 による制御回路の出力バッファの制御信号を作成する制御信号作成回路を示す図である。

図において、2 0 はデータ 3 a を遅延させる D e l a y 素子、2 1 は D e l a y 素子 2 0 によって遅延されたデータ 3 b を遅延させる D e l a y 素子、2 2 はデータ 3 a を一方の入力とし、D e l a y 素子 2 1 によって遅延されたデータ 3 c を他方の入力とする E X - O R 素子で、イネーブル信号 E N 3 d を出力する。

2 3 、2 4 はデータ 3 b を入力とする直列に接続された二つのインバータ、2 5 はインバータ 2 4 の出力であるデータ 3 e を第二のデジタル信号である入力データ D o i とし、データ 3 f を第三のデジタル信号である出力データ D o x とする 3 ステート出力バッファであり、E X - O R 素子 2 2 の出力であるイネーブル信号 E N を制御信号として制御され、イネーブル信号 E N が H I G H のとき、ハイインピーダンス状態となる。

【0010】

図 2 は、図 1 の回路の信号波形を示す図である。

図において、データ 3 f の網掛部分がハイインピーダンス状態である。また、解析の便宜上、回路中の D e l a y 素子 2 0 、2 1 以外では遅延が起きないものとして信号波形を示してある。

【0011】

次に動作について説明する。

図 1 の回路は、データ信号の変化点のみでイネーブル信号が H I G H になる。すなわち、図 2 に示すようにイネーブル信号 E N 3 d は、データ信号が変化するときのみ H I G H になる。この図 1 の回路を用いると、イネーブル信号の切り替わりが最小限で済み、イネーブル信号の電気的变化の影響によるノイズ及び不要放射が低減できる。ハイインピーダンス状態になるのは信号が切り替わる時のみである。

【0012】

図 1 のイネーブル信号作成回路は、データから取り出されるイネーブル信号 E N を作成する回路中の D e l a y 素子 2 0 、 D e l a y 素子 2 1 のうち、 D e l a y 素子 2 0 を通った後 (3 b 地点) からデータ 3 b 信号を引き出すことにより、出力バッファ 2 5 の出力データ信号 3 f の H I G H ・ L O W 切り替わりタイミングに、イネーブル信号 E N が H I G H になり、データ信号 3 f が H I G H ・ L O W に切り替わるタイミングで、 H I G H インピーダンス状態にすることができる。

図 1 の回路は出力デジタル信号の切り替わりが少ない時に有効である。

10

20

40

50

なお、実施の形態 2 に示す制御回路は、制御回路の出力する第三のデジタル信号をもとにして表示を行う表示部を備えていれば、液晶表示装置だけでなく、PDP 等他のデジタル信号を取り扱う表示装置にも、ノイズ及び不要電磁輻射対策として使用することができる。

【0013】

【発明の効果】

この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

10 入力される第一のデジタル信号を処理して、第一の遅延素子を経由する時間分遅延するように作成された第二のデジタル信号を出力する処理部、この処理部の出力する第二のデジタル信号を受けて、高電位、低電位及びハイインピーダンス状態を有する第三のデジタル信号を出力するよう構成された出力バッファ、第一のデジタル信号を基信号として、この基信号を第一の遅延素子および第二の遅延素子を経由させ、この第一及び第二の遅延素子を経由させた基信号と、第一及び第二の遅延素子を経由しない第一のデジタル信号との論理演算により、出力バッファのハイインピーダンス状態を制御する制御信号を作成する制御信号作成回路を備え、制御信号作成回路は、制御信号により、出力バッファの出力する第三のデジタル信号が高電位から低電位へ切り替わるとき、及び第三のデジタル信号が低電位から高電位へ切り替わるとき、出力バッファがハイインピーダンス状態となるように制御するので、第三のデジタル信号の高電位と低電位との切り替わり時に、ハイインピーダンス状態にするため、出力バッファの貫通電流を低減してノイズを低減することができる。

【0014】

さらに、この発明に係わる表示装置においては、出力バッファの貫通電流を低減させた制御回路を用いて、この制御回路の出力する第三のデジタル信号をもとにして表示を行う表示部を備えたので、貫通電流を低減してノイズを低減した表示装置を得ることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態 2 による制御回路の出力バッファの制御信号を作成する制御信号作成回路を示す図である。

【図2】 図1の回路の信号波形を示す図である。

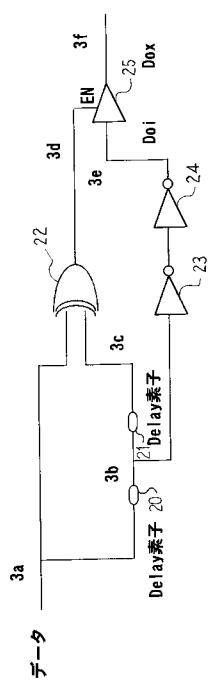
30

【図3】 従来の出力バッファの貫通電流を示す概略図である。

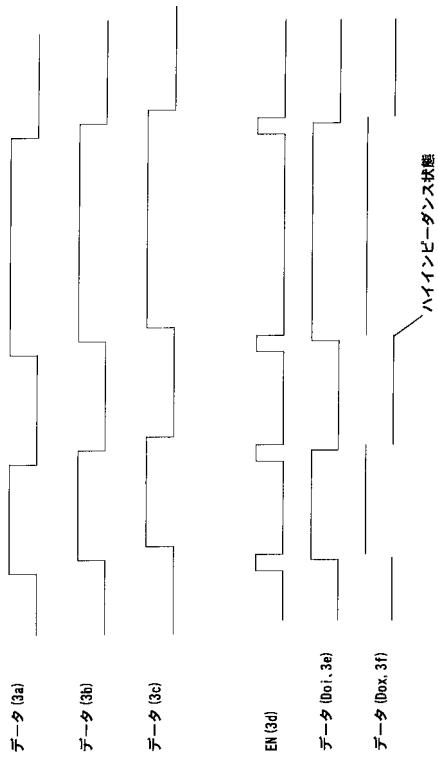
【符号の説明】

20, 21 Delay 素子、22 EX-OR 素子、23, 24 インバータ、
25 出力バッファ。

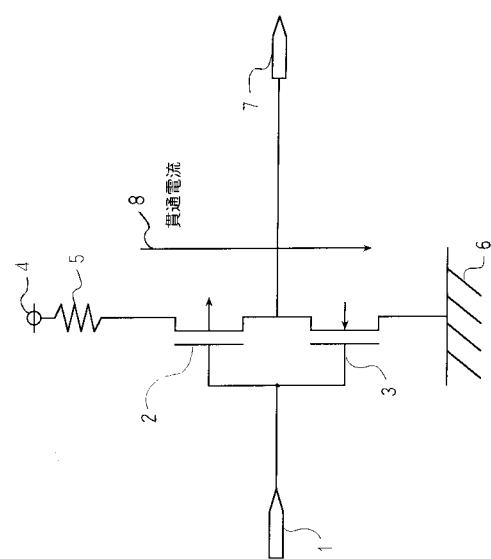
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 西村 優
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 篠原 尋史
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 福村 拓

(56)参考文献 特開平09-197369(JP,A)
特開平06-252723(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00-3/38

G02F 1/133 505-580