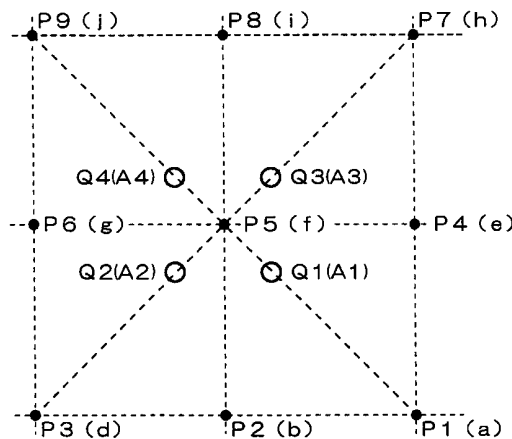


<p>(51) 国際特許分類7 H04N 7/01</p>	<p>A1</p>	<p>(11) 国際公開番号 <b>WO00/64158</b></p> <p>(43) 国際公開日 2000年10月26日(26.10.00)</p>
<p>(21) 国際出願番号 PCT/JP00/02565</p> <p>(22) 国際出願日 2000年4月20日(20.04.00)</p> <p>(30) 優先権データ 特願平11/112903 1999年4月20日(20.04.99) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 新潟精密株式会社(NIIGATA SEIMITSU CO., LTD.)(JP/JP] 〒943-0834 新潟県上越市西城町2丁目5番13号 Niigata, (JP) 株式会社 フルーエンシー研究所 (FLUENCY RESEARCH &amp; DEVELOPMENT CO., LTD.) [JP/JP] 〒143-0023 東京都大田区山王2丁目5番6-213号 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 小柳裕喜生(KOYANAGI, Yukio)[JP/JP] 〒943-0834 新潟県上越市西城町2丁目5番13号 新潟精密株式会社内 Niigata, (JP) 寅市和男(TORAICHI, Kazuo)[JP/JP] 〒350-1305 埼玉県狭山市入間川1-14-2 Saitama, (JP)</p>	<p>(74) 代理人 弁理士 雨貝正彦(AMAGAI, Masahiko) 〒169-0074 東京都新宿区北新宿1丁目8番15号 北新宿OCビル2階 雨貝特許事務所 Tokyo, (JP)</p> <p>(81) 指定国 CN, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>	

(54)Title: **IMAGE PROCESSING CIRCUIT**

(54)発明の名称 画像処理回路



(57) Abstract

An image processing circuit capable of carrying out high-speed processing and improving the horizontal and vertical resolutions even with its simple structure. The pixel values a to i of a total of nine pixels, three pixels in the horizontal direction along a scanning line by three pixels in the vertical direction in which the line and adjacent lines are abreast, are extracted by a pixel value extracting section. The pixel values A1 to A4 of four pixels (Q1 to Q4) generated additionally around the center pixel (P5) are determined by calculation by a pixel value calculating section. These pixel values are outputted in units of one scanning line by correlating them with two scanning lines by a pixel value output section.

(57)要約

処理の高速化が可能であり、簡単な回路構成によって水平解像度と垂直解像度を上げることができる画像処理回路を提供することを目的とする。走査線に沿った水平方向および隣接する走査線が並ぶ垂直方向のそれぞれについて3画素、全体で9画素分の画素値a~iを画素値抽出部によって抽出し、その中心画素P5の周囲に新たに生成する4個の画素Q1~Q4の画素値A1~A4を画素値演算部による演算によって求める。これらの画素値は、画素値出力部によって2本の走査線に対応させて走査線単位で出力される。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサウ		共和国	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボアール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ヴェトナム
CN	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NO	ノルウェー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

## 明 細 書

## 画像処理回路

## 技術分野

本発明は、表示画面を構成する画素数を補間処理によって増やすことにより解像度を上げる画像処理回路に関する。

## 背景技術

一般に、テレビジョン画像の品質を向上させる手法として、走査線の数を増やすとともに水平画素の数を増やす方法がある。例えば、現行のNTSC方式のビデオ信号は、2:1のインターレス走査を行っているため、垂直解像度は300本程度となる。一般のテレビジョン受像機で用いられているCRTの走査線は525本であり、インターレス走査によって解像度が低下しており、フィールドバッファを用いたフィールド補間によって垂直方向の画素数を増やして走査をノン・インターレス化することにより、垂直方向の解像度を上げる手法が知られている。

また、高品位テレビジョン受像機に用いられているCRTには、水平画素数が通常のテレビジョン受像機のCRTに比べて2倍程度に設定されたものがあり、走査線方向の画素数を補間によって2倍に増やすことにより、水平方向の解像度を上げる手法が知られている。

ところで、上述したようにテレビジョン画像の品質を上げるために垂直画素数を増やす場合には、補間のために容量が大きなフィールドバッファが必要になり、回路規模が大きくなるという問題がある。特に、水平方向の補間処理と垂直方向の補間処理とを短時間内に、例えば1画面分の処理を1/60秒以内に行う必要がある、プロセッサ等による演算処理を行わずに、簡単な構成のハードウェアによって高速に水平方向と垂直方向の補間処理を行うことができる画像処理回路が望まれている。

## 発明の開示

本発明は、このような点に鑑みて創作されたものであり、その目的は、処理の高速化が可能であり、簡単な回路構成によって水平解像度と垂直解像度を上げることができる画像処理回路を提供することにある。

本発明の画像処理回路は、水平方向および垂直方向に規則的に配置された各画素の画素値に基づいた補間処理を行うことにより、水平方向および垂直方向のそれぞれの画素数をほぼ2倍に変換するために、水平方向および垂直方向のそれぞれについて3画素、合計で9画素の画素値を抽出する画素値抽出手段と、前記画素値抽出手段から出力される前記9画素の画素値に基づいて、前記9画素の中央に配置された中心画素とこの中心画素の斜め方向に配置された4個の周辺画素のそれぞれとを結ぶ直線上であって、前記中心画素から前記4個の周辺画素のそれぞれまでの距離の4分の1の位置に対応する4個の新たな生成画素の画素値を演算する画素値演算手段とを備えている。また、本発明の画像処理回路は、入力信号に対応する走査線の数および走査線方向の画素数をほぼ2倍に変換するために、前記走査線に含まれる画素の画素値が前記走査線の走査方向に対応した所定の順番で入力されて、前記走査線に沿った水平方向および隣接する前記走査線が並ぶ垂直方向のそれぞれについて3画素、合計で9画素の画素値を、隣接する3本の前記走査線を構成する複数の画素の画素値の中から抽出する画素値抽出手段と、前記画素値抽出手段によって抽出された前記9画素の画素値に基づいて、前記9画素の中央に配置された中心画素とこの中心画素の斜め方向に配置された4個の周辺画素のそれぞれとを結ぶ直線上であって、前記中心画素から前記4個の周辺画素のそれぞれまでの距離の4分の1の位置に対応する4個の新たな生成画素の画素値を演算する画素値演算手段と、前記画素値算出手段によって画素値が算出された複数の前記生成画素を、前記入力信号に対応する1本の走査線に対応させて水平方向に沿って二列に配置し、それぞれの列に対応する前記生成画素の画素値を列単位で順番に出力する画素値出力手段とを備えている。

本発明の画像処理回路では、9個の画素の画素値に基づいてその中心画素の周囲に4個の新たな生成画素が生成されており、この生成処理を中心画素を走査方向に順番にずらしながら行うことにより、水平方向および垂直方向のそれぞれの

画素数をほぼ2倍に変換することができる。特に、中心画素の周囲に4個の新たな画素を生成する際に、この中心画素を含む9個の画素の画素値のみを用いているため、処理対象となる画素数が少なく、画素生成（画素値算出）処理およびこれを実施する回路規模の簡略化とともに処理の高速化が可能になる。

また、上述した画素値抽出手段は、所定のタイミングにおいて入力された第1の画素の画素値と、前記第1の画素の出力タイミングに対して1画素分遅延させた第2の画素の画素値と、前記第1の画素の出力タイミングに対して2画素分遅延させた第3の画素の画素値と、前記第1の画素の出力タイミングに対して1走査線分遅延させた第4の画素の画素値と、前記第2の画素の出力タイミングに対して1走査線分遅延させた第5の画素の画素値と、前記第3の画素の出力タイミングに対して1走査線分遅延させた第6の画素の画素値と、前記第1の画素の出力タイミングに対して2走査線分遅延させた第7の画素の画素値と、前記第2の画素の出力タイミングに対して2走査線分遅延させた第8の画素の画素値と、前記第3の画素の出力タイミングに対して2走査線分遅延させた第9の画素の画素値とを並行して出力することが望ましい。このように、走査順に入力される各画素の画素値を出力するタイミングを所定時間遅延させるだけで画素値演算手段に用いる9個の画素の画素値を用意することができる。

また、上述した画素値演算手段は、前記中心画素を含む9画素の画素値を入力順にしたがってa、b、c、d、e、f、g、h、iとし、Nを3以上の整数としたときに、前記中心画素の周辺に新たに生成される4個の前記生成画素の画素値A1、A2、A3、A4を、

$$A1 = \{Ne + (a + b + d) - (c + f + g + h + i)\} / (N - 2)、$$

$$A2 = \{Ne + (b + c + f) - (a + d + g + h + i)\} / (N - 2)、$$

$$A3 = \{Ne + (d + g + h) - (a + b + c + f + i)\} / (N - 2)、$$

$$A4 = \{Ne + (f + h + i) - (a + b + c + d + g)\} / (N - 2)$$

に設定することが望ましい。中心画素の近傍に新たに生成される画素の画素値は、最も接近した中心画素の影響を最も多く受ける。また、標本化関数を用いた畳み込み演算によって各画素の画素値を求める場合を考慮すると、隣接する画素間隔よりも近い位置にある画素の画素値は加算する方向で考慮し、隣接する画素間隔

よりも遠い位置にある画素の画素値は減算する方向で考慮することが好ましい。したがって、3行3列に並んだ9画素について、左上から水平方向に見た各画素の画素値をa～iとし、例えば中心画素の左上に生成される新たな画素の画素値を考える場合に、中心画素の画素値eが最も影響が大きく、次に近い位置に配置された3個の画素の画素値a、b、dがプラス側で考慮され、残りの5個の画素の画素値c、f、g、h、iがマイナス側で考慮されるため、上述したA1の値となる。また、それ以外の新たに生成される3個の画素の画素値A2、A3、A4についても同様であり、上述したそれぞれの値となる。このようにして設定される4個の画素の画素値A1～A4のそれぞれは、中心画素の画素値eを除くと、それぞれの画素値を単純に加算あるいは減算しているだけであるため、処理内容（演算内容）が簡略化されており、処理の高速化および回路の簡略化が可能となる。また、上述したNの値は10に設定することが望ましい。本発明者による検討の結果、Nを10近傍の値に設定することにより、鮮明な拡大画像が得られることが確かめられている。

また、上述した画素値抽出手段は、Mを2以上の整数としたときに、新たに生成される4個の前記生成画素の画素値A1、A2、A3、A4を、

$$A1 = \{Me + (a + b + d) - (f + h + i)\} / M、$$

$$A2 = \{Me + (b + c + f) - (d + g + h)\} / M、$$

$$A3 = \{Me + (d + g + h) - (b + c + f)\} / M、$$

$$A4 = \{Me + (f + h + i) - (a + b + d)\} / M$$

に設定するようにしてもよい。新たに生成されるいずれかの画素の画素値は、この画素と上述した中心画素とを結ぶ方向に沿った画素値の変化分が大きく反映されるため、この方向とほぼ垂直方向に存在する2個の画素の画素値の影響を無視してもそれほど大きな影響はないと考えられる。したがって、3行3列に並んだ9画素について、左上から水平方向に見た各画素の画素値をa～iとし、例えば中心画素の左上に生成される新たな画素の画素値を考える場合に、中心画素の画素値eが最も影響が大きく、次に近い位置に配置された3個の画素の画素値a、b、dがプラス側で考慮され、他の3個の画素の画素値f、h、iがマイナス側で考慮され、残りの2個の画素の画素値c、gについては考慮されないため、上

述したA 1の値となる。このようにすると、中心画素を挟んで配置される2個の画素の画素値A 1とA 4のそれぞれにおいて、同じ処理単位である(a + b + d)と(f + h + i)が共通に含まれるとともに、残りの2個の画素の画素値A 2とA 3のそれぞれにおいて、同じ処理単位である(b + c + f)と(d + g + h)が共通に含まれるようになるため、これらの処理を共用化することにより回路をさらに簡略化することができる。また、上述したMの値は8に設定することが望ましい。本発明者による検討の結果、Mを8近傍の値に設定することにより、鮮明な拡大画像が得られることが確かめられている。

また、上述した画素値抽出手段は、Lを2以上の整数としたときに、新たに生成される4個の前記生成画素の画素値A 1、A 2、A 3、A 4を、

$$A 1 = \{L e + 2 b + 2 d - (c + f + g + h)\} / L、$$

$$A 2 = \{L e + 2 b + 2 f - (a + d + h + i)\} / L、$$

$$A 3 = \{L e + 2 d + 2 h - (a + b + f + i)\} / L、$$

$$A 4 = \{L e + 2 f + 2 h - (b + c + d + g)\} / L$$

に設定するようにしてもよい。新たに生成されるいずれかの画素の画素値を標本化関数を用いて厳密に求めようとする、上述した9個の画素の隣接画素間隔の整数倍の距離に配置された画素の画素値はほとんど影響を及ぼさないと考えることができる。したがって、3行3列に並んだ9画素について、左上から水平方向に見た各画素の画素値をa ~ iとし、例えば中心画素の左上に生成される新たな画素の画素値を考える場合に、9画素の中の左上と右下に配置された2個の画素の画素値の影響を無視することができ、それ以外の画素については、生成しようとする画素から各画素までの距離に応じた所定の重み付けが行われ、この結果上述したA 1の値となる。このようにすると、標本化関数を用いた場合の厳密な演算結果を反映した画素値を得ることができる。また、上述したLの値は10に設定することが望ましい。標本化関数を用いて計算を行って各画素値a ~ iの重み付け係数を求めると、Nが10近傍の値となるため、このような設定を行うことにより、標本化関数を用いた厳密な演算結果を反映した画素値を得ることができる。

また、上述した画素値出力手段は、前記中心画素が含まれない一方の前記走査

線に含まれる前記画素に対応する2個の前記生成画素の画素値をこの走査線に沿った配置順に格納して出力する第1の走査線生成手段と、前記中心画素が含まれない他方の前記走査線に含まれる前記画素に対応する2個の前記生成画素の画素値をこの走査線に沿った配置順に格納して出力する第2の走査線生成手段とを備えており、前記第1および第2の走査線生成手段による1走査線分の連続した画素値の出力動作を、前記第1の走査線生成手段と第2の走査線生成手段とにおいて交互に行う出力画素値選択手段とを備えることが望ましい。上述した画素値演算手段からは、入力信号の1本の走査線に対応して2列に配置された生成画素の画素値が順に出力されるため、それぞれの列に対応する各画素値を第1および第2の走査線生成手段に順に格納し、これらの画素値の出力動作を第1および第2の走査線生成手段において交互に行うことにより、入力信号の1本の走査線に対応させて新たな2本の走査線を生成することができ、走査線の数をはほぼ2倍に変換することができる。

#### 図面の簡単な説明

図1は、第1の実施形態の画像処理回路において処理対象となる3本の走査線に含まれる各画素と、これらの各画素に基づいて生成される新たな4個の画素との関係を示す図、

図2は、第1の実施形態の画像処理回路の構成を示す図、

図3は、図2に示した画像処理回路に含まれる画素値抽出部の詳細な構成を示す図、

図4は、図2に示した画像処理回路に含まれる画素値演算部の詳細な構成を示す図、

図5は、図2に示した画像処理回路に含まれる画素値出力部の詳細な構成を示す図、

図6は、第2の実施形態の画素値演算部の詳細な構成を示す図、

図7は、第3の実施形態において用いられる標本化関数の説明図、

図8は、新たに生成する画素Q1の画素値を9個の画素P1～P9の各画素値を用いて畳み込み演算する場合の説明図、



図9は、第3の実施形態の画素値演算部の詳細な構成を示す図である。

#### 発明を実施するための最良の形態

以下、本発明を適応した一実施形態の画像処理回路について、図面を参照しながら説明する。この画像処理回路は、例えばテレビジョン受像器に内蔵されており、入力される（受信される）NTSC方式の信号に対応する走査線の数およびこれらの各走査線に沿った画素数をほぼ2倍に変換する処理を行う。

#### 〔第1の実施形態〕

図1は、第1の実施形態の画像処理回路において処理対象となる3本の走査線に含まれる各画素と、これらの各画素に基づいて生成される新たな4個の画素との関係を示す図である。図1に示す水平方向が、入力信号に対応した各走査線に沿った方向であり、地上波放送用のテレビジョン受像器等において行われているインターレス走査（飛び越し走査）の各走査線に沿った各画素が「●」で示されている。また、「○」は元の走査線上の各画素の配置およびこれらの画素値に基づく補間処理によって新たに生成される画素を示している。

本実施形態では、図1に示すように、隣接した3本の走査線のそれぞれに沿った3個の画素、すなわち水平方向および垂直方向のそれぞれについて3画素、合計で9個の画素の画素値に基づいて、これら9画素の中の中心画素の周囲に新たに4個の画素が生成される。

走査線上に沿った9個の画素を走査順にP1、P2、P3、P4、P5、P6、P7、P8、P9とし、それぞれの画素値をa、b、c、d、e、f、g、h、iとする。また、中心画素P5とその右下の画素P1とを結ぶ直線上であって中心画素P5から画素P1までの距離の4分の1の位置に生成される新たな画素をQ1、中心画素P5とその左下の画素P3とを結ぶ直線上であって中心画素P5から画素P3までの距離の4分の1の位置に生成される新たな画素をQ2、中心画素P5とその右上の画素P7とを結ぶ直線上であって中心画素P5から画素P7までの距離の4分の1の位置に生成される新たな画素をQ3、中心画素P5とその左上の画素P9とを結ぶ直線上であって中心画素P5から画素P9までの距離の4分の1の位置に生成される新たな画素をQ4とする。

一般に、中心画素P 5の近傍に新たに生成される4個の画素Q 1、Q 2、Q 3、Q 4の各画素値は、最も接近した中心画素P 5の影響を最も多く受ける。また、標本化関数を用いた畳み込み演算によって各画素の画素値を求める場合を考慮すると、隣接する画素間隔（例えば画素P 5とP 4との間隔や画素P 3とP 2との間隔）よりも近い位置にある画素の画素値は加算する方向で考慮し、隣接する画素間隔よりも遠い位置にある画素の画素値は減算する方向で考慮することが好ましい。

中心画素P 5の右下に位置する新たな画素Q 1の画素値A 1を考える場合に、中心画素P 5の画素値eが最も影響が大きく、次に近い位置に配置された3個の画素P 1、P 2、P 4の各画素値a、b、dがプラス側で考慮され、残りの5個の画素P 3、P 6、P 7、P 8、P 9の各画素値c、f、g、h、iがマイナス側で考慮される。したがって、画素Q 1の画素値A 1は以下ようになる。

$$A 1 = \{ 10 e + (a + b + d) - (c + f + g + h + i) \} / 8 \quad \dots (1)$$

なお、Nを3以上の整数とすると、画素Q 1の画素値A 1は、

$$A 1 = \{ N e + (a + b + d) - (c + f + g + h + i) \} / (N - 2)$$

と表すことができるが、本発明者による検討の結果、Nを10近傍の値に設定することにより、鮮明な拡大画像が得られることが確かめられており、N=10とすることにより上述した(1)式が得られる。

同様に、中心画素P 5の周囲に新たに生成する3個の画素Q 2、Q 3、Q 4の各画素値A 2、A 3、A 4は、

$$A 2 = \{ N e + (b + c + f) - (a + d + g + h + i) \} / (N - 2)、$$

$$A 3 = \{ N e + (d + g + h) - (a + b + c + f + i) \} / (N - 2)、$$

$$A 4 = \{ N e + (f + h + i) - (a + b + c + d + g) \} / (N - 2)$$

と表すことができ、それぞれの式にN=10を代入することにより、

$$A 2 = \{ 10 e + (b + c + f) - (a + d + g + h + i) \} / 8 \quad \dots (2)$$

$$A 3 = \{ 10 e + (d + g + h) - (a + b + c + f + i) \} / 8 \quad \dots (3)$$

$$A 4 = \{ 10 e + (f + h + i) - (a + b + c + d + g) \} / 8 \quad \dots (4)$$

の各式が得られる。

図2は、本実施形態の画像処理回路の構成を示す図である。図2示す本実施形

態の画像処理回路は、画素値抽出部 100、画素値演算部 200、画素値出力部 300 を含んで構成されている。

画素値抽出部 100 は、入力信号に含まれる隣接した 3 本の走査線に含まれる各画素の画素値の中から図 1 に示した 9 画素の画素値 a ~ i を抽出する。例えば、入力信号として RGB 信号を考えた場合には、R、G、B のそれぞれの色成分に対応させて図 2 に示す画像処理回路が設けられており、画素値抽出部 100 は、入力される R 信号（あるいは G 信号や B 信号）について上述した 9 画素分の画素値の抽出を行う。なお、RGB 信号以外の入力信号を用いることもでき、入力される輝度信号に基づいて上述した 9 画素分の画素値の抽出を行うようにしてもよい。

画素値演算部 200 は、画素値抽出部 100 から出力される 9 画素分の画素値 a ~ i に基づいて、図 1 に示した中心画素 P5 の周辺に位置する新たな 4 個の画素 Q1 ~ Q4 の各画素値 A1 ~ A4 を演算し、これら 4 個の画素値を並行して出力する。

画素値出力部 300 は、画素値演算部 200 から出力される 4 個の画素 Q1 ~ Q4 の画素値 A1 ~ A4 が入力されており、これらを変換後の新たな走査線毎に格納して出力する。例えば、図 1 に示すように、画素 P5 の周辺に生成される 4 個の画素 Q1 ~ Q4 に着目すると、画素 Q1 と Q2 が新たに生成される第 1 の走査線に対応するように格納され、画素 Q3 と Q4 が新たに生成される第 2 の走査線に対応するように格納される。画素 P5 が含まれる 1 本の走査線についてこのような処理を行うことにより、入力信号に含まれる 1 本の走査線に対応させて新たな 2 本の走査線を生成することができ、しかも新たに生成される 2 本の走査線のそれぞれに含まれる画素数は元の走査線に含まれる画素数のほぼ 2 倍となる。

上述した画素値抽出部 100 が画素値抽出手段に、画素値演算部 200 が画素値演算手段に、画素値出力部 300 が画素値出力手段にそれぞれ対応する。

図 3 は、図 2 に示した画像処理回路に含まれる画素値抽出部 100 の詳細な構成を示す図である。図 3 に示すように、画素値抽出部 100 は、6 個の D 型フリップフロップ（以後、「D-FF」と称する）110 ~ 115 と 2 個のラインメモリ 120、121 とを含んで構成されている。

この画素値抽出部 100 には、入力信号に対応した走査線に含まれる各画素の画素値が所定ビット数のデータ（画素値データ）として、所定のサンプリング周波数に対応したクロック信号 CK 1 に同期して入力されている。入力される各画素値データは、縦続接続された 2 個の D-FF 110、111 と、縦続接続されたラインメモリ 120 および 2 つの D-FF 112、113 とにそれぞれ入力される。また、ラインメモリ 120 から出力される各画素の画素値データは、縦続接続されたラインメモリ 121 および D-FF 114、115 に入力される。ラインメモリ 120、121 のそれぞれは、入力信号の 1 走査線に対応した数の各画素の画素値を入力順に格納する先入れ先出しメモリであり、入力される各画素の画素値データを 1 走査線分遅らせたタイミングで出力する。

したがって、図 1 において中心画素 P 5 の左上に配置された画素 P 9 に対応する画素値データ（画素値 i）が画素値抽出部 100 に入力された時点を考えて、1 画素分先に入力された画素 P 8 の画素値データ（画素値 h）が D-FF 110 から出力され、2 画素分先に入力された画素 P 7 の画素値データ（画素値 g）が D-FF 111 から出力される。また、1 走査線分先に入力された画素 P 6 の画素値データ（画素値 f）がラインメモリ 120 から出力され、1 走査線と 1 画素分先に入力された中心画素 P 5 の画素値データ（画素値 e）が D-FF 112 から出力され、1 走査線と 2 画素分先に入力された画素 P 4 の画素値データ（画素値 d）が D-FF 113 から出力される。さらに、2 走査線分先に入力された画素 P 3 の画素値データ（画素値 c）がラインメモリ 121 から出力され、2 走査線と 1 画素分先に入力された画素 P 2 の画素値データ（画素値 b）が D-FF 114 から出力され、2 走査線と 2 画素分先に入力された画素 P 1 の画素値データ（画素値 a）が D-FF 115 から出力される。このようにして、画素値抽出部 100 からは、図 1 に示した 9 個の画素 P 1 ~ P 9 に対応した各画素値データが並行して出力される。

図 4 は、図 2 に示した画像処理回路に含まれる画素値演算部 200 の詳細な構成を示す図である。図 4 に示すように、画素値演算部 200 は、14 個の加算器 130 ~ 143 と、8 個の減算器 150 ~ 157 と、10 倍の乗算を行う乗算器 160 と、入力値を除数 8 で割る除算処理を行う 4 個の除算器 170 ~ 173 と

を含んで構成されている。以下、上述した(1)式～(4)式のそれぞれを用いて、4個の画素Q1～Q4の各画素値A1～A4を演算する場合の画素値演算部200の動作を、各画素毎に説明する。

画素値A1の演算処理は、加算器130、132、134、137、138、142と減算器150、154を用いて行われる。具体的には、2個の加算器130、134によって3個の画素値a、b、dが加算され、他の2個の加算器132、137によって3個の画素値f、h、iが加算され、他の1個の加算器142によって2個の画素値c、gが加算される。そして、これら3個の加算結果を2個の減算器150、154にそれぞれ入力することにより、加算器134から出力される加算結果である出力値(a+b+d)から、加算器137、142から出力される各加算結果を合わせた値(c+f+g+h+i)を減算した結果が後段の減算器154から出力される。したがって、加算器138によって、この出力値に乗算器160の乗算結果(10e)を加算することにより、加算結果{10e+(a+b+d)-(c+f+g+h+i)}が出力され、さらに後段に接続された除算器170によって除数8で除算処理を行うことにより、(1)式に示した画素値A1が演算され、この演算結果が除算器170から出力される。

また、画素値A2の演算処理は、加算器131、133、135、136、139、143と減算器151、155を用いて行われる。具体的には、2個の加算器131、135によって3個の画素値b、c、fが加算され、他の2個の加算器133、136によって3個の画素値d、g、hが加算され、他の1個の加算器143によって2個の画素値a、iが加算される。そして、これら3個の加算結果を2個の減算器151、155にそれぞれ入力することにより、加算器135から出力される加算結果である出力値(b+c+f)から、加算器136、143から出力される各加算結果を合わせた値(a+d+g+h+i)を減算した結果が後段の減算器155から出力される。したがって、加算器139によって、この出力値に乗算器160の乗算結果(10e)を加算することにより、加算結果{10e+(b+c+f)-(a+d+g+h+i)}が出力され、さらに後段に接続された除算器171によって除数8で除算処理を行うことにより、(2)式に示した画素値A2が演算され、この演算結果が除算器171から出力

される。

また、画素値A3の演算処理は、加算器131、133、135、136、140、143と減算器152、156を用いて行われる。具体的には、2個の加算器133、136によって3個の画素値d、g、hが加算され、他の2個の加算器131、135によって3個の画素値b、c、fが加算され、他の1個の加算器143によって2個の画素値a、iが加算される。そして、これら3個の加算結果を2個の減算器152、156にそれぞれ入力することにより、加算器136から出力される加算結果である出力値(d+g+h)から、加算器135、143から出力される各加算結果を合わせた値(a+b+c+f+i)を減算した結果が後段の減算器156から出力される。したがって、加算器140によって、この出力値に乗算器160の乗算結果(10e)を加算することにより、加算結果{10e+(d+g+h)-(a+b+c+f+i)}が出力され、さらに後段に接続された除算器172によって除数8で除算処理を行うことにより、(3)式に示した画素値A3が演算され、この演算結果が除算器172から出力される。

また、画素値A4の演算処理は、加算器130、132、134、137、141、142と減算器153、157を用いて行われる。具体的には、2個の加算器132、137によって3個の画素値f、h、iが加算され、他の2個の加算器130、134によって3個の画素値a、b、dが加算され、他の1個の加算器142によって2個の画素値c、gが加算される。そして、これら3個の加算結果を2個の減算器153、157にそれぞれ入力することにより、加算器137から出力される加算結果である出力値(f+h+i)から、加算器134、142から出力される各加算結果を合わせた値(a+b+c+d+g)を減算した結果が後段の減算器157から出力される。したがって、加算器141によって、この出力値に乗算器160の乗算結果(10e)を加算することにより、加算結果{10e+(f+h+i)-(a+b+c+d+g)}が出力され、さらに後段に接続された除算器173によって除数8で除算処理を行うことにより、(4)式に示した画素値A4が演算され、この演算結果が除算器173から出力される。

このように、中心画素P5の画素値eを10倍する以外は、各画素の画素値を単純に加算あるいは減算するだけであるため、処理内容の簡略化が可能であり、処理の高速化および回路の簡略化が可能となる。

なお、図4に示した画素値演算部200では、4個の除算器170～173を備えることによって、対応する加算器から出力される加算結果に対して除数8の除算処理を行うようにしたが、これらの除算器170～173は、3ビットのビットシフト回路によって、すなわち加算器138～141の各出力線を3ビット分ずらして配線するだけで実現することができる。また、CRT（陰極線管）に画像を表示する際に、デジタルデータである各画素値を最終的にアナログ信号に変換する必要があるが、この変換処理におけるゲインを調整することにより、除算器170～173による除算処理と等価な動作を行わせることもできるため、4個の除算器170～173を図4に示した画素値演算部200から取り除くようにしてもよい。

図5は、図2に示した画像処理回路に含まれる画素値出力部300の詳細構成を示す図である。図5に示すように、画素値出力部300は、3個のセレクタ210～212と、2個の分周器220、221と、2個のD-FF230、231と、3個のラインメモリ240～242とを含んで構成されている。セレクタ210、分周器220、D-FF230、ラインメモリ240が第1の走査線生成手段に、セレクタ211、分周器221、D-FF231、ラインメモリ241、242が第2の走査線生成手段に、セレクタ212が出力画素値選択手段にそれぞれ対応する。

セレクタ210は、画素値演算部200から同時に入力される画素値A1、A2に対応する画素値データを交互に選択して出力する。この選択のタイミングは分周器220から出力される信号によって設定されている。この分周器220には、図3に示した画素値抽出部100に入力される各画素データのサンプリング周波数に対応したクロック信号CK1の2倍の周波数を有するクロック信号CK2が入力され、これを2分周した信号を出力している。したがって、クロック信号CK2を2分周した信号によって選択状態が決まるセレクタ210は、画素値抽出部100に対する各画素値データの入力間隔の2分の1の間隔で画素値A1、

A 2 の各画素値データを交互に出力する。この交互に出力される画素値 A 1 に対応する画素値データと画素値 A 2 に対応する画素値データは、一旦 D - F F 2 3 0 に保持された後、ラインメモリ 2 4 0 に入力される。ラインメモリ 2 4 0 は、図 1 に示した画素 Q 1、Q 2 を含む第 1 の走査線に対応する 1 走査線分の画素値を入力順に格納する先入れ先出しメモリであり、D - F F 2 3 0 から入力される各画素の画素値データを 1 走査線分格納する。このラインメモリ 2 4 0 は、ライトクロック信号 W C K が入力されたときにこれに同期した画素値データの書き込み動作を行っており、リードクロック信号 R C K が入力されたときにこれに同期した画素値データの読み出し動作を行っている。ライトクロック信号 W C K は、上述したクロック信号 C K 2 と同じ周波数を有しており、D - F F 2 3 0 から画素値データが出力される全期間にわたってラインメモリ 2 4 0 に入力される。一方、リードクロック信号 R C K は、クロック信号 C K 2 の 2 倍の周波数を有するクロック信号 C K 3 と同じ周波数を有しており、ラインメモリ 2 4 0 は、このリードクロック信号 R C K が入力されると、画素値データの書き込み速度の 2 倍の読み出し速度で画素値データの出力を行う。また、このリードクロック信号 R C K は、ライトクロック信号 W C K が入力される期間の約半分の期間だけ入力されており、ラインメモリ 2 4 0 に格納されている画素値データがアンダーフローしないようになっている。

同様に、セクタ 2 1 1 は、画素値演算部 2 0 0 から同時に入力される画素値 A 3、A 4 に対応する画素値データを交互に選択して出力する。セクタ 2 1 1 は、クロック信号 C K 2 を 2 分周した信号によって選択状態が設定され、画素値抽出部 1 0 0 に対する各画素値データの入力間隔の 2 分の 1 の間隔で画素値 A 3、A 4 の各画素値データを交互に出力する。この交互に出力される画素値 A 3 に対応する画素値データと画素値 A 4 に対応する画素値データは、一旦 D - F F 2 3 1 に保持された後、ラインメモリ 2 4 1 に入力される。ラインメモリ 2 4 1 は、図 1 に示した画素 Q 3、Q 4 を含む第 2 の走査線に対応する 1 走査線分の画素値を入力順に格納する先入れ先出しメモリであり、D - F F 2 3 1 から入力される各画素の画素値データを 1 走査線分格納する。また、このラインメモリ 2 4 1 の後段には、同じ容量を有するラインメモリ 2 4 2 が接続されている。これらのラ



インメモリ 241、242は、上述したラインメモリ 240と同様に、ライトクロック信号WCKが入力されたときにこれに同期した画素値データの書き込み動作を行っており、リードクロック信号RCKが入力されたときにこれに同期した画素値データの読み出し動作を行っている。なお、前段のラインメモリ 241は、入力される画素データを1走査線分だけ遅延させるために用いられており、ライトクロック信号WCKとリードクロック信号RCKは、ともにクロック信号CK2と同じ周波数に設定されている。また、後段のラインメモリ 242は、上述したラインメモリ 240と同じ用途に用いられ、クロック信号CK2と同じ周波数を有するライトクロック信号WCKに同期した画素値データの書き込み動作と、クロック信号CK2の2倍の周波数を有するクロック信号CK3と同じ周波数で、入力される期間がライトクロック信号WCKの約半分のリードクロック信号RCKに同期した画素値データの読み出し動作を行っている。

また、上述した第1の走査線に対応したラインメモリ 240と第2の走査線に対応したラインメモリ 242のそれぞれに対するリードクロック信号RCKの入力期間は、1走査線毎に交互に切り替えられており、第1の走査線に対応する画素Q1、Q2の各画素値データがラインメモリ 240から1走査線分出力された後に、第2の走査線に対応する画素Q3、Q4の各画素値データがラインメモリ 242から1走査線分出力されるようになっている。これら2個のラインメモリ 240、242の後段に設けられたセクタ212は、水平同期信号Hが入力される毎に選択状態を切り替えて、ラインメモリ 240から出力される1走査線分の画素値データの出力と、ラインメモリ 242から出力される1走査線分の画素値データの出力とを交互に行う。

このようにして、画素値出力部300からは、画素値抽出部100に1走査線分の画素値データが入力される間に、それぞれの構成画素数がほぼ2倍になった新たな第1の走査線および第2の走査線のそれぞれに対応する2走査線分の画素値データを新たな走査順に出力することができる。また、例えばインターレス走査が行われる場合の奇数フィールドに対応して入力される各画素値データを用いて新たに生成した画素Q1～Q4の位置と、偶数フィールドに対応して入力される各画素値データを用いて新たに生成した画素Q1～Q4の位置は、全く同じで

あるため、上述した画像処理回路を用いてインターレス走査がなされた画像から水平方向および垂直方向の画素数をほぼ2倍にしたプログレッシブ画像を容易に生成することができる。

〔第2の実施形態〕

上述した第1の実施形態では、図1に示す中心画素P5の周囲に位置する4個の画素Q1～Q4の各画素値A1～A4を演算するために、9個の画素P1～P9の全ての画素値a～iを用いるようにしたが、画素値A1～A4を演算する際に影響が小さいと思われる画素の画素値を演算の対象から除外することによって回路の簡略化を図ることができる。

新たに生成される4個の画素Q1～Q4の各画素値A1～A4は、各画素Q1～Q4と中心画素P5とを結ぶ方向に沿った画素値の変化分が大きく反映されるため、この方向とほぼ垂直方向に存在する2個の画素の画素値の影響を無視してもそれほど大きな影響はないと考えられる。

本実施形態では、中心画素P5の右下に位置する画素Q1の画素値A1を考える場合に、中心画素P5の左下に位置する画素P3の画素値cと右上に位置する画素P7の画素値gを演算の対象から除外する。したがって、画素Q1の画素値A1は以下のようなになる。

$$A1 = \{8e + (a + b + d) - (f + h + i)\} / 8 \quad \dots (5)$$

なお、Mを2以上の整数とすると、画素Q1の画素値A1は、

$$A1 = \{Me + (a + b + d) - (f + h + i)\} / M$$

と表すことができるが、本発明者による検討の結果、Mを8近傍の値に設定することにより、鮮明な拡大画像が得られることが確かめられており、M=8とすることにより上述した(5)式が得られる。

同様に、中心画素P5の周囲に新たに生成する3個の画素Q2、Q3、Q4の各画素値A2、A3、A4は、

$$A2 = \{Me + (b + c + f) - (d + g + h)\} / M$$

$$A3 = \{Me + (d + g + h) - (b + c + f)\} / M$$

$$A4 = \{Me + (f + h + i) - (a + b + d)\} / M$$

と表すことができ、それぞれの式にM=8を代入することにより、

$$A 2 = \{ 8 e + ( b + c + f ) - ( d + g + h ) \} / 8 \quad \dots ( 6 )$$

$$A 3 = \{ 8 e + ( d + f + h ) - ( b + c + f ) \} / 8 \quad \dots ( 7 )$$

$$A 4 = \{ 8 e + ( f + h + i ) - ( a + b + d ) \} / 8 \quad \dots ( 8 )$$

の各式が得られる。

図6は、本実施形態の画素値演算部200aの詳細な構成を示す図である。なお、画素値演算部200aの前段に接続される画素値抽出部100と後段に接続される画素値出力部300については、第1の実施形態の画像処理回路に含まれるものと同じであり、画素値演算部200aについてのみ説明を行うものとする。

図6に示すように、本実施形態の画素値演算部200aは、12個の加算器130～141と、4個の減算器150～153と、8倍の乗算を行う乗算器160aと、入力値を除数8で割る除算処理を行う4個の除算器170～173とを含んで構成されている。この画素値演算部200aは、図4に示した画素値演算部200に対して、2個の加算器142、143および4個の減算器154～157を取り除くとともに、10倍の乗算器160を8倍の乗算器160aに置き換えた構成を有している。なお、4個の除算器170～173の除数8と乗算器160aの乗数8は、ともに2のべき乗の数であるため、配線を3ビット分ずらすだけで実現することができる。

以下、上述した(5)式～(8)式のそれぞれを用いて、4個の画素Q1～Q4の各画素値A1～A4を演算する場合の画素値演算部200aの動作を、各画素毎に説明する。

画素値A1の演算処理は、加算器130、132、134、137、138と減算器150を用いて行われる。具体的には、2個の加算器130、134によって3個の画素値a、b、dが加算され、他の2個の加算器132、137によって3個の画素値f、h、iが加算される。そして、これら2個の加算結果を減算器150に入力することにより、加算器134から出力される加算結果である出力値(a+b+d)から、加算器137から出力される加算結果である出力値(f+h+i)を減算した結果が出力される。したがって、加算器138によって、この出力値に乗算器160aの乗算結果(8e)を加算することにより、加算結果{8e+(a+b+d)-(f+h+i)}が出力され、さらに後段に接

続された除算器 170 によって除数 8 で除算処理を行うことにより、(5) 式に示した画素値 A1 が演算され、この演算結果が除算器 170 から出力される。

また、画素値 A2 の演算処理は、加算器 131、133、135、136、139 と減算器 151 を用いて行われる。具体的には、2 個の加算器 131、135 によって 3 個の画素値 b、c、f が加算され、他の 2 つの加算器 133、136 によって 3 個の画素値 d、g、h が加算される。そして、これら 2 個の加算結果を減算器 151 に入力することにより、加算器 135 から出力される加算結果である出力値 (b + c + f) から、加算器 136 から出力される各加算結果である出力値 (d + g + h) を減算した結果が出力される。したがって、加算器 139 によって、この出力値に乗算器 160 a の乗算結果 (8e) を加算することにより、加算結果  $\{8e + (b + c + f) - (d + g + h)\}$  が出力され、さらに後段に接続された除算器 171 によって除数 8 で除算処理を行うことにより、

(6) 式に示した画素値 A2 が演算され、この演算結果が除算器 171 から出力される。

また、画素値 A3 の演算処理は、加算器 131、133、135、136、140 と減算器 152 を用いて行われる。具体的には、2 個の加算器 133、136 によって 3 個の画素値 d、g、h が加算され、他の 2 個の加算器 131、135 によって 3 個の画素値 b、c、f が加算される。そして、これら 2 個の加算結果を減算器 152 に入力することにより、加算器 136 から出力される加算結果である出力値 (d + g + h) から、加算器 135 から出力される出力値 (b + c + f) を減算した結果が出力される。したがって、加算器 140 によって、この出力値に乗算器 160 a の乗算結果 (8e) を加算することにより、加算結果  $\{8e + (d + g + h) - (b + c + f)\}$  が出力され、さらに後段に接続された除算器 172 によって除数 8 で除算処理を行うことにより、(7) 式に示した画素値 A3 が演算され、この演算結果が除算器 172 から出力される。

また、画素値 A4 の演算処理は、加算器 130、132、134、137、141 と減算器 153 を用いて行われる。具体的には、2 個の加算器 132、137 によって 3 個の画素値 f、h、i が加算され、他の 2 個の加算器 130、134 によって 3 個の画素値 a、b、d が加算される。そして、これら 2 個の加算結

果を減算器 153 に入力することにより、加算器 137 から出力される加算結果である出力値  $(f + h + i)$  から、加算器 134 から出力される加算結果である出力値  $(a + b + d)$  を減算した結果が出力される。したがって、加算器 141 によって、この出力値に乗算器 160 a の乗算結果  $(8e)$  を加算することにより、加算結果  $\{8e + (f + h + i) - (a + b + d)\}$  が出力され、さらに後段に接続された除算器 173 によって除数 8 で除算処理を行うことにより、

(8) 式に示した画素値  $A_4$  が演算され、この演算結果が除算器 173 から出力される。

このように、中心画素 P5 の画素値  $e$  を 8 倍する以外は、各画素の画素値を単純に加算あるいは減算するだけであり、しかも図 4 に示した構成に比べて加算器や減算器の数を低減することができるため、処理内容の簡略化が可能であり、さらなる処理の高速化および回路の簡略化が可能となる。

### 〔第 3 の実施形態〕

上述した第 1 および第 2 の実施形態では、図 1 に示す中心画素 P5 の周囲に位置する 4 個の画素 Q1 ~ Q4 の各画素値  $A_1 \sim A_4$  を演算するために、中心画素 P5 の画素値  $e$  に 2 以上の重み付け係数 ((1) 式では 10、(5) 式では 8) を設定するとともに、それ以外の各画素の画素値そのものを適当に加減算したが、9 個の画素 P1 ~ P9 の各画素値  $a \sim i$  の影響の度合いを標本化関数を用いて計算して、正確な係数の値を求めるようにしてもよい。

図 7 は、本実施形態において用いられる標本化関数の説明図である。図 7 に示す標本化関数  $H(t)$  は、微分可能性に着目した有限台の関数であり、例えば全域において 1 回だけ微分可能であって、横軸に沿った標本位置  $t$  が  $-2$  から  $+2$  までの範囲において 0 以外の有限な値を有する有限台の関数である。また、 $H(t)$  は標本化関数であるため、 $t = 0$  の標本点でのみ 1 になり、 $t = \pm 1, \pm 2$  の標本点において 0 になるという特徴を有する。

上述した各種の条件 (標本化関数、1 回だけ微分可能、有限台) を満たす標本化関数  $H(t)$  の具体例としては、3 階 B スプライン関数を  $F(t)$  としたときに、

$$H(t) = -F(t + 1/2) / 4 + F(t) - F(t - 1/2) / 4$$

で定義することができる。

ここで、3階Bスプライン関数  $F(t)$  は、

$$\begin{aligned} (4t^2 + 12t + 9) / 4 & ; -3/2 \leq t < -1/2 \\ -2t^2 + 3/2 & ; -1/2 \leq t < 1/2 \\ (4t^2 - 12t + 9) / 4 & ; 1/2 \leq t < 3/2 \end{aligned}$$

で表される。また、二次の区分多項式を用いて上述した標本化関数  $H(t)$  を表すと、

$$\begin{aligned} (-t^2 - 4t - 4) / 4 & ; -2 \leq t < -3/2 \\ (3t^2 + 8t + 5) / 4 & ; -3/2 \leq t < -1 \\ (5t^2 + 12t + 7) / 4 & ; -1 \leq t < -1/2 \\ (-7t^2 + 4) / 4 & ; -1/2 \leq t < 1/2 \\ (5t^2 - 12t + 7) / 4 & ; 1/2 \leq t < 1 \\ (3t^2 - 8t + 5) / 4 & ; 1 \leq t < 3/2 \\ (-t^2 + 4t - 4) / 4 & ; 3/2 \leq t \leq 2 \end{aligned}$$

となる。

上述した標本化関数  $H(t)$  は、二次の区分多項式であり、3階Bスプライン関数  $F(t)$  を用いているため、全域で1回だけの微分可能性が保証される有限台の関数となっている。また、 $t = \pm 1, \pm 2$  において0となる。

このように、上述した関数  $H(t)$  は、標本化関数であって、全域において1回だけ微分可能であり、しかも  $t = \pm 2$  において0に収束する有限台の関数である。したがって、この標本化関数  $H(t)$  を用いて各画素データに基づく重ね合わせを行うことにより、離散的な画素データ間の値を1回だけ微分可能な関数を用いて補間することができる。

図8は、新たに生成する画素  $Q_1$  の画素値を9個の画素  $P_1 \sim P_9$  の各画素値を用いて畳み込み演算する場合の説明図である。例えば、走査線上で隣接する2個の画素の間隔を正規化して1とすると、画素  $Q_1$  と中心画素  $P_5$  との距離  $t_1$  は、 $t_1 = \sqrt{\{ (0.25)^2 + (0.25)^2 \}} = 0.35$  となる。したがって、この距離  $t_1$  を用いて標本化関数  $H(t_1)$  の具体的な値を計算すると、画素  $Q_1$  の画素値  $A_1$  に対する中心画素  $P_5$  の画素値  $e$  の影響の度合いを求めることが

できる。

このようにして、画素Q1の画素値A1に対する9個の画素P1～P9の各画素値a～iの影響の度合いを具体的に求めると、-0.027、0.16、-0.071、0.16、0.79、-0.080、-0.071、-0.080、-0.014となる。実際には、整数以外の数を乗算すると回路が複雑になるため、これら9個の各値に適当な定数を掛けて各値が整数に近くなるように調整する必要がある。例えば、中心画素P5の画素値eによる影響の度合い(0.79)が10になるように各値に10/0.79を掛けると、-0.34、2.03、-0.90、2.03、10、-1.01、-0.90、-1.01、-0.18となる。この中で-0.34と-0.18は1に比べて極端に小さいため、無視することができる。以上より、画素Q1の画素値A1は以下のようになる。

$$A1 = \{10e + 2b + 2d - (c + f + g + h)\} / 10 \quad \dots (9)$$

なお、(9)式の右辺において、加減算結果を10で割っているのは、9個の画素P1～P9の全体の画素値a～iの全てが同じ値のときに、画素Q1の画素値A1も同じ値になるように調整したためであり、上述した(1)式～(8)式においても同様の調整がなされている。なお、標本化関数を用いて計算によって求めた各係数からはずれるが、Lを2以上の整数として、画素Q1の画素値A1を、

$$A1 = \{Le + 2b + 2d - (c + f + g + h)\} / L$$

を用いて演算するようにしてもよい。

同様に、中心画素P5の周囲に新たに生成する3個の画素Q2、Q3、Q4の各画素値A2、A3、A4は、

$$A2 = \{Le + 2b + 2f - (a + d + h + i)\} / L$$

$$A3 = \{Le + 2d + 2h - (a + b + f + i)\} / L$$

$$A4 = \{Le + 2f + 2h - (b + c + d + g)\} / L$$

と表すことができ、標本化関数を用いて計算した最適値であるL=10を代入することにより、

$$A2 = \{10e + 2b + 2f - (a + d + h + i)\} / 10 \quad \dots (10)$$

$$A3 = \{10e + 2d + 2h - (a + b + f + i)\} / 10 \quad \dots (11)$$

$$A4 = \{10e + 2f + 2h - (b + c + d + g)\} / 10 \quad \dots (12)$$

の各式が得られる。

図9は、本実施形態の画素値演算部200bの詳細な構成を示す図である。なお、画素値演算部200bの前段に接続される画素値抽出部100と後段に接続される画素値出力部300については、第1の実施形態に含まれるものと同じであり、画素値演算部200bについてのみ説明を行うものとする。

図9に示すように、本実施形態の画素値演算部200bは、14個の加算器330～343と、4個の減算器350～353と、2倍の乗算を行う4個の乗算器360～363と、10倍の乗算を行う乗算器364と、入力値を除数10で割る除算処理を行う4個の除算器370～373とを含んで構成されている。なお、4個の乗算器360～363は、配線を1ビット分ずらすだけで実現することができる。

以下、上述した(9)式～(12)式のそれぞれを用いて、4個の画素Q1～Q4の各画素値A1～A4を演算する場合の画素値演算部200bの動作を、各画素毎に説明する。

画素値A1の演算処理は、加算器331、334、335、336、減算器350および乗算器360を用いて行われる。具体的には、加算器331によって2個の画素値b、dが加算され、この加算結果が乗算器360で2倍される。また、3個の加算器334、335、336を用いることによって4個の画素値c、f、g、hが加算される。そして、乗算器360の乗算結果と加算器336による加算結果を減算器350に入力することにより、乗算器360から出力される乗算結果である出力値(2b+2d)から、加算器336から出力される加算結果である出力値(c+f+g+h)を減算した結果が出力される。したがって、加算器340によって、この出力値に乗算器364の乗算結果(10e)を加算することにより、加算結果{10e+2b+2d-(c+f+g+h)}が出力され、さらに後段に接続された除算器370によって除数10で除算処理を行うことにより、(9)式に示した画素値A1が演算され、この演算結果が除算器370から出力される。

また、画素値A2の演算処理は、加算器330、332、333、337、減算器351および乗算器361を用いて行われる。具体的には、加算器333に



よって2個の画素値  $b$ 、 $f$  が加算され、この加算結果が乗算器 361 で2倍される。また、3個の加算器 330、332、337 を用いることによって4個の画素値  $a$ 、 $d$ 、 $h$ 、 $i$  が加算される。そして、乗算器 361 の乗算結果と加算器 337 による加算結果を減算器 351 に入力することにより、乗算器 361 から出力される乗算結果である出力値  $(2b + 2f)$  から、加算器 337 から出力される加算結果である出力値  $(a + d + h + i)$  を減算した結果が出力される。したがって、加算器 341 によって、この出力値に乗算器 364 の乗算結果  $(10e)$  を加算することにより、加算結果  $\{10e + 2b + 2f - (a + d + h + i)\}$  が出力され、さらに後段に接続された除算器 371 によって除数 10 で除算処理を行うことにより、(10) 式に示した画素値  $A_2$  が演算され、この演算結果が除算器 371 から出力される。

また、画素値  $A_3$  の演算処理は、加算器 330、332、333、338、減算器 352 および乗算器 362 を用いて行われる。具体的には、加算器 332 によって2個の画素値  $d$ 、 $h$  が加算され、この加算結果が乗算器 362 で2倍される。また、3個の加算器 330、333、338 を用いることによって4個の画素値  $a$ 、 $b$ 、 $f$ 、 $i$  が加算される。そして、乗算器 362 の乗算結果と加算器 338 による加算結果を減算器 352 に入力することにより、乗算器 362 から出力される乗算結果である出力値  $(2d + 2h)$  から、加算器 338 から出力される加算結果である出力値  $(a + b + f + i)$  を減算した結果が出力される。したがって、加算器 342 によって、この出力値に乗算器 364 の乗算結果  $(10e)$  を加算することにより、加算結果  $\{10e + 2d + 2h - (a + b + f + i)\}$  が出力され、さらに後段に接続された除算器 372 によって除数 10 で除算処理を行うことにより、(11) 式に示した画素値  $A_3$  が演算され、この演算結果が除算器 372 から出力される。

また、画素値  $A_4$  の演算処理は、加算器 331、334、335、339、減算器 353 および乗算器 363 を用いて行われる。具体的には、加算器 335 によって2個の画素値  $f$ 、 $h$  が加算され、この加算結果が乗算器 363 で2倍される。また、3個の加算器 331、334、339 を用いることによって4個の画素値  $b$ 、 $c$ 、 $d$ 、 $g$  が加算される。そして、乗算器 363 の乗算結果と加算器 3

39による加算結果を減算器353に入力することにより、乗算器363から出力される乗算結果である出力値 $(2f + 2h)$ から、加算器339から出力される加算結果である出力値 $(b + c + d + g)$ を減算した結果が出力される。したがって、加算器343によって、この出力値に乗算器364の乗算結果 $(10e)$ を加算することにより、加算結果 $\{10e + 2f + 2h - (b + c + d + g)\}$ が出力され、さらに後段に接続された除算器373によって除数10で除算処理を行うことにより、(12)式に示した画素値A4が演算され、この演算結果が除算器373から出力される。

このように、乗数が10と2の各乗算器を用いる以外は、各画素の画素値を単純に加算あるいは減算するだけであり、処理内容の簡略化が可能であって処理の高速化および回路の簡略化が可能となる。また、標本化関数を用いて各画素値の重み付け係数を決定しているため、厳密な演算結果を反映した画素値を得ることができる。

#### 産業上の利用可能性

上述したように、本発明によれば、9個の画素の画素値に基づいてその中心画素の周囲に4個の新たな生成画素が生成されており、この生成処理を中心画素を走査方向に順番にずらしながら行うことにより、水平方向および垂直方向のそれぞれの画素数をほぼ2倍に変換することができる。特に、中心画素の周囲に4個の新たな画素を生成する際に、この中心画素を含む9個の画素の画素値のみを用いているため、処理対象となる画素数が少なく、画素生成（画素値算出）処理およびこれを実施する回路規模の簡略化とともに処理の高速化が可能になる。

## 請 求 の 範 囲

1. 水平方向および垂直方向に規則的に配置された各画素の画素値に基づいた補間処理を行うことにより、水平方向および垂直方向のそれぞれの画素数をほぼ2倍に変換する画像処理回路において、

水平方向および垂直方向のそれぞれについて3画素、合計で9画素の画素値を抽出する画素値抽出手段と、

前記画素値抽出手段から出力される前記9画素の画素値に基づいて、前記9画素の中央に配置された中心画素とこの中心画素の斜め方向に配置された4個の周辺画素のそれぞれとを結ぶ直線上であって、前記中心画素から前記4個の周辺画素のそれぞれまでの距離の4分の1の位置に対応する4個の新たな生成画素の画素値を演算する画素値演算手段と、

を備えることを特徴とする画像処理回路。

2. 入力信号に対応する走査線の数および走査線方向の画素数をほぼ2倍に変換する画像処理回路において、

前記走査線に含まれる画素の画素値が前記走査線の走査方向に対応した所定の順番で入力されており、前記走査線に沿った水平方向および隣接する前記走査線が並ぶ垂直方向のそれぞれについて3画素、合計で9画素の画素値を、隣接する3本の前記走査線を構成する複数の画素の画素値の中から抽出する画素値抽出手段と、

前記画素値抽出手段によって抽出された前記9画素の画素値に基づいて、前記9画素の中央に配置された中心画素とこの中心画素の斜め方向に配置された4個の周辺画素のそれぞれとを結ぶ直線上であって、前記中心画素から前記4個の周辺画素のそれぞれまでの距離の4分の1の位置に対応する4個の新たな生成画素の画素値を演算する画素値演算手段と、

前記画素値算出手段によって画素値が算出された複数の前記生成画素を、前記入力信号に対応する1本の走査線に対応させて水平方向に沿って二列に配置し、それぞれの列に対応する前記生成画素の画素値を列単位で順番に出力する画素値出力手段と、

を備えることを特徴とする画像処理回路。

3. 前記画素値抽出手段は、所定のタイミングにおいて入力された第1の画素の画素値と、前記第1の画素の出力タイミングに対して1画素分遅延させた第2の画素の画素値と、前記第1の画素の出力タイミングに対して2画素分遅延させた第3の画素の画素値と、前記第1の画素の出力タイミングに対して1走査線分遅延させた第4の画素の画素値と、前記第2の画素の出力タイミングに対して1走査線分遅延させた第5の画素の画素値と、前記第3の画素の出力タイミングに対して1走査線分遅延させた第6の画素の画素値と、前記第1の画素の出力タイミングに対して2走査線分遅延させた第7の画素の画素値と、前記第2の画素の出力タイミングに対して2走査線分遅延させた第8の画素の画素値と、前記第3の画素の出力タイミングに対して2走査線分遅延させた第9の画素の画素値とを並行して出力することを特徴とする請求の範囲第2項記載の画像処理回路。

4. 前記画素値演算手段は、前記中心画素を含む前記9画素の画素値を走査順にしたがってa、b、c、d、e、f、g、h、iとし、Nを3以上の整数としたときに、前記中心画素の周辺に新たに生成される4個の前記生成画素の画素値A1、A2、A3、A4を、

$$A1 = \{Ne + (a + b + d) - (c + f + g + h + i)\} / (N - 2)、$$

$$A2 = \{Ne + (b + c + f) - (a + d + g + h + i)\} / (N - 2)、$$

$$A3 = \{Ne + (d + g + h) - (a + b + c + f + i)\} / (N - 2)、$$

$$A4 = \{Ne + (f + h + i) - (a + b + c + d + g)\} / (N - 2)$$

に設定することを特徴とする請求の範囲第2項記載の画像処理回路。

5. 前記Nの値を10とすることにより、前記画素値A1、A2、A3、A4を、

$$A1 = \{10e + (a + b + d) - (c + f + g + h + i)\} / 8、$$

$$A2 = \{10e + (b + c + f) - (a + d + g + h + i)\} / 8、$$

$$A3 = \{10e + (d + g + h) - (a + b + c + f + i)\} / 8、$$

$$A4 = \{10e + (f + h + i) - (a + b + c + d + g)\} / 8$$

に設定することを特徴とする請求の範囲第4項記載の画像処理回路。

6. 前記画素値演算手段は、前記中心画素を含む前記9画素の画素値を走査順にしたがってa、b、c、d、e、f、g、h、iとし、Mを2以上の整数としたときに、前記中心画素の周辺に新たに生成される4個の前記生成画素の画素値A

1、A 2、A 3、A 4を、

$$A 1 = \{M e + (a + b + d) - (f + h + i)\} / M、$$

$$A 2 = \{M e + (b + c + f) - (d + g + h)\} / M、$$

$$A 3 = \{M e + (d + g + h) - (b + c + f)\} / M、$$

$$A 4 = \{M e + (f + h + i) - (a + b + d)\} / M、$$

に設定することを特徴とする請求の範囲第 2 項記載の画像処理回路。

7. 前記Mの値を8とすることにより、前記画素値A 1、A 2、A 3、A 4を、

$$A 1 = \{8 e + (a + b + d) - (f + h + i)\} / 8、$$

$$A 2 = \{8 e + (b + c + f) - (d + g + h)\} / 8、$$

$$A 3 = \{8 e + (d + g + h) - (b + c + f)\} / 8、$$

$$A 4 = \{8 e + (f + h + i) - (a + b + d)\} / 8、$$

に設定することを特徴とする請求の範囲第 6 項記載の画像処理回路。

8. 前記画素値演算手段は、前記中心画素を含む前記9画素の画素値を走査順にしたがってa、b、c、d、e、f、g、h、iとし、Lを2以上の整数としたときに、前記中心画素の周辺に新たに生成される4個の前記生成画素の画素値A

1、A 2、A 3、A 4を、

$$A 1 = \{L e + 2 b + 2 d - (c + f + g + h)\} / L、$$

$$A 2 = \{L e + 2 b + 2 f - (a + d + h + i)\} / L、$$

$$A 3 = \{L e + 2 d + 2 h - (a + b + f + i)\} / L、$$

$$A 4 = \{L e + 2 f + 2 h - (b + c + d + g)\} / L$$

に設定することを特徴とする請求の範囲第 2 項記載の画像処理回路。

9. 前記Lの値を10とすることにより、前記画素値A 1、A 2、A 3、A 4を、

$$A 1 = \{10 e + 2 b + 2 d - (c + f + g + h)\} / 10、$$

$$A 2 = \{10 e + 2 b + 2 f - (a + d + h + i)\} / 10、$$

$$A 3 = \{10 e + 2 d + 2 h - (a + b + f + i)\} / 10、$$

$$A 4 = \{10 e + 2 f + 2 h - (b + c + d + g)\} / 10$$

に設定することを特徴とする請求の範囲第 8 項記載の画像処理回路。

10. 前記画素値出力手段は、

前記中心画素が含まれない一方の前記走査線に含まれる前記画素に対応する2

個の前記生成画素の画素値をこの走査線に沿った配置順に格納して出力する第1の走査線生成手段と、

前記中心画素が含まれない他方の前記走査線に含まれる前記画素に対応する2個の前記生成画素の画素値をこの走査線に沿った配置順に格納して出力する第2の走査線生成手段と、

を備え、前記第1および第2の走査線生成手段による1走査線分の連続した画素値の出力動作を、前記第1の走査線生成手段と第2の走査線生成手段とにおいて交互に行う出力画素値選択手段と、

を備えることを特徴とする請求の範囲第2項記載の画像処理回路。

図1

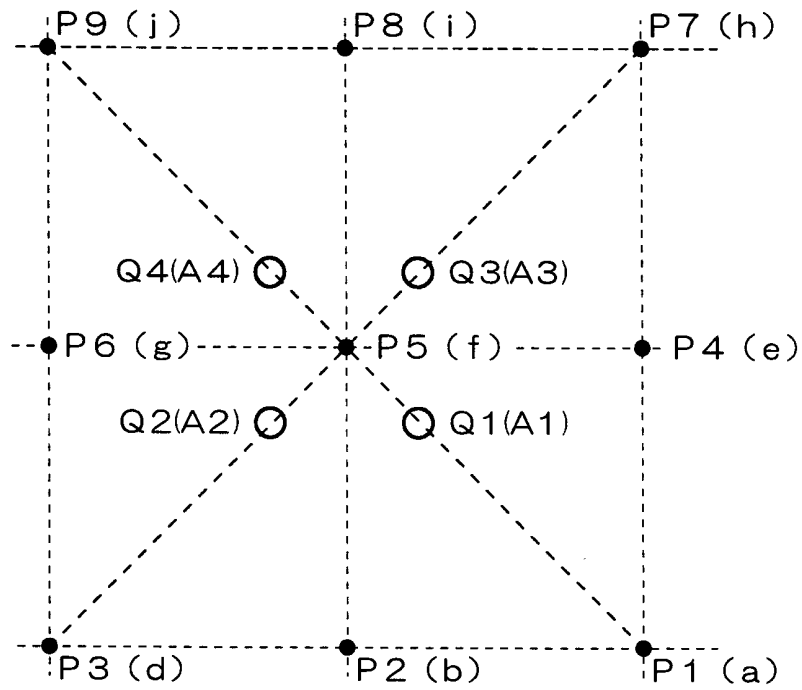


図2

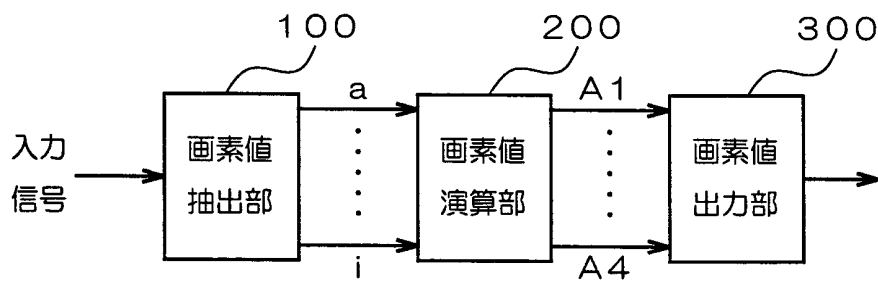


図3

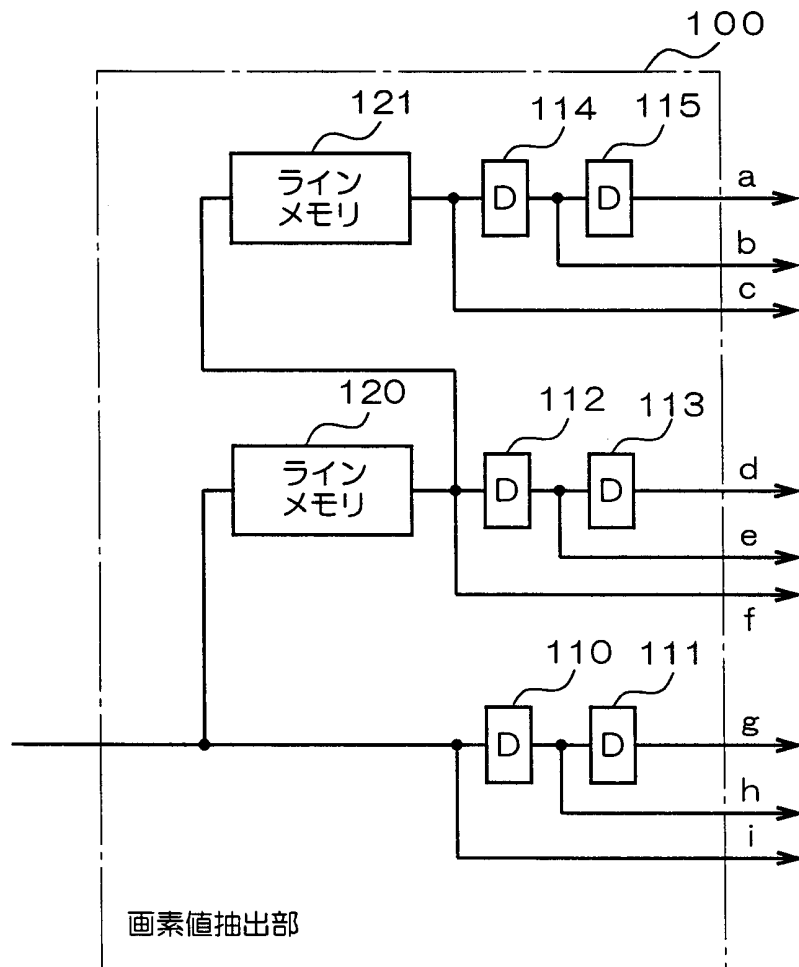




図4

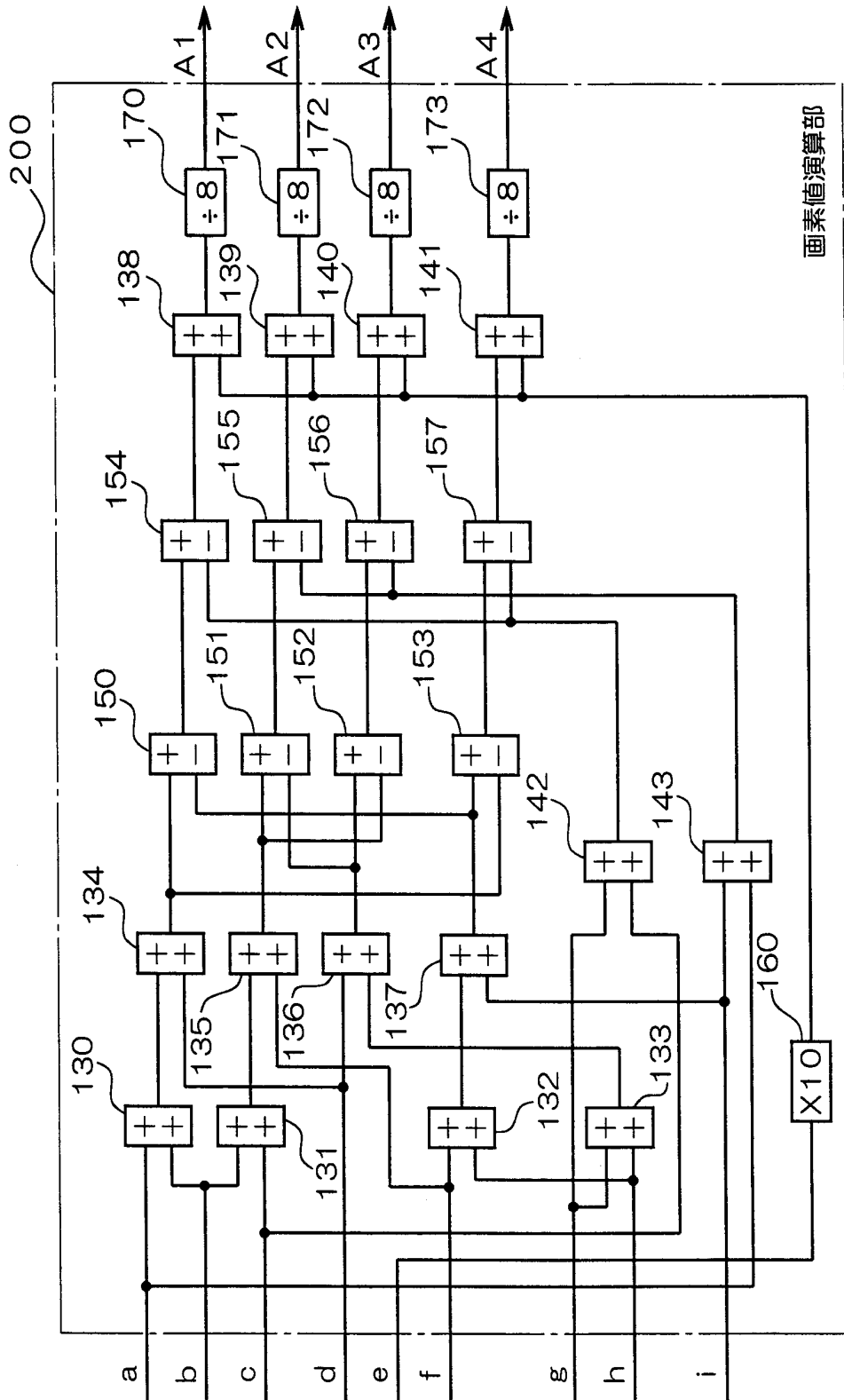


図5

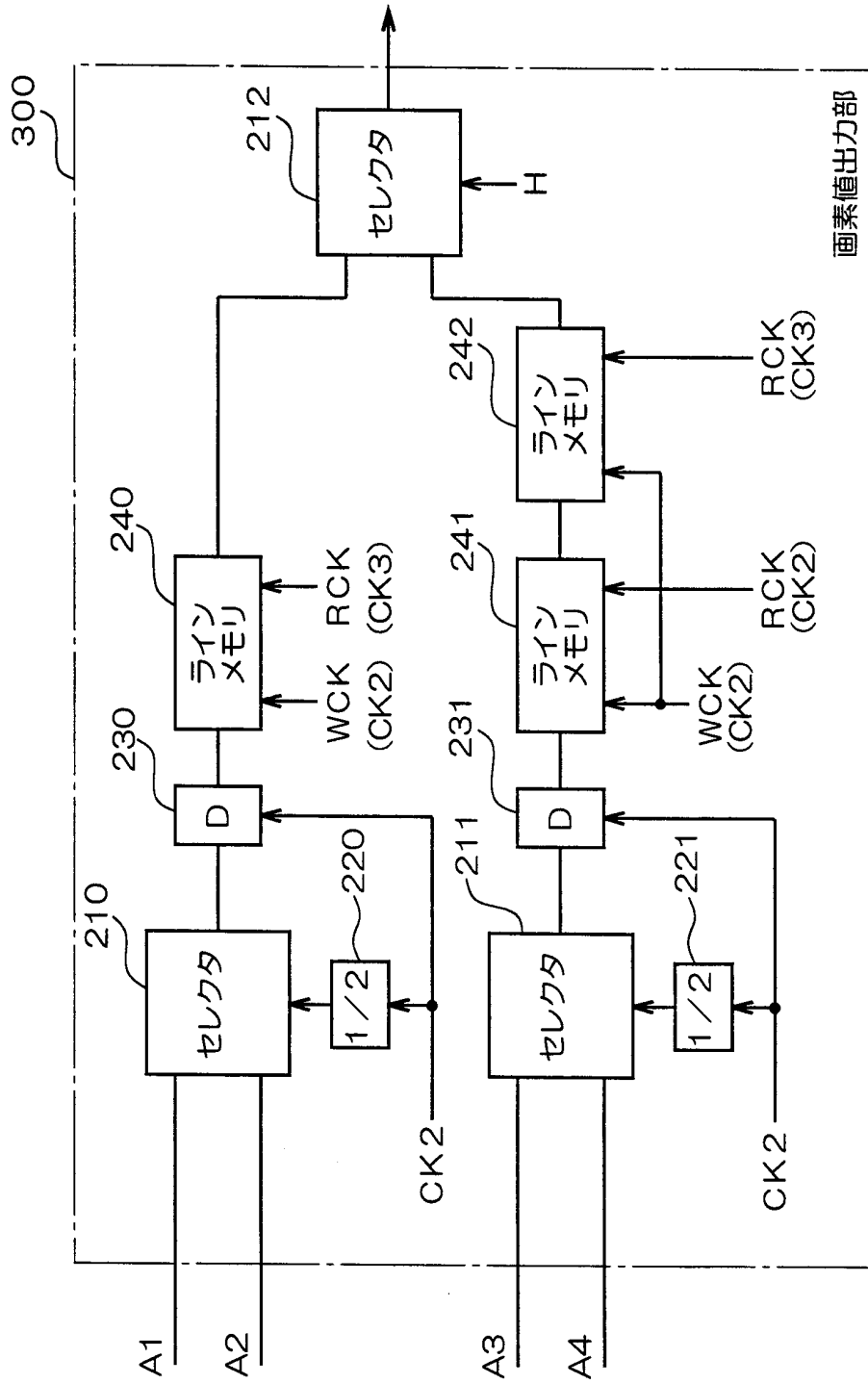
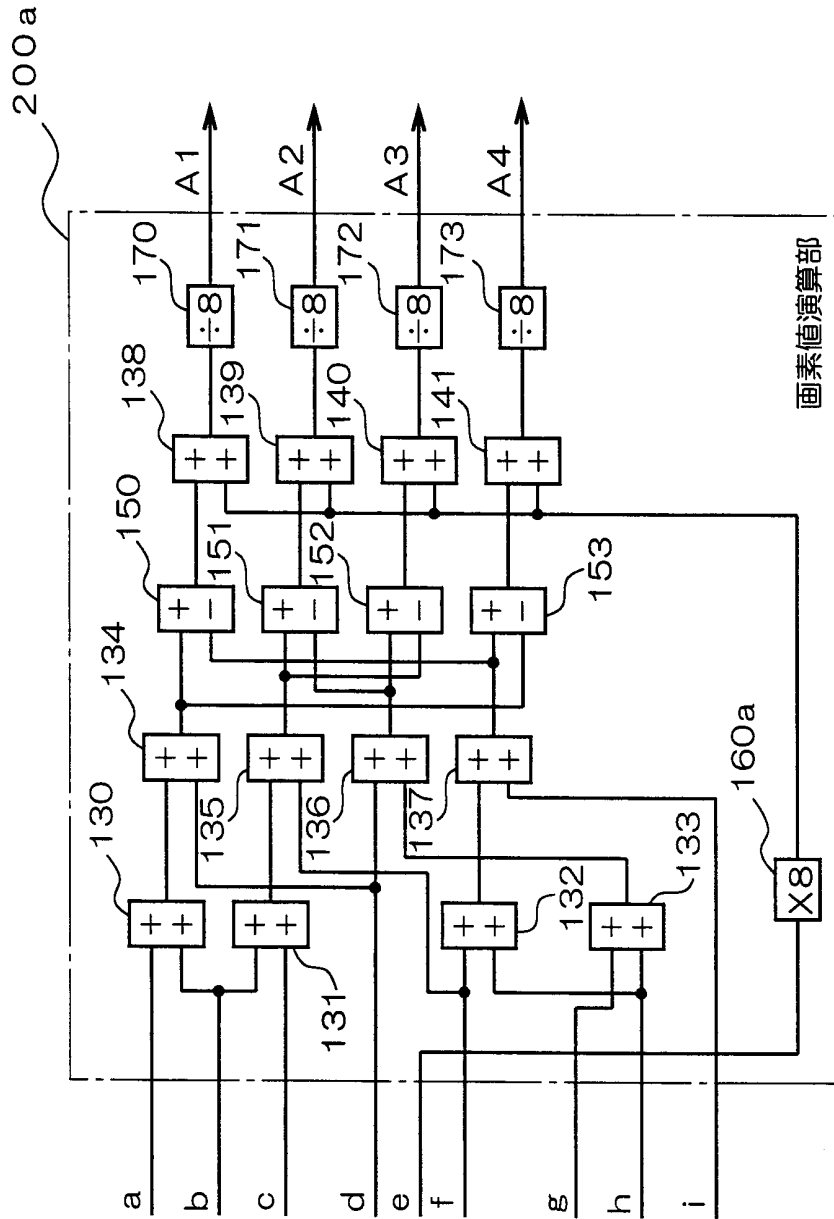


図6



6/7

図7

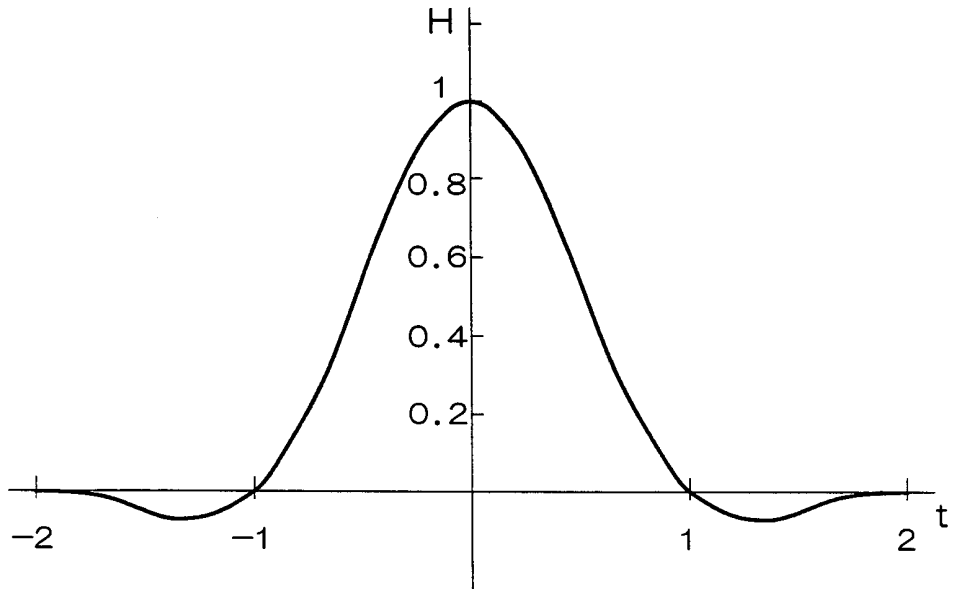


図8

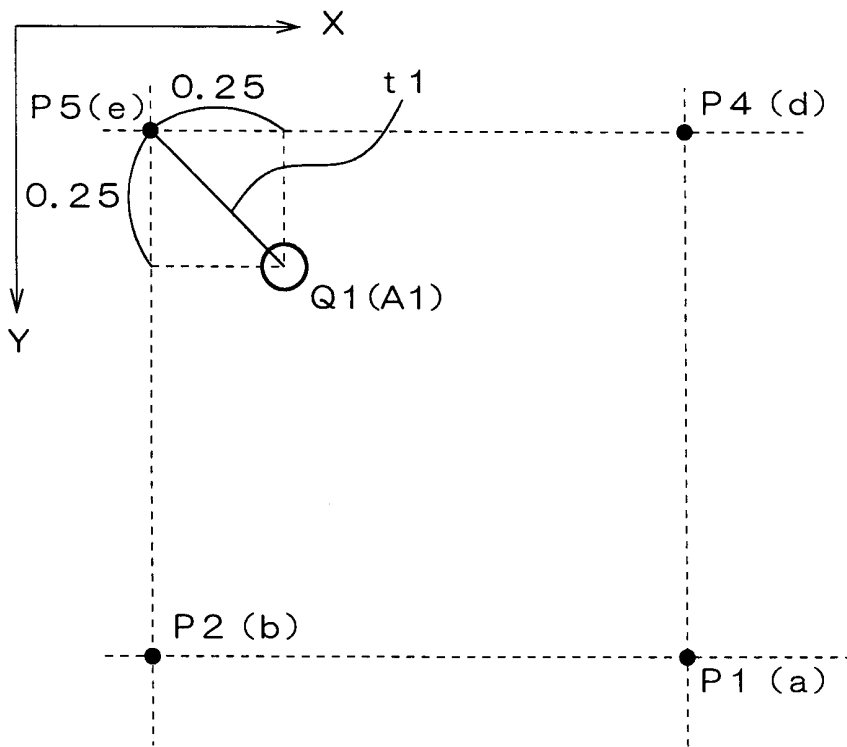
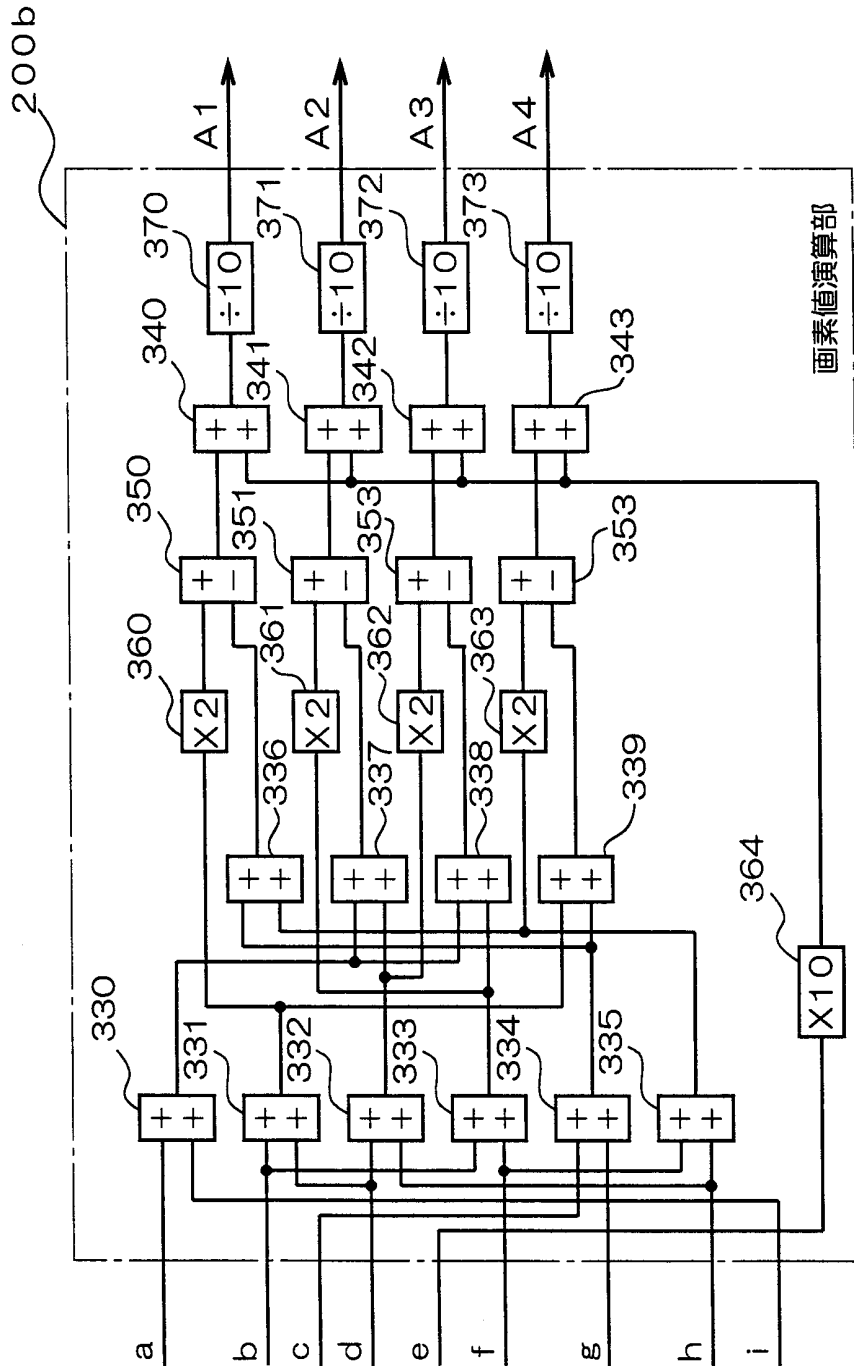


図9



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP00/02565

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H04N 7/01

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H04N 7/01

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000  
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 9-74543, A (Sony Corporation), 18 March, 1997 (18.03.97) & US, 5946044, A	1-10

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search 14 June, 2000 (14.06.00)	Date of mailing of the international search report 27 June, 2000 (27.06.00)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
--	--------------------

Facsimile No.	Telephone No.
---------------	---------------

<p>A. 発明の属する分野の分類 (国際特許分類 (IPC))</p> <p style="margin-left: 20px;">Int. Cl<sup>7</sup> H04N 7/01</p>				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料 (国際特許分類 (IPC))</p> <p style="margin-left: 20px;">Int. Cl<sup>7</sup> H04N 7/01</p>				
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <p style="margin-left: 20px;">                 日本国実用新案公報 1922-1996年                  日本国公開実用新案公報 1971-2000年                  日本国登録実用新案公報 1994-2000年                  日本国実用新案登録公報 1996-2000年             </p>				
<p>国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)</p>				
<p>C. 関連すると認められる文献</p>				
<p>引用文献の カテゴリー*</p>	<p>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</p>	<p>関連する 請求の範囲の番号</p>		
<p>A</p>	<p>JP, 9-74543, A (ソニー株式会社) 18. 3月. 1997 (18. 3. 97) &amp;US, 5946044, A</p>	<p>1-10</p>		
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <span style="margin-left: 150px;"><input type="checkbox"/> パテントファミリーに関する別紙を参照。</span></p>				
<p>* 引用文献のカテゴリー</p> <p>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」 口頭による開示、使用、展示等に言及する文献</p> <p>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</p>				
<p style="margin-left: 100px;">の日の後に公表された文献</p> <p>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&amp;」 同一パテントファミリー文献</p>				
<p>国際調査を完了した日</p> <p style="margin-left: 100px;">14. 06. 00</p>	<p>国際調査報告の発送日</p> <p style="margin-left: 100px; font-size: 1.2em;">27.06.00</p>			
<p>国際調査機関の名称及びあて先</p> <p style="margin-left: 20px;">                 日本国特許庁 (ISA/JP)                  郵便番号100-8915                  東京都千代田区霞が関三丁目4番3号             </p>	<p>特許庁審査官 (権限のある職員)</p> <p style="margin-left: 20px;">田村 征一</p>	<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">5P</td> <td style="width: 40px; text-align: center;">6942</td> </tr> </table>	5P	6942
5P	6942			
<p>電話番号 03-3581-1101 内線 3580</p>				