



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I494920 B

(45)公告日：中華民國 104 (2015) 年 08 月 01 日

(21)申請案號：098125092

(22)申請日：中華民國 98 (2009) 年 07 月 24 日

(51)Int. Cl. : G11C11/401 (2006.01)

G11C7/12 (2006.01)

(30)優先權：2009/04/14 南韓

10-2009-0032364

(71)申請人：海力士半導體股份有限公司 (南韓) HYNIX SEMICONDUCTOR INC. (KR)
南韓

(72)發明人：吳榮訓 OH, YOUNG-HOON (KR)

(74)代理人：賴安國；王立成

(56)參考文獻：

TW I235459

TW I308371

TW I308390

TW I308606

TW I308779

US 6633500B1

US 2007/0285982A1

US 2008/0062793A1

US 2008/0144403A1

US 2008/0316848A1

審查人員：李昭俊

申請專利範圍項數：44 項 圖式數：8 共 51 頁

(54)名稱

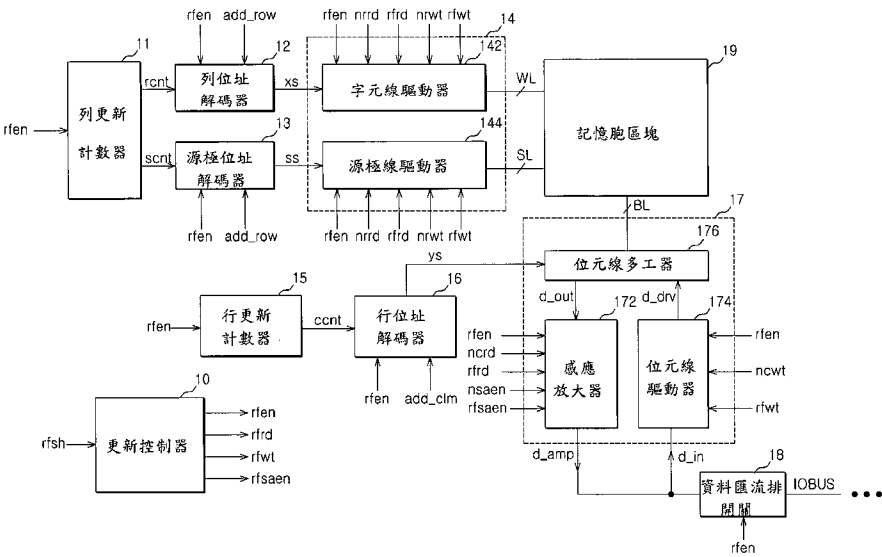
半導體記憶體裝置及其更新控制方法

SEMICONDUCTOR MEMORY APPARATUS AND REFRESH CONTROL METHOD OF THE SAME

(57)摘要

本發明提供一種半導體記憶體裝置及其更新控制方法。該半導體記憶體裝置包括由複數浮動體胞(FBC)電晶體構成的一記憶胞區塊。每個 FBC 電晶體具有連接至一字元線的一閘極、連接至一位元線的一汲極，及連接至一源極線的一源極。FBC 電晶體配對藉由在該等複數個浮動體胞電晶體中共享該等源極線所形成。當一更新信號被致能時，該半導體記憶體裝置經配置藉由致能一更新讀取信號讀取儲存在該記憶胞區塊中的資料，然後經配置以藉由致能一更新寫入信號而覆寫在該記憶胞區塊中的讀取資料。

A semiconductor memory apparatus and refresh control method are presented. The semiconductor memory apparatus includes a memory cell block composed of a multiplicity of floating body cell (FBC) transistors. Each FBC transistor has a gate connected to a word line, a drain connected to a bit line, and a source connected to a source line. FBC transistor pairs are formed by sharing the source lines in the plurality of the floating body cell transistors. When a refresh signal is enabled, the semiconductor memory apparatus is configured to read data stored in the memory cell block by enabling a refresh read signal and then configured to rewrite the read data in the memory cell block by enabling a refresh write signal.



第二圖

- 10 . . . 更新控制器
- 11 . . . 列更新計數器
- 12 . . . 列位址解碼器
- 13 . . . 源極位址解碼器
- 14 . . . 列作業控制器
- 15 . . . 行更新計數器
- 16 . . . 行位址解碼器
- 17 . . . 行作業控制器
- 18 . . . 資料匯流排開關
- 19 . . . 記憶胞區塊
- 142 . . . 字元線驅動器
- 144 . . . 源極線驅動器
- 172 . . . 感應放大器
- 174 . . . 位元線驅動器
- 176 . . . 位元線多工器

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98125092

※申請日：98.7.24

※IPC 分類：

G11C 11/40 (2006.01)

G11C 7/12 (2006.01)

一、發明名稱：(中文/英文)

半導體記憶體裝置及其更新控制方法 / SEMICONDUCTOR MEMORY
APPARATUS AND REFRESH CONTROL METHOD OF THE SAME

二、中文發明摘要：

本發明提供一種半導體記憶體裝置及其更新控制方法。該半導體記憶體裝置包括由複數浮動體胞(FBC)電晶體構成的一記憶胞區塊。每個FBC電晶體具有連接至一字元線的一閘極、連接至一位元線的一汲極，及連接至一源極線的一源極。FBC電晶體配對藉由在該等複數個浮動體胞電晶體中共享該等源極線所形成。當一更新信號被致能時，該半導體記憶體裝置經配置藉由致能一更新讀取信號讀取儲存在該記憶胞區塊中的資料，然後經配置以藉由致能一更新寫入信號而覆寫在該記憶胞區塊中的讀取資料。

三、英文發明摘要：

A semiconductor memory apparatus and refresh control method are presented. The semiconductor memory apparatus includes a memory cell block composed of a multiplicity of floating body cell (FBC) transistors. Each FBC transistor has a

gate connected to a word line, a drain connected to a bit line, and a source connected to a source line. FBC transistor pairs are formed by sharing the source lines in the plurality of the floating body ^{(110) polys} cell transistors. When a refresh signal is enabled, the semiconductor memory apparatus is configured to read data stored in the memory cell block by enabling a refresh read signal and then configured to rewrite the read data in the memory cell block by enabling a refresh write signal.

四、指定代表圖：

(一) 本案指定代表圖為：第 (二) 圖。

(二) 本代表圖之元件符號簡單說明：

10	更新控制器
11	列更新計數器
12	列位址解碼器
13	源極位址解碼器
14	列作業控制器
15	行更新計數器
16	行位址解碼器
17	行作業控制器
18	資料匯流排開關
19	記憶胞區塊
142	字元線驅動器
144	源極線驅動器
172	感應放大器
174	位元線驅動器
176	位元線多工器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明關於半導體記憶體裝置，尤指一種半導體記憶體裝置之一記憶胞及其控制電路。

【先前技術】

一習用動態隨機存取記憶體(DRAM, “Dynamic random access memory”)包括許多記憶胞，其每一個由一電晶體及一電容器構成來儲存資料。但是，具有那些記憶胞之泛用結構並不適合降低一記憶體核心區域的面積，使得在改善半導體記憶體裝置之整合程度時有技術上的限制。因此，已經發展一種浮動體胞(FBC, “Floating body cell”)技術，用於實施該記憶胞的電晶體與電容器成為一電晶體。

以下將參照附屬圖面對於 FBC 技術更為詳細地說明。

第一圖為實施一 FBC 的電晶體之一橫截面圖，並例示一 N 型電晶體做為一範例。在此可瞭解到該等圖面不需要成比例，且在一些案例中比例會被誇大來更為清楚地描述本發明之某些特徵。

如第一圖所示，像是一通用 N 型 MOS 電晶體，實施該 FBC 之電晶體之結構中摻雜有 N 型雜質的一源極 1 與一汲極 2 係配置在一半導體基板上，而一閘極電極 3 與一閘極氧化層 4 形成在源極 1 與汲極 2 之上方部份的一預定區域處。但是，一絕緣層 5 提供在一本體區域的中央部份。因此，該本體區域被區分成一浮動體部份 6 及一基板部份

7。此時，浮動體部份 6 及基板部份 7 摻雜有 P 型雜質。

絕緣層 5 介入在浮動體部份 6 與基板部份 7 之間，使得藉由分別施加於源極 1、汲極 2 與閘極電極 3 的電壓而累積電洞在浮動體部份 6 中。因此，一虛擬電容器即形成在該 FBC 中。由於依上述產生的該電容器之特性，該電晶體可做為一記憶胞，其結構中一切換電晶體與該記憶胞彼此組合。

為了實施該 FBC 技術，一預定的電壓必須在一讀取作業或一寫入作業中準確地施加於該電晶體之源極、汲極與閘極之每一個。另外，在該 FBC 技術中，需要支援一保持作業，以及該讀取及寫入作業，及輸入邏輯值「1」之作業，且甚至在該寫入作業期間需要區別輸入一邏輯值「0」之作業。

類似地，要施加於該等源極、汲極與閘極之電壓位準根據每一項作業顯示於表 1。

[表 1]

	寫入「1」作業	寫入「0」作業	讀取作業	保持作業
源極電壓	2.5V	2.5V	2.5V	0V
汲極電壓	0V	0.5V	0V	0V
閘極電壓	0.5V	0.5V	-1.0V	-1.5V

如表 1 所示，在該 FBC 技術中的一胞電晶體必須施加在其源極、汲極與閘極處在執行四種不同作業時所設定的電壓。為此，必須提供在每次作業中供應電壓到該胞電晶體之源極、汲極與閘極之每一個的電路。

目前為止，該 FBC 技術很難做為該半導體記憶體裝置之記憶胞，因為尚未發展出來可供應電壓到每一個胞電晶體之源極、汲極與閘極之電路。再者，採用該 FBC 技術之半導體記憶體裝置之資料亦為揮發性，例如 DRAM 中。因此，即使在此處，必須執行一更新作業，且必須提供相關的技術組態。因此，非常需要相關電路的開發來採用該 FBC 技術，用於改善該半導體記憶體裝置之整合度。

【發明內容】

本發明提供一種半導體記憶體裝置，及其更新控制方法，其能夠在一記憶體核心區域的一胞電晶體中實施一 FBC 技術。

在一第一具體實施例中，一半導體記憶體裝置包括一記憶胞區塊，其包含複數個浮動體胞(FBC)電晶體，每一個 FBC 電晶具有連接至一字元線的一閘極、連接至一位元線的一汲極，與連接至一源極線之一源極，其中 FBC 電晶體配對藉由共享該等 FBC 電晶體中該等源極線而形成，其中當一更新信號被致能時，該半導體記憶體裝置經配置回應於一致能的更新讀取信號而讀取儲存在該記憶胞區塊中的資料，然後回應於一致能的更新寫入信號而覆寫該讀取資料在該記憶胞區塊中。

在一第二具體實施例中，一半導體記憶體裝置包括一更新控制器，其經配置回應於一更新信號而產生一更新致能信號、一更新讀取信號、一更新寫入信號及一更新感應

放大致能信號；一列作業控制器，其經配置當該更新致能信號被致能時回應於該更新讀取信號及該更新寫入信號而供應電壓到一記憶胞區塊的一字元線及一源極線；一行作業控制器，其經配置當該更新致能信號被致能時回應於該更新讀取信號、該更新感應放大致能信號及該更新寫入信號而放大由該記憶胞區塊的一位元線傳送的資料，並經配置供應對應於該放大的資料之電壓到該位元線；及一資料匯流排開關，其經配置當該更新致能信號被致能時，中斷該放大資料之輸出到一資料輸入/輸出匯流排。

在一第三具體實施例中，一半導體記憶體裝置包括一列更新計數器，其經配置當一更新致能信號被致能時藉由執行一計數作業而產生一列計數信號及一源極計數信號；一列位址解碼器，其經配置藉由解碼該列計數信號而產生一列選擇信號；一源極位址解碼器，其經配置藉由解碼該源極計數信號而產生一源極選擇信號；一列作業控制器，其經配置當該更新致能信號被致能時回應於該列選擇信號及該源極選擇信號而依序地供應電壓到一記憶胞區塊中複數個字元線及複數個源極線；一行更新計數器，其經配置當該更新致能信號被致能時藉由執行該計數作業而產生一行計數信號；一行位址解碼器，其經配置藉由解碼該行計數信號而產生一行選擇信號；及一行作業控制器，其經配置當該更新致能信號被致能時回應於該行選擇信號而依序地覆寫該記憶胞區塊的複數個位元線之資料。

在一第四具體實施例中，一半導體記憶體裝置之一更

新控制方法包括一記憶胞區塊，其具有複數個浮動體胞(FBC)電晶體，其具有連接至一字元線的一閘極、連接至一位元線的一汲極、及連接至一源極線的一源極，其中 FBC 電晶體配對藉由共享在該等 FBC 電晶體中的該等源極線而形成，該更新控制方法包括當一更新信號被致能時即致能一更新讀取信號；回應於該更新讀取信號藉由供應電壓到該字元線、該源極線及該位元線而自任何一記憶胞輸出資料；除能該更新讀取信號並致能一更新寫入信號；及回應於該更新寫入信號藉由供應其位準對應於自該記憶胞輸出資料之邏輯值的電壓而覆寫該資料在該位元線上。

在一第五具體實施例中，一半導體記憶體裝置之更新控制方法包括由複數個浮動體胞(FBC)電晶體構成的一記憶胞區塊，每一個 FBC 電晶體具有連接至一字元線的一閘極、連接至一位元線的一汲極，及連接至一源極線之一源極，其中 FBC 電晶體配對藉由共享該等複數個浮動體胞電晶體中的該等源極線所形成，該更新控制方法包括當一更新致能信號被致能時而供應用於一讀取作業或一寫入作業之電壓到一第一字元線及一第一源極線；依序執行該等複數個位元線中資料的一覆寫作業；停用該第一字元線，並供應用於該讀取或寫入作業之電壓到一第二字元線；依序重新執行該等複數個位元線之資料的覆寫作業；且停用該第二字元線及該第一源極線，並啟用一第三字元線及一第二源極線。

這些及其它特徵、態樣及具體實施例皆在以下的章節

「實施方式」當中說明。

【實施方式】

第二圖為根據一具體實施例中一半導體記憶體裝置之一記憶體核心區域之組態的一方塊圖。

如第二圖所示，該半導體記憶體裝置可包括一更新控制器 10、一列更新計數器 11、一列位址解碼器 12、一源極位址解碼器 13、一列作業控制器 14、一行更新計數器 15、一行位址解碼器 16、一行作業控制器 17、一資料匯流排開關 18、及一記憶胞區塊 19。

該更新控制器 10 能夠回應一更新信號「rfsh」而產生一更新致能信號「rfen」、一更新讀取信號「rfrd」、一更新寫入信號「rfwt」及一更新感應放大致能信號「rfsaen」。該列更新計數器 11 回應更新致能信號「rfen」藉由執行一計數作業而產生一複數位元列計數信號「rcnt」及一複數位元源極計數信號「scnt」。該列位址解碼器 12 回應更新致能信號「rfen」藉由解碼列計數信號「rcnt」而產生一複數位元列選擇信號「xs」。該源極位址解碼器 13 回應更新致能信號「rfen」藉由解碼源極計數信號「scnt」而產生一複數位元源極選擇信號「ss」。該列作業控制器 14 回應更新致能信號「rfen」、一正常列讀取信號「nrrd」、更新讀取信號「rfrd」、一正常列讀取信號「nrrd」、更新讀取信號「rfrd」、一正常列寫入信號「nrwt」、更新寫入信號「rfwt」、複數位元列選擇信號「xs」、及複數位元源極選擇信號「ss」而供

應電壓到複數個字元線「WL」及複數個源極線「SL」。

該行更新計數器 15 回應更新致能信號「rfen」藉由執行計數作業而產生一複數位元行計數信號「ccnt」。該行位址解碼器 16 回應更新致能信號「rfen」藉由解碼複數位元行計數信號「ccnt」而產生一複數位元行選擇信號「ys」。該行作業控制器 17 可放大及輸出自複數個位元線「BL」中任一個傳送的資料而做為放大資料「d_amp」，或回應於更新致能信號「rfen」、一正常行讀取信號「ncrd」、更新讀取信號「rfrd」、一正常行寫入信號「ncwt」、更新寫入信號「rfwt」、一正常感應放大致能信號「nsaen」、更新感應放大致能信號「rfsaen」及複數位元行選擇信號「ys」而驅動及轉移輸入資料「d_in」到複數個位元線「BL」之任一個。該資料匯流排開關 18 可回應更新致能信號「rfen」中斷輸出放大資料「d_amp」到一資料輸入/輸出匯流排 IOBUS，並輸入自該資料輸入/輸出匯流排 IOBUS 轉移的資料到行作業控制器 17 當中。該記憶胞區塊 19 連接至複數個字元線「WL」、複數個源極線「SL」及複數個位元線「BL」。該記憶胞區塊 19 包含複數個記憶胞。

該更新控制器 10 能夠回應更新信號「rfsh」而產生更新致能信號「rfen」、更新讀取信號「rfrd」、更新寫入信號「rfwt」及更新感應放大致能信號「rfsaen」，如上所述。該等信號之波形顯示於第三圖。

第三圖為例示第二圖更新控制器作業之波形圖。

請參照第三圖，該更新致能信號「rfen」具有一預定的

致能間隔。在此間隔中，於更新讀取信號「rfrd」被致能然後被除能之後，更新寫入信號「rfwt」被致能然後被除能。更新感應放大致能信號「rfsaen」具有類似於更新讀取信號「rfrd」的波形。

此波形僅例示為包括在記憶胞區塊 19 中一記憶胞的一更新作業。該作業於執行該更新作業期間與記憶胞的重複次數一樣多。產生具有該波形信號的更新控制器 10 之組態可簡易地由本技藝專業人士所實施。因此，將省略更新控制器 10 之詳細組態。

該記憶胞區塊 19 包含由一 FBC 電晶體實施的複數個記憶胞。該字元線「WL」提供成與該等複數個記憶胞的列數目一樣多，該源極線「SL」提供為字元線「WL」數目的一半，而該位元線「BL」提供成與該等複數個記憶胞之行的數目一樣多。

因此，為了執行每一個記憶胞之更新作業，該列更新計數器 11 對於複數位元列計數信號「rcnt」執行一計數作業，其相對於複數位元源極計數信號「scent」的一計數作業要快兩倍。再者，該行更新計數器 15 對於複數位元行計數信號「ccnt」執行一計數作業，其次數與所有位元線「BL」一樣多，其相對於複數位元列計數信號「rcnt」的列更新計數器 11 之計數作業要快。因此，自該行位址解碼器 16 產生的複數位元行選擇信號「ys」之邏輯值改變與位元線「BL」一樣快，而該複數位元源極選擇信號「ss」之邏輯值的改變速度為由該列位址解碼器 12 產生的複數位元列選擇信號

「xs」的兩倍慢。

也就是說，該半導體記憶體裝置依序地對於複數位元線「BL」執行該更新作業，其狀態為啟動一預定字元線「WL」及一預定源極線「SL」。然後，該半導體記憶體裝置停用字元線「WL」，並啟用另一字元線「WL」，然後重複上述的作業。該預定源極線「SL」被啟用，而兩條字元線「WL」被依序啟用。然後，當另一字元線「WL」被啟用時，另一源極線「SL」被啟用。該半導體記憶體裝置重複地執行該作業，藉以對於包括在記憶胞區塊 19 中複數個記憶胞之每一個執行該更新作業。

該列位址解碼器 12 與該源極位址解碼器 13 在當更新致能信號「rfen」未被致能時即接收一複數位元列位址「add_row」，也就是說，在一正常模式中，對於複數位元列位址「add_row」執行一解碼作業。再者，該行位址解碼器 16 在正常模式下接收一複數位元行位址「add_clm」，並對於複數位元行位址「add_clm」執行一解碼作業。相反地，當該更新致能信號「rfen」被致能時，該列位址解碼器 12 與該源位址解碼器 13 回應於複數位元列計數信號「rcnt」而執行該解碼作業，而行位址解碼器 16 回應複數位元行計數信號「ccnt」而執行該解碼作業。

該列作業控制器 14 可回應該正常模式下正常列讀取信號「nrrd」、正常列寫入信號「nrwt」、複數位元列選擇信號「xs」、及複數位元源極選擇信號「ss」供應電壓給記憶胞區塊 19 之複數個字元線「WL」及複數個源極線「SL」。但

是，當更新致能信號「rfen」被致能時，該列作業控制器 14 回應更新讀取信號「rfrd」、更新寫入信號「rfwt」、複數位元列選擇信號「xs」及複數位元來源選擇信號「ss」供應電壓到記憶胞區塊 19 之複數個字元線「WL」及複數個源極線「SL」。此時，該列作業控制器 14 根據複數位元列選擇信號「xs」及複數位元源極選擇信號「ss」之邏輯值的變化，能夠依序供應預定的電壓到複數個字元線「WL」及複數個源極線「SL」。

此處當一列命令解碼器（未示出）解碼自外部傳送的列命令時，即產生該正常列讀取信號「nrrd」及該正常列寫入信號「nrwt」。類似地，當一行命令解碼器（未示出）解碼自外部傳送的行命令時，即產生正常行讀取信號「ncrd」、正常行寫入信號「ncwt」及正常感應放大致能信號「nsaen」。

該列作業控制器 14 可包括一字元線驅動器 142 及一源極線驅動器 144。

該字元線驅動器 142 回應更新致能信號「rfen」、正常列讀取信號「nrrd」、更新讀取信號「rfrd」、正常列寫入信號「nrwt」、更新寫入信號「rfwt」及複數位元列選擇信號「xs」而能夠分別供應電壓到複數個字元線「WL」。該源極線驅動器 144 回應更新致能信號「rfen」、正常列讀取信號「nrrd」、更新讀取信號「rfrd」、正常列寫入信號「nrwt」、更新寫入信號「rfwt」及複數位元源極選擇信號「ss」而能夠分別供應電壓到複數個源極線「SL」。

該行作業控制器 17 回應正常模式下正常行讀取信號「ncrd」、正常行寫入信號「ncwt」、正常感應放大致能信號「rfsaen」及複數位元行選擇信號「ys」而能夠放大及輸出複數個位元線「BL」之任一個的資料，或是驅動及傳送自該資料輸入/輸出匯流排 IOBUS 經由資料匯流排開關 18 傳送的輸入資料「d_in」到複數個位元線「BL」之任一個。但是，當更新致能信號「rfen」被致能時，該行作業控制器 17 回應更新讀取信號「rfrd」及更新感應放大致能信號「rfsaen」而放大自複數個位元線「BL」之任一個傳送的資料，且輸出該資料成為放大資料「d_amp」，然後回應複數位元行選擇信號「ys」覆寫在回應更新寫入信號「rfwt」輸出資料的位元線「BL」中放大資料「d_amp」。此處放大資料「d_amp」藉由供應一預定位準的電壓到相對應位元線「BL」所覆寫。複數位元行選擇信號「ys」控制資料來依序輸出，並覆寫到複數個位元線「BL」或自其被覆寫。

類似地，為了支援在該更新作業期間覆寫自位元線「BL」輸出的資料之作業，該資料匯流排開關 18 被關閉，以中斷該行作業控制器 17 及資料輸入/輸出匯流排 IOBUS 間的連接。但是，該資料匯流排開關 18 於正常作業期間被開啟，以連接該資料輸入/輸出匯流排 IOBUS 與該行作業控制器 17。

該行作業控制器 17 可以包括一感應放大器 172、一位元線驅動器 174 及一位元線多工器 176。

該感應放大器 172 回應更新致能信號「rfen」、正常行

讀取信號「ncrd」、更新讀取信號「rfrd」、正常感應放大致能信號「nasen」及更新感應放大致能信號「saen」藉由放大輸出資料「d_out」而輸出放大資料「d_amp」。該位元線驅動器 174 回應更新致能信號「rfen」、正常行寫入信號「ncwt」及更新寫入信號「rfwt」藉由驅動輸入資料「d_in」輸出驅動資料「d_drv」。該位元線多工器 176 能夠傳送驅動資料「d_drv」到複數個位元線「BL」之任一個，或傳送由複數個位元線「BL」之任一個傳送的資料到感應放大器 172 做為輸出資料「d_out」。

該字元線驅動器 142 回應該正常作業期間正常列讀取信號「nrrd」及正常列寫入信號「nrwt」根據被區分的一讀取作業模式、一寫入作業模式及一保持作業模式之每一個而供應一寫入閘極電壓、一讀取閘極電壓及一保持閘極電壓之任一個到一啟動的字元線「WL」。相反地，該字元線驅動器 142 回應在該更新作業期間依序被致能的更新讀取信號「rfrd」及更新寫入信號「rfwt」而供應該等電壓到啟動的字元線「WL」。此時，該字元線驅動器 142 考慮到該 FBC 電晶體特性之下，當更新讀取信號「rfrd」被致能時供應 -1.0V 的讀取閘極電壓，而當更新寫入信號「rfwt」被致能時供應 0.5V 的寫入閘極電壓，而在其它狀況下供應 -1.5V 的保持閘極電壓。

另外，該源極線驅動器 144 根據在該正常作業期間回應正常列讀取信號「nrrd」及正常列寫入信號「nrwt」而被區分的一保持作業模式及一啟動作業模式（該啟動作業模

式包括該讀取作業模式及該寫入作業模式)之每一個而供應一啟動源極電壓或一保持源極電壓到一啟動的源極線「SL」。相反地，該源極線驅動器 144 回應在該更新作業期間依序被致能的更新讀取信號「rfrd」及更新寫入信號「rfwt」而供應該等電壓到啟動的源極線「SL」。此時，該源極線驅動器 144 在考慮該 FBC 的特性之下，當更新讀取信號「rfrd」及更新寫入信號「rfwt」被致能時供應 2.5V 的啟動源極電壓，而在其它情況下供應 0V 的保持源極電壓。

該位元線驅動器 174 回應在該正常作業期間的正常行寫入信號「ncwt」而區別是否要進入該寫入作業模式，並在決定在該寫入作業期間輸入資料「d_in」的邏輯值為「0」或「1」之後供應一寫入汲極電壓到驅動資料「d_drv」的一輸出線。相反地，該位元線驅動器 174 回應在該更新作業期間更新寫入信號「rfwt」供應一電壓到經由位元線多工器 176 連接的一位元線「BL」。在此例中，當更新讀取信號「rfrd」被致能時所產生的放大資料「d_amp」被輸入作為輸入資料「d_in」。此時，寫入汲極電壓 0V 或 0.5V 在考慮該 FBC 電晶體的特性之下根據輸入資料「d_in」的邏輯值被供應到所連接的位元線「BL」。

該閘極電壓、該源極電壓及該汲極電壓之命名係由於字元線「WL」被連接到記憶胞區塊 19 中該胞電晶體的一閘極，源極線「SL」被連接到該胞電晶體的一源極，而位元線「BL」被連接到該胞電晶體的一汲極。用於改變該閘極電壓、該源極電壓及該汲極電壓之電壓位準的電壓產生

器可藉由使用根據該作業模式而提供在該半導體記憶體裝置中的多種電壓產生器而被實施。其將可瞭解到對於本技藝專業人士而言在技術上並非獨特。

第四圖為根據一具體實施例中第二圖之示例性記憶胞區塊的組態圖，而為了方便說明僅例示 16 的胞電晶體的配置關係。

如第四圖所示，該記憶胞區塊 19 可包括四條字元線「WL<1:4>」、四條位元線「BL<1:4>」、兩條源極線「SL<1:2>」及十六條胞電晶體「CTR<1:16>」。

該兩條源極線「SL<1:2>」之每一個設置在兩條字元線「WL<1:2>」及兩條字元線「WL<3:4>」之間。該十六條胞電晶體「CTR<1:16>」之每一個包括連接至一相對應字元線「WL」之一閘極、連接至一相對應源極線「SL」之一源極、及連接至一相對應位元線「BL」之一汲極。胞電晶體「CTR<1:16>」包括電晶體配對，其中一電晶體配對由共享相對應源極線「SL」之兩個電晶體所構成。

如上所述，因為根據一具體實施例之該等胞電晶體由實施該 FBC 技術所製造，每一個記憶胞不需要具有一切換電晶體與一胞電容器，且每一個電晶體可操作成該記憶胞。在此，施加於每一個電晶體之一閘極、一源極及一汲極之電壓根據該等作業模式必須設定電壓位準，使得每一個電晶體可執行該讀取、寫入及保持作業。因此，每一個胞電晶體根據透過字元線「WL」供應的電壓、透過源極線「SL」供應的電壓、及透過位元線「BL」供應的電壓而實

施每一個作業模式。

在該更新模式中，四條字元線「 $WL<1:4>$ 」、兩條源極線「 $SL<1:2>$ 」及四條位元線「 $BL<1:4>$ 」根據其順序而被啟動，使得胞電晶體「 $CTR<1:16>$ 」之每一個的更新作業成為可能。例如，在當四條字元線「 $WL<1:4>$ 」之第一字元線「 $WL<1>$ 」及兩條源極線「 $SL<1:2>$ 」之第一源極線「 $SL<1>$ 」被啟動時的狀態下，四條位元線「 $BL<1:2>$ 」被依序啟動，使得四個胞電晶體「 $CTR<1, 5, 9, 13>$ 」之更新作業被依序執行。然後，第一字元線「 $WL<1>$ 」被停用，第二字元線「 $WL<2>$ 」被啟用，並再次執行上述的作業，使得另外四個胞電晶體「 $CTR<2, 6, 10, 14>$ 」之更新作業被依序執行。然後，第二字元線「 $WL<2>$ 」及第一源極線「 $SL<1>$ 」兩者被停用，且第三字元線「 $WL<3>$ 」及第二源極線「 $SL<2>$ 」被啟用。在此狀態下，四條位元線「 $BL<1:4>$ 」被依序啟用，使得其它四個胞電晶體「 $CTR<3, 7, 11, 15>$ 」之更新作業被依序執行。該半導體記憶體裝置藉由執行上述的作業能夠執行十六個胞電晶體「 $CTR<1:16>$ 」之更新作業。

第五圖為根據一具體實施例中第二圖之一示例性字元線驅動器的組態圖，為了方便說明僅例示一電壓被供應到複數個字元線之任一「 $WL<i>$ 」的組態。本技藝專業人士將可輕易瞭解到第五圖所示的該等組件係提供成與字元線「 WL 」一樣多。

如第五圖所示，該字元線驅動器 142 可包括一第一作

業模式決定單元 1422、一第一作業模式設定單元 1424、及一第一切換單元 1426。

該第一作業模式決定單元 1422 能夠回應更新致能信號「rfen」而選擇性輸出正常列寫入信號「nrwt」或更新寫入信號「rftwt」成為一第一列寫入信號「wt_r1」，且選擇性輸出正常列讀取信號「nrrd」或更新讀取信號「rfrd」成為一第一列讀取信號「rd_r1」。該第一作業模式決定單元 1422 能夠包括一第一多工器 MUX1 及一第二多工器 MUX2。

該第一作業模式設定單元 1424 回應複數個列選擇信號「xs」、第一列寫入信號「wt_r1」及第一列讀取信號「rd_r1」之一相對應列選擇信號「xs<i>」而可產生一寫入模式信號「wtmd」、一讀取模式信號「rdmd」及一第一保持模式信號「hdmd1」。該第一作業模式設定單元 1424 可包括一第一 NAND 閘極 ND1、一第二 NAND 閘極 ND2、一第一反向器 IV1、一第二反向器 IV2 及一第一 NOR 閘極 NR1。

該第一 NAND 閘極 ND1 可接收列選擇信號「xs<i>」及第一列寫入信號「wt_r1」。該第一反向器 IV1 可接收第一 NAND 閘極 ND1 之輸出信號，並輸出寫入模式信號「wtmd」。該第二 NAND 閘極 ND2 可接收列選擇信號「xs<i>」及第一列讀取信號「rd_r1」。該第二反向器 IV2 可接收第二 NAND 閘極 ND2 之輸出信號，並輸出讀取模式信號「rdmd」。該第一 NOR 閘極 NR1 可接收第一列寫入信號「wr_r1」及第一列讀取信號「rd_r1」，並輸出第一保持模式信號「hdmd1」。

該第一切換單元 1426 回應寫入模式信號「wtmd」、讀取模式信號「rdmd」及第一保持模式信號「hdmd1」而供應寫入閘極電壓「Vgwt」、讀取閘極電壓「Vgrd」及保持閘極電壓「Vghd」之任一個到相對應字元線「WL<i>」。該第一切換單元 1426 可包括一第三反向器 IV3、一第四反向器 IV4、一第五反向器 IV5、一第一路徑閘極 PG1、一第二路徑閘極 PG2 及一第三路徑閘極 PG3。

該第三反向器 IV3 可接收寫入模式信號「wtmd」。該第一路徑閘極 PG1 回應寫入模式信號「wtmd」及第三反向器 IV3 的一輸出信號而傳送寫入閘極電壓「Vgwt」到字元線「WL<i>」。該第四反向器 IV4 可接收讀取模式信號「rdmd」。該第二路徑閘極 PG2 回應讀取模式信號「rdmd」及第四反向器 IV4 的一輸出信號而傳送讀取閘極電壓「Vgrd」到字元線「WL<i>」。該第五反向器 IV5 可接收第一保持模式信號「hdmd1」。該第三路徑閘極 PG3 回應於第一保持模式信號「hdmd1」及第五反向器 IV5 的一輸出信號而傳送保持閘極電壓「Vghd」到字元線「WL<i>」。

在此處，寫入閘極電壓「Vgwt」、讀取閘極電壓「Vgrd」及保持閘極電壓「Vghd」可根據該胞電晶體的特性而改變，但較佳是分別為 0.5V、-1.0V 及 -1.5V。

該第一作業模式決定單元 1422 在當更新致能信號「rfen」被除能時，可分別輸出正常列讀取信號「nrrd」及正常列寫入信號「nrwt」成為第一列讀取信號「rd_r1」及第一列寫入信號「wt_r1」。相反地，該第一作業模式決定

單元 1422 在當更新致能信號「rfen」被致能時，可分別輸出更新讀取信號「rfrd」及更新寫入信號「rfwt」成為第一列讀取信號「rd_r1」及第一列寫入信號「wt_r1」。

該第一作業模式設定單元 1424 在當列選擇信號「xs<i>」於第一列寫入信號「wt_r1」被致能的情況下被致能時，可以致能寫入模式信號「wtmd」。該第一切換單元 1426 回應於當寫入模式信號「wtmd」被致能時即供應寫入閘極電壓「Vgwt」到字元線「WL<i>」。

相反地，該第一作業模式設定單元 1424 在當列選擇信號「xs<i>」於第一列讀取信號「rd_r1」被致能的情況下被致能時，可以致能讀取模式信號「rdmd」。該第一切換單元 1426 回應於當讀取模式信號「rdmd」被致能時即供應讀取閘極電壓「Vgrd」到字元線「WL<i>」。

同時，當第一列寫入信號「wt_r1」及第一列讀取信號「rd_r1」皆未被致能時，該第一作業模式設定單元 1424 可致能第一保持模式信號「hdmd1」。該第一切換單元 1426 回應當第一保持模式信號「hdmd1」被致能時即供應保持閘極電壓「Vghd」到字元線「WL<i>」。

因此，更新讀取信號「rfrd」及更新寫入信號「rfwt」在該更新模式下被依序致能，且該等信號分別做為第一列讀取信號「rd_r1」及第一列寫入信號「wt_r1」，使得讀取閘極電壓「Vgrd」及寫入閘極電壓「Vgwt」被依序施加到字元線「WL<i>」。保持閘極電壓「Vghd」於當更新讀取信號「rfrd」及更新寫入信號「rfwt」被同時除能時的間隔期

間被施加到字元線「WL<i>」。

第六圖為根據一具體實施例中第二圖之一示例性源極線驅動器的組態圖，為了方便說明僅例示一電壓被供應到複數個源極線之任一個「SL<i>」的組態。本技藝專業人士將可輕易瞭解到第六圖所示的該等組件係提供成與源極線「SL」一樣多。

如第六圖所示，該源極線驅動器 144 可包括一第二作業模式決定單元 1442、一第二作業模式設定單元 1444、及一第二切換單元 1446。

該第二作業模式決定單元 1442 能夠回應更新致能信號「rfen」而選擇性輸出正常列寫入信號「nrwt」或更新寫入信號「rfwt」成為一第二列寫入信號「wt_r2」，且選擇性輸出正常列讀取信號「nrrd」或更新讀取信號「rfrd」成為一第二列讀取信號「rd_r2」。該第二作業模式決定單元 1442 能夠包括一第三多工器 MUX3 及一第四多工器 MUX4。

該第二作業模式設定單元 1444 回應第二列寫入信號「wt_r2」及第二列讀取信號「rd_r2」即產生一第二保持模式信號「hdmd2」。該第二作業模式設定單元 1444 可包括一第二 NOR 閘極 NR2，其可接收第二列寫入信號「wt_r」及第二列讀取信號「rd_r」，並產生第二保持模式信號「hdmd2」。

該第二切換單元 1446 回應複數位元源極選擇信號「ss」及第二保持模式信號「hdmd2」之一相對應源極選擇信號「ss<i>」即供應啟動源極電壓「Vsac」或保持源極電壓

「Vshd」到相對應源極線「SL<i>」」。該第二切換單元 1446 可包括一第一電晶體 TR1、一第二電晶體 TR2、一第三電晶體 TR3 及一第四電晶體 TR4。

該第一電晶體 TR1 包括一閘極，其接收源極選擇信號「ss<i>」，及施加有啟動源極電壓「Vsac」之一源極。該第二電晶體 TR2 包括一閘極，其接收第二保持模式信號「hdmd2」，一源極，其連接至第一電晶體 TR1 之一汲極終端，及一汲極，其連接至源極線「SL<i>」。第三電晶體 TR3 包括一閘極，其接收第二保持模式信號「hdmd2」，及一源極，其連接至源極線「SL<i>」。第四電晶體 TR4 包括一閘極，其接收源極選擇信號「ss<i>」，一汲極，其連接至第三電晶體 TR3 的該源極終端，及一源極，其施加有保持源極電壓「Vshd」。

在此，啟用源極電壓「Vsac」及保持源極電壓「Vshd」之位準可根據該胞電晶體的特性而改變，但較佳是分別為 2.5V 及 0V。

根據上述的組態，應可瞭解到當第二列寫入信號「wt_r2」及第二列讀取信號「rd_r2」皆被除能時，第二保持模式信號「hdmd2」即被致能。

因此，當源極選擇信號「ss<i>」被致能，且該啟動作業模式，也就是執行寫入作業模式或讀取作業模式時，啟用源極電壓「Vsac」被供應到源極線「SL<i>」。相反地，當一源極線啟用信號「slact」被致能且執行該保持作業模式時，保持源極電壓「Vshd」被施加到源極線「SL<i>」。

更新讀取信號「rfrd」及更新寫入信號「rfwt」在該更新模式下被依序致能，且該等信號分別做為第二列讀取信號「rd_r2」及第二列寫入信號「wt_r2」，使得啟動源極電壓「Vsac」被施加兩次到源極線「SL<i>」。相反地，保持源極電壓「Vshd」於更新讀取信號「rfrd」及更新寫入信號「rfwt」皆被除能時的間隔期間被施加。

第七圖為根據一具體實施例中第二圖之一示例性位元線多工器的組態圖，為了方便說明僅例示該位元線多工器被連接至複數個位元線之四條位元線「BL<1:4>」的組態。因此，四個行選擇信號「ys<1:4>」亦被輸入到該組態中。

如第七圖所示，該位元線多工器 176 可包括一輸入/輸出節點 Nio、一第五電晶體 TR5、一第六電晶體 TR6、一第七電晶體 TR7 及一第八電晶體 TR8。

輸入/輸出節點 Nio 自位元線驅動器 174 傳送驅動資料「d_drv」，並傳送輸出資料「d_out」到感應放大器 172。該第五電晶體 TR5 包括一閘極，其接收一第一行選擇信號「ys<1>」，並設置在一第一位元線「BL<1>」及輸入/輸出節點 Nio 之間。該第六電晶體 TR6 包括一閘極，其接收一第二行選擇信號「ys<2>」，並設置在一第二位元線「BL<2>」及輸入/輸出節點 Nio 之間。該第七電晶體 TR7 包括一閘極，其接收一第三行選擇信號「ys<3>」，並設置在一第三位元線「BL<3>」及輸入/輸出節點 Nio 之間。該第八電晶體 TR8 包括一閘極，其接收一第四行選擇信號「ys<4>」，並設置在一第四位元線「BL<4>」及輸入/輸出節點 Nio 之

間。

根據上述的組態，該位元線多工器 176 根據自行位址解碼器 16 輸出的該等複數位元行選擇信號「ys」之控制連接輸入/輸出節點 Nio 於複數位元線「BL」之任一個，而不需要區分該讀取作業模式、該寫入作業模式、及該保持作業模式。因為在該寫入作業模式下感應放大器 172 被停用，該位元線驅動器 174 被啟用，驅動資料「d_drv」可經由任何一條位元線「BL」被傳送到該記憶胞。相反地，因為在該讀取作業模式下位元線驅動器 174 被停用而感應放大器 172 被啟用，經由一預定位元線「BL」自任何一記憶胞輸出的輸出資料「d_out」可經由感應放大器 172 被輸出。

第八圖為根據一具體實施例中第二圖的示例性感應放大器及位元線驅動器之組態圖。

如第八圖所示，該感應放大器 172 可包括一第三作業模式決定單元 1722、一第三作業模式設定單元 1724 及一放大單元 1726。

第該三作業模式決定單元 1722 回應更新致能信號「rfen」可選擇性輸出正常感應放大致能信號「nsaen」或更新感應放大致能信號「rfsaen」成為一感應放大致能信號「saen」，並回應於更新致能信號「rfen」輸出正常行讀取信號「ncrd」或更新讀取信號「rfrd」成為一行讀取信號「rd_c」。該第三作業模式決定單元 1722 能夠包括一第五多工器 MUX5 及一第六多工器 MUX6。

該第三作業模式設定單元 1724 回應行讀取信號「rd_c」

設定一讀取作業模式，並傳送輸出資料「d_out」。該第三作業模式設定單元 1724 可包括一第九電晶體 TR9。

該放大單元 1726 回應感應放大致能信號「saen」藉由放大經由第三作業模式設定單元 1724 傳送的輸出資料「d_out」而輸出放大資料「d_amp」。該放大單元 1726 藉由使用由接收一更新電壓「Vref」操作的一通用差動放大器電路來簡易地實施。

同時，該位元線驅動器 174 可包括一第四作業模式決定單元 1742、一驅動單元 1744 及一第四作業模式設定單元 1746。

該第四作業模式決定單元 1742 回應於更新致能信號「rfen」能夠選擇性地輸出正常行寫入信號「ncwt」或更新寫入信號「rfwt」成為一行寫入信號「wt_c」。第四作業模式決定單元 1742 可包括一第七多工器 MUX7。

該驅動單元 1744 回應輸入資料「d_in」可輸出一第一寫入汲極電壓「Vdwt1」或一第二寫入汲極電壓「Vdwt2」。該驅動單元 1744 可包括一第十電晶體 TR10 及一第十一電晶體 TR11。

該第十電晶體 TR10 包括一閘極，其接收輸入資料「d_in」，一源極，其施加第一寫入汲極電壓「Vdwt1」，及一汲極，其連接至一第一節點 N1。該第十一電晶體 TR11 包括一閘極，其接收輸入資料「d_in」，一汲極，其連接至第一節點 N1，及一源極，其施加第二寫入汲極電壓「Vdwt2」。

該第四作業模式設定單元 1746 回應該行寫入信號「wt_c」而設定一寫入作業模式，並回應自驅動單元 1744 傳送的電壓而輸出驅動資料「d_drv」。該第四作業模式設定單元 1746 可包括一第十二電晶體 TR2，其由該行寫入信號「wt_c」控制，並連接至第一節點 N1 在其末端處，並經由其另一末端輸出驅動資料「d_drv」。

在此處，被傳送到該感應放大器 172 之輸出資料「d_out」的一傳輸線，及自該位元線驅動器 174 輸出的驅動資料「d_drv」的一傳輸線，係連接至位元線多工器 176。再者，自該感應放大器 172 輸出的放大資料「d_amp」的一傳輸線，與被傳送到該位元線驅動器 174 之輸入資料「d_in」的一傳輸線為相同的線，並連接至資料匯流排開關 18。

在該正常作業期間，正常感應放大致能信號「nsaen」及正常行讀取信號「ncrd」分別做為感應放大致能信號「saen」及行讀取信號「rd_c」，且正常行寫入信號「ncrw」做為行寫入信號「wt_c」。因此，感應放大器 172 及位元線驅動器 174 分別回應於正常行讀取信號「ncrd」及正常行寫入信號「ncwt」而操作。

但是，於該更新作業期間，更新放大致能信號「rfsaen」及更新讀取信號「rfrd」分別做為感應放大致能信號「saen」及行讀取信號「rd_c」，且更新寫入信號「rfwt」做為行寫入信號「wt_c」。如上所述，在此例中，更新感應放大致能信號「rfsaen」及更新讀取信號「rfrd」被致能，然後更新寫入信號「rfwt」被致能。

因此，當該更新作業開始時，該位元線驅動器 174 之作業在感應放大器 172 輸出放大資料「d_amp」之後開始。此時，因為資料匯流排開關 18 被關閉，放大資料「d_amp」被輸入到該位元線驅動器 174 成為該輸入資料「d_in」。當更新寫入信號「rfwt」被致能時，該位元線驅動器 174 根據輸入資料「d_in」的邏輯值施加第一寫入汲極電壓「Vdwt1」或第二寫入汲極電壓「Vdwt2」到一資料輸出線，使得驅動資料「d_drv」被輸出。

在此，第一汲極電壓「Vdwt1」及第二寫入汲極電壓「Vdwt2」之位準可根據該胞電晶體的特性而改變，但較佳是分別為 0.5V 及 0V。

如上所述，一半導體記憶體裝置藉由使用實施一 FBC 技術的電晶體來實施一記憶胞區塊。為此目的，該半導體記憶體裝置包括連接至閘極的複數個字元線、連接至源極的複數個源極線、及連接至該記憶胞區塊的複數個胞電晶體之汲極的複數個位元線，並根據作業模式施加所設定的電壓。藉由上述組態實施一 FBC 之該等胞電晶體可根據藉由區分一讀取作業、一寫入作業及一保持作業的作業模式來執行作業。類似地，其有可能顯著地降低一記憶體核心區域的佔用面積，並藉由實施使用該 FBC 技術之記憶胞而明顯地改善該半導體記憶體裝置之整合度。

再者，由於一 FBC 電晶體之特性資料有可能遺失，必須實施一更新作業。為此目的，當一更新信號被致能時，該半導體記憶體裝置致能一更新讀取信號，並藉由供應電

壓到一字元線、一源極線及一位元線由任一個記憶胞輸出資料。然後，該半導體記憶體裝置除能該更新讀取信號，並致能一更新寫入信號，然後藉由供應具有位準對應於自該記憶胞輸出到該位元線資料邏輯值的位準之電壓覆寫該資料在該位元線中。

該半導體記憶體裝置在當一字元線及一源極線被啟用的狀態下依序地執行複數個位元線之更新作業，並在再次啟用另一字元線之後執行上述的作業。然後，該半導體記憶體裝置於啟用另一字元線及另一源極線之後再次地執行上述的作業。該半導體記憶體裝置藉由重複地執行該等作業來對於該記憶胞區塊中所有記憶胞執行更新作業。該半導體記憶體裝置可藉由執行該更新作業穩定地儲存該資料。

以上已經說明一些具體實施例，本技藝專業人士將可瞭解到所述的該等具體實施例僅做為範例。因此，此處所述的裝置並不限於所述的該等具體實施例。而是此處所述的該等裝置必須僅受限於配合以上說明及附屬圖面所依據的該等申請專利範圍。

【圖式簡單說明】

特徵、態樣及具體實施例係配合附屬圖面進行說明，其中：

第一圖為實施一 FBC 電晶體之一橫截面圖；

第二圖為根據一具體實施例中一半導體記憶體裝置一

記憶體核心區域組態之一方塊圖；

第三圖為例示第二圖更新控制器作業之一波形圖；

第四圖為根據一具體實施例中第二圖一示例性記憶胞區塊之一組態圖；

第五圖為根據一具體實施例中第二圖一示例性字元線驅動器之一組態圖；

第六圖為根據一具體實施例中第二圖一示例性源極線驅動器之一組態圖；

第七圖為根據一具體實施例中第二圖一示例性位元線多工器之一組態圖；及

第八圖為根據一具體實施例中第二圖一示例性感應放大器及位元線驅動器之一組態圖。

【主要元件符號說明】

- | | |
|----|--------|
| 1 | 源極 |
| 2 | 汲極 |
| 3 | 閘極電極 |
| 4 | 閘極氧化物層 |
| 5 | 絕緣層 |
| 6 | 浮動體部份 |
| 7 | 基板部份 |
| 10 | 更新控制器 |
| 11 | 列更新計數器 |
| 12 | 列位址解碼器 |

13	源極位址解碼器
14	列作業控制器
15	行更新計數器
16	行位址解碼器
17	行作業控制器
18	資料匯流排開關
19	記憶胞區塊
142	字元線驅動器
144	源極線驅動器
172	感應放大器
174	位元線驅動器
176	位元線多工器
1422	第一作業模式決定單元
1424	第一作業模式設定單元
1426	第一切換單元
1442	第二作業模式決定單元
1444	第二作業模式設定單元
1446	第二切換單元
1722	第三作業模式決定單元
1724	第三作業模式設定單元
1726	放大單元
1742	第四作業模式決定單元
1744	驅動單元
1746	第四作業模式設定單元

七、申請專利範圍：

1. 一種半導體記憶體裝置，其包含：

一記憶胞區塊，其包含複數個浮動體胞(FBC)電晶體，每一個 FBC 電晶體具有連接至一字元線的一閘極、連接至一位元線的一汲極，及連接至一源極線的一源極，

其中 FBC 電晶體配對藉由共享該等 FBC 電晶體中該等源極線所形成，

其中當一更新信號被致能時，該半導體記憶體裝置經配置回應一被致能的更新讀取信號而讀取儲存在該記憶胞區塊中的資料，然後回應一被致能的更新寫入信號而覆寫該讀取資料在該記憶胞區塊中。

2. 如申請專利範圍第 1 項之半導體記憶體裝置，另包含：一更新控制器，其經配置以回應該更新信號而產生一更新致能信號，經配置以依序致能該更新讀取信號及該更新寫入信號，並經配置以產生具有與該更新讀取信號相同之一致能間隔的一更新感應放大致能信號。

3. 如申請專利範圍第 2 項之半導體記憶體裝置，另包含：

一列更新計數器，其經配置以藉由當該更新致能信號被致能時，執行一計數作業來產生一系列計數信號及一源極計數信號；

一系列位址解碼器，其經配置以藉由解碼該列計數信號而產生一系列選擇信號；

一源極位址解碼器，其經配置以藉由解碼該源極計數信號而產生一源極選擇信號；及

一列作業控制器，其經配置以當該更新致能信號被致能時，回應該列選擇信號及該源極選擇信號而供應電壓到該字元線及該源極線。

4. 如申請專利範圍第 3 項之半導體記憶體裝置，其中該列作業控制器包括：

一字元線驅動器，其經配置以回應該更新致能信號、該更新讀取信號、該更新寫入信號及該列選擇信號而供應該電壓到該字元線；及

一源極線驅動器，其經配置以回應該更新致能信號、該更新讀取信號、該更新寫入信號及該源極選擇信號而供應該電壓到該源極線。

5. 如申請專利範圍第 4 項之半導體記憶體裝置，其中該字元線驅動器經配置以當該更新致能信號被致能時，回應該更新讀取信號及該更新寫入信號以區分成一讀取作業模式、一寫入作業模式及一保持作業模式的相對應作業模式為函數供應一寫入閘極電壓、一讀取閘極電壓及一保持閘極電壓之任一項到該字元線。

6. 如申請專利範圍第 4 項之半導體記憶體裝置，其中該源極線驅動器經配置以回應一更新作業期間該更新讀取信號及該更新寫入信號，係根據被區分成一保持作業模式及一啟用作業模式之相對應作業模式而供應一啟用源極電壓或一保持源極電壓到該源極線。

7. 如申請專利範圍第 2 項之半導體記憶體裝置，另包含：

一行更新計數器，其經配置當該更新致能信號被致能

時，藉由執行一計數作業來產生一系列計數信號；

一行位址解碼器，其經配置藉由解碼該行計數信號而產生一系列選擇信號；

一行作業控制器，其經配置當更新致能信號被致能時，回應該行選擇信號而依序覆寫該位元線的資料；及

一資料匯流排開關，其經配置當該更新致能信號被致能時，中斷該行作業控制及一資料輸入/輸出匯流排之連接。

8. 如申請專利範圍第 7 項之半導體記憶體裝置，其中該行作業控制器包括：

一感應放大器，其經配置以回應該更新致能信號、該更新讀取信號及該更新感應放大致能信號，而藉由放大輸出資料來輸出放大資料；

一位元線驅動器，其經配置以回應該更新致能信號及該更新寫入信號，而藉由驅動該放大資料來輸出驅動資料；及

一位元線多工器，其經配置以回應該複數位元行選擇信號傳送該驅動資料到該等複數個位元線之任一個，或傳送自該等複數個位元線之任一個傳送的資料到該感應放大器做為該輸出資料。

9. 如申請專利範圍第 8 項之半導體記憶體裝置，其中該位元線驅動器經配置以回應該更新作業期間該更新寫入信號而區別是否要進入一寫入作業模式，並藉由決定該寫入作業期間該放大資料的一邏輯值而供應一寫入汲極電壓到該驅動資料的一輸出線。

10. 一種半導體記憶體裝置，其包含：

一更新控制器，其經配置以回應一更新信號而產生一更新致能信號、一更新讀取信號、一更新寫入信號及一更新感應放大致能信號；

一列作業控制器，其經配置當該更新致能信號被致能時，回應該更新讀取信號及該更新寫入信號而供應電壓到一記憶胞區塊之一字元線及一源極線；

一行作業控制器，其經配置當該更新致能信號被致能時，回應該更新讀取信號、該更新感應放大致能信號及該更新寫入信號而放大自該記憶胞區塊的一位元線傳送的資料，並經配置以供應對應於該放大的資料之一電壓到該位元線；及

一資料匯流排開關，其經配置當該更新致能信號被致能時，中斷該放大的資料輸出到一資料輸入/輸出匯流排。

11. 如申請專利範圍第 10 項之半導體記憶體裝置，其中該更新控制器經配置以產生於一第一間隔期間被致能的該更新致能信號，經配置以產生於該第一間隔開始之後被致能及於該第一間隔結束之前被除能的該更新讀取信號，並經配置以產生於該更新讀取信號被除能之後被致能及於該第一間隔結束之前被除能的該更新寫入信號。

12. 如申請專利範圍第 10 項之半導體記憶體裝置，其中該等複數個字元線及該等複數個源極線係提供在該記憶胞區塊中，及

其中該列作業控制器經配置以根據一複數位元列選擇信號及一複數位元源極選擇信號之邏輯值的變化，以依序

供應預定的電壓到該等複數個字元線及該等複數個源極線。

13. 如申請專利範圍第 12 項之半導體記憶體裝置，其中該列作業控制器包含：

一字元線驅動器，其經配置以回應該更新致能信號、該更新讀取信號、該更新寫入信號及該複數位元列選擇信號而供應電壓到該等複數個字元線；及

一源極線驅動器，其經配置以回應該更新致能信號、該更新讀取信號、該更新寫入信號及該複數位元源極選擇信號而供應電壓到該等複數個源極線。

14. 如申請專利範圍第 13 項之半導體記憶體裝置，其中該字元線驅動器經配置以當該更新致能信號被致能時，回應該更新讀取信號及該更新寫入信號，係根據被區分成一讀取作業模式、一寫入作業模式及一保持作業模式的相對應作業模式而供應一寫入閘極電壓、一讀取閘極電壓及一保持閘極電壓到一被啟用的字元線。

15. 如申請專利範圍第 14 項之半導體記憶體裝置，其中該字元線驅動器包含：

一作業模式設定單元，其經配置當該更新致能信號被致能時，回應該等複數個列選擇信號中一相對應列選擇信號、該更新寫入信號及該更新列信號來產生一寫入模式信號、一讀取模式信號及一保持模式信號；及

一切換單元，其經配置以回應該寫入模式信號、該讀取模式信號及該保持模式信號而供應該寫入閘極電壓、該

讀取閘極電壓及該保持閘極電壓之任一個到該啟用的字元線。

16. 如申請專利範圍第 13 項之半導體記憶體裝置，其中該源極線驅動器經配置以回應一更新作業期間該更新讀取信號及該更新寫入信號，係根據被區分成一保持作業模式及一啟用作業模式之相對應作業模式而供應一啟用源極電壓或一保持源極電壓到一啟用的源極線。

17. 如申請專利範圍第 16 項之半導體記憶體裝置，其中該源極線驅動器包括：

一作業模式設定單元，其經配置當該更新致能信號被致能時，回應該更新寫入信號及該更新讀取信號而產生該保持模式信號；及

一切換單元，其經配置以回應該複數位元源極選擇信號之一相對應源極選擇信號及該保持模式信號而供應該啟用源極電壓或該保持源極電壓到一相對應源極線。

18. 如申請專利範圍第 10 項之半導體記憶體裝置，其中該等複數個位元線係提供在該記憶胞區塊中，及

其中該行作業控制器經配置以根據該等複數位元行選擇信號之邏輯值的變化依序啟用該等複數個位元線。

19. 如申請專利範圍第 18 項之半導體記憶體裝置，其中該行作業控制器包括：

一感應放大器，其經配置以回應該更新致能信號、該更新讀取信號及該更新感應放大致能信號，而藉由放大輸出資料來輸出放大資料；

一位元線驅動器，其經配置以回應該更新致能信號及該更新寫入信號，而藉由驅動該放大資料來輸出驅動資料；及

一位元線多工器，其經配置以回應該複數位元行選擇信號傳送該驅動資料到該等複數個位元線之任一個，或傳送自該等複數個位元線之任一個傳送的資料到該感應放大器做為該輸出資料。

20. 如申請專利範圍第 19 項之半導體記憶體裝置，其中該感應放大器包括：

一作業模式設定單元，其經配置以回應該更新讀取信號設定一讀取作業模式，且經配置當該更新致能信號被致能時傳送該輸出資料；及

一放大單元，其經配置當該更新致能信號被致能時，回應該更新感應放大致能信號，而藉由放大經由該作業模式設定單元傳送的該輸出資料來輸出該放大資料。

21. 如申請專利範圍第 19 項之半導體記憶體裝置，其中該位元線驅動器經配置以回應於該更新作業期間該更新寫入信號而區別是否要進入一寫入作業模式，並藉由決定該寫入作業期間該輸入資料的一邏輯值供應一寫入汲極電壓到該驅動資料的一輸出線。

22. 如申請專利範圍第 21 項之半導體記憶體裝置，其中該位元線驅動器包括：

一驅動單元，其經配置以回應該輸入資料而輸出一第一寫入汲極電壓或一第二寫入汲極電壓；及

一作業模式設定單元，其經配置以回應該更新寫入信號而設定一寫入作業模式，並回應該更新致能信號被致能期間自該驅動單元傳送的一電壓而輸出該驅動資料。

23. 如申請專利範圍第 10 項之半導體記憶體裝置，其中該記憶胞區塊包括複數個記憶胞，其每一個由一浮動體胞(FBC)電晶體構成，其具有一連接至該字元線的一閘極、連接至該源極線的一源極、及連接至該位元線的一汲極。

24. 一種半導體記憶體裝置，其包含：

一列更新計數器，其經配置當一更新致能信號被致能時，藉由執行一計數作業來產生一系列計數信號及一源極計數信號；

一系列位址解碼器，其經配置以藉由解碼該列計數信號來產生一系列選擇信號；

一源極位址解碼器，其經配置以藉由解碼該源極計數信號來產生一源極選擇信號；

一系列作業控制器，其經配置當該更新致能信號被致能時，回應該列選擇信號與該源極選擇信號，而依序供應電壓到一記憶胞區塊中複數個字元線及複數個源極線；

一行更新計數器，其經配置當該更新致能信號被致能時，藉由執行該計數作業來產生一系列計數信號；

一行位址解碼器，其經配置藉由解碼該行計數信號產生一系列選擇信號；及

一行作業控制器，其經配置當該更新致能信號被致能時，回應該行選擇信號而依序地覆寫該記憶胞區塊之複數

個位元線的資料。

25. 如申請專利範圍第 24 項之半導體記憶體裝置，其中該列更新計數器經配置以執行該列計數信號之計數作業兩倍快速於該源極計數信號之計數作業，及

其中該行更新計數器經配置以藉由同樣多的該等複數個位元線比該列更新計數器之列計數信號之計數作業要更快執行的該行計數信號之計數作業。

26. 如申請專利範圍第 25 項之半導體記憶體裝置，其中該行作業控制器經配置當啟用該等複數個字元線之任一個與該等複數個源極線之任一個時依序地執行該等複數個位元線之更新作業。

27. 如申請專利範圍第 26 項之半導體記憶體裝置，其中該列作業控制器經配置當該行作業單元對於該等複數個位元線之每一個完成該更新作業時僅改變該啟用的字元線，或同時改變該啟用的字元線及該啟用的源極線。

28. 如申請專利範圍第 24 項之半導體記憶體裝置，另包含：

一更新控制器，其經配置以回應一更新信號產生具有一預定致能間隔的更新致能信號，並當該更新致能信號被致能時，產生被依序致能的一更新讀取信號及一更新寫入信號。

29. 如申請專利範圍第 28 項之半導體記憶體裝置，其中該列作業控制器包括：

一字元線驅動器，其經配置以回應該更新致能信號、該更新讀取信號、該更新寫入信號及該列選擇信號，而供

應電壓到該等複數個字元線；及

一源極線驅動器，其經配置以回應該更新致能信號、該更新讀取信號、該更新寫入信號及該源極選擇信號，而供應電壓到該等複數個源極線。

30. 如申請專利範圍第 29 項之半導體記憶體裝置，其中該字元線驅動器經配置以回應該更新讀取信號及當該更新致能信號被致能時回應該更新寫入信號，係根據藉由區分成一讀取作業模式、一寫入作業模式、及一保持作業模式的作業模式，而供應一寫入閘極電壓、一讀取閘極電壓及一保持閘極電壓之任一個到該等複數個字元線中一啟用的字元線。

31. 如申請專利範圍第 28 項之半導體記憶體裝置，其中該源極線驅動器經配置以回應一更新作業期間該更新讀取信號及該更新寫入信號，係根據被區分成一保持作業模式及一啟用作業模式之相對應作業模式而供應一啟用源極電壓或一保持源極電壓到該等複數個源極線中一啟用的源極線。

32. 如申請專利範圍第 28 項之半導體記憶體裝置，其中該更新控制器另產生具有與該更新讀取信號相同波形之一更新感應放大致能信號，及

其中該行作業控制器包含：

一感應放大器，其經配置以回應該更新致能信號、該更新讀取信號及該更新感應放大致能信號，而藉由放大輸出資料而輸出放大資料；

一位元線驅動器，其經配置以回應該更新致能信號及

該更新寫入信號，而藉由驅動該放大資料而輸出驅動資料；及

一位元線多工器，其經配置以回應該複數位元行選擇信號傳送該驅動資料到該等複數個位元線之任一個，或傳送自該等複數個位元線之任一個傳送的資料到該感應放大器做為該輸出資料。

33. 如申請專利範圍第 32 項之半導體記憶體裝置，其中該位元線驅動器經配置以回應該更新作業期間該更新寫入信號而區別是否要進入一寫入作業模式，且經配置以藉由決定該寫入作業期間輸入資料的一邏輯值而供應一寫入汲極電壓到該驅動資料的一輸出線。

34. 如申請專利範圍第 32 項之半導體記憶體裝置，另包含一資料匯流排開關，其經配置當該更新致能信號被致能時，中斷該放大的資料輸出到一資料輸入/輸出匯流排。

35. 如申請專利範圍第 24 項之半導體記憶體裝置，其中該記憶胞區塊包括複數個記憶胞，使得每一個記憶胞包含一浮動體胞(FBC)電晶體，其具有連接至該字元線的一閘極、連接至該源極線的一源極、及連接至該位元線的一汲極。

36. 一種包括具有複數個浮動體胞(FBC)電晶體之一記憶胞區塊的一半導體記憶體裝置之更新控制方法，其具有連接至該字元線的一閘極、連接至該源極線的一源極、及連接至該位元線的一汲極，其中 FBC 電晶體配對藉由在該等 FBC 電晶體中共享該等源極線所形成，該更新控制方法包含：

當一更新信號被致能時，致能一更新讀取信號；

回應該更新讀取信號，而藉由供應電壓到該字元線、該源極線及該位元線來自任何一個記憶胞輸出資料；

除能該更新讀取信號，並致能一更新寫入信號；及

回應該更新寫入信號，而藉由供應具有其位準對應於自該記憶胞輸出之資料的一邏輯值的電壓到該位元線，而覆寫該資料在該位元線中。

37. 如申請專利範圍第 36 項之更新控制方法，其中該輸出該資料包含：

回應一列選擇信號、一源極選擇信號及一行選擇信號選擇該字元線、該源極線及該位元線；

供應一讀取閘極電壓到該字元線，並供應一啟用源極電壓到該源極線；及

放大來自該記憶胞經由該位元線輸出的資料。

38. 如申請專利範圍第 37 項之更新控制方法，其中輸出該資料放大及自該記憶胞輸出該資料，並中斷傳輸該放大資料到一資料輸入/輸出匯流排。

39. 如申請專利範圍第 36 項之更新控制方法，其中該覆寫資料，中斷來自該資料輸入/輸出匯流排之該資料的輸入，並藉由決定自該記憶胞輸出的該資料一邏輯值使用一第一寫入汲極電壓、或一第二寫入汲極電壓驅動該位元線。

40. 一種包括由複數個浮動體胞(FBC)電晶體之一記憶胞區塊一半導體記憶體裝置之更新控制方法，其具有連接至該字元線的一閘極、連接至該源極線的一源極、及連接至該位元線的一汲極，其中 FBC 電晶體配對藉由在該等複數個浮

動體胞電晶體中共享該等源極線所形成，該更新控制方法包含：

當一更新致能信號被致能時，供應一讀取作業或一寫入作業之電壓到一第一字元線及一第一源極線；

依序對於該等複數個位元線執行資料的一覆寫作業；

停用該第一字元線，並供應該讀取或寫入作業之電壓到一第二字元線；

在該等複數個位元線中依序重新執行該資料的覆寫作業；及

停用該第二字元線及該第一源極線，並啟用一第三字元線及一第二源極線。

41. 如申請專利範圍第 40 項之更新控制方法，其中供應該讀取或寫入作業之電壓到該第一字元線及該第一源極線包含：

供應一讀取閘極電壓到該第一字元線，並供應一啟用源極電壓到該第一源極線；

供應一保持閘極電壓到該第一字元線，並供應一保持源極電壓到該第一源極線；及

供應一寫入閘極電壓到該第一字元線，並供應該啟用源極電壓到該第一源極線。

42. 如申請專利範圍第 40 項之更新控制方法，其中對於該等複數個位元線執行該資料的覆寫作業包括：

輸出及放大來自該等複數個位元線之任一個的資料；

中斷自一資料輸入/輸出匯流排的資料輸入，並決定該放大的資料之一邏輯值；及

以該放大的資料之邏輯值為函數供應一第一寫入汲極電壓或一第二寫入汲極電壓到任何一個位元線。

43. 如申請專利範圍第 40 項之更新控制方法，其中該供應該讀取或寫入作業之電壓到該第二字元線包括：

供應該讀取閘極電壓到該第二字元線，並供應該啟用源極電壓到該第一源極線；

供應該保持閘極電壓到該第二字元線，並供應該保持源極電壓到該第一源極線；及

供應該寫入閘極電壓到該第二字元線，並供應該啟用源極電壓到該第一源極線。

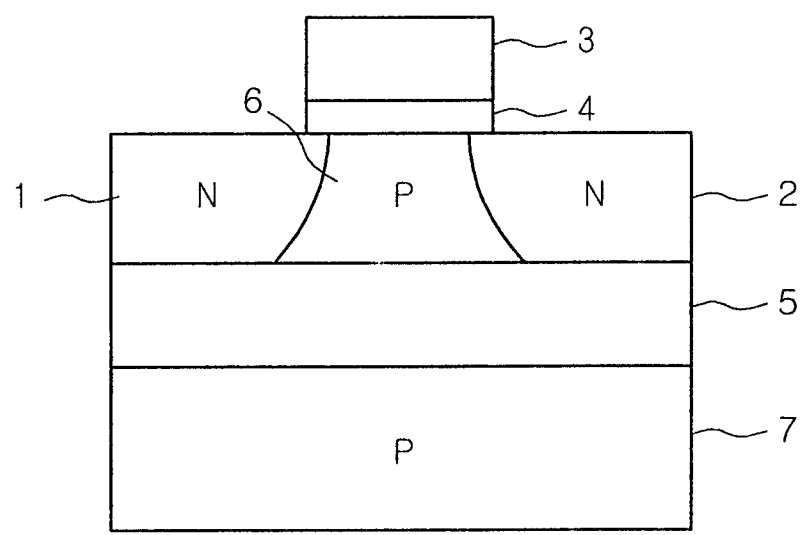
44. 如申請專利範圍第 40 項之更新控制方法，其中該啟用該第三字元線及該第二源極線包含：

供應該讀取閘極電壓到該第三字元線，並供應該啟用源極電壓到該第二源極線；

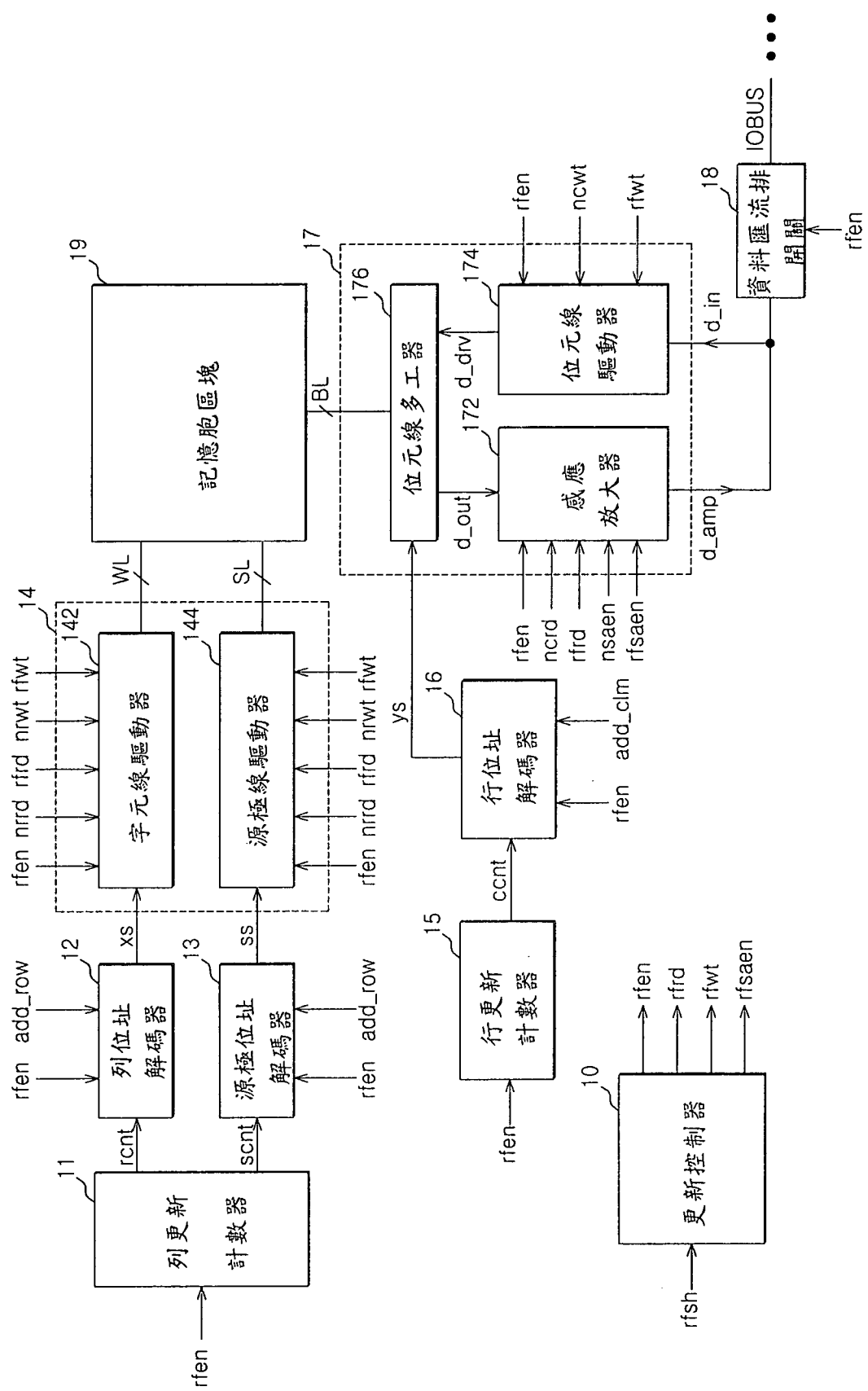
供應該保持閘極電壓到該第三字元線，並供應該保持源極電壓到該第二源極線；及

供應該寫入閘極電壓到該第三字元線，並供應該啟用源極電壓到該第二源極線。

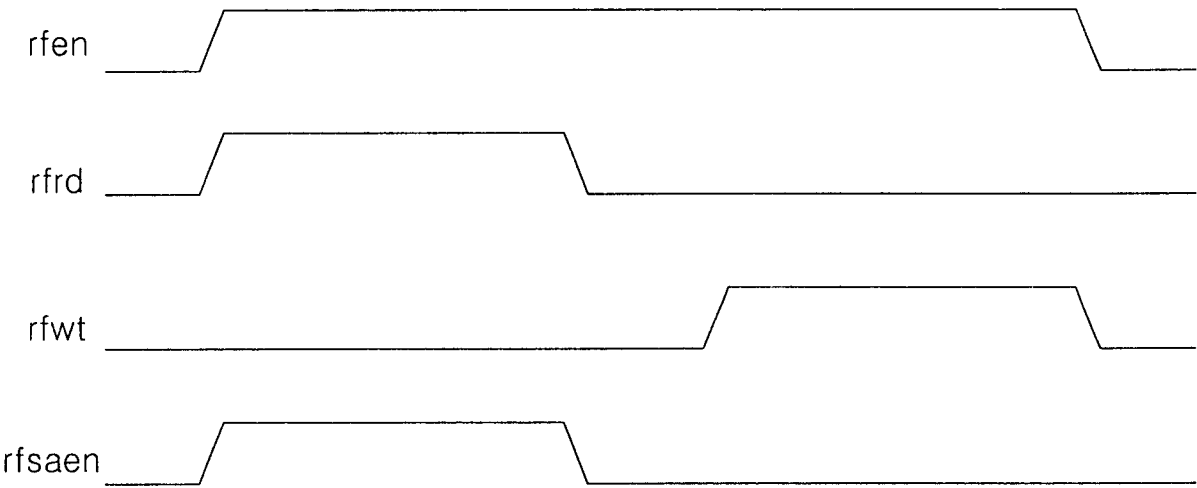
八、圖式：



第一圖

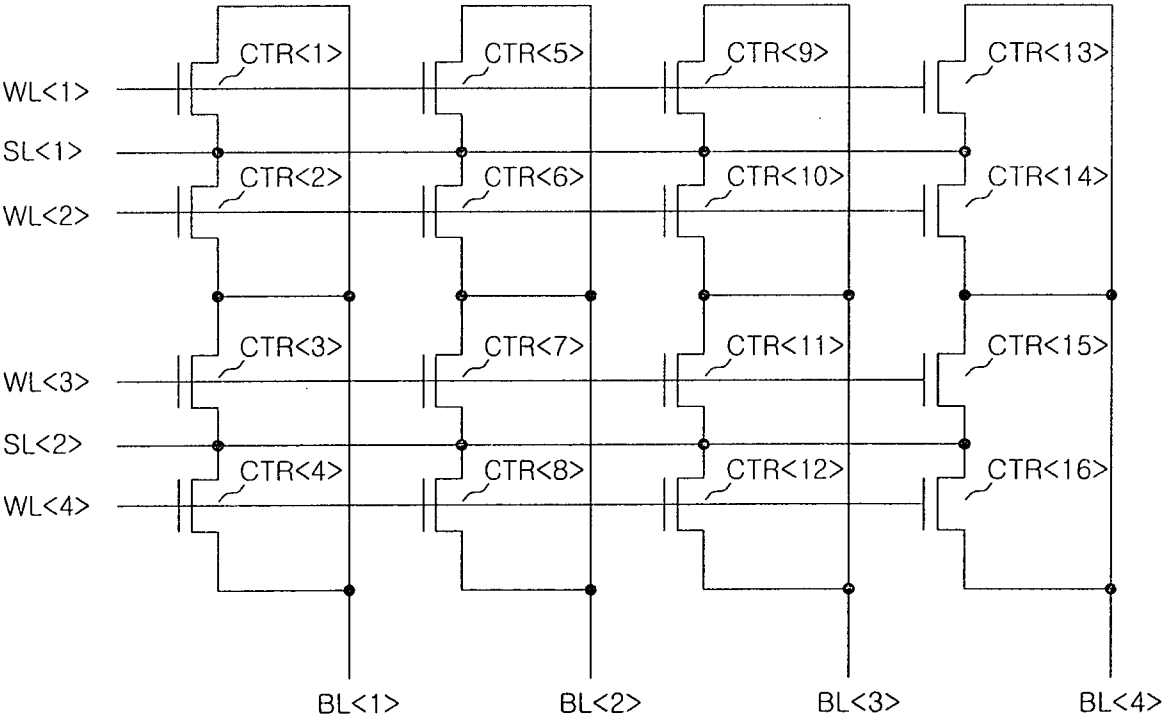


第二圖



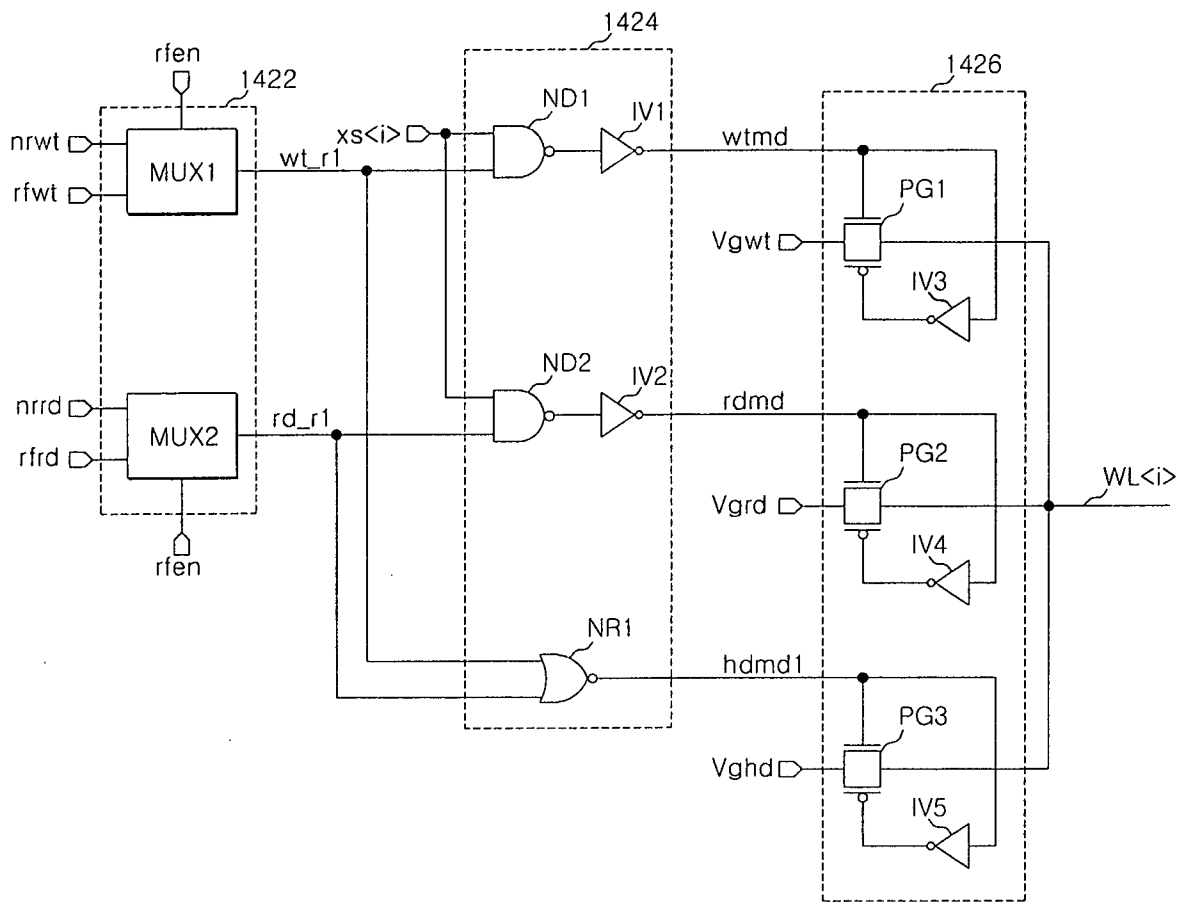
第三圖

19

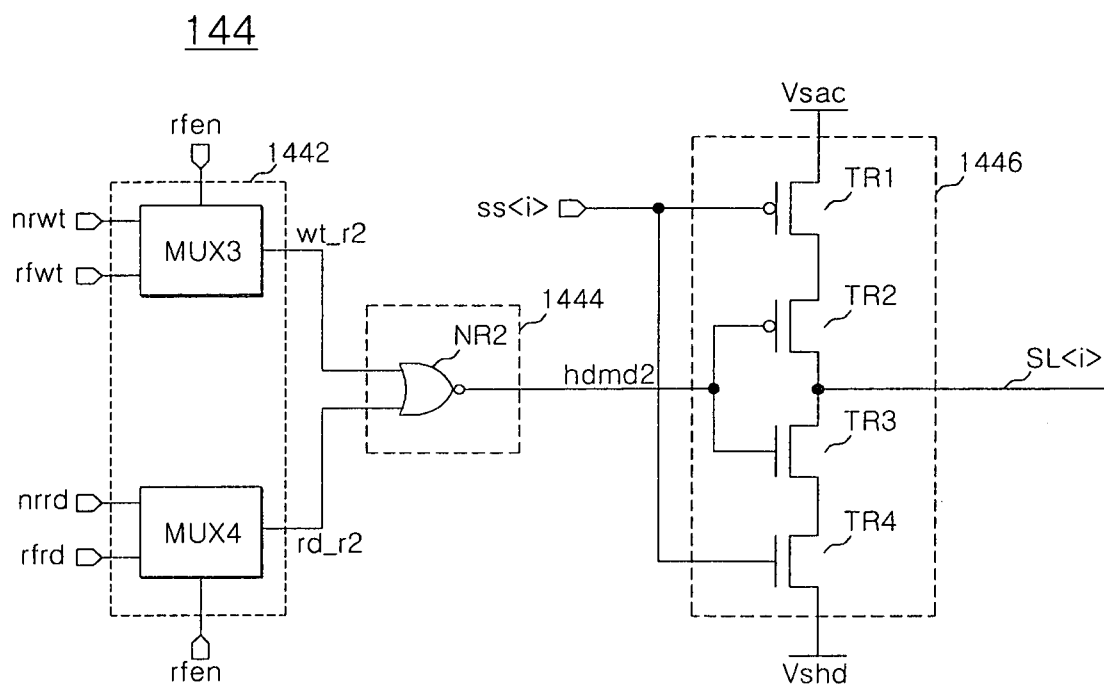


第四圖

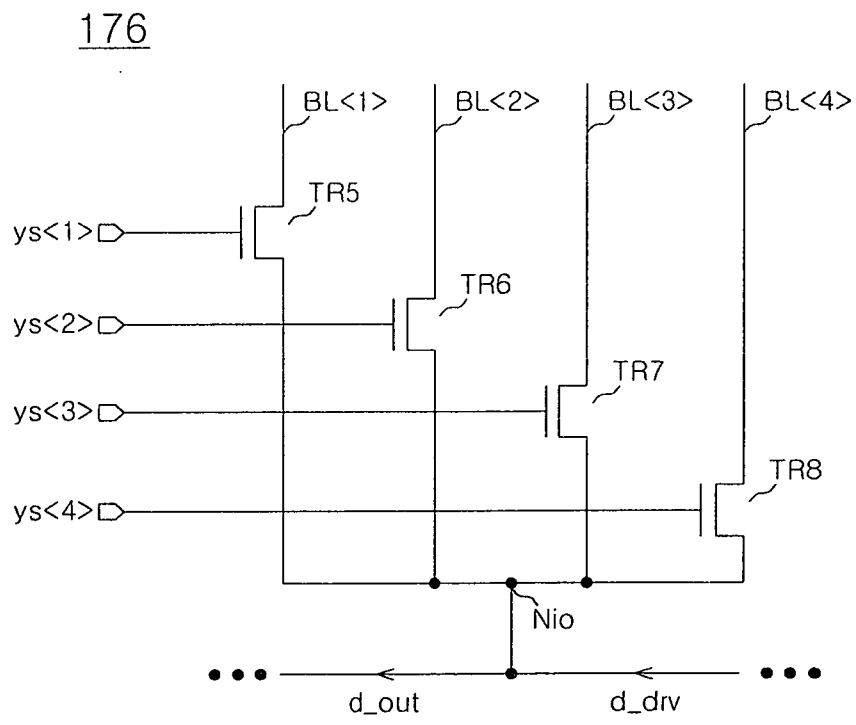
142



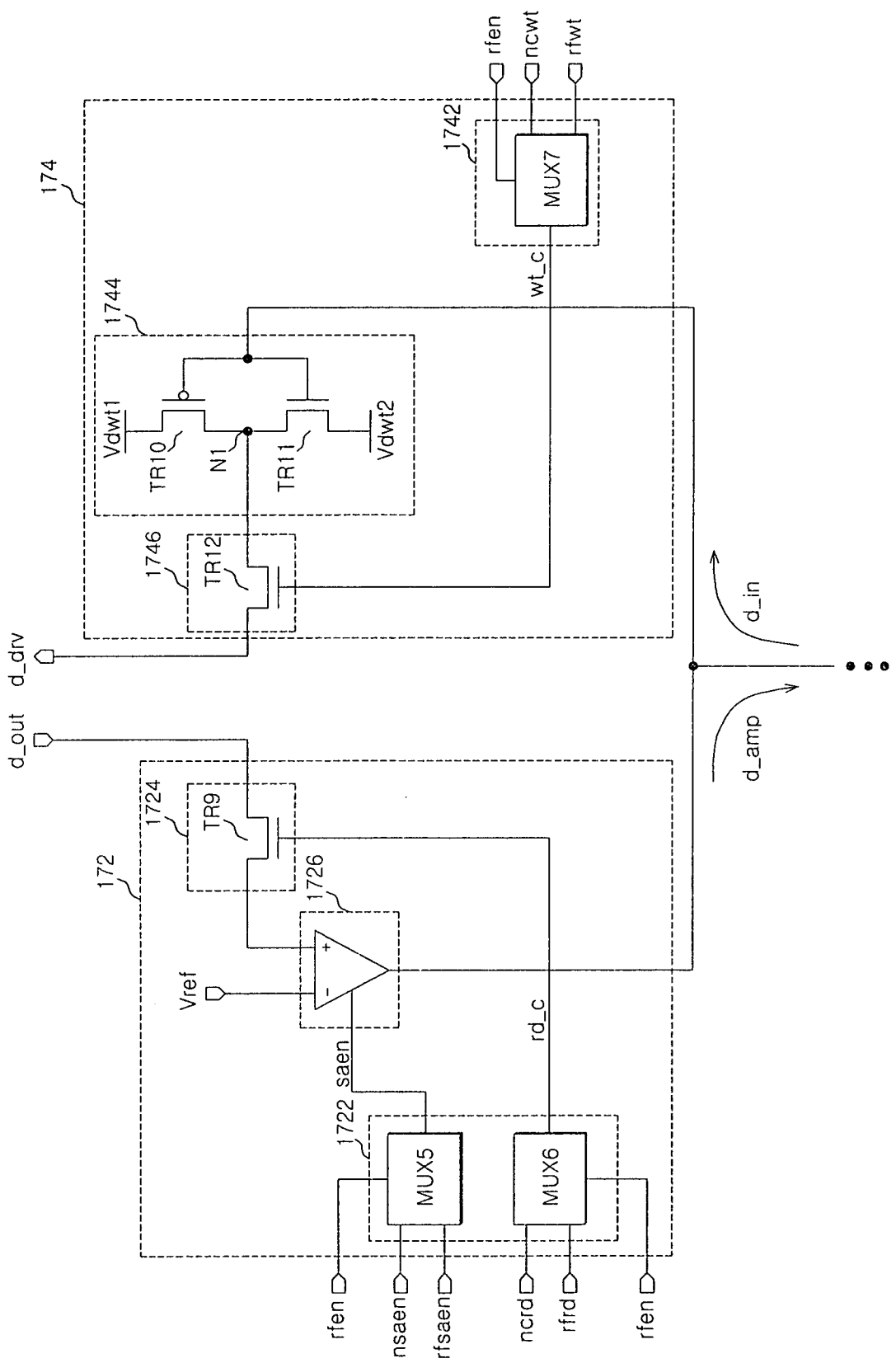
第五圖



第六圖



第七圖



第八圖