

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4309070号
(P4309070)

(45) 発行日 平成21年8月5日(2009.8.5)

(24) 登録日 平成21年5月15日(2009.5.15)

(51) Int.Cl.

F I

HO 1 L 21/8247 (2006.01)

HO 1 L 27/115 (2006.01)

HO 1 L 21/265 (2006.01)

HO 1 L 29/788 (2006.01)

HO 1 L 29/792 (2006.01)

HO 1 L 27/10 4 3 4

HO 1 L 21/265 F

HO 1 L 29/78 3 7 1

HO 1 L 21/265 6 0 4 V

請求項の数 9 (全 21 頁)

(21) 出願番号	特願2001-23973 (P2001-23973)	(73) 特許権者	000003078
(22) 出願日	平成13年1月31日 (2001. 1. 31)		株式会社東芝
(65) 公開番号	特開2002-231832 (P2002-231832A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成14年8月16日 (2002. 8. 16)	(74) 代理人	100058479
審査請求日	平成17年5月18日 (2005. 5. 18)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100070437
			弁理士 河井 将次
			最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上に形成された、電荷蓄積層と制御ゲート層との積層構造を有する、少なくとも1つのメモリセルトランジスタを含むメモリセルユニットと、

ソース/ドレイン拡散層領域の一方がビット線またはソース線に接続され、他方が前記メモリセルユニットに接続された選択ゲートトランジスタとを具備し、

前記選択ゲートトランジスタのゲート電極下で、この選択ゲートトランジスタのソース拡散層領域の形状とドレイン拡散層領域の形状とが非対称であり、

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記ビット線またはソース線に接続された拡散層領域と前記ゲート電極とが重なり合う距離が、前記メモリセルユニットに接続された拡散層領域と前記ゲート電極とが重なり合う距離よりも小さく、前記ビット線またはソース線に接続された拡散層領域の実効的な不純物濃度が、前記メモリセルユニットに接続された拡散層領域の実効不純物濃度よりも薄く、前記メモリセルユニットに接続された拡散層領域の実効的な不純物濃度が、前記メモリセルトランジスタのソース/ドレイン拡散層領域の実効的な不純物濃度と同じであり、前記メモリセルトランジスタのゲート電極の側壁、及び前記選択ゲートトランジスタのゲート電極の前記メモリセルに対向する側には、第1の絶縁膜と、この第1の絶縁膜上に形成された第2の絶縁膜と、この第2の絶縁膜上に形成された第3の絶縁膜とが積層されており、前記選択ゲートトランジスタのゲート電極の、前記ビット線またはソース線を接続するためのコンタクトに対向する側には、前記第1の絶縁膜と、この第1の絶縁膜上に形成された前記第3の

絶縁膜とが積層されていることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

半導体基板上に形成された、電荷蓄積層と制御ゲート層との積層構造を有する、少なくとも 1 つのメモリセルトランジスタを含むメモリセルユニットと、

ソース/ドレイン拡散層領域の一方がビット線またはソース線に接続され、他方が前記メモリセルユニットに接続された選択ゲートトランジスタとを具備し、

前記選択ゲートトランジスタのゲート電極下で、この選択ゲートトランジスタのソース拡散層領域の形状とドレイン拡散層領域の形状とが非対称であり、

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記ビット線またはソース線に接続された拡散層領域と前記ゲート電極とが重なり合う距離が、前記メモリセルユニットに接続された拡散層領域と前記ゲート電極とが重なり合う距離よりも小さく、前記ビット線またはソース線に接続された拡散層領域に接するチャンネル領域の不純物濃度が、前記メモリセルユニットに接続された拡散層領域に接するチャンネル領域の不純物濃度よりも濃く、前記メモリセルユニットに接続された拡散層領域に接するチャンネル領域の不純物濃度が、前記メモリセルトランジスタのソース/ドレイン拡散層領域に接するチャンネル領域の不純物濃度と同じであり、前記メモリセルトランジスタのゲート電極の側壁、及び前記選択ゲートトランジスタのゲート電極の前記メモリセルに対向する側には、第 1 の絶縁膜と、この第 1 の絶縁膜上に形成された第 2 の絶縁膜と、この第 2 の絶縁膜上に形成された第 3 の絶縁膜とが積層されており、前記選択ゲートトランジスタのゲート電極の、前記ビット線またはソース線を接続するためのコンタクトに対向する側には、前記第 1 の絶縁膜と、この第 1 の絶縁膜上に形成された前記第 3 の絶縁膜とが積層されていることを特徴とする不揮発性半導体記憶装置。

【請求項 3】

前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記ビット線またはソース線に接続された拡散層領域の実効的な不純物濃度が、前記メモリセルユニットに接続された拡散層領域の実効的な不純物濃度よりも薄く、前記メモリセルユニットに接続された拡散層領域の実効的な不純物濃度が、前記メモリセルトランジスタのソース/ドレイン拡散層領域の実効的な不純物濃度と同じであることを特徴とする請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 4】

前記ゲート電極下で、前記ビット線またはソース線に接続された拡散層領域の最深部が、前記メモリセルユニットに接続された拡散層領域の最深部よりも浅いことを特徴とする請求項 1 乃至請求項 3 に記載の不揮発性半導体記憶装置。

【請求項 5】

前記ビット線またはソース線を前記拡散層領域に接続させるコンタクトが、前記選択ゲートトランジスタのゲート電極に対して自己整合的に形成されていることを特徴とする請求項 1 乃至請求項 4 いずれか一項に記載の不揮発性半導体記憶装置。

【請求項 6】

半導体基板上に、第 1 導電型のチャンネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を形成する工程と、

前記メモリセルトランジスタ及び前記選択ゲートトランジスタのゲート電極の側壁に第 1 の絶縁膜を形成する工程と、

前記第 1 の絶縁膜上に、第 2 の絶縁膜を形成する工程と、

前記選択ゲートトランジスタのゲート電極の、前記メモリセルトランジスタに対向する側とは反対側に開口を持つマスクを形成する工程と、

前記マスクの開口を介して前記第 2 の絶縁膜を除去する工程と、

前記マスクの開口を介して前記選択ゲートトランジスタのゲート電極下に第 1 導電型の不純物を注入する工程と

を具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 7】

前記マスクの開口を介して前記選択ゲートトランジスタのゲート電極下に第 1 導電型の不純物を注入する工程は、角度をつけて行なうことを特徴とする請求項 6 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 8】

半導体基板上に、第 1 導電型のチャネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を、前記選択ゲートトランジスタのゲート電極間のスペースを、前記メモリセルのトランジスタのゲート電極と前記選択ゲートトランジスタのゲート電極間のスペースよりも広くして形成する工程と、

前記半導体基板に第 1 導電型の不純物を、前記メモリセルトランジスタのゲート電極と選択ゲートトランジスタのゲート電極との間には注入されず、前記選択ゲートトランジスタのゲート電極間に注入される角度で注入する工程と

を具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 9】

前記第 1 導電型の不純物は P 型不純物であることを特徴とする請求項 6 乃至請求項 8 いずれか一項に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、特に少なくとも 1 つのメモリセルトランジスタを含むメモリセルユニットと、このメモリセルユニットに接続された選択ゲートトランジスタとを具備する不揮発性半導体記憶装置およびその製造方法に関する。

【0002】

【従来の技術】

図 28 に、従来の NAND 型半導体記憶装置における、メモリセルトランジスタ及び選択ゲートトランジスタのゲート長 “L” 方向の断面図を示す。

【0003】

選択ゲートトランジスタのゲート電極間には、これらゲート電極に対して自己整合的に形成されたコンタクト孔 34 が形成されている。メモリセルトランジスタのゲート側壁には、ホットキャリア特性を良くするため、TEOS 膜 29 が堆積されている。

【0004】

一方、選択ゲートトランジスタは、コンタクト孔 34 開口の際に、TEOS 膜 29 がエッチングされて、コンタクト埋め込み材とゲート電極がショートするのを防ぐために、コンタクト孔 34 を開口する前に、ゲート側壁の TEOS 膜 29 を剥離した構造となっている。メモリセルトランジスタと選択ゲートトランジスタのチャネル領域及びソース/ドレイン拡散層領域 28 に対する不純物のイオン注入は同時に行われるため、チャネル領域及びソース/ドレイン拡散層領域 28 の不純物分布は、メモリセルトランジスタと選択ゲートトランジスタと同様になっている。

【0005】

NAND 型半導体記憶装置では、メモリセルに “1” データを書き込む（浮遊ゲートに電子を注入せず、消去時のしきい値を保つ）際、そのメモリセルトランジスタに接続された選択ゲートトランジスタを介して、ビット線から初期電位を充電し、選択ワード線には書き込み電圧、非選択ワード線には転送電圧を印加し、容量結合を利用してメモリセルトランジスタのチャネル領域の電位を昇圧することにより、浮遊ゲート 5、11 に電子が注入されないようにしている。このため、チャネル領域の不純物濃度を下げることによりチャネル容量が低下し、チャネル領域の電位が昇圧されやすくなり、“1” データ書き込み特性が向上する。

【0006】

【発明が解決しようとする課題】

しかしながら、メモリセルトランジスタと選択ゲートトランジスタのチャネル領域の不純物分布が同じであるため、チャネル領域の不純物濃度を下げることによって、選択ゲート

10

20

30

40

50

トランジスタのしきい値電圧が低下し、オフリーク電流が増加して、正常な動作ができなくなる事情があった。

【 0 0 0 7 】

この発明は上記事情に鑑みて為されたもので、その目的は、データ書き込み特性、データ保持特性、読み出しストレスに対する耐性などのメモリセルトランジスタの様々な特性と、選択ゲートトランジスタのカットオフ特性とをともに良好にできる不揮発性半導体記憶装置およびその製造方法を提供することにある。

【 0 0 0 8 】

【課題を解決するための手段】

上記目的を達成するために、この発明の第1の態様に係る不揮発性半導体記憶装置は、半導体基板上に形成された、電荷蓄積層と制御ゲート層との積層構造を有する、少なくとも1つのメモリセルトランジスタを含むメモリセルユニットと、ソース/ドレイン拡散層領域の一方がビット線またはソース線に接続され、他方が前記メモリセルユニットに接続された選択ゲートトランジスタとを具備し、前記選択ゲートトランジスタのゲート電極下で、この選択ゲートトランジスタのソース拡散層領域の形状とドレイン拡散層領域の形状とが非対称であり、前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記ビット線またはソース線に接続された拡散層領域と前記ゲート電極とが重なり合う距離が、前記メモリセルユニットに接続された拡散層領域と前記ゲート電極とが重なり合う距離よりも小さく、前記ビット線またはソース線に接続された拡散層領域の実効的な不純物濃度が、前記メモリセルユニットに接続された拡散層領域の実効不純物濃度よりも薄く、前記メモリセルユニットに接続された拡散層領域の実効的な不純物濃度が、前記メモリセルトランジスタのソース/ドレイン拡散層領域の実効的な不純物濃度と同じであり、前記メモリセルトランジスタのゲート電極の側壁、及び前記選択ゲートトランジスタのゲート電極の前記メモリセルに対向する側には、第1の絶縁膜と、この第1の絶縁膜上に形成された第2の絶縁膜と、この第2の絶縁膜上に形成された第3の絶縁膜とが積層されており、前記選択ゲートトランジスタのゲート電極の、前記ビット線またはソース線を接続するためのコンタクトに対向する側には、前記第1の絶縁膜と、この第1の絶縁膜上に形成された前記第3の絶縁膜とが積層されていることを特徴としている。

【 0 0 0 9 】

このような第1の態様に係る不揮発性半導体記憶装置によれば、選択ゲートトランジスタのソース拡散層領域とドレイン拡散層領域との形状を非対称としたことにより、選択ゲートトランジスタの実効ゲート長を長くすることができる。この結果、選択ゲートトランジスタのショートチャネル効果が改善され、そのカットオフ特性が向上する。さらに選択ゲートトランジスタのショートチャネル効果が改善されることから、メモリセルトランジスタのチャンネル領域の不純物濃度は、従来以下に下げることが可能である。この結果、メモリセルトランジスタのデータ書き込み特性を向上できる。

【 0 0 1 0 】

また、この発明の第2の態様に係る不揮発性半導体記憶装置は、半導体基板上に形成された、電荷蓄積層と制御ゲート層との積層構造を有する、少なくとも1つのメモリセルトランジスタを含むメモリセルユニットと、ソース/ドレイン拡散層領域の一方がビット線またはソース線に接続され、他方が前記メモリセルユニットに接続された選択ゲートトランジスタとを具備し、前記選択ゲートトランジスタのゲート電極下で、この選択ゲートトランジスタのソース拡散層領域の形状とドレイン拡散層領域の形状とが非対称であり、前記半導体基板とゲート絶縁膜との界面からの深さが等しい位置で、前記ビット線またはソース線に接続された拡散層領域と前記ゲート電極とが重なり合う距離が、前記メモリセルユニットに接続された拡散層領域と前記ゲート電極とが重なり合う距離よりも小さく、前記ビット線またはソース線に接続された拡散層領域に接するチャンネル領域の不純物濃度が、前記メモリセルユニットに接続された拡散層領域に接するチャンネル領域の不純物濃度よりも濃く、前記メモリセルユニットに接続された拡散層領域に接するチャンネル領域の不純物濃度が、前記メモリセルトランジスタのソース/ドレイン拡散層領域に接するチャンネル

10

20

30

40

50

領域の不純物濃度と同じであり、前記メモリセルトランジスタのゲート電極の側壁、及び前記選択ゲートトランジスタのゲート電極の前記メモリセルに対向する側には、第1の絶縁膜と、この第1の絶縁膜上に形成された第2の絶縁膜と、この第2の絶縁膜上に形成された第3の絶縁膜とが積層されており、前記選択ゲートトランジスタのゲート電極の、前記ビット線またはソース線を接続するためのコンタクトに対向する側には、前記第1の絶縁膜と、この第1の絶縁膜上に形成された前記第3の絶縁膜とが積層されていることを特徴としている。

【0011】

このような第2の態様に係る不揮発性半導体記憶装置によれば、選択ゲートトランジスタのソース拡散層領域とドレイン拡散層領域との間のチャンネル領域に、不純物濃度が異なる領域を有することにより、選択ゲートトランジスタの実効ゲート長を長くすることができる。よって、第1の態様に係る不揮発性半導体記憶装置と同様の効果を得ることができる。

10

【0014】

また、この発明の第3の態様に係る不揮発性半導体記憶装置の製造方法は、半導体基板上に、第1導電型のチャンネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を形成する工程と、前記メモリセルトランジスタ及び前記選択ゲートトランジスタのゲート電極の側壁に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に、第2の絶縁膜を形成する工程と、前記選択ゲートトランジスタのゲート電極の、前記メモリセルトランジスタに対向する側とは反対側に開口を持つマスクを形成する工程と、前記マスクの開口を介して前記第2の絶縁膜を除去する工程と、前記マスクの開口を介して前記選択ゲートトランジスタのゲート電極下に第1導電型の不純物を注入する工程とを具備することを特徴としている。

20

【0015】

このような第3の態様に係る不揮発性半導体記憶装置の製造方法によれば、選択ゲートトランジスタのゲート電極から第2の絶縁膜を除去するためのマスクを利用して、このマスクの開口を介してチャンネル領域と同じ導電型の不純物を注入する。これにより、不純物注入のためのマスク形成工程を増加させることなく、即ち、製造コストの増加を伴うことなく、上記第1、第2の態様に係る不揮発性半導体記憶装置を製造することができる。

【0018】

30

また、この発明の第4の態様に係る不揮発性半導体記憶装置の製造方法では、半導体基板上に、第1導電型のチャンネル領域を有するメモリセルトランジスタ及び選択ゲートトランジスタのゲート電極を、前記選択ゲートトランジスタのゲート電極間のスペースを、前記メモリセルトランジスタのゲート電極と前記選択ゲートトランジスタのゲート電極間のスペースよりも広くして形成する工程と、前記半導体基板に第1導電型の不純物を、前記メモリセルトランジスタのゲート電極と選択ゲートトランジスタのゲート電極との間には注入されず、前記選択ゲートトランジスタのゲート電極間に注入される角度で注入する工程とを具備することを特徴としている。

【0019】

このような第4の態様に係る不揮発性半導体記憶装置の製造方法によれば、チャンネル領域と同じ導電型の不純物を、メモリセルトランジスタのゲート電極と選択ゲートトランジスタのゲート電極との間には注入されず、選択ゲートトランジスタのゲート電極間に注入される角度で注入する。これにより、不純物注入のためのマスク形成工程を増加させることなく、即ち、製造コストの増加を伴うことなく、上記第1、第2の態様に係る不揮発性半導体記憶装置を製造することができる。

40

【0020】

【発明の実施の形態】

以下、この発明の実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0021】

50

(第1の実施形態)

本第1の実施形態は、メモリセルユニットに接続された選択ゲートトランジスタのビット線またはソース線コンタクト側にチャネルと同じ導電型の不純物を注入することにより、選択ゲートトランジスタのカットオフ特性を向上させたものである。以下、第1の実施形態に係るNAND型不揮発性半導体記憶装置をその製造方法とともに詳細に説明する。

【0022】

まず、図1に示すように、p型シリコン基板1の表面にバッファ酸化膜2を形成する。次いで、図示はしないがレジストを塗布し、レジスト膜を形成する。次いで、このレジスト膜に、フォトリソグラフィ法を用いてウェル及びチャネル領域に対応した開口部を開口する。次いで、レジスト膜をマスクとして、n型不純物、例えばリン(P)、p型不純物、例えばボロン(B)をイオン注入し、p型シリコン基板1内に、n型ウェル(図示せず)、及びp型ウェル・チャネル領域3を形成する。この後、レジスト膜を除去する。

10

【0023】

次に、図2に示すように、バッファ酸化膜2を除去した後、トランジスタのゲート絶縁膜4を形成する。このゲート絶縁膜4はシリコン酸化膜に限定されるものではなく、シリコン窒化膜であっても良い。次いで、ゲート電極(浮遊ゲート)の一部となるポリシリコン及びSTI(Shallow Trench Isolation)加工のマスクとなる窒化シリコンを堆積し、ポリシリコン膜5及びシリコン窒化膜6を形成する。次いで、レジスト膜7を形成し、このレジスト膜7に、フォトリソグラフィ法を用いて素子分離領域に対応した開口部を開口する。

20

【0024】

次に、図3に示すように、レジスト膜7をマスクとして、シリコン窒化膜6をエッチングする。次いで、レジスト膜7を除去した後、シリコン窒化膜6をマスクとして、ポリシリコン膜5、ゲート絶縁膜4、シリコン基板1を順次エッチング加工し、素子分離領域となるSTIの溝8を形成する。

【0025】

次に、図4に示すように、STIの溝8の表面に薄いシリコン酸化膜9を形成する。次いで、二酸化シリコンを堆積し、STIの溝8をシリコン酸化膜10で埋め込む。次いで、シリコン酸化膜10の表面を、CMP法を用いて平坦化した後、シリコン窒化膜6を除去する。

30

【0026】

次に、図5に示すように、ゲート電極(浮遊ゲート)の一部となるポリシリコンを堆積し、ポリシリコン膜11を形成する。次いで、図示はしないがレジスト膜を形成し、このレジスト膜に、フォトリソグラフィ法を用いて、ワード線に沿って並ぶメモリセルどうしを分離するスリットに対応した開口部を開口する。次いで、レジスト膜をマスクとして、ポリシリコン膜11をエッチングし、スリット12を形成する。この後、レジスト膜を除去する。

【0027】

次に、図6に示すように、二酸化シリコン(O)/窒化シリコン(N)/二酸化シリコン(O)、ポリシリコン/タンゲステンシリサイド(WSi)、及び窒化シリコンを順次堆積する。このようにして、ONO膜13、ゲート電極(制御ゲート)となるポリシリコン/WSi積層膜14、及びゲート電極加工のマスクとなるシリコン窒化膜15をそれぞれ形成する。

40

【0028】

次に、図示はしないがレジスト膜を形成し、このレジスト膜に、フォトリソグラフィ法を用いて、ゲート電極(制御ゲート、及び選択ゲート)に対応したパターンを形成する。次いで、レジスト膜をマスクとして、シリコン窒化膜15をエッチングする。次いで、レジスト膜を除去した後、シリコン窒化膜15をマスクとして、ポリシリコン/WSi積層膜14、ONO膜13、ポリシリコン膜11、及びポリシリコン膜5を順次エッチング加工し、二層ゲート電極を形成する。

50

【 0 0 2 9 】

上記方法により形成したメモリセル部の一部分の平面を図 7 に示し、図 7 中の A - A' 線に沿う断面を図 8 に示す。

【 0 0 3 0 】

図 7 には、素子領域 1 6、素子分離領域 1 7、対向する 2 本の選択ゲートトランジスタのゲート電極 1 9、及び選択ゲートトランジスタに接続されたメモリセルトランジスタのゲート電極 1 8 が示されている。

【 0 0 3 1 】

次に、図 9 に示すように、メモリセルトランジスタのゲート電極の側壁、及び選択ゲートトランジスタのゲート電極の側壁をそれぞれ酸化し、酸化膜 2 0 を形成する。次いで、レジスト膜 2 1 を形成し、このレジスト膜 2 1 に、フォトリソグラフィ法を用いて選択ゲートトランジスタのゲート電極間の領域に対応した開口部を開く。次いで、レジスト膜 2 1 をマスクに、チャンネル（本例では p 型ウェル・チャンネル領域 3）と同じ導電型の p 型不純物、例えばボロン（B）をイオン注入する。なお、このイオン注入は、選択ゲートトランジスタのゲート電極の下に不純物を注入するために、図 9 中矢印で示すように、角度をつけて 2 回行うことが望ましい。その結果、選択ゲートトランジスタのゲート電極間の p 型シリコン基板 1 内（本例では p 型ウェル・チャンネル領域 3）には、p 型ウェル・チャンネル領域 3 よりも p 型不純物濃度の濃い領域 2 2 が形成される。

【 0 0 3 2 】

次に、図 1 0 に示すように、レジスト膜 2 1 を除去した後、図示はしないがレジスト膜を形成し、このレジスト膜に、フォトリソグラフィ法を用いてメモリセル部に対応した開口部を開く。次いで、レジスト膜をマスクとして、n 型不純物、例えばリン（P）を、メモリセルトランジスタ及び選択ゲートトランジスタのソース/ドレイン拡散層領域が形成される領域にイオン注入し、メモリセルトランジスタ及び選択ゲートトランジスタの n 型ソース/ドレイン拡散層領域 2 3、2 4 を形成する。この後、レジスト膜を除去する。

【 0 0 3 3 】

このとき、選択ゲートトランジスタのゲート電極間の p 型シリコン基板 1（本実施形態では p 型ウェル・チャンネル領域 3）内には、p 型ウェル・チャンネル領域 3 よりも p 型不純物濃度の濃い領域 2 2 が形成されている。このため、対向する選択ゲートトランジスタ側の n 型ソース/ドレイン拡散層領域 2 3 の実効的な不純物濃度（n 型不純物濃度から p 型不純物濃度を引いた濃度）は、メモリセルトランジスタ側の n 型ソース/ドレイン拡散層 2 4 の実効的な不純物濃度よりも薄くなる。

【 0 0 3 4 】

また、図 1 1 に示すように、ソース/ドレイン方向における p n 接合の深さは、選択ゲートトランジスタのゲート電極 1 9 の下で、n 型ソース/ドレイン拡散層領域 2 3 の p n 接合の深さ D 1 の方が、メモリセルトランジスタ側の n 型ソース/ドレイン拡散層領域 2 4 の深さ D 2 よりも浅くなる。

【 0 0 3 5 】

なお、従来の例である、選択ゲートトランジスタのゲート電極間に p 型不純物をイオン注入しなかった場合には、図 1 2 に示すように、選択ゲートトランジスタのゲート電極 1 9 の下で、上記深さ D 1 は、上記深さ D 2 と同じとなる。

【 0 0 3 6 】

また、図 1 3 に示すように、選択ゲートトランジスタの n 型ソース/ドレイン拡散層領域 2 3 及び 2 4 の形状は非対称なものとなり、p 型シリコン基板 1（本例では p 型ウェル・チャンネル領域 3）とゲート絶縁膜 4 との界面からの深さが等しい位置（例えば図 1 3 中の B - B' 線に沿う位置）で、ビット線またはソース線に接続される n 型ソース/ドレイン拡散層領域 2 3 とゲート電極 1 9 とが重なり合う距離 L 1 が、メモリセルトランジスタに接続される n 型ソース/ドレイン拡散層領域 2 4 とゲート電極 1 9 とが重なり合う距離 L 2 よりも小さくなる。

【 0 0 3 7 】

なお、従来の例である、選択ゲートトランジスタのゲート電極間に p 型不純物をイオン注入しなかった場合には、図 1 4 に示すように、なお、上記距離 L 1 は、上記 L 2 と同じとなる。

【 0 0 3 8 】

図 1 0 (または図 1 3) 中の B - B ' 線に沿う位置の不純物濃度分布を図 1 5 に示す。

【 0 0 3 9 】

図 1 5 に示すように、選択ゲートトランジスタにおいて、n 型ソース / ドレイン拡散層 2 4 から n 型ソース / ドレイン拡散層領域 2 3 に向かう方向で、チャンネル領域の不純物濃度が異なり、ビット線またはソース線に接する n 型ソース / ドレイン拡散層領域 2 3 に接するチャンネル領域の不純物濃度が、メモリセルトランジスタに接する n 型ソース / ドレイン拡散層領域 2 4 に接するチャンネル領域の不純物濃度よりも濃くなっている。

10

【 0 0 4 0 】

また、選択ゲートトランジスタの、メモリセルトランジスタに接する n 型ソース / ドレイン拡散層領域 2 4 に接するチャンネル領域の不純物濃度は、メモリセルトランジスタの n 型ソース / ドレイン拡散層領域 2 4 に接するチャンネル領域の不純物濃度と同じになっている。

【 0 0 4 1 】

図 1 6 に、従来の例である、選択ゲートトランジスタのゲート電極間に p 型不純物をイオン注入しなかった場合の不純物濃度分布を示す。なお、図 1 6 は、図 2 8 中の B - B ' 線に沿う位置の不純物濃度分布を示している。図 2 8 中の B - B ' 線の位置は、図 1 5 に示す B - B ' 線の位置と同じである。

20

【 0 0 4 2 】

図 1 6 に示す従来の例に比べて、図 1 5 に示す本実施形態では、選択ゲートトランジスタの実効チャンネル長が増加している。

【 0 0 4 3 】

このように本実施形態では、選択ゲートトランジスタのゲート電極間に、チャンネルと同じ p 型不純物をイオン注入することによって、選択ゲートトランジスタの実効的なチャンネル長が増加する。これにより、選択ゲートトランジスタのショートチャンネル効果が改善されて、そのカットオフ特性が向上する。

【 0 0 4 4 】

30

さらに選択ゲートトランジスタのカットオフ特性が向上することから、メモリセルトランジスタのチャンネル領域の不純物濃度は、従来以下に下げることが可能となる。この結果、メモリセルトランジスタにおいては、“ 1 ” データ書き込み特性が向上する。即ち、本実施形態のように複数のメモリセルトランジスタを含むメモリセルユニットを持つ、例えば N A N D 型不揮発性半導体記憶装置においては、非選択書き込みストレスに対する耐性がさらに向上する。

【 0 0 4 5 】

また、本実施形態では、選択ゲートトランジスタのしきい値電圧を、メモリセルトランジスタのしきい値電圧より高くする範囲において、選択ゲートトランジスタのしきい値電圧とメモリセルトランジスタのしきい値電圧とを独立に制御できる。このため、選択ゲートトランジスタのカットオフ特性を保持しつつ、データ保持特性や、読み出しストレスに対する耐性などといったメモリセルトランジスタの様々な特性を向上させることができる。

40

【 0 0 4 6 】

つまり、本実施形態による効果は、特に N A N D 型不揮発性半導体記憶装置に限られて得られるものではなく、メモリセルトランジスタに選択ゲートトランジスタが接続された構造を有する不揮発性半導体記憶装置であれば、有効に得られるものである。

【 0 0 4 7 】

次に、図 1 7 に示すように、層間絶縁膜 2 5 を形成し、図示はしないがレジスト膜を形成し、このレジスト膜に、ビット線またはソース線コンタクト孔に対応した開口部を開口する。次いで、レジスト膜をマスクに用いて、層間絶縁膜 2 5 をエッチング加工し、コンタ

50

クト孔 26 を形成する。この後、レジスト膜を除去する。次いで、必要に応じ、コンタクト孔 26 を介して、p 型シリコン基板 1 (本例では n 型ソース/ドレイン拡散層 23) に n 型不純物をイオン注入し、n 型不純物濃度の濃い領域 27 を形成する。

【0048】

次に、図 18 に示すように、コンタクト孔 26 内に導電物 (コンタクト埋め込み材: プラグ) を形成し、次いで、一般的に知られた方法により配線層を形成する。これらの工程により、ビット線またはソース線が形成される。図 18 では、導電物に接続された配線層をビット線とした構造を特に示す。ソース線の一例は、例えば導電物を利用して形成される。このようにして、n 型ソース/ドレイン拡散層 23 にはビット線またはソース線が接続される。なお、導電物は無くてもよく、コンタクト孔 26 を配線層により直接埋め込んで

10

【0049】

なお、本実施形態では、選択ゲートトランジスタのゲート電極間に p 型不純物をイオン注入してから、n 型ソース/ドレイン拡散層領域 23、24 を形成する n 型不純物をイオン注入しているが、n 型ソース/ドレイン拡散層領域 23、24 を形成する n 型不純物をイオン注入してから、選択ゲートトランジスタのゲート電極間に p 型不純物をイオン注入しても良い。

【0050】

(第 2 の実施形態)

20

本第 2 の実施形態は、メモリセルトランジスタと選択ゲートトランジスタのゲート電極側壁に、TEOS 膜などの絶縁膜が形成され、ビット線またはソース線コンタクト孔が選択ゲートトランジスタのゲート電極間に自己整合的に形成されており、選択ゲートトランジスタのゲート電極とコンタクト孔間の TEOS 膜は剥離されている構造を有する NAND 型不揮発性半導体記憶装置に関する。そして、このような装置において、選択ゲートトランジスタのビット線またはソース線コンタクト孔側にチャネルと同じ導電型の不純物を注入することにより、選択ゲートトランジスタのカットオフ特性を向上させたものである。以下本第 2 の実施形態に係る装置をその製造方法とともに説明する。

【0051】

まず、第 1 の実施形態により説明した方法により、図 8 に示した二層ゲート電極まで形成する。

30

【0052】

次に、図 19 に示すように、メモリセルトランジスタ及び選択ゲートトランジスタのゲート電極の側壁を酸化し、酸化膜 20 を形成する。次いで、図示はしないがレジスト膜を形成し、このレジスト膜に、フォトリソグラフィ法を用いてメモリセル部に対応した開口部を開口する。次いで、レジスト膜をマスクとして、n 型不純物、例えばリン (P) を、メモリセルトランジスタ及び選択ゲートトランジスタのソース/ドレイン拡散層領域が形成される領域にイオン注入し、メモリセルトランジスタ及び選択ゲートトランジスタの n 型ソース/ドレイン拡散層領域 28 を形成する。この後、レジスト膜を除去する。次いで、ホットキャリア特性を良くすることを目的として、例えば TEOS 膜などの絶縁膜 29 を

40

【0053】

次に、図 20 に示すように、レジスト膜 30 を形成し、このレジスト膜 30 に、フォトリソグラフィ法を用いて選択ゲートトランジスタのゲート電極間の領域に対応した開口部を開口する。次いで、コンタクト形成の際に、選択ゲートトランジスタのゲート電極とコンタクト埋め込み材とがショートするのを防ぐために、レジスト膜 30 をマスクに、選択ゲートトランジスタのゲート電極側壁の TEOS 膜 29 を剥離する。次いで、レジスト膜 30 をマスクに、チャネル (本例では p 型ウェル・チャネル領域 3) と同じ導電型の p 型不純物、例えばボロン (B) をイオン注入する。なお、このイオン注入は、選択ゲートトランジスタのゲート電極の下に不純物を注入するために、図 20 中矢印で示すように、角度

50

をつけて2回行うことが望ましい。その結果、選択ゲートトランジスタのゲート電極間のp型シリコン基板1（本例ではp型ウェル・チャネル領域3）内には、p型ウェル・チャネル領域3よりもp型不純物濃度の濃い領域31が形成される。このため、対向する選択ゲートトランジスタ側のn型ソース/ドレイン拡散領域32の実効的な不純物濃度（n型不純物濃度からp型不純物濃度を引いた濃度）は、第1の実施形態と同様に、メモリセルトランジスタ側のn型ソース/ドレイン拡散層領域28の実効的な不純物濃度よりも薄くなる。

【0054】

また、ソース/ドレイン方向におけるpn接合の深さも、対向する選択ゲートトランジスタ側のn型ソース/ドレイン拡散層領域32の方が、メモリセルトランジスタ側のn型ソース/ドレイン拡散層領域28よりも浅くなる。

10

【0055】

従って、選択ゲートトランジスタのn型ソース/ドレイン拡散層領域28及び32の形状は非対称なものとなり、p型シリコン基板1（本例ではp型ウェル・チャネル領域3）とゲート絶縁膜4との界面からの深さが等しい位置（例えば図20中のB-B'線に沿う位置）で、ビット線またはソース線に接続されるn型ソース/ドレイン拡散層領域32とゲート電極とが重なり合う距離が、メモリセルトランジスタに接続されるn型ソース/ドレイン拡散層領域28とゲート電極とが重なり合う距離よりも小さくなる。

【0056】

このような第2の実施形態に係るNAND型不揮発性半導体記憶装置においても、図20中に示すB-B'線に沿う位置の不純物濃度分布は、第1の実施形態の図15と同様なものになり、第1の実施形態で述べた効果と同様の効果を得ることができる。

20

【0057】

さらに本第2の実施形態によれば、TEOS膜29剥離のためのレジスト膜30をマスクとしてイオン注入を行う。これによりチャネルよりも不純物濃度の濃い領域を形成するイオン注入のみを目的としたフォトリソグラフィ工程を省略できるので、製造コストを下げることができる。

【0058】

なお、図20を参照して説明したイオン注入は、TEOS膜29剥離後に行ったが、TEOS膜29剥離前に行ってもよい。

30

【0059】

次に、図21に示すように、レジスト膜30を除去した後、コンタクト孔開口の際のエッチングストップ材となるシリコン窒化膜33を形成する。この後、層間絶縁膜25を形成する。この後、図示はしないがレジスト膜を形成し、このレジスト膜に、ビット線またはソース線コンタクト孔に対応した開口部を開口する。次いで、レジスト膜をマスクに用いて、層間絶縁膜25をエッチング加工し、選択ゲートトランジスタのゲート電極に対して自己整合的にコンタクト孔34を形成する。この後、レジスト膜を除去する。次いで、必要に応じ、コンタクト孔34を介して、p型シリコン基板1（本例ではn型ソース/ドレイン拡散層32）にn型不純物をイオン注入し、n型不純物濃度の濃い領域35を形成する。

40

【0060】

この後、図18を参照して説明したように、コンタクト孔34内に導電物（コンタクト埋め込み材）を形成し、一般的に知られた方法により配線層を形成し、保護膜を形成して、第2の実施形態に係る不揮発性半導体記憶装置が完成する。

【0061】

（第3の実施形態）

本第3の実施形態は、ビット線またはソース線コンタクト孔が選択ゲートトランジスタのゲート電極間に自己整合的に形成されているNAND型不揮発性半導体記憶装置に関する。そして、このような装置において、コンタクト孔を介して選択ゲートトランジスタのビット線またはソース線コンタクト側にチャネルと同じ導電型の不純物を注入することによ

50

り、選択ゲートトランジスタのカットオフ特性を向上させたものである。以下本第3の実施形態に係る装置をその製造方法とともに説明する。

【0062】

まず、第1の実施形態により説明した方法により、図8に示した二層ゲート電極まで形成する。

【0063】

次に、図22に示すように、メモリセルトランジスタ及び選択ゲートトランジスタのゲート電極の側壁を酸化し、酸化膜20を形成する。次いで、図示はしないがレジスト膜を形成し、このレジスト膜に、フォトリソグラフィ法を用いてメモリセル部に対応した開口部を開口する。次いで、レジスト膜をマスクとして、n型不純物、例えばリン(P)を、メモリセルトランジスタ及び選択ゲートトランジスタのソース/ドレイン拡散層領域が形成される領域にイオン注入し、メモリセルトランジスタ及び選択ゲートトランジスタのn型ソース/ドレイン拡散層領域36を形成する。この後、レジスト膜を除去する。

10

【0064】

次に、図23に示すように、コンタクト孔開口の際のエッチングストッパーとなるシリコン窒化膜33を形成した後、層間絶縁膜25を形成する。

【0065】

次に、図24に示すように、この後、図示はしないがレジスト膜を形成し、このレジスト膜に、ビット線またはソース線コンタクト孔に対応した開口部を開口する。次いで、レジスト膜をマスクに用いて、層間絶縁膜25をエッチング加工し、選択ゲートトランジスタのゲート電極に対して自己整合的にコンタクト孔37を形成する。この後、レジスト膜を除去する。次いで、コンタクト孔37を介して、チャネル(本例ではp型ウェル・チャネル領域3)と同じ導電型のp型不純物、例えばボロン(B)をイオン注入する。なお、このイオン注入は、選択ゲートトランジスタのゲート電極の下に不純物を注入するために、図24中矢印で示すように、角度をつけて2回行うことが望ましい。その結果、選択ゲートトランジスタのゲート電極間のp型シリコン基板1(本例ではp型ウェル・チャネル領域3)内には、p型ウェル・チャネル領域3よりもp型不純物濃度の濃い領域38が形成される。このため、対向する選択ゲートトランジスタ側のn型ソース/ドレイン拡散領域39の実効的な不純物濃度(n型不純物濃度からp型不純物濃度を引いた濃度)は、第1の実施形態と同様に、メモリセルトランジスタ側のn型ソース/ドレイン拡散層領域36の実効的な不純物濃度よりも薄くなる。

20

30

【0066】

また、ソース/ドレイン方向におけるpn接合の深さも、対向する選択ゲートトランジスタ側のn型ソース/ドレイン拡散層領域39の方が、メモリセルトランジスタ側のn型ソース/ドレイン拡散層領域36よりも浅くなる。

【0067】

従って、選択ゲートトランジスタのn型ソース/ドレイン拡散層領域36及び39の形状は非対称なものとなり、p型シリコン基板1(本例ではp型ウェル・チャネル領域3)とゲート絶縁膜4との界面からの深さが等しい位置(例えば図24中のB-B'線に沿う位置)で、ビット線またはソース線に接続されるn型ソース/ドレイン拡散層領域39とゲート電極とが重なり合う距離が、メモリセルトランジスタに接続されるn型ソース/ドレイン拡散層領域36とゲート電極とが重なり合う距離よりも小さくなる。

40

【0068】

このような第3の実施形態に係るNAND型不揮発性半導体記憶装置においても、図24中に示すB-B'線に沿う位置の不純物濃度分布は、第1の実施形態の図15と同様なものになり、第1の実施形態で述べた効果と同様の効果を得ることができる。

【0069】

さらに本第3の実施形態によれば、選択ゲートトランジスタのゲート電極に対して自己整合的に形成されたコンタクト孔を介してイオン注入を行うことにより、第2の実施形態で説明したようなTEOS膜剥離のためのフォトリソグラフィ工程が無い場合でも、チャネ

50

ルよりも不純物濃度の濃い領域を形成するイオン注入のみを目的としたフォトリソグラフィ工程を増加させることなく、選択ゲートトランジスタのカットオフ特性を向上させることができる。このため、例えば第1の実施形態に比べて、製造コストを下げるができる。

【0070】

ただし、第2の実施形態で説明したようなTEOS膜剥離のためのフォトリソグラフィ工程が有る場合でも、本第3の実施形態のように選択ゲートトランジスタのゲート電極に対して、自己整合的に形成されたコンタクト孔を介してイオン注入を行うことも可能である。この場合にも、製造コストを下げられる利点はある。

【0071】

次いで、必要に応じ、コンタクト孔37を介して、p型シリコン基板1（本例ではn型ソース/ドレイン拡散層39）にn型不純物をイオン注入し、n型不純物濃度の濃い領域40を形成する。

【0072】

この後、図18を参照して説明したように、コンタクト孔37内に導電物（コンタクト埋め込み材）を形成し、一般的に知られた方法により配線層を形成し、保護膜を形成して、第3の実施形態に係る不揮発性半導体記憶装置が完成する。

【0073】

（第4の実施形態）

本第4の実施形態では、メモリセルトランジスタのゲート電極間に不純物が注入されず、選択ゲートトランジスタのゲート電極間のみ不純物が注入されるような角度で、選択ゲートトランジスタのビット線またはソース線コンタクト側にチャネルと同じ導電型の不純物を注入して、選択ゲートトランジスタのカットオフ特性を向上させたものである。

【0074】

まず、第1の実施形態により説明した方法により、図8に示した二層ゲート電極まで形成する。

【0075】

次に、図25に示すように、メモリセルトランジスタ及び選択ゲートトランジスタのゲート電極の側壁を酸化し、酸化膜20を形成する。次いで、図示はしないがレジスト膜を形成し、このレジスト膜に、フォトリソグラフィ法を用いてメモリセル部に対応した開口部を開口する。次いで、チャネル（本例ではp型ウェル・チャネル領域3）と同じ導電型のp型不純物、例えばボロン（B）をイオン注入する。このときのイオン注入の角度は、以下ようになる。

【0076】

一般に、不揮発性半導体記憶装置において、選択ゲートトランジスタのゲート電極間の距離 l_{SGT} は、ビット線またはソース線とコンタクトさせる必要性があることから、メモリセルトランジスタのゲート電極間の距離及びメモリセルトランジスタのゲート電極と選択ゲートトランジスタのゲート電極との間の距離 l_{CELL} よりも大きくなっている。このため、図25に示すように、ゲート電極が遮蔽物となって、メモリセルトランジスタのゲート電極間及びメモリセルトランジスタのゲート電極と選択ゲートトランジスタのゲート電極との間のp型シリコン基板1（本例ではp型ウェル・チャネル領域3）内に、不純物が注入されない角度1が存在する。同様に、選択ゲートトランジスタのゲート電極間のp型シリコン基板1内に、不純物が注入されない角度2が存在する。従って、イオン注入の角度を“ $1 < \theta < 2$ ”の条件を満たすようにして不純物を注入すると、選択ゲートトランジスタのゲート電極間のp型シリコン基板1内にのみ、不純物を注入することができる。

【0077】

上記角度1の具体的規定の一例は、p型シリコン基板1に対して垂直な直線を、選択ゲートトランジスタのゲート電極のメモリセルトランジスタ側側壁最低点を回転中心として回転させたとき、上記直線がメモリセルトランジスタのゲート電極に交わる範囲にある角

10

20

30

40

50

度である。

【0078】

また、上記角度 2 の具体的規定の一例は、p 型シリコン基板 1 に対して垂直な直線を、選択ゲートトランジスタのゲート電極の対向する選択ゲートトランジスタ側側壁最低点を回転中心として回転させたとき、上記直線が対向する選択ゲートトランジスタのゲート電極に交わらない範囲にある角度である。

【0079】

なお、このイオン注入は、選択ゲートトランジスタのゲート電極の下に不純物を注入するために、図 2 5 中矢印で示すように、“ \pm ” の角度をつけて 2 回行うことが望ましい。その結果、選択ゲートトランジスタのゲート電極間の p 型シリコン基板 1 内（本例では p 型ウェル・チャネル領域 3）には、p 型ウェル・チャネル領域 3 よりも p 型不純物濃度の濃い領域 4 1 が形成される。

10

【0080】

次いで、図 2 6 に示すように、引き続きメモリセル部に対応した開口部を持つレジスト膜（図示せず）をマスクとして、n 型不純物、例えばリン（P）を、メモリセルトランジスタ及び選択ゲートトランジスタのソース／ドレイン拡散層領域が形成される領域にイオン注入し、メモリセルトランジスタ及び選択ゲートトランジスタの n 型ソース／ドレイン拡散層領域 4 2、4 3 を形成する。この後、レジスト膜を除去する。

【0081】

このとき、選択ゲートトランジスタのゲート電極間の p 型シリコン基板 1（本実施形態では p 型ウェル・チャネル領域 3）内には、p 型ウェル・チャネル領域 3 よりも p 型不純物濃度の濃い領域 4 1 が形成されている。このため、対向する選択ゲートトランジスタ側の n 型ソース／ドレイン拡散層領域 4 3 の実効的な不純物濃度（n 型不純物濃度から p 型不純物濃度を引いた濃度）は、メモリセルトランジスタ側の n 型ソース／ドレイン拡散層 4 2 の実効的な不純物濃度よりも薄くなる。

20

【0082】

また、ソース／ドレイン方向における p n 接合の深さも、対向する選択ゲートトランジスタ側の n 型ソース／ドレイン拡散層領域 4 3 の方が、メモリセルトランジスタ側の n 型ソース／ドレイン拡散層領域 4 2 よりも浅くなる。

【0083】

従って、選択ゲートトランジスタの n 型ソース／ドレイン拡散層領域 4 2 及び 4 3 の形状は非対称なものとなり、p 型シリコン基板 1（本例では p 型ウェル・チャネル領域 3）とゲート絶縁膜 4 との界面からの深さが等しい位置（例えば図 2 6 中の B - B' 線に沿う位置）で、ビット線またはソース線に接続される n 型ソース／ドレイン拡散層領域 4 3 とゲート電極とが重なり合う距離が、メモリセルトランジスタに接続される n 型ソース／ドレイン拡散層領域 4 2 とゲート電極とが重なり合う距離よりも小さくなる。

30

【0084】

このような第 4 の実施形態に係る NAND 型不揮発性半導体記憶装置においても、図 2 6 中に示す B - B' 線に沿う位置の不純物濃度分布は、第 1 の実施形態の図 1 5 と同様なものになり、第 1 の実施形態で述べた効果と同様の効果を得ることができる。

40

【0085】

さらに本第 4 の実施形態によれば、イオン注入の角度 θ を “ $1 < \theta < 2$ ” の条件を満たすようにして不純物を注入することにより、チャネルよりも不純物濃度の濃い領域を形成するイオン注入のみを目的としたフォトリソグラフィ工程を増加させることなく、選択ゲートトランジスタのカットオフ特性を向上させることができる。このため、例えば第 1 の実施形態に比べて、製造コストを下げることができる。

【0086】

次に、図 2 7 に示すように、層間絶縁膜 2 5 を形成する。この後、図示はしないがレジスト膜を形成し、このレジスト膜に、ビット線またはソース線コンタクト孔に対応した開口部を開口する。次いで、レジスト膜をマスクに用いて、層間絶縁膜 2 5 をエッチング加工

50

し、コンタクト孔 26 を形成する。この後、レジスト膜を除去する。次いで、必要に応じ、コンタクト孔 26 を介して、p 型シリコン基板 1 (本例では n 型ソース/ドレイン拡散層 43) に n 型不純物をイオン注入し、n 型不純物濃度の濃い領域 44 を形成する。

【0087】

この後、図 18 を参照して説明したように、コンタクト孔 26 内に導電物 (コンタクト埋め込み材) を形成し、一般的に知られた方法により配線層を形成し、保護膜を形成して、第 2 の実施形態に係る不揮発性半導体記憶装置が完成する。

【0088】

なお、本実施形態では、ビット線またはソース線コンタクト孔 26 を、選択ゲートトランジスタのゲート電極に対して自己整合的に形成していない例を示しているが、ビット線またはソース線コンタクト孔 26 を、選択ゲートトランジスタのゲート電極に対して自己整合的に形成することも可能である。

10

【0089】

また、本実施形態では、選択ゲートトランジスタのゲート電極間に、“ $1 < \theta < 2$ ” の条件を満たす角度 θ で p 型不純物を、選択ゲートトランジスタのゲート電極間にイオン注入してから、n 型ソース/ドレイン拡散層領域 42、43 を形成する n 型不純物をイオン注入しているが、n 型ソース/ドレイン拡散層領域 42、43 を形成する n 型不純物をイオン注入してから、選択ゲートトランジスタのゲート電極間に、上記角度 θ で p 型不純物をイオン注入しても良い。

20

【0090】

以上、この発明を第 1 ~ 第 4 の実施形態により説明したが、この発明は、これら実施形態それぞれに限定されるものではなく、その実施に際しては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【0091】

例えば第 1 ~ 第 4 の実施形態では、ウェル・チャネル領域 3 の形成及びゲート絶縁膜 4 の形成後に、素子分離領域 17 の形成を行っているが、素子分離領域 17 の形成後に、ウェル・チャネル領域 3 の形成を行ってもかまわない。

【0092】

また、第 1 ~ 第 4 の実施形態では図示していないが、一般的に知られた方法を用いて、一般的に知られた方法を用いてゲート電極に側壁を形成し、n 型不純物を濃くイオン注入することにより、メモリセルトランジスタ及び選択ゲートトランジスタの n 型ソース/ドレイン拡散層領域を LDD (Lightly Doped Drain) 構造にしても良い。

30

【0093】

また、第 1 ~ 第 4 の実施形態では、複数のメモリセルトランジスタを含むメモリセルユニットを持つ不揮発性半導体記憶装置を例示したが、本発明は、これに限られるものではなく、少なくとも 1 つのメモリセルトランジスタを含むメモリセルユニットを持つ半導体記憶装置であれば、上記効果をもって適用可能である。

【0094】

また、上記第 1 ~ 第 4 の実施形態はそれぞれ単独、または適宜組み合わせて実施することも、もちろん可能である。

40

【0095】

さらに上記第 1 ~ 第 4 の実施形態それぞれには、種々の段階の発明が含まれており、上記第 1 ~ 第 4 の実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0096】

【発明の効果】

以上説明したように、この発明によれば、データ書き込み特性、データ保持特性、読み出しストレスに対する耐性などのメモリセルトランジスタの様々な特性と、選択ゲートトランジスタのカットオフ特性とをともに良好にできる不揮発性半導体記憶装置およびその製造方法を提供できる。

50

【図面の簡単な説明】

【図 1】図 1 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 2】図 2 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 3】図 3 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 4】図 4 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 5】図 5 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

10

【図 6】図 6 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 7】図 7 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置のメモリセル部の一部分を示す平面図。

【図 8】図 8 は図 7 中の A - A' 線に沿う断面図。

【図 9】図 9 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 10】図 10 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

20

【図 11】図 11 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の断面図。

【図 12】図 12 は従来の不揮発性半導体記憶装置の断面図。

【図 13】図 13 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の断面図。

【図 14】図 14 は従来の不揮発性半導体記憶装置の断面図。

【図 15】図 15 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の不純物濃度分布を示す不純物濃度分布図。

【図 16】図 16 は従来の不揮発性半導体記憶装置の不純物濃度分布を示す不純物濃度分布図。

【図 17】図 17 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

30

【図 18】図 18 はこの発明の第 1 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 19】図 19 はこの発明の第 2 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 20】図 20 はこの発明の第 2 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 21】図 21 はこの発明の第 2 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 22】図 22 はこの発明の第 3 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

40

【図 23】図 23 はこの発明の第 3 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 24】図 24 はこの発明の第 3 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 25】図 25 はこの発明の第 4 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 26】図 26 はこの発明の第 4 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

【図 27】図 27 はこの発明の第 4 の実施形態に係る不揮発性半導体記憶装置の一製造工程を示す断面図。

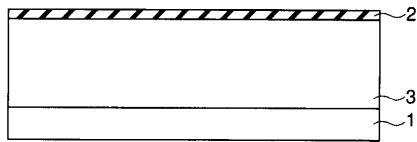
50

【図 2 8】図 2 8 は従来の半導体記憶装置の断面図。

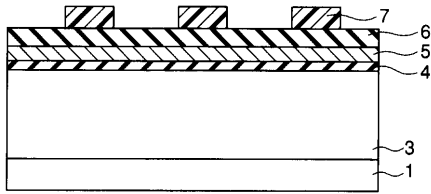
【符号の説明】

- 1 ... p 型シリコン基板、
- 2 ... バッファ酸化膜、
- 3 ... p 型ウェル・チャネル領域、
- 4 ... ゲート絶縁膜、
- 5 ... ポリシリコン膜、
- 6 ... シリコン窒化膜、
- 7 ... レジスト膜、
- 8 ... S T I の溝、
- 9 ... 薄いシリコン酸化膜、
- 10 ... シリコン酸化膜、
- 11 ... ポリシリコン膜、
- 12 ... スリット、
- 13 ... O N O 膜、
- 14 ... ポリシリコン / W S i 積層膜、
- 15 ... シリコン窒化膜、
- 16 ... 素子領域、
- 17 ... 素子分離領域、
- 18 ... メモリセルトランジスタのゲート電極、
- 19 ... 選択ゲートトランジスタのゲート電極、
- 20 ... 酸化膜、
- 21 ... レジスト膜、
- 22 ... p 型不純物濃度の濃い領域、
- 23 ... ビット線またはソース線に接する n 型ソース / ドレイン拡散層領域、
- 24 ... n 型ソース / ドレイン拡散層領域、
- 25 ... 層間絶縁膜、
- 26 ... コンタクト孔、
- 27 ... n 型不純物濃度の濃い領域、
- 28 ... n 型ソース / ドレイン拡散層領域、
- 29 ... T E O S 膜などの絶縁膜、
- 30 ... レジスト膜、
- 31 ... p 型不純物濃度の濃い領域、
- 32 ... ビット線またはソース線に接する n 型ソース / ドレイン拡散層領域、
- 33 ... シリコン窒化膜、
- 34 ... 自己整合的に形成されたコンタクト孔、
- 35 ... n 型不純物濃度の濃い領域、
- 36 ... n 型ソース / ドレイン拡散層領域、
- 37 ... 自己整合的に形成されたコンタクト孔、
- 38 ... p 型不純物濃度の濃い領域、
- 39 ... ビット線またはソース線に接する n 型ソース / ドレイン拡散層領域、
- 40 ... n 型不純物濃度の濃い領域、
- 41 ... p 型不純物濃度の濃い領域、
- 42 ... n 型ソース / ドレイン拡散層領域、
- 43 ... ビット線またはソース線に接する n 型ソース / ドレイン拡散層領域、
- 44 ... n 型不純物濃度の濃い領域。

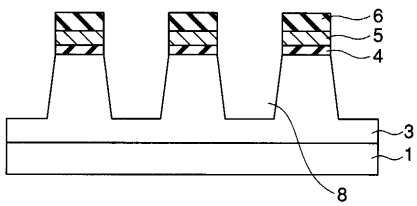
【図 1】



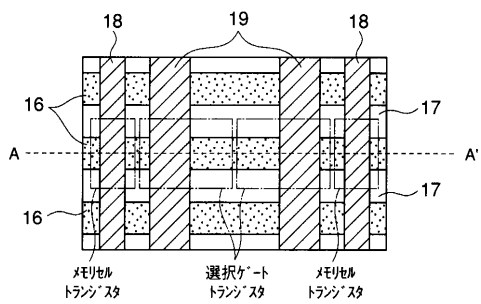
【図 2】



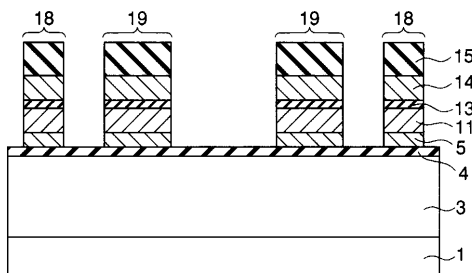
【図 3】



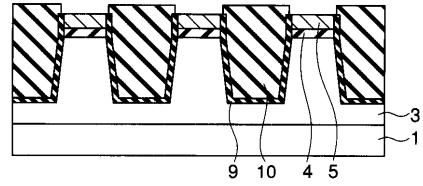
【図 7】



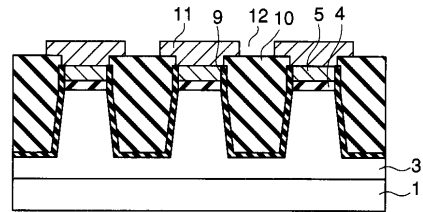
【図 8】



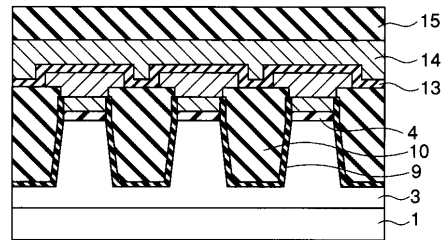
【図 4】



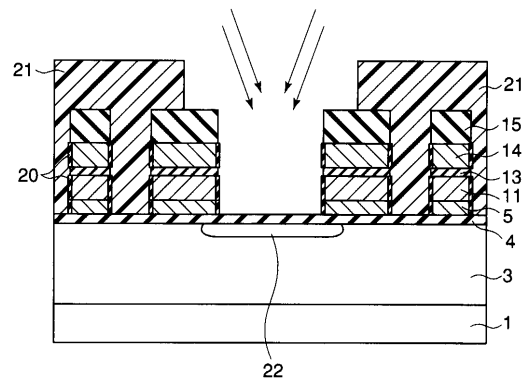
【図 5】



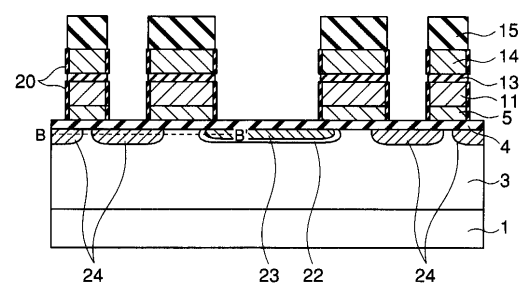
【図 6】



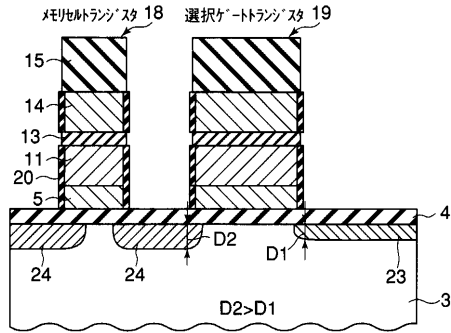
【図 9】



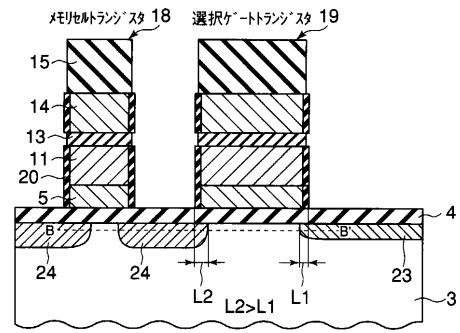
【図 10】



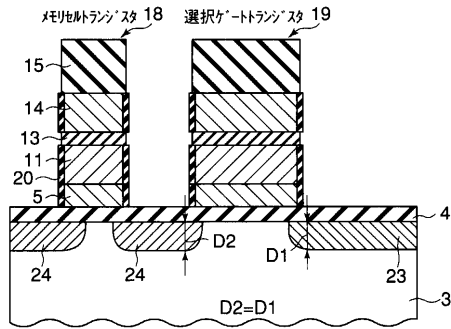
【図 1 1】



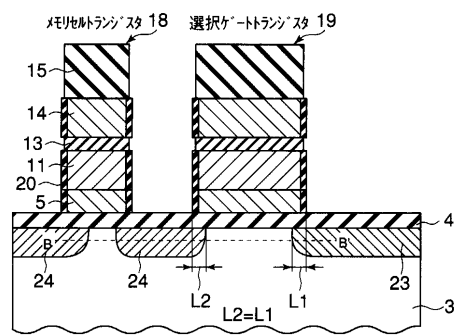
【図 1 3】



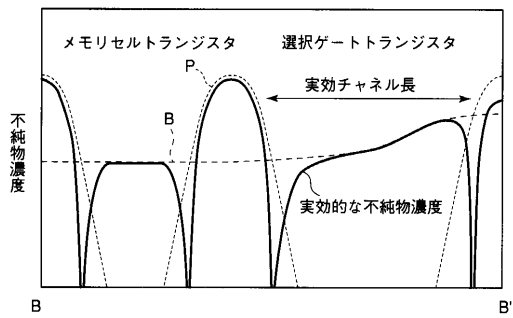
【図 1 2】



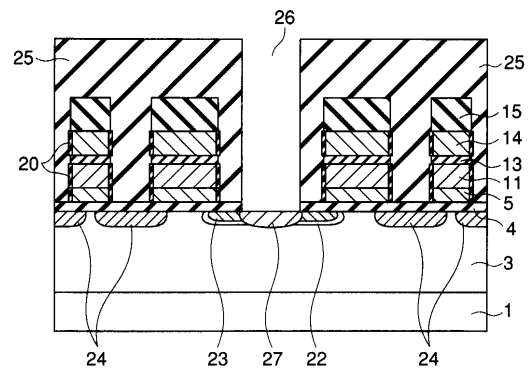
【図 1 4】



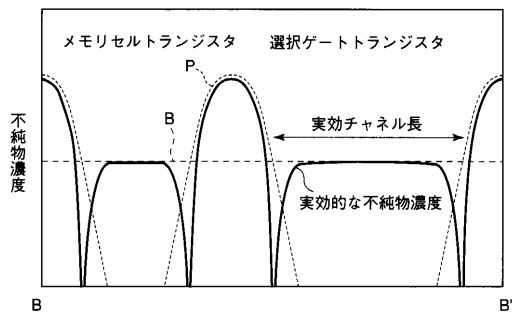
【図 1 5】



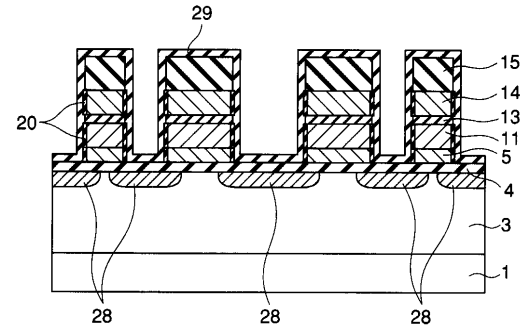
【図 1 7】



【図 1 6】

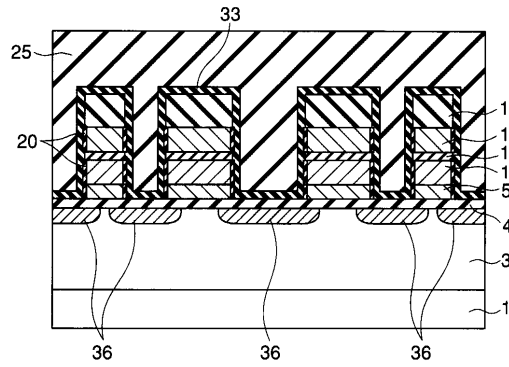


【 図 1 9 】

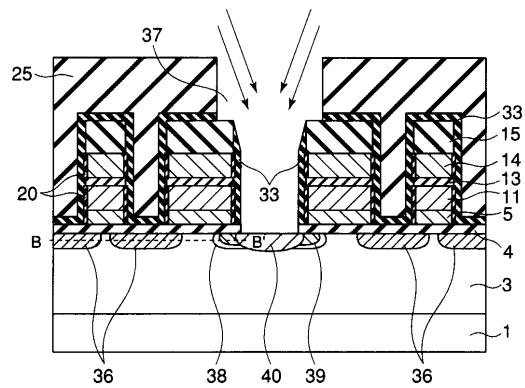


A detailed cross-sectional diagram of a semiconductor device. The base consists of a substrate (1) with a thin layer (3) on top. Above this are several patterned layers: a layer with openings (4), a layer with rectangular features (5), and another layer with openings (11). A thick, hatched material (13) covers most of the surface, except for a central gap (14). Within this hatched area are vertical structures (15) and horizontal layers (20, 29). At the very top, there are more complex structures (30) and a central opening (31). Arrows indicate light or radiation entering from the top through the central opening. Labels 28 point to specific regions at the bottom of the side walls.

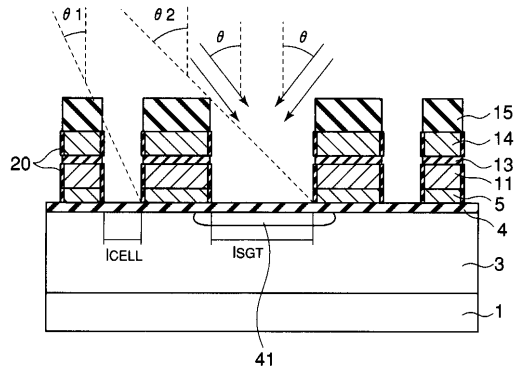
【 図 2 3 】



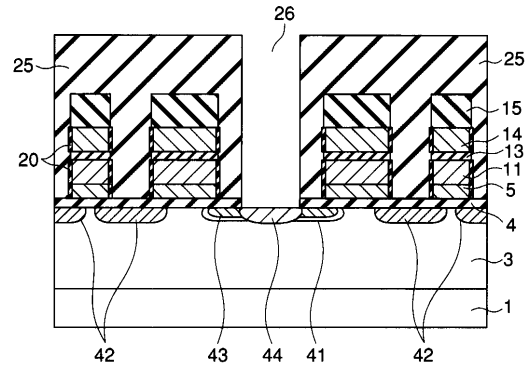
【 図 2 4 】



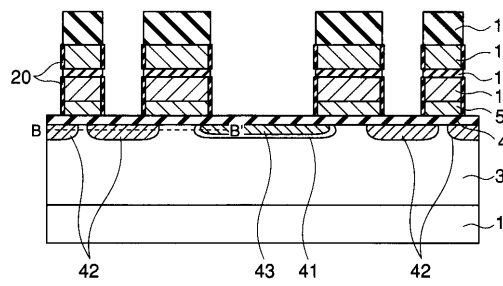
【図 25】



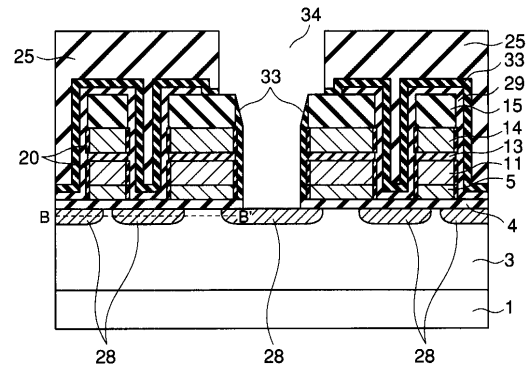
【図 27】



【図 26】



【図 28】



フロントページの続き

(72)発明者 八重樫 利武

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

審査官 小川 将之

(56)参考文献 特開平 1 0 - 2 0 9 4 0 5 (J P , A)
特開平 1 0 - 2 2 3 8 6 7 (J P , A)
特開 2 0 0 2 - 1 5 8 3 0 0 (J P , A)
特開 2 0 0 0 - 0 2 1 9 9 5 (J P , A)
特開平 1 1 - 2 2 4 9 4 0 (J P , A)
特開平 1 1 - 0 5 4 7 3 0 (J P , A)
特開平 0 6 - 2 4 4 3 8 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/8247
H01L 21/265
H01L 27/115
H01L 29/788
H01L 29/792