

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-288096

(P2007-288096A)

(43) 公開日 平成19年11月1日(2007.11.1)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 21/8238 (2006.01)	H O 1 L 27/08 3 2 1 D	4 M 1 0 4
H O 1 L 27/092 (2006.01)	H O 1 L 21/28 3 0 1 R	5 F 0 4 8
H O 1 L 21/28 (2006.01)	H O 1 L 21/28 3 0 1 S	
H O 1 L 29/423 (2006.01)	H O 1 L 29/58 G	
H O 1 L 29/49 (2006.01)		

審査請求 未請求 請求項の数 12 O L (全 14 頁)

(21) 出願番号 特願2006-116591 (P2006-116591)
 (22) 出願日 平成18年4月20日 (2006. 4. 20)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (71) 出願人 505218122
 インターユニベルシテール マイクロ エ
 レクトロニカ ツェントラム フェーゼッ
 トウェー
 ベルギー, B-3001 リューフェン,
 カペルドレーフ 75
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100110940
 弁理士 嶋田 高久

最終頁に続く

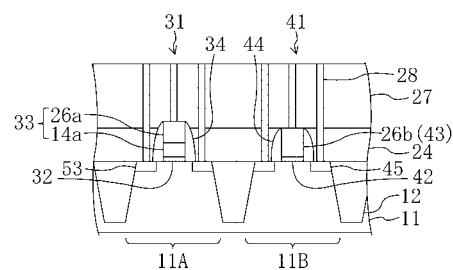
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 低リーク電流及び低閾値電圧のnチャネルMOSトランジスタとpチャネルMOSトランジスタとが一の基板に形成された半導体装置を実現できるようにする。

【解決手段】 半導体装置は、半導体基板11の上に形成され、第1のゲート絶縁膜32及び第1のゲート電極33を有する第1導電型のトランジスタ31と、第2のゲート絶縁膜42及び第2のゲート電極43を有する第2の導電型のトランジスタ41とを備えている。第1のゲート電極33は、金属膜14aを有するメタルゲート電極であり、第2のゲート電極43は、シリサイド膜26bからなるフルシリサイド化ゲート電極である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板の上に形成され、第 1 のゲート絶縁膜及び第 1 のゲート電極を有する第 1 導電型のトランジスタと、

前記半導体基板の前記第 1 導電型のトランジスタと異なる領域に形成され、第 2 のゲート絶縁膜及び第 2 のゲート電極を有する第 2 導電型のトランジスタとを備え、

前記第 1 のゲート電極は、金属膜を有するメタルゲート電極であり、

前記第 2 のゲート電極は、フルシリサイド化ゲート電極であることを特徴とする半導体装置。

【請求項 2】

前記第 1 のゲート絶縁膜及び第 2 のゲート絶縁膜のうちの少なくとも一方は、高誘電体からなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記高誘電体は、シリコン、ハフニウム、ジルコニウム、チタン、タンタル、アルミニウム及び希土類金属のうちの少なくとも 1 つを含むことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 導電型のトランジスタは n チャンネル MOS トランジスタであり、前記第 2 導電型のトランジスタは p チャンネル MOS トランジスタであることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記金属膜は、Ta、Ta₂N、TaSi、TaSiN、TaAl、TaAlN、TaAlSi、TaAlSiN、TaC 及び TaCN のうちのいずれか 1 つからなる単層膜又は少なくとも 2 つからなる積層膜であることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記メタルゲート電極は、前記金属膜の上に形成されたシリサイド膜を有していることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 のゲート絶縁膜は、膜厚が前記第 2 のゲート絶縁膜よりも厚いことを特徴とする請求項 4 に記載の半導体装置。

【請求項 8】

前記フルシリサイド化ゲート電極は、Ni、Pt 及び Co のいずれか 1 つを含むシリサイドからなることを特徴とする請求項 1 から 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】

半導体基板の上に第 1 の絶縁膜を形成した後、形成した第 1 の絶縁膜の上に金属膜を形成する工程 (a) と、

前記半導体基板の一部の領域において、前記第 1 の絶縁膜及び金属膜を除去して前記半導体基板の上面を露出する工程 (b) と、

前記半導体基板の露出部分の上に第 2 の絶縁膜を形成する工程 (c) と、

前記金属膜の上及び前記第 2 の絶縁膜の上にポリシリコン膜を形成する工程 (d) と、

前記金属膜の上に形成されたポリシリコン膜を前記金属膜と共にパターンニングしてメタルゲート電極である第 1 のゲート電極を形成すると共に、前記第 2 の絶縁膜の上に形成されたポリシリコン膜をパターンニングして第 2 のゲート電極を形成する工程 (e) と、

前記パターンニングされたポリシリコン膜をシリサイド化することにより前記第 2 のゲート電極をフルシリサイド化ゲート電極とする工程 (f) とを備えていることを特徴とする半導体装置の製造方法。

【請求項 10】

前記工程 (c) は、前記半導体基板の露出部分の上及び前記金属膜の上に前記第 2 の絶縁膜を形成する工程と、前記金属膜の上に形成された前記第 2 の絶縁膜を除去する工程とを含んでいることを特徴とする請求項 9 に記載の半導体装置の製造方法。

10

20

30

40

50

【請求項 1 1】

前記工程（e）よりも後で且つ前記工程（f）よりも前に、前記第 1 のゲート電極及び前記第 2 のゲート電極の側面にそれぞれサイドウォールを形成する工程（g）をさらに備えていることを特徴とする請求項 9 又は 1 0 に記載の半導体装置の製造方法。

【請求項 1 2】

前記工程（g）よりも後で且つ前記工程（f）よりも前に、前記半導体基板における前記第 1 のゲート電極の両側方の部分に第 1 導電型のソースドレイン領域をそれぞれ形成し、前記半導体基板における前記第 2 のゲート電極の両側方の部分に第 2 の導電型のソースドレイン領域をそれぞれ形成する工程（h）と、

前記工程（h）よりも後で且つ前記工程（f）よりも前に、前記第 1 導電型のソースドレイン領域及び第 2 導電型のソースドレイン領域をシリサイド化する工程（i）と、

前記工程（d）よりも後で且つ前記工程（i）よりも前に、前記ポリシリコン膜の上に第 3 の絶縁膜を形成する工程（j）と、

前記工程（j）よりも後で且つ前記工程（f）よりも前に、前記第 3 の絶縁膜を除去する工程（k）とをさらに備えていることを特徴とする請求項 1 1 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体装置及びその製造方法に関し、特に n チャンネル MOS トランジスタ及び p チャンネル MOS トランジスタを備えた半導体装置及びその製造方法に関する。

【背景技術】

【0 0 0 2】

近年の半導体装置の高集積化及び高速化の要求に伴い、金属酸化膜半導体電界効果トランジスタ（MOSFET）の微細化が進められている。MOSFET を微細化するためにゲート絶縁膜を薄膜化すると、トンネル電流によるゲートリーク電流の増大といった問題が顕在化してくる。この問題を抑制するために、ゲート絶縁膜に酸化ハフニウム（ HfO_2 ）又は酸化ジルコニウム（ ZrO_2 ）等の金属酸化物からなる高誘電率材料を用いることが試みられている。ゲート絶縁膜に高誘電体材料を用いることにより、酸化シリコン（ SiO_2 ）と比べて電氣的な実効膜厚を薄くしてもリーク電流を低減することが可能となる。

【0 0 0 3】

一方、動作速度向上のためにゲート電極を低抵抗化する必要があり、ポリシリコンからなるゲート電極を部分的にシリサイド化する手法が用いられている。しかし、ポリシリコン電極と高誘電体ゲート絶縁膜とを組み合わせた場合には、リーク電流の抑制が不十分である。リーク電流を十分に抑制できない理由の一つは、ソースドレイン領域に注入されたイオンに対する活性化処理等のトランジスタ製造プロセスにおいて、基板が 1 0 0 0 °C 程度の高温の雰囲気曝される結果、ポリシリコンが結晶化し、その結晶境界がリークパスとなることによると考えられている。

【0 0 0 4】

また高温の熱処理によってゲート電極材料とゲート絶縁膜材料とが反応してしまい、ゲート電極材料の実効的な仕事関数に変化してしまうことが報告され、この現象はフェルミレベルピンニング現象と呼ばれている。例えば、非特許文献 1 には、ゲート電極材料をポリシリコンとした場合に、ポリシリコンの実効的な仕事関数の値が、ポリシリコンのドーパントの種類によらず、シリコンのミッドギャップ（バンドギャップエネルギーの中間値）よりもやや n + ポリシリコン寄りに固定される結果、p 型 FET の閾値電圧の絶対値が相当に大きくなることが報告されている。MOS トランジスタの閾値電圧が高くなると、十分なドレイン電流が得られないため、ゲート容量が大きくなっても、トランジスタを高速動作させることができない。

【0 0 0 5】

10

20

30

40

50

このため、部分的にシリサイド化されたポリシリコン電極に代わり、金属又は金属的な導電性を有する化合物の膜をゲート電極として用いるメタルゲート電極及びポリシリコン膜をゲート絶縁膜との界面までシリサイド化したフルシリサイド化ゲート電極が提案されている（特許文献1を参照。）。

【0006】

なお、ゲート絶縁膜が高誘電体材料の場合にメタルゲート電極又はフルシリサイド化ゲート電極を用いる背景について言及したが、ゲート絶縁膜が SiO_2 の場合においても、ゲート電極をメタルゲート化又はフルシリサイド化することによりゲート電極の空乏化を抑制できるというメリットがある。すなわち、トランジスタ動作において、チャネル極性が反転した場合に生じるポリシリコンゲート電極の空乏化は、実効的なゲート容量を低下させる。このため、メタルゲート電極又はフルシリサイド化ゲート電極を用いることによってゲート容量の減少を抑え、より大きな電流駆動力を得ることが可能となる。

10

【特許文献1】特開2005-243678号公報

【非特許文献1】ホップスら、電子デバイス報告書（IEEE transactions on electron devices），2004年，第51巻，p. 971

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、金属膜又は金属的な導電性を有する化合物膜を堆積して形成するメタルゲート電極には、pチャネルMOSトランジスタにおいて電極の形成が困難であるという問題がある。nチャネルMOSトランジスタにおいては、仕事関数値の観点から、窒化タンタル（Ta₂N₅）又はタンタルシリコン窒化物（TaSiN₃）等の膜を堆積することによりメタルゲート電極を形成することができる。Ta₂N₅等の場合、窒素量を変えることで、Ta₂N₅そのものの仕事関数を変えることもでき、閾値電圧を調整できるというメリットもある。従って、nチャネルMOSトランジスタの場合メタルゲート電極の材料選択は比較的容易である。

20

【0008】

しかし、pチャネルMOSトランジスタにおいては、nチャネルMOSトランジスタと異なり大きな仕事関数が必要となるため白金（Pt）、ルテニウム（Ru）又はイリジウム（Ir）等の貴金属系材料からなる膜を用いてメタルゲート電極を形成する必要がある。これらの貴金属系材料からなる膜は、ゲート絶縁膜とのストレスが大きく、形成した電極が剥がれやすいという問題がある。また、エッチングすることが困難な材料であり、膜を堆積した後ゲート電極の形状にパターニングすることが困難であり、微細加工の点にも問題がある。

30

【0009】

さらに、nチャネルMOSトランジスタとpチャネルMOSトランジスタとを一の基板に作りこむ相補型金属酸化膜半導体（CMOS）プロセスにおいては、仕事関数が互いに異なる2種類の金属膜又は化合物膜を別々に堆積し、別々にパターニングして2種類のメタルゲート電極を形成する必要がある。このため、従来のポリシリコン電極と比べて、製造工程が複雑になるという問題もある。

40

【0010】

一方、ポリシリコン膜とニッケル（Ni）等の金属膜を順次堆積した後、熱処理することによりポリシリコン電極を完全にシリサイド化して形成するフルシリサイド化ゲート電極は、金属膜を直接堆積するメタルゲート電極の場合と比べて容易に形成することができる。しかし、先に述べたように、nチャネルMOSトランジスタとpチャネルMOSトランジスタとでは、ゲート電極として最適な仕事関数が異なっている。フルシリサイド化ゲート電極の仕事関数は、NiとSiとの組成比によって決まる。シリサイド化後のNiとSiとの組成比は、シリサイド化の際の熱処理条件によって決定される。このため、仕事関数が異なるフルシリサイド化ゲート電極を一の基板の上に形成することは非常に困難であるという問題がある。

50

【0011】

本発明は、前記従来の問題を解決し、低リーク電流及び低閾値電圧のnチャネルMOSトランジスタとpチャネルMOSトランジスタとが一の基板に形成された半導体装置を実現できるようにすることを目的とする。

【課題を解決するための手段】

【0012】

前記の目的を達成するため、本発明は半導体装置を、メタルゲート電極とフルシリサイドゲート電極とを備えた構成とする。

【0013】

具体的に本発明に係る半導体装置は、半導体基板の上に形成され、第1のゲート絶縁膜及び第1のゲート電極を有する第1導電型のトランジスタと、半導体基板の第1導電型のトランジスタと異なる領域に形成され、第2のゲート絶縁膜及び第2のゲート電極を有する第2導電型のトランジスタとを備え、第1のゲート電極は、金属膜を有するメタルゲート電極であり、第2のゲート電極は、フルシリサイドゲート電極であることを特徴とする。 10

【0014】

本発明の半導体装置は、第1のゲート電極は、金属膜を有するメタルゲート電極であり、第2のゲート電極は、フルシリサイドゲート電極であるため、互いに異なった仕事関数を有する第1のゲート電極と第2のゲート電極とを容易に作り別けることができる。従って、例えば、第1のゲート電極をnチャネルMOSトランジスタに最適な仕事関数を有するゲート電極とし、第2のゲート電極をpチャネルMOSトランジスタに最適な仕事関数を有するゲート電極とすることが容易にできる。その結果、nチャネルMOSトランジスタ及びpチャネルMOSトランジスタのいずれにおいても、リーク電流が少なく且つ閾値電圧が低い半導体装置を実現することが可能となる。 20

【0015】

本発明の半導体装置において、第1のゲート絶縁膜及び第2のゲート絶縁膜のうちの少なくとも一方は、高誘電体からなることが好ましい。

【0016】

この場合において、高誘電体膜はシリコン、ハフニウム、ジルコニウム、チタン、タンタル、アルミニウム及び希土類金属のうちの少なくとも1つを含むことが好ましい。 30

【0017】

本発明の半導体装置において、第1導電型のトランジスタはnチャネルMOSトランジスタであり、第2導電型のトランジスタはpチャネルMOSトランジスタであることが好ましい。このような構成とすることにより、ゲート絶縁膜とゲート電極の剥離が生じやすく、加工が困難な貴金属系の材料を用いることなく、nチャネルMOSトランジスタ及びpチャネルMOSトランジスタのそれぞれに最適なゲート電極が形成できる。

【0018】

本発明の半導体装置において金属膜は、Ta、Ta₂N₅、TaSi、TaSiN、TaAl、TaAlN、TaAlSi、TaAlSiN、TaC及びTaCNのうちのいずれか1つからなる単層膜又は少なくとも2つからなる積層膜であることが好ましい。このような構成とすることにより、nチャネルMOSトランジスタのリーク電流及び閾値電圧を確実に低減することができる。また、第1のゲート電極の形成も容易に行うことが可能となる。 40

【0019】

この場合においてメタルゲート電極は、金属膜の上に形成されたシリサイド膜を有していることが好ましい。このような構成とすることにより、ゲート電極とコンタクトプラグとの接続が容易となると共に、ゲート電極の抵抗値を低減できる。

【0020】

本発明の半導体装置において、第1のゲート絶縁膜は、膜厚が第2のゲート絶縁膜よりも厚いことが好ましい。このような構成とすることにより、シリコンからなる基板と高誘 50

電体膜との界面に生成する酸化シリコン膜によるnチャネルMOSトランジスタのゲートリーク電流の増大を補償し、nチャネルMOSトランジスタとpチャネルMOSトランジスタとのゲートリーク電流の特性をそろえることが可能となる。

【0021】

本発明の半導体装置において、フルシリサイド化ゲート電極は、Ni、Pt及びCoのいずれか1つを含むシリサイドからなることが好ましい。

【0022】

本発明に係る半導体装置の製造方法は、半導体基板の上に第1の絶縁膜を形成した後、形成した第1の絶縁膜上に金属膜を形成する工程(a)と、半導体基板の一部の領域において第1の絶縁膜及び金属膜を除去して半導体基板の上面を露出する工程(b)と、半導体基板の露出部分の上に第2の絶縁膜を形成する工程(c)と、金属膜の上及び第2の絶縁膜の上にポリシリコン膜を形成する工程(d)と、金属膜の上に形成されたポリシリコン膜を金属膜と共にパターニングしてメタルゲート電極である第1のゲート電極を形成すると共に、第2の絶縁膜の上に形成されたポリシリコン膜をパターニングして第2のゲート電極を形成する工程(e)と、パターニングされたポリシリコン膜をシリサイド化することにより第2のゲート電極をフルシリサイド化ゲート電極とする工程(f)とを備えていることを特徴とする。

【0023】

本発明の半導体装置の製造方法によれば、金属膜の上に形成されたポリシリコン膜を金属膜と共にパターニングしてメタルゲート電極である第1のゲート電極を形成すると共に、第2の絶縁膜の上に形成されたポリシリコン膜をパターニングして第2のゲート電極を形成する工程と、パターニングされたポリシリコン膜をシリサイド化することにより第2のゲート電極をフルシリサイド化ゲート電極とする工程を備えているため、工程を複雑化することなくメタルゲート電極とフルシリサイド化ゲート電極とを作り別けることが可能となる。また、第1の絶縁膜と第2の絶縁膜とを別々に形成しているため、nチャネルMOSトランジスタのゲート絶縁膜の膜厚とpチャネルMOSトランジスタのゲート絶縁膜の膜厚とを、互いに異なった厚さとすることが容易にできる。

【0024】

本発明の半導体装置の製造方法において工程(c)は、半導体基板の露出部分の上及び金属膜の上に第2の絶縁膜を形成する工程と、金属膜の上に形成された第2の絶縁膜を除去する工程とを含んでいることが好ましい。

【0025】

本発明の半導体装置の製造方法は、工程(e)よりも後で且つ工程(f)よりも前に、第1のゲート電極及び第2のゲート電極の側面にそれぞれサイドウォールを形成する工程(g)をさらに備えていることが好ましい。

【0026】

本発明の半導体装置の製造方法は、工程(g)よりも後で且つ工程(f)よりも前に、半導体基板における第1のゲート電極の両側方の部分に第1導電型のソースドレイン領域をそれぞれ形成し、半導体基板における第2のゲート電極の両側方の部分に第2導電型のソースドレイン領域をそれぞれ形成する工程(h)と、工程(h)よりも後で且つ工程(g)よりも前に、ソースドレイン領域をシリサイド化する工程(i)と、工程(d)よりも後で且つ工程(i)よりも前に、ポリシリコン膜の上に第3の絶縁膜を形成する工程(k)と、工程(j)よりも後で且つ工程(f)よりも前に、第3の絶縁膜を除去する工程(k)とをさらに備えていることが好ましい。

【発明の効果】

【0027】

本発明に係る半導体装置及びその製造方法によれば、低リーク電流及び低閾値電圧のnチャネルMOSトランジスタとpチャネルMOSトランジスタとが一の基板に形成された半導体装置を実現できる。

【発明を実施するための最良の形態】

10

20

30

40

50

【0028】

本発明の一実施形態について図面を参照して説明する。図1は本発明の一実施形態に係る半導体装置の断面構成を示している。図1に示すように本実施形態の半導体装置は、基板の上に形成されたpチャネルMOSトランジスタとnチャネルMOSトランジスタとを備えている。

【0029】

シリコンからなる基板11には素子分離12により互いに分離された第1の領域11Aと第2の領域11Bとが形成されている。第1の領域11Aには、nチャネルMOSトランジスタ31が形成されている。

【0030】

nチャネルMOSトランジスタ31は、基板11の上に形成された酸化ハフニウム(HfO₂)からなる第1のゲート絶縁膜32と、サイドウォール34を備えた第1のゲート電極33とを有している。第1の領域11Aにおける第1のゲート電極33の両側方の部分にはn型ソースドレイン35がそれぞれ形成されている。本実施形態の半導体装置における第1のゲート電極33は、Ta₂N₅からなる金属膜14aと白金シリサイドからなるシリサイド膜26aとが下から順次積層されており、金属膜14aが第1のゲート絶縁膜32と接して形成されたメタルゲート電極である。本実施形態において、メタルゲート電極とは、金属又は金属的な導電性を有する金属化合物の膜をゲート絶縁膜と接するように堆積して形成したゲート電極をいう。メタルゲート電極において金属膜とは、金属単体の膜だけでなく金属的な導電性を有する金属化合物の膜も含まれるものとする。

【0031】

pチャネルMOSトランジスタ41は、基板11の上に形成されたHfO₂からなる第2のゲート絶縁膜42と、サイドウォール44を備えた第2のゲート電極43とを有している。第2の領域11Bにおける第2のゲート電極43の両側方の部分にはp型ソースドレイン45がそれぞれ形成されている。第2のゲート電極43は、第2のゲート絶縁膜42の上にシリサイド膜26bが形成されたフルシリサイド化ゲート電極である。フルシリサイド化ゲート電極とは、ゲート絶縁膜の上にポリシリコン膜を堆積した後、堆積したポリシリコン膜をゲート絶縁膜の界面までシリサイド化して形成したゲート電極である。

【0032】

nチャネルMOSトランジスタ31及びpチャネルMOSトランジスタ41は、順次形成された層間絶縁膜24及び層間絶縁膜27に覆われている。層間絶縁膜24及び層間絶縁膜27には、第1のゲート電極33及びn型ソースドレイン35と、第2のゲート電極43及びp型ソースドレイン45とそれぞれ電氣的に接続されたコンタクトプラグ28が形成されている。

【0033】

本実施形態の半導体装置は、nチャネルMOSトランジスタ31が、Ta₂N₅からなるメタルゲート電極である第1のゲート電極33を有し、pチャネルMOSトランジスタ41が、フルシリサイド化ゲート電極である第2のゲート電極43を有している。このため、nチャネルMOSトランジスタ31とpチャネルMOSトランジスタ41とにおいて、仕事関数が互いに異なったゲート電極が形成されており、nチャネルMOSトランジスタ31及びpチャネルMOSトランジスタ41のいずれにおいても、リーク電流及び閾値電圧を低く抑えることが可能となる。

【0034】

また、本実施形態の半導体装置は、pチャネルMOSトランジスタ41のゲート電極をフルシリサイド化ゲート電極としている。このため、白金(Pt)等を用いたメタルゲート電極を形成する場合と比べて、ゲート電極のゲート絶縁膜からの剥離を抑えることができる。また、Pt等をエッチングしてメタルゲート電極を形成する場合と比べて遙かに容易にゲート電極を形成することができる。

【0035】

また、nチャネルMOSトランジスタ31及びpチャネルMOSトランジスタ41の両

10

20

30

40

50

方のゲート電極をフルシリサイド化ゲート電極とする場合と異なり、pチャネルMOSトランジスタ41に最適な条件においてフルシリサイド化を行うことができる。

【0036】

なお、第1のゲート絶縁膜32及び第2のゲート絶縁膜42は、 HfO_2 に代えて、ハフニウムシリケート (HfSiO) 膜又は窒化ハフニウムシリケート (HfSiON) 膜等の高誘電体膜を用いることができる。この他にもシリコン (Si)、ハフニウム (Hf)、ジルコニウム (Zr)、チタン (Ti)、タンタル (Ta)、アルミニウム (Al) 等並びにスカンジウム (Sc)、イットリウム (Y)、ランタン (La) 及びその他のランタノイド等の希土類金属のうちの少なくとも1つを含む材料からなる高誘電体膜を用いてもよい。また、第1のゲート絶縁膜32と第2のゲート絶縁膜42とが互いに異なる材料により形成されていてもよい。さらに、高誘電体膜に代えて SiO_2 膜でもよい。この場合においても、ゲート電極33の空乏化を防止し、駆動電流が大きなトランジスタが得られるというメリットがある。 10

【0037】

第1のゲート電極33の金属膜14aは、 TaN に代えて、タンタル (Ta)、タンタルシリコン (TaSi)、タンタルシリコン窒化物 (TaSiN)、タンタルアルミニウム (TaAl)、タンタルアルミニウム窒化物 (TaAlN)、タンタルアルミニウムシリコン (TaAlSi)、タンタルアルミニウムシリコン窒化物 (TaAlSiN)、タンタルカーバイド (TaC) 及びタンタルカーバイド窒化物 (TaCN) 等であってもよい。また、これらの積層膜であってもよい。この場合、仕事関数が4.2eV以上且つ4.5eV以下となるようにすることが好ましい。また、窒化物の場合、窒素組成は50%以下であることが好ましい。 20

【0038】

第2のゲート電極43は、白金シリサイドに代えて、ニッケルシリサイド又はコバルトシリサイド等であってもよい。

【0039】

本実施形態の半導体装置は、コンタクトプラグ28と第1のゲート電極33との接続を容易とし且つゲート電極33の抵抗値を低減するため、第1のゲート電極33を金属膜14aとシリサイド膜26aとの積層膜としたが、シリサイド膜26aを設けず、金属膜14aのみにより形成してもよい。 30

【0040】

以下に、本実施形態の半導体装置の製造方法について図面を参照して説明する。図2～図6は本実施形態の半導体装置の製造方法を工程順に示している。

【0041】

まず、図2(a)に示すようにシリコンからなる基板11にトレンチ素子分離12を形成して、nチャネルMOSトランジスタ31を形成する第1の領域11AとpチャネルMOSトランジスタ41を形成する第2の領域11Bとを形成する。素子分離はLOCOS技術を用いて形成してもよい。

【0042】

次に、図2(b)に示すように基板11の上面に形成された自然酸化膜を希釈フッ酸水溶液にて除去した後、基板11の上に第1のゲート絶縁膜32となる HfO_2 等からなる第1の絶縁膜13を形成する。 40

【0043】

HfO_2 膜の形成は、直流スパッタ法等を用いて、 Hf 等からなる金属膜を堆積した後、金属膜を酸化すればよい。金属膜の堆積方法は、物理的気相堆積法 (PVD) 法、真空蒸着法、電子ビーム蒸着法、レーザ蒸着法、化学的気相堆積法 (CVD) 法有機金属気相堆積法及び原子層堆積法等であってもよい。金属酸化膜に代えて、 HfSiO_4 等の金属シリケート膜又は HfSiON 等の金属窒化シリケート膜等を形成してもよい。自然酸化膜を除去した後、必要に応じて基板11の上面に酸化膜又は窒化膜等を形成してもよい。

【0044】

次に、図 2 (c) に示すように、スパッタ法等を用いて、第 1 の絶縁膜 13 の上に TaN 等からなる金属膜 14 を形成する。TaN 膜の場合には、例えば、圧力が 0.4 kPa のアルゴンと窒素の雰囲気において、Ta ターゲットをスパッタリングすることにより形成すればよい。Ta ターゲットからスパッタされた Ta 原子は第 1 の絶縁膜 13 の上に付着した後、雰囲気中の窒素と反応することによって、TaN 膜となる。

【0045】

同様にして、TaSi、TaAl、TaAlSi、TaC 等の場合には、それぞれの金属ターゲットをアルゴン雰囲気中、もしくはアルゴンと窒素の混合ガス中にてスパッタリングすればよい。

【0046】

次に、図 3 (a) に示すようにフォトリソグラフィ技術を用いて、第 2 の領域 11B を露出するレジストマスク 15 を金属膜 14 の上に形成した後、第 2 の領域 11B に形成された金属膜 14 及び第 1 の絶縁膜 13 をエッチングして、基板 11 の上面を第 2 の領域 11B において露出する。エッチングには、フッ酸と硝酸との混合液をエッチャントとして用いればよい。またウェットエッチングに代えて、ドライエッチングを用いても構わない。

【0047】

次に、図 3 (b) に示すように第 2 の絶縁膜 16 を、金属膜 14 の上面及び露出した基板 11 の上面に堆積する。第 2 の絶縁膜 16 は、第 1 の絶縁膜 13 と同様にして HfO_2 、 HfSiO 、 HfSiON 等からなる高誘電体膜を形成すればよい。また、第 1 の絶縁膜 13 と同じ材料であっても、異なる材料であってもよい。また、第 1 の絶縁膜 13 と第 2 の絶縁膜 16 は高誘電体膜に代えてシリコン酸化膜でもかまわない。

【0048】

第 1 の絶縁膜 13 と第 2 の絶縁膜 16 とは膜厚が同じであってもよいが、後で述べるように、第 1 の絶縁膜 13 の膜厚を第 2 の絶縁膜 16 の膜厚よりも厚くすることが好ましい。

【0049】

次に、図 3 (c) に示すようにフォトリソグラフィ技術を用いて、第 1 の領域 11A を露出するレジストマスク 17 を形成した後、金属膜 14 の上に堆積された第 2 の絶縁膜 16 を除去する。第 2 の絶縁膜 16 は、例えば希釈フッ酸をエッチャントとして用いてウェットエッチングにより除去すればよい。また、第 2 の絶縁膜 16 の上にポリシリコンからなる保護膜が形成されている場合には、APM 溶液（アンモニア、過酸化水素水及び水の混合液）によりまず保護膜を除去した後に、希釈フッ酸を用いてウェットエッチングすればよい。なお、ドライエッチングを用いても構わない。

【0050】

本実施形態においては p チャネル MOS トランジスタ 41 におけるゲート絶縁膜の膜質劣化を防止するために、第 2 の領域 11B において第 1 の絶縁膜 13 を金属膜 14 と共に除去した。しかし、第 2 の領域 11B において第 1 の絶縁膜 13 をそのまま残し、これを第 2 の絶縁膜 16 の代わりに用いてもよい。この場合には、第 2 の絶縁膜 16 の形成工程が省略でき、工程が簡略化できるというメリットがある。

【0051】

次に、図 4 (a) に示すように金属膜 14 の上面及び第 2 の絶縁膜 16 の上面にポリシリコン膜 18 と、 SiO_2 等からなる第 3 の絶縁膜 19 を堆積する。ポリシリコン膜 18 は、シランガスを用いた CVD 法にて堆積すればよく、第 3 の絶縁膜 19 は、テトラエトキシシラン (TEOS) を用いてプラズマ CVD 法により堆積すればよい。第 3 の絶縁膜 19 は、後で述べるソースドレイン領域をシリサイド化する際の保護膜であり、必要に応じて形成すればよい。続いて、第 1 のゲート電極 33 及び第 2 のゲート電極 43 となる部分にレジストマスク 20 を形成する。

【0052】

次に、図 4 (b) に示すようにドライエッチングにより、第 3 の絶縁膜 19、ポリシリ

10

20

30

40

50

コン膜 18 及び金属膜 14、第 1 の絶縁膜 13 及び第 2 の絶縁膜 16 を選択的に除去する。これにより、金属膜 14 a、ポリシリコン膜 18 a 及び第 3 の絶縁膜 19 a からなる第 1 のゲート電極 33 と、ポリシリコン膜 18 b 及び第 3 の絶縁膜 19 b からなる第 2 のゲート電極 43 とを形成する。その後、イオン注入技術を用いて、第 1 の領域 11 A に n 型不純物を注入し、第 2 の領域 11 B に p 型不純物を注入して、エクステンション領域（図示せず）をそれぞれ形成する。

【0053】

次に、図 4（c）に示すように SiN 膜を基板 11 の全面に堆積した後、異方性エッチングを行い、第 1 のゲート電極 33 及び第 2 のゲート電極 43 の側面にサイドウォール 34 及びサイドウォール 44 をそれぞれ形成する。

10

【0054】

次に、図 5（a）に示すように第 1 の領域 11 A に n 型不純物を注入し、第 2 の領域 11 B に p 型不純物を注入して、1000℃で 3 秒間の熱処理を行うことにより、n 型ソースドレイン 35 及び p 型ソースドレイン 45 をそれぞれ形成する。

【0055】

続いて、基板 11 の全面にニッケルからなる金属膜 23 を堆積した後、500 度以下の温度で熱処理することにより、n 型ソースドレイン 35 及び p 型ソースドレイン 45 をシリサイド化する。第 1 のゲート電極 33 のポリシリコン膜 18 a 及び第 2 のゲート電極 43 のポリシリコン膜 18 b は、第 3 の絶縁膜 19 a 及び第 3 の絶縁膜 19 b によりそれぞれ保護されているため、シリサイド化されない。金属膜 23 には、白金又はコバルト等を用いてもよい。

20

【0056】

次に、図 5（b）に示すように、SPM 溶液（硫酸、過酸化水素水及び水の混合液）を用いて未反応の金属膜 23 を除去した後、層間絶縁膜 24 を基板 11 の全面に堆積する。続いて、CMP 技術を用いて層間絶縁膜 24 を研磨して第 1 のゲート電極 33 における第 3 の絶縁膜 19 a 及び第 2 のゲート電極 43 における第 3 の絶縁膜 19 b が露出するまで除去する。

【0057】

次に、図 5（c）に示すように第 3 の絶縁膜 19 a 及び第 3 の絶縁膜 19 b をフッ酸系薬液により除去して、第 1 のゲート電極 33 のポリシリコン膜 18 a 及び第 2 のゲート電極 43 のポリシリコン膜 18 b を露出する。

30

【0058】

次に、図 6（a）に示すように基板 11 の全面に白金からなる金属膜 25 をスパッタ法等により堆積する。堆積方法は CVD、蒸着又はレーザーアブレーション等を用いても構わない。また、白金に代えてニッケル又はコバルト等を堆積してもよい。

【0059】

次に、図 6（b）に示すように 500℃以下の温度にて熱処理を行い、第 1 のゲート電極 33 のポリシリコン膜 18 a 及び第 2 のゲート電極 43 のポリシリコン膜 18 b を白金シリサイドからなるシリサイド膜 26 a 及びシリサイド膜 26 b にそれぞれ変化させる。この際、p チャネル MOS トランジスタ 41 においては、シリサイド膜 26 b に変化する際の体積膨張によりゲート絶縁膜 42 に圧縮方向の応力が加わる。一般にホールキャリアは圧縮応力により移動度が向上するので、p チャネル MOS トランジスタ 41 のドレイン電流の特性が向上する。一方、n チャネル MOS トランジスタ 31 においては、第 1 のゲート絶縁膜 32 に圧縮方向の応力が加わると、p チャネル MOS トランジスタの場合とは逆に、特性が劣化する。しかし、n チャネル MOS トランジスタ 31 においては、シリサイド膜 26 a と第 1 のゲート絶縁膜 32 との間に金属膜 14 a が存在しているために、ストレスの効果は抑制され、その特性劣化は限定される。

40

【0060】

次に図 6（c）に示すように SPM 溶液を用いて未反応の金属膜 25 を除去した後、層間絶縁膜 27 を堆積し、シリサイド化された n 型ソースドレイン 35 及び p 型ソースドレ

50

イン４５と、第１のゲート電極３３及び第２のゲート電極４３とにそれぞれ電氣的に接続されたコンタクトプラグ２８を形成する。

【００６１】

高誘電体材料をゲート絶縁膜に用いた場合、シリコンと高誘電体膜との界面において、 SiO_2 膜が比較的容易に形成されるため、ゲート絶縁膜は、薄い SiO_2 膜と高誘電体膜との積層構造となっている。上層の高誘電体膜は、バンドギャップは小さいが膜厚が厚く、下層の SiO_2 膜はバンドギャップは大きいが膜厚が薄い。このような非対称なバンド構造のゲート絶縁膜においては、リーク電流の大きさは、キャリアの注入方向によって異なる。従って、 n チャネルＭＯＳトランジスタと p チャネルＭＯＳトランジスタとでは、リーク電流の特性が異なることになる。

10

【００６２】

n チャネルＭＯＳトランジスタの場合には、ソースドレイン領域から供給された電子がチャネル側から導入されるため、チャネルと接する SiO_2 膜の膜厚によりリーク電流が主に決定される。一般に SiO_2 膜は高誘電体膜に比べて薄いのでリーク電流は大きく、 p チャネルＭＯＳトランジスタと比べてリーク電流が大きくなる。このため、 n チャネルＭＯＳトランジスタにおけるリーク電流を抑制するためには、 p チャネルＭＯＳトランジスタと比べて高誘電体材料からなるゲート絶縁膜の膜厚を厚くする必要がある。

【００６３】

本実施形態においては、 n チャネルＭＯＳトランジスタ３１の第１のゲート絶縁膜３２と p チャネルＭＯＳトランジスタ４１の第２のゲート絶縁膜４２とを異なった工程により形成している。従って、第１のゲート絶縁膜３２の膜厚を第２のゲート絶縁膜４２の膜厚よりも厚くすることが容易にできるため、 n チャネルＭＯＳトランジスタ３１と p チャネルＭＯＳトランジスタ４１とのリーク電流をそろえることが可能である。

20

【産業上の利用可能性】

【００６４】

本発明に係る半導体装置及びその製造方法は、低リーク電流及び低閾値電圧の n チャネルＭＯＳトランジスタと p チャネルＭＯＳトランジスタとが一の基板に形成された半導体装置を実現でき、 n チャネルＭＯＳトランジスタ及び p チャネルＭＯＳトランジスタを備えた半導体装置及びその製造方法等として有用である。

【図面の簡単な説明】

30

【００６５】

【図１】本発明の一実施形態に係る半導体装置を示す断面図である。

【図２】本発明の一実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図３】本発明の一実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図４】本発明の一実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図５】本発明の一実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図６】本発明の一実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【符号の説明】

【００６６】

- １１ 半導体基板
- １１Ａ 第１の領域
- １１Ｂ 第２の領域
- １２ 素子分離
- １３ 第１の絶縁膜
- １４ 金属膜
- １４ａ 金属膜
- １５ レジストマスク
- １６ 第２の絶縁膜
- １７ レジストマスク
- １８ ポリシリコン膜

40

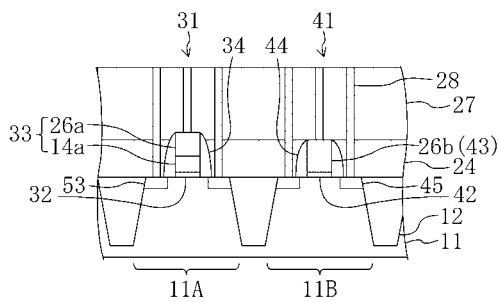
50

- 1 8 a ポリシリコン膜
- 1 8 b ポリシリコン膜
- 1 9 第3の絶縁膜
- 1 9 a 第3の絶縁膜
- 1 9 b 第3の絶縁膜
- 2 0 レジストマスク
- 2 3 金属膜
- 2 4 層間絶縁膜
- 2 5 白金膜
- 2 6 a シリサイド膜
- 2 6 b シリサイド膜
- 2 7 層間絶縁膜
- 2 8 コンタクトプラグ
- 3 1 nチャネルMOSトランジスタ
- 3 2 第1のゲート絶縁膜
- 3 3 第1のゲート電極
- 3 4 サイドウォール
- 3 5 n型ソースドレイン
- 4 1 pチャネルMOSトランジスタ
- 4 2 第2のゲート絶縁膜
- 4 3 第2のゲート電極
- 4 4 サイドウォール
- 4 5 p型ソースドレイン

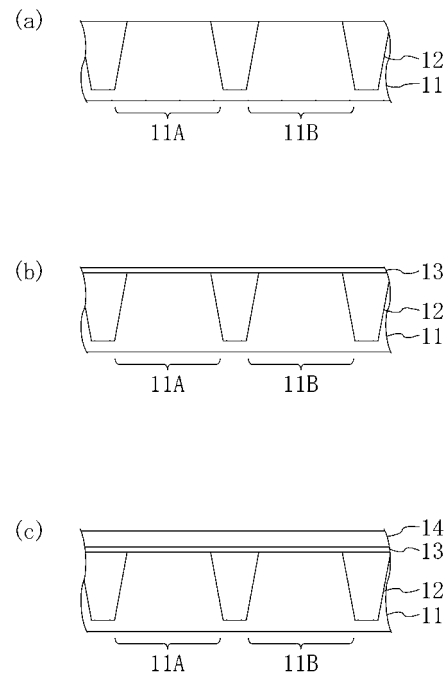
10

20

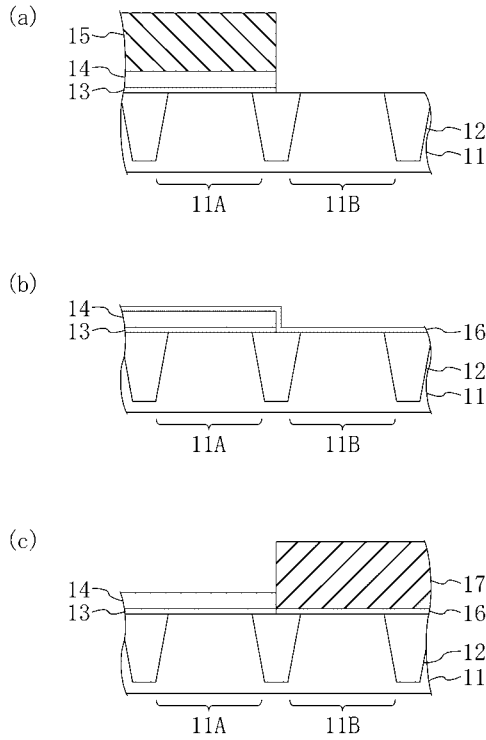
【図 1】



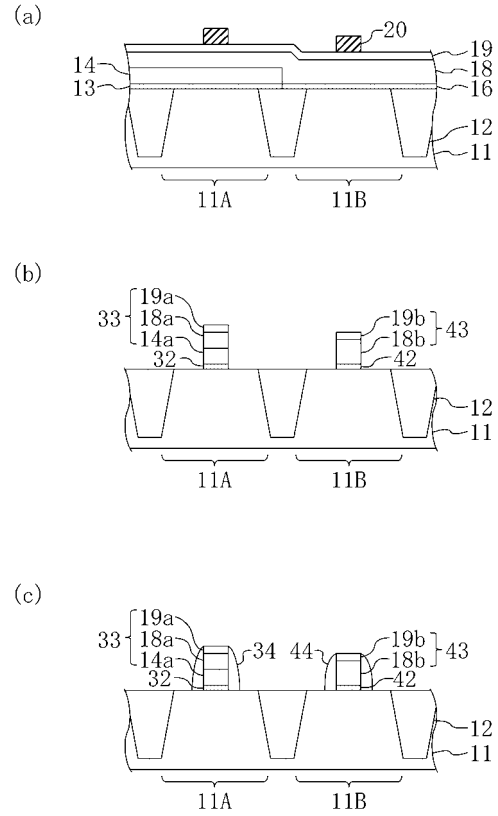
【図 2】



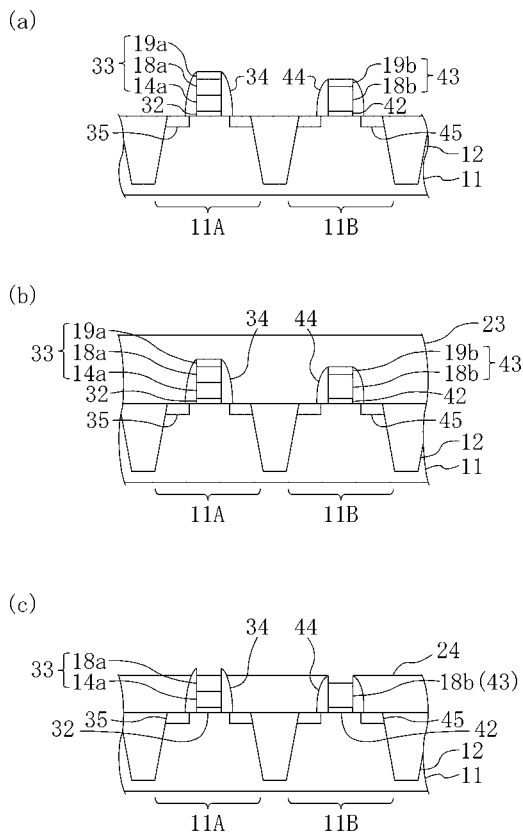
【図 3】



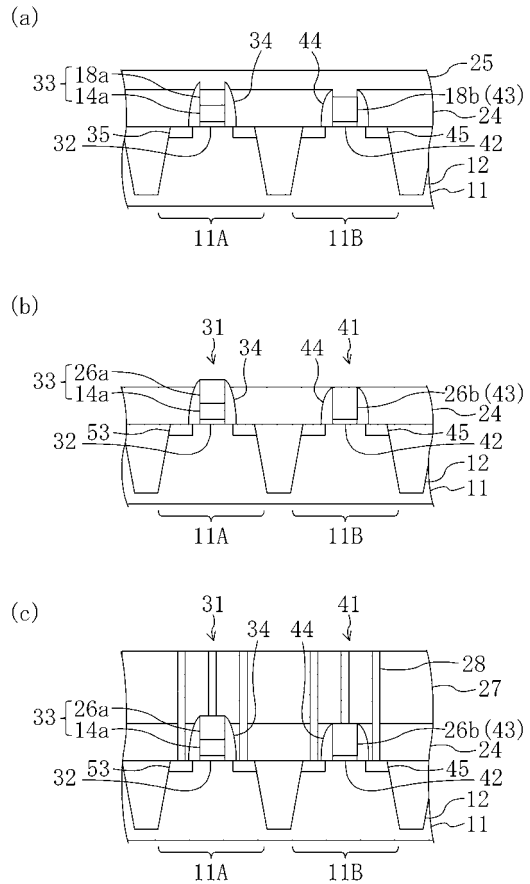
【図 4】



【図 5】



【図 6】



フロントページの続き

(74)代理人 100113262
弁理士 竹内 祐二

(74)代理人 100115059
弁理士 今江 克実

(74)代理人 100115691
弁理士 藤田 篤史

(74)代理人 100117581
弁理士 二宮 克也

(74)代理人 100117710
弁理士 原田 智雄

(74)代理人 100121728
弁理士 井関 勝守

(74)代理人 100124671
弁理士 関 啓

(74)代理人 100131060
弁理士 杉浦 靖也

(72)発明者 山本 和彦
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 藤本 裕雅
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 小谷 隆文
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

F ターム(参考) 4M104 AA01 BB17 BB20 BB21 BB22 BB27 BB32 BB34 BB36 CC05
DD04 DD34 DD37 DD42 DD43 DD64 DD65 DD84 EE03 EE16
FF13 GG09 GG10 GG14 HH20
5F048 AC03 BA01 BB08 BB09 BB10 BB11 BB12 BB14 BB16 BC06
BE03 BF06 BF07 BF15 BF16 BF17 BG13 DA27