(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0076364
(43) 공개일자 2025년05월29일

(51) 국제특허분류(Int. Cl.)
H04L 25/03 (2006.01) *H04L 25/02* (2006.01)
(52) CPC특허분류
H04L 25/03878 (2013.01)
H04L 25/026 (2013.01)
(21) 출원번호 10-2024-0101931
(22) 출원일자 2024년07월31일
심사청구일자 2024년07월31일
(30) 우선권주장
1020230163012 2023년11월22일 대한민국(KR)

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
신화석
서울특별시 동작구 동작대로39길 22(동작동, 이수힐스테이트)
(뒷면에 계속)
(74) 대리인
특허법인주연케이알피

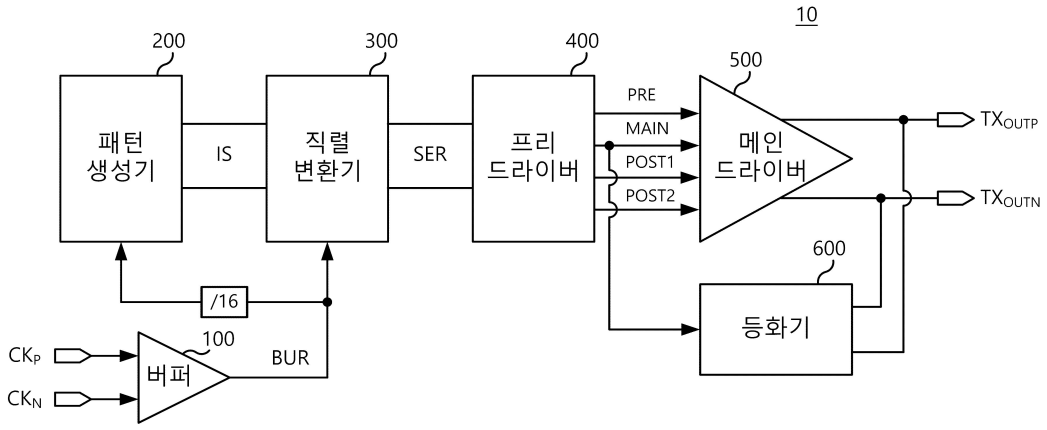
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **디-엠파시스 및 프리-엠파시스를 수행하는 송신기 회로 및 그 동작 방법**

(57) 요 약

본 출원은 송신기 회로에 관한 것이다. 본 출원의 몇몇 예시적 실시예로, 직렬 신호를 수신하여 메인 신호를 생성하고, 상기 메인 신호를 기반으로 서로 다른 위상을 갖는 제1 내지 제3 쉬프트 신호를 생성하는 프리 드라이버; 상기 메인 신호 및 상기 제1 내지 제3 쉬프트 신호를 수신하여 차동 출력 신호를 생성하고, 상기 차동 출력 신호의 논리 비트가 유지되는 경우에 상기 차동 출력 신호의 전압 레벨을 디-엠파시스(De-Emphasis)하는 메인 드라이버; 및 상기 메인 신호를 수신하고, 상기 차동 출력 신호의 상기 논리 비트가 전이되는 경우에 상기 차동 출력 신호의 전압 레벨을 프리-엠파시스(Pre-Emphasis)하는 등화기를 포함할 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H04L 25/0272 (2013.01)
H04L 25/03025 (2013.01)
(72) 발명자
김태환
서울특별시 관악구 보라매로3길 29(봉천동, 해태보라매타워)
박승우
서울특별시 마포구 마포대로 195(아현동, 마포 래미안 푸르지오)
심진철
서울특별시 성북구 삼선교로8길 16(삼선동1가)
최종혁
경기도 수원시 영통구 삼성로 11(신동, 래미안 영통마크원 2단지)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711199384
과제번호	00281047
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	국가반도체연구실(NSL)핵심기술개발
연구과제명	차세대 초고속 고효율 인터페이스 IP 개발
과제수행기관명	고려대학교산학협력단
연구기간	2023.08.01 ~ 2027.12.31

명 세 서

청구범위

청구항 1

직렬 신호를 수신하여 메인 신호를 생성하고, 상기 메인 신호를 기반으로 서로 다른 위상을 갖는 제1 내지 제3 쉬프트 신호를 생성하는 프리 드라이버;

상기 메인 신호 및 상기 제1 내지 제3 쉬프트 신호를 수신하여 차동 출력 신호를 생성하고, 상기 차동 출력 신호의 논리 비트가 유지되는 경우에 상기 차동 출력 신호의 전압 레벨을 디-엠파시스(De-Emphasis)하는 메인 드라이버; 및

상기 메인 신호를 수신하고, 상기 차동 출력 신호의 상기 논리 비트가 전이되는 경우에 상기 차동 출력 신호의 전압 레벨을 프리-엠파시스(Pre-Emphasis)하는 등화기를 포함하는 송신기 회로.

청구항 2

제1항에 있어서,

상기 메인 드라이버는,

상기 디-엠파시스를 위한 보상 동작을 수행하는 제1 내지 제4 탭을 포함하고,

상기 제1 내지 제4 탭은:

상기 메인 신호 및 상기 제1 내지 제3 쉬프트 신호에 대응하는 전류원; 및

상기 메인 신호 및 상기 제1 내지 제3 쉬프트 신호에 기초하여 전류의 경로를 형성하는 복수의 P형 트랜지스터를 포함하는 송신기 회로.

청구항 3

제1항에 있어서,

상기 등화기는,

상기 메인 신호에 기초하여 상기 차동 출력 신호를 보상하기 위한 전압을 충방전하는 송신기 회로.

청구항 4

제1항에 있어서,

상기 등화기는:

상기 메인 신호를 수신하고, 외부에서 인가되는 활성화 신호에 기초하여 활성화되는 제1 논리 게이트;

상기 메인 신호의 반전된 신호를 수신하고, 외부에서 인가되는 상기 활성화 신호에 기초하여 활성화되는 제2 논리 게이트;

일 단이 상기 제1 논리 게이트에 연결되고, 타 단이 양의 출력 신호를 출력하는 경로의 제3 노드와 연결되는 제1 커패시터; 및

일 단이 상기 제2 논리 게이트에 연결되고, 타 단이 음의 출력 신호를 출력하는 경로의 제4 노드와 연결되는 제2 커패시터를 포함하는 송신기 회로.

청구항 5

제1항에 있어서,

상기 프리 드라이버는:

제1 쉬프트 신호보다 쉬프트 값 이후의 신호인 메인 신호를 생성하는 제1 지연기;

상기 메인 신호보다 상기 쉬프트 값 이후의 신호인 제2 쉬프트 신호를 생성하는 제2 지연기; 및

상기 제2 쉬프트 신호보다 상기 쉬프트 값 이후의 신호인 제3 쉬프트 신호를 생성하는 제3 지연기를 포함하는 송신기 회로.

청구항 6

제1항에 있어서,

상기 디-엠파시스는 상기 차동 출력 신호의 진폭을 감소하여 보상하고, 상기 프리-엠파시스는 상기 차동 출력 신호의 진폭을 증가하여 보상하는 송신기 회로.

청구항 7

직렬 신호를 수신하여 메인 신호를 생성하고, 상기 메인 신호를 기반으로 서로 다른 위상을 갖는 제1 내지 제3 쉬프트 신호를 생성하는 프리 드라이버;

상기 메인 신호 및 상기 제1 내지 제3 쉬프트 신호를 수신하여 차동 출력 신호를 생성하고, 상기 차동 출력 신호의 논리 비트가 유지되는 경우에 상기 차동 출력 신호의 전압 레벨을 디-엠파시스(De-Emphasis)하는 메인 드라이버; 및

상기 메인 신호를 수신하고, 상기 차동 출력 신호의 상기 논리 비트가 전이되는 경우에 상기 차동 출력 신호의 전압 레벨을 프리-엠파시스(Pre-Emphasis)하는 등화기를 포함하고,

상기 메인 드라이버는,

상기 디-엠파시스를 위한 보상 동작을 수행하는 제1 내지 제4 탭을 포함하고,

상기 제1 내지 제4 탭은:

상기 메인 신호 및 상기 제1 내지 제3 쉬프트 신호에 대응하는 전류원; 및

상기 메인 신호 및 상기 제1 내지 제3 쉬프트 신호에 기초하여 전류의 경로를 형성하는 복수의 P형 트랜지스터를 포함하고,

상기 메인 신호를 수신하고, 외부에서 인가되는 활성화 신호에 기초하여 활성화되는 제1 논리 게이트;

상기 메인 신호의 반전된 신호를 수신하고, 외부에서 인가되는 상기 활성화 신호에 기초하여 활성화되는 제2 논리 게이트;

일 단이 상기 제1 논리 게이트에 연결되고, 타 단이 양의 출력 신호를 출력하는 경로의 제3 노드와 연결되는 제1 커패시터; 및

일 단이 상기 제2 논리 게이트에 연결되고, 타 단이 음의 출력 신호를 출력하는 경로의 제4 노드와 연결되는 제2 커패시터를 포함하는 송수신기 회로.

청구항 8

제7항에 있어서,

상기 프리 드라이버는:

제1 쉬프트 신호보다 쉬프트 값 이후의 신호인 메인 신호를 생성하는 제1 지연기;

상기 메인 신호보다 상기 쉬프트 값 이후의 신호인 제2 쉬프트 신호를 생성하는 제2 지연기; 및

상기 제2 쉬프트 신호보다 상기 쉬프트 값 이후의 신호인 제3 쉬프트 신호를 생성하는 제3 지연기를 포함하는 송수신기 회로.

청구항 9

제7항에 있어서,

상기 디-엠파시스는 상기 차동 출력 신호의 진폭을 감소하여 보상하고, 상기 프리-엠파시스는 상기 차동 출력 신호의 진폭을 증가하여 보상하는 송수신기 회로.

청구항 10

송신기 회로의 동작 방법에 있어서,

직렬 신호를 수신하여 메인 신호를 생성하고, 상기 메인 신호를 기반으로 서로 다른 위상을 갖는 제1 내지 제3 쉬프트 신호를 생성하는 단계;

상기 메인 신호 및 상기 제1 내지 제3 쉬프트 신호를 수신하여 차동 출력 신호를 생성하고, 상기 차동 출력 신호의 논리 비트가 유지되는 경우에 상기 차동 출력 신호의 전압 레벨을 디-엠파시스(De-Emphasis)하는 단계; 및

상기 메인 신호를 수신하고, 상기 차동 출력 신호의 상기 논리 비트가 전이되는 경우에 상기 차동 출력 신호의 전압 레벨을 프리-엠파시스(Pre-Emphasis)하는 단계를 포함하는 송신기 회로의 동작 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 디-엠파시스(De-Emphasis) 및 프리-엠파시스(Pre-Emphasis)를 수행하는 송신기 회로 및 그 동작 방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로 Intra-Panel의 인터페이스에서는 다양한 채널 길이가 존재하며, 각 채널에 따라 송수신되는 데이터의 속도 역시 다양할 수 있다. 이에 따라, 채널의 길이 및 데이터의 속도에 따라 보상의 크기를 달리해야 모든 상황에서 깨끗한 신호를 출력하도록 설계할 수 있다.

[0003] 이를 위해, 대표적으로 디-엠파시스(De-Emphasis) 및 프리-엠파시스(Pre-Emphasis)를 수행할 수 있는 보상회로가 있다. 디-엠파시스의 보상회로는 부하 용량이 작고 정교하게 보상할 수 있으나, 데이터의 진폭이 줄어들고 전력 소모가 크다는 단점이 있다. 또한, 프리-엠파시스의 보상회로는 데이터의 진폭을 키우고 전력 소모를 줄일 수 있으나, 부하 용량이 커져 송신에 영향을 줄 수 있다는 단점이 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 대한민국 등록특허 제 10-1083560호

발명의 내용

해결하려는 과제

[0005] 본 발명은 상술한 과제를 해결하기 위한 것으로서, 본 발명의 목적은 디-엠파시스 및 프리-엠파시스를 수행하는 송신기 회로 및 그 동작 방법을 제공하는 데 있다.

과제의 해결 수단

[0006] 본 출원은 직렬 신호를 수신하여 메인 신호를 생성하고, 상기 메인 신호를 기반으로 서로 다른 위상을 갖는 제1 내지 제3 쉬프트 신호를 생성하는 프리 드라이버; 상기 메인 신호 및 상기 제1 내지 제3 쉬프트 신호를 수신하여 차동 출력 신호를 생성하고, 상기 차동 출력 신호의 논리 비트가 유지되는 경우에 상기 차동 출력 신호의 전압 레벨을 디-엠파시스(De-Emphasis)하는 메인 드라이버; 및 상기 메인 신호를 수신하고, 상기 차동 출력 신호의 상기 논리 비트가 전이되는 경우에 상기 차동 출력 신호의 전압 레벨을 프리-엠파시스(Pre-Emphasis)하는 등화기를 포함할 수 있다.

[0007] 본 출원의 몇몇 실시예로 상기 메인 드라이버는, 상기 디-엠파시스를 위한 보상 동작을 수행하는 제1 내지 제4 탭을 포함하고, 상기 제1 내지 제4 탭은: 상기 메인 신호 및 상기 제1 내지 제3 쉬프트 신호에 대응하는 전류원; 및 상기 메인 신호 및 상기 제1 내지 제3 쉬프트 신호에 기초하여 전류의 경로를 형성하는 복수의 P형 트랜지스터를 포함할 수 있다.

[0008] 본 출원의 몇몇 실시예로 상기 등화기는, 상기 메인 신호에 기초하여 상기 차동 출력 신호를 보상하기 위한 전압을 충방전할 수 있다.

[0009] 본 출원의 몇몇 실시예로 상기 등화기는: 상기 메인 신호를 수신하고, 외부에서 인가되는 활성화 신호에 기초하여 활성화되는 제1 논리 게이트; 상기 메인 신호의 반전된 신호를 수신하고, 외부에서 인가되는 상기 활성화 신호에 기초하여 활성화되는 제2 논리 게이트; 일 단이 상기 제1 논리 게이트에 연결되고, 타 단이 양의 출력 신호를 출력하는 경로의 제3 노드와 연결되는 제1 커패시터; 및 일 단이 상기 제2 논리 게이트에 연결되고, 타 단이 음의 출력 신호를 출력하는 경로의 제4 노드와 연결되는 제2 커패시터를 포함할 수 있다.

[0010] 본 출원의 몇몇 실시예로 상기 프리 드라이버는: 제1 쉬프트 신호보다 쉬프트 값 이후의 신호인 메인 신호를 생성하는 제1 지연기; 상기 메인 신호보다 상기 쉬프트 값 이후의 신호인 제2 쉬프트 신호를 생성하는 제2 지연기; 및 상기 제2 쉬프트 신호보다 상기 쉬프트 값 이후의 신호인 제3 쉬프트 신호를 생성하는 제3 지연기를 포함할 수 있다.

[0011] 본 출원의 몇몇 실시예로 상기 디-엠파시스는 상기 차동 출력 신호의 진폭을 감소하여 보상하고, 상기 프리-엠파시스는 상기 차동 출력 신호의 진폭을 증가하여 보상할 수 있다.

[0012] 본 출원은 직렬 신호를 수신하여 메인 신호를 생성하고, 상기 메인 신호를 기반으로 서로 다른 위상을 갖는 제1 내지 제3 쉬프트 신호를 생성하는 프리 드라이버; 상기 메인 신호 및 상기 제1 내지 제3 쉬프트 신호를 수신하여 차동 출력 신호를 생성하고, 상기 차동 출력 신호의 논리 비트가 유지되는 경우에 상기 차동 출력 신호의 전압 레벨을 디-엠파시스(De-Emphasis)하는 메인 드라이버; 및 상기 메인 신호를 수신하고, 상기 차동 출력 신호의 상기 논리 비트가 전이되는 경우에 상기 차동 출력 신호의 전압 레벨을 프리-엠파시스(Pre-Emphasis)하는 등화기를 포함하고, 상기 메인 드라이버는, 상기 디-엠파시스를 위한 보상 동작을 수행하는 제1 내지 제4 탭을 포함하고, 상기 제1 내지 제4 탭은: 상기 메인 신호 및 상기 제1 내지 제3 쉬프트 신호에 대응하는 전류원; 및 상기 메인 신호 및 상기 제1 내지 제3 쉬프트 신호에 기초하여 전류의 경로를 형성하는 복수의 P형 트랜지스터를 포함하고, 상기 메인 신호를 수신하고, 외부에서 인가되는 활성화 신호에 기초하여 활성화되는 제1 논리 게이트; 상기 메인 신호의 반전된 신호를 수신하고, 외부에서 인가되는 상기 활성화 신호에 기초하여 활성화되는 제2 논리 게이트; 일 단이 상기 제1 논리 게이트에 연결되고, 타 단이 양의 출력 신호를 출력하는 경로의 제3 노드와 연결되는 제1 커패시터; 및 일 단이 상기 제2 논리 게이트에 연결되고, 타 단이 음의 출력 신호를 출력하는 경로의 제4 노드와 연결되는 제2 커패시터를 포함할 수 있다.

[0013] 본 출원의 몇몇 실시예로 상기 프리 드라이버는: 제1 쉬프트 신호보다 쉬프트 값 이후의 신호인 메인 신호를 생성하는 제1 지연기; 상기 메인 신호보다 상기 쉬프트 값 이후의 신호인 제2 쉬프트 신호를 생성하는 제2 지연기; 및 상기 제2 쉬프트 신호보다 상기 쉬프트 값 이후의 신호인 제3 쉬프트 신호를 생성하는 제3 지연기를 포함할 수 있다.

[0014] 본 출원의 몇몇 실시예로 상기 디-엠파시스는 상기 차동 출력 신호의 진폭을 감소하여 보상하고, 상기 프리-엠파시스는 상기 차동 출력 신호의 진폭을 증가하여 보상할 수 있다.

[0015] 본 출원은 송신기 회로의 동작 방법에 있어서, 직렬 신호를 수신하여 메인 신호를 생성하고, 상기 메인 신호를 기반으로 서로 다른 위상을 갖는 제1 내지 제3 쉬프트 신호를 생성하는 단계; 상기 메인 신호 및 상기 제1 내지 제3 쉬프트 신호를 수신하여 차동 출력 신호를 생성하고, 상기 차동 출력 신호의 논리 비트가 유지되는 경우에 상기 차동 출력 신호의 전압 레벨을 디-엠파시스(De-Emphasis)하는 단계; 및 상기 메인 신호를 수신하고, 상기 차동 출력 신호의 상기 논리 비트가 전이되는 경우에 상기 차동 출력 신호의 전압 레벨을 프리-엠파시스(Pre-Emphasis)하는 단계를 포함할 수 있다.

발명의 효과

[0016] 본 출원에 의하면, 송신기 회로는 디-엠파시스 및 프리-엠파시스를 수행하여 더 넓은 범위의 채널 감쇠를 보상할 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 출원의 몇몇 예시적 실시예들에 따른 송신기 회로의 블록도이다.

도 2는 본 출원의 몇몇 예시적 실시예들에 따른 메인 드라이버의 회로도이다.

도 3은 본 출원의 몇몇 예시적 실시예들에 따른 등화기의 회로도이다.

도 4는 도 1의 다른 실시예에 따른 송신기 회로의 블록도이다.

도 5는 도 1의 디-엠파시스 및 프리-엠파시스 동작을 설명하기 위한 타이밍도이다.

도 6은 몇몇 예시적 실시예들에 따른 송수신기를 도시한 것이다.

도 7 내지 도 9는 예시적인 차동 출력 신호의 아이 다이어그램을 도시한 것이다.

도 10은 본 출원의 몇몇 예시적 실시예들에 따른 송신기 회로의 동작 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하에서, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 출원을 용이하게 실시할 수 있을 정도로, 본 출원의 실시 예들이 명확하고 상세하게 기재될 것이다.

[0019] 도 1은 본 출원의 몇몇 예시적 실시예들에 따른 송신기 회로의 블록도이다.

[0020] 도 1을 참조하면, 몇몇 예시적 실시예들에 따른 송신기 회로(10)는 버퍼(100), 신호 생성기(200), 직렬 변환기(300), 프리 드라이버(400), 메인 드라이버(500) 및 등화기(600)를 포함할 수 있다.

[0021] 버퍼(100)는 입력 클럭 신호(CKP, CKN)로부터 버퍼 신호(BUF)를 생성할 수 있다. 여기서, 버퍼(100)는 클럭 버퍼로서 입력 클럭 신호(CKP, CKN)가 서로 겹치지 않게 할 수 있다. 예를 들어, 한 클럭이 활성화될 경우, 버퍼(100)는 다른 한 클럭을 차단하여 활성화된 클럭만을 출력하도록 동작할 수 있다.

[0022] 또한, 버퍼(100)는 버퍼 신호(BUF)를 패턴 생성기(200) 및 직렬 변환기(300)에 인가할 수 있다.

[0023] 패턴 생성기(200)는 버퍼 신호(BUF)를 기반으로 수신기로 전송할 입력 신호(IS)를 생성할 수 있다. 여기서, 패턴 생성기(200)에 입력되는 버퍼 신호(BUF)는 클럭 분배기(Clock Divider)로부터 분배된 신호일 수 있다. 예를 들어, 패턴 생성기(200)에 인가되는 버퍼 신호(BUF)는 16 단계로 분배된 신호일 수 있다.

[0024] 또한, 입력 신호(IS)는 랜덤 신호로 LSB(Least Significant Bit) 및 MSB(Most Significant Bit) 각각의 8비트 신호일 수 있다.

[0025] 직렬 변환기(300)는 패턴 생성기(200)로부터 입력 신호(IS)를 수신하고 버퍼 신호(BUF)에 기초하여 직렬 신호(SER)를 생성할 수 있다. 예를 들어, 직렬 변환기(300)는 수신기로 송신될 입력 신호(IS)를 N:1의 직렬 신호(SER)로 변환할 수 있다

[0026] 몇몇 예시적 실시예들에서 입력 신호(IS)가 16:2의 직렬 신호(SER)로 변환될 경우, 직렬 변환기(300)는 입력 신호(IS)를 8비트의 이진(Binary)화된 직렬 신호(SER)로 변환할 수 있다.

[0027] 프리 드라이버(400)는 직렬 신호(SER)를 수신하여 메인 신호(MAIN)를 생성하고, 메인 신호(MAIN)를 기반으로 서로 다른 위상을 가지는 제1 내지 제3 쉬프트 신호(PRE, POST1, POST2)를 생성할 수 있다.

[0028] 즉, 메인 신호(MAIN) 및 제1 내지 제3 쉬프트 신호(PRE, POST1, POST2) 각각은 서로 일정한 쉬프트 값을 가지는 신호일 수 있다. 이하에서는 설명의 편의상 쉬프트 값을 1UI(Unit Interval)으로 하여 설명하지만 이는 예시적인 것일 뿐 이에 한정되는 것은 아니다.

[0029] 예를 들어, 쉬프트 값이 1UI인 경우, 프리 드라이버(400)는 각각 메인 신호(MAIN)와 1UI만큼 쉬프트된 제1 내지 제3 쉬프트 신호(PRE, POST1, POST2)를 생성할 수 있다.

[0030] 여기서, 제1 쉬프트 신호(PRE)는 메인 신호(MAIN)보다 1UI 이전의 신호일 수 있다. 제2 쉬프트 신호(POST1)는 메인 신호(MAIN)보다 1UI 이후의 신호일 수 있다. 제3 쉬프트 신호(POST2)는 제2 쉬프트 신호(POST1)보다 1UI 이후의 신호일 수 있다.

[0031] 메인 드라이버(500)는 프리 드라이버(400)로부터 메인 신호(MAIN) 및 제1 내지 제3 쉬프트 신호(PRE, POST1,

POST2)를 수신하여 차동 출력 신호(TX_OUTP, TX_OUTN)를 생성할 수 있다.

[0032] 또한, 메인 드라이버(500)는 논리 비트가 유지되는 경우에 차동 출력 신호(TX_OUTP, TX_OUTN)의 전압 레벨을 디-엠파시스(De-Emphasis)할 수 있다.

[0033] 보다 상세하게, 메인 드라이버(500)는 복수의 트랜지스터를 포함하는 CML(Current Mode Logic) 타입의 드라이버로, 메인 신호(MAIN) 및 제1 내지 제3 쉬프트 신호(PRE, POST1, POST2)를 복수의 트랜지스터 게이트에 인가하여 전류를 조절할 수 있다.

[0034] 이에 따라, 논리 비트가 유지될 경우, 메인 드라이버(500)는 복수의 트랜지스터로 전류의 세기를 조절하여 차동 출력 신호(TX_OUTP, TX_OUTN)를 디-엠파시스할 수 있다.

[0035] 등화기(600)는 프리 드라이버(400)로부터 메인 신호(MAIN)를 수신하고, 논리 비트가 전이(Transition)되는 경우에 차동 출력 신호(TX_OUTP, TX_OUTN)를 프리-엠파시스(Pre-Emphasis)할 수 있다.

[0036] 보다 상세하게, 등화기(600)는 출력 노드에 연결되고, 메인 신호(MAIN)에 기초하여 차동 출력 신호(TX_OUTP, TX_OUTN)의 전압 레벨을 보상할 수 있다. 즉, 등화기(600)는 용량성 부스팅(Capacitive Boosting) 방식에 기반하여 수행될 수 있다.

[0037] 이상에서 상술한 바와 같이, 몇몇 예시적 실시예들에 따른 송신기 회로(10)는 채널 감쇠를 보상하기 위해 디-엠파시스를 수행할 수 있으며, 경우에 따라 동시에 프리-엠파시스를 수행하여 더 넓은 범위의 채널 감쇠를 보상할 수 있다.

[0039] 도 2는 본 출원의 몇몇 예시적 실시예들에 따른 메인 드라이버의 회로도이다.

[0040] 도 2를 참조하면, 몇몇 예시적 실시예들에 따른 메인 드라이버(500)는 제1 탭(510), 제2 탭(520), 제3 탭(530) 및 제4 탭(540)을 포함할 수 있다.

[0041] 제1 내지 제4 탭(510, 520, 530, 540)은 각각 메인 신호(MAIN)와 제1 내지 제3 쉬프트 신호(PRE, POST1, POST2)에 대응하는 전류원을 포함하고 있으며, 제1 내지 제3 쉬프트 신호(PRE, POST1, POST2)에 기초하여 전류의 경로를 형성하는 복수의 P형 트랜지스터를 포함할 수 있다.

[0042] 제1 탭(510)은 제1 전류원(I_PRE), 제1 P형 트랜지스터(PT1), 제2 P형 트랜지스터(PT2)를 포함할 수 있다.

[0043] 제1 전류원(I_PRE)은 제1 P형 트랜지스터(PT1) 및 제2 P형 트랜지스터(PT2) 각각의 소스에 연결되어 전류를 흘릴 수 있다. 예를 들어, 제1 전류원(I_PRE)은 제1 탭(510)에서 전압 레벨을 보상하기 위한 전류 값으로 설정될 수 있다.

[0044] 제1 P형 트랜지스터(PT1)는 드레인이 제1 노드(N1)에 연결되어 게이트에 인가되는 제1 쉬프트 신호바(PREB)에 기초하여 양의 출력 신호(TX_OUTP)를 출력하는 경로에 전류를 전달할 수 있다.

[0045] 제2 P형 트랜지스터(PT2)는 드레인이 제2 노드(N2)에 연결되어 게이트에 인가되는 제1 쉬프트 신호(PRE)에 기초하여 음의 출력 신호(TX_OUTN)를 출력하는 경로에 전류를 전달할 수 있다.

[0046] 제2 탭(520)은 제2 전류원(I_MAIN), 제3 P형 트랜지스터(PT3), 제4 P형 트랜지스터(PT4)를 포함할 수 있다.

[0047] 제2 전류원(I_MAIN)은 제3 P형 트랜지스터(PT3) 및 제4 P형 트랜지스터(PT4) 각각의 소스에 연결되어 전류를 흘릴 수 있다. 예를 들어, 제2 전류원(I_MAIN)은 제2 탭(520)에서 전압 레벨을 보상하기 위한 전류 값으로 설정될 수 있다.

[0048] 제3 P형 트랜지스터(PT3)는 드레인이 제1 노드(N1)에 연결되어 게이트에 인가되는 메인 신호(MAIN)에 기초하여 양의 출력 신호(TX_OUTP)를 출력하는 경로에 전류를 전달할 수 있다.

[0049] 제4 P형 트랜지스터(PT4)는 드레인이 제2 노드(N2)에 연결되어 게이트에 인가되는 메인 신호바(MAINB)에 기초하여 음의 출력 신호(TX_OUTN)를 출력하는 경로에 전류를 전달할 수 있다.

[0050] 제3 탭(530)은 제3 전류원(I_POST1), 제5 P형 트랜지스터(PT5), 제6 P형 트랜지스터(PT6)를 포함할 수 있다.

[0051] 제3 전류원(I_POST1)은 제5 P형 트랜지스터(PT5) 및 제6 P형 트랜지스터(PT6) 각각의 소스에 연결되어 전류를 흘릴 수 있다. 예를 들어, 제3 전류원(I_POST1)은 제3 탭(530)에서 전압 레벨을 보상하기 위한 전류 값으로 설

정될 수 있다.

[0052] 제5 P형 트랜지스터(PT5)는 드레인이 제1 노드(N1)에 연결되어 게이트에 인가되는 제2 쉬프트 신호바(POST1B)에 기초하여 양의 출력 신호(TX_OUTP)를 출력하는 경로에 전류를 전달할 수 있다.

[0053] 제6 P형 트랜지스터(PT6)는 드레인이 제2 노드(N2)에 연결되어 게이트에 인가되는 제2 쉬프트 신호(POST1)에 기초하여 음의 출력 신호(TX_OUTN)를 출력하는 경로에 전류를 전달할 수 있다.

[0054] 제4 탭(540)은 제4 전류원(I_POST2), 제7 P형 트랜지스터(PT7), 제8 P형 트랜지스터(PT8)를 포함할 수 있다.

[0055] 제4 전류원(I_POST2)은 제7 P형 트랜지스터(PT7) 및 제8 P형 트랜지스터(PT8) 각각의 소스에 연결되어 전류를 흘릴 수 있다. 예를 들어, 제4 전류원(I_POST2)은 제4 탭(540)에서 전압 레벨을 보상하기 위한 전류 값으로 설정될 수 있다.

[0056] 제7 P형 트랜지스터(PT7)는 드레인이 제1 노드(N1)에 연결되어 게이트에 인가되는 제3 쉬프트 신호(POST2)에 기초하여 양의 출력 신호(TX_OUTP)를 출력하는 경로에 전류를 전달할 수 있다.

[0057] 제8 P형 트랜지스터(PT8)는 드레인이 제2 노드(N2)에 연결되어 게이트에 인가되는 제3 쉬프트 신호바(POST2B)에 기초하여 음의 출력 신호(TX_OUTN)를 출력하는 경로에 전류를 전달할 수 있다.

[0058] 여기서, 양의 출력 신호(TX_OUTP)를 출력하는 경로의 제1 노드(N1)는 접지와 연결된 제1 종단 저항(R1)를 통해 종단될 수 있다. 또한, 음의 출력 신호(TX_OUTN)를 출력하는 경로의 제2 노드(N2)는 접지와 연결된 제2 종단 저항(R2)를 통해 종단될 수 있다.

[0059] 이상에서 상술한 바와 같이, 몇몇 실시예에 따른 메인 드라이버(500)는 메인 신호(MAIN) 및 제1 내지 제3 쉬프트 신호(PRE, POST1, POST2)에 기초하여 전류를 분배할 수 있다. 이에 따라, 메인 드라이버(500)는 전류의 경로를 형성하는 것에 기초하여 디-엠파시스에 필요한 전압 레벨을 보상할 수 있다.

[0061] 도 3은 본 출원의 몇몇 예시적 실시예들에 따른 등화기의 회로도이다.

[0062] 도 3을 참조하면, 등화기(600)는 8비트의 메인 신호(MAIN)를 수신하고, 메인 신호(MAIN)가 반전된 8비트의 메인 신호바(MAINB)를 수신할 수 있다.

[0063] 등화기(600)는 메인 신호(MAIN)를 수신하는 제1 논리 게이트(610)를 포함하고, 메인 신호바(MAINB)를 수신하는 제2 논리 게이트(620)를 포함할 수 있다. 여기서, 제1 논리 게이트(610) 및 제2 논리 게이트(620) 각각은 메인 신호(MAIN) 및 메인 신호바(MAINB)의 비트에 대응하도록 복수개일 수 있으며, 외부에서 인가되는 활성화 신호(EN[0:7])에 기초하여 활성화될 수 있다.

[0064] 제1 커패시터(C1)는 일 단이 제1 논리 게이트(610)와 연결되고, 타 단이 양의 출력 신호(TX_OUTP)를 출력하는 경로의 제3 노드(N3)에 연결될 수 있다. 이에 따라, 제1 커패시터(C1)는 전압을 충방전하여 양의 출력 신호(TX_OUTP)의 전압을 보상할 수 있다.

[0065] 제2 커패시터(C2)는 일 단이 제2 논리 게이트(620)와 연결되고, 타 단이 음의 출력 신호(TX_OUTN)를 출력하는 경로의 제4 노드(N4)에 연결될 수 있다. 이에 따라, 제2 커패시터(C2)는 전압을 충방전하여 음의 출력 신호(TX_OUTN)의 전압을 보상할 수 있다.

[0066] 다시 말해, 등화기(600)는 활성화 신호(EN[0:7])에 기초하여 메인 신호(MAIN) 및 메인 신호바(MAINB)에 대응하는 전압을 제1 커패시터(C1) 및 제2 커패시터(C2)에 충방전할 수 있다.

[0067] 이상에서 상술한 바와 같이, 몇몇 실시예에 따른 보상기(600)는 메인 신호(MAIN)에 기초하여 전압을 충방전할 수 있다. 이에 따라, 보상기(600)는 외부에서 인가되는 활성화 신호(EN[0:7])에 기초하여 프리-엠파시스에 필요한 전압 레벨을 보상할 수 있다.

[0069] 도 4는 도 1의 다른 실시예에 따른 송신기 회로의 블록도이다.

[0070] 구체적으로, 도 4에서는 송신기 회로(10A)가 다른 형태로 도시되어 있다. 상술한 구성 이외의 도 4의 구성은 도 1과 유사하다. 따라서, 동일하거나 유사한 구성 요소는 동일하거나 유사한 참조 부호로 표시되며, 중복되는 설명은 이하 생략될 것이다.

[0071] 도 4를 참조하면, 프리 드라이버(400)는 제1 내지 제3 지연기(410, 420, 430)를 포함할 수 있다.

[0072] 몇몇 실시예들에 따르면, 제1 내지 제3 지연기(410, 420, 430)의 쉬프트 값이 1UI일 경우, 제1 탭(510)에 인가되는 제1 쉬프트 신호(PRE)는 메인 신호(MAIN)보다 1UI 이전의 신호일 수 있다. 또한, 제1 쉬프트 신호(PRE)는 제1 탭(510)에 인가되어 전류를 전달하는 경로를 제어할 수 있다.

[0073] 메인 신호(MAIN)는 제1 지연기(410)를 통해 제1 쉬프트 신호(PRE)보다 1UI 이후의 신호일 수 있다. 또한, 메인 신호(MAIN)는 제2 탭(520)에 인가되어 전류를 전달하는 경로를 제어할 수 있다. 또한, 메인 신호(MAIN)는 등화기(600)에 인가되어 전압을 충방전하는 입력 신호로 사용될 수 있다.

[0074] 제2 쉬프트 신호(POST1)는 제2 지연기(420)를 통해 메인 신호(MAIN)보다 1UI 이후의 신호일 수 있다. 또한, 제2 쉬프트 신호(POST2)는 제3 탭(530)에 인가되어 전류를 전달하는 경로를 제어할 수 있다.

[0075] 제3 쉬프트 신호(POST2)는 제3 지연기(430)를 통해 제2 쉬프트 신호(POST1)보다 1UI 이후의 신호일 수 있다. 또한, 제3 쉬프트 신호(POST3)는 제4 탭(540)에 인가되어 전류를 전달하는 경로를 제어할 수 있다.

[0076] 송신기 회로(10A)는 제1 내지 제4 탭(510, 520, 530, 540)에서 출력되는 전류를 가산하여 전압 레벨이 디-엠파시스된 차동 출력 신호(TX_OUTP, TX_OUTN)를 출력할 수 있다.

[0077] 또한, 등화기(600)는 충방전된 전압으로 차동 출력 신호(TX_OUTP, TX_OUTN)의 전압 레벨을 프리-엠파시스할 수 있다.

[0079] 도 5는 도 1의 디-엠파시스 및 프리-엠파시스 동작을 설명하기 위한 타이밍도이다.

[0080] 도 5를 참조하면, 논리 비트는 제1 시점(t1)부터 제3 시점(t3)까지 '0'의 비트를 가지며, 차동 출력 신호(TX_OUTP, TX_OUTN)의 전압 레벨은 로우 레벨을 가진다. 또한, 논리 비트는 제3 시점(t3)에서 '1'의 비트로 전이되고 제3 시점(t3)부터 제5 시점(t5)까지 '1'의 비트를 가진다. 이에 따라, 제3 시점(t3)부터 제5 시점(t5)까지의 차동 출력 신호(TX_OUTP, TX_OUTN)의 전압 레벨은 하이 레벨을 가진다. 또한, 논리 비트는 제5 시점(t5)에서 '0'의 비트로 전이된다.

[0081] 송신기 회로(10)는 논리 비트가 유지되는 제1 시점(t1) 내지 제3 시점(t3)에서 차동 출력 신호(TX_OUTP, TX_OUTN)의 전압 레벨을 디-엠파시스할 수 있다. 다시 말해, 송신기 회로(10)는 어느 시점을 기준으로 이전과 이후의 비트가 동일할 경우 차동 출력 신호(TX_OUTP, TX_OUTN)의 전압 레벨을 디-엠파시스할 수 있다.

[0082] 즉, 송신기 회로(10)의 메인 드라이버(500)는 제2 시점(t2)에서 차동 출력 신호(TX_OUTP, TX_OUTN)의 전압 레벨이 상승하도록 디-엠파시스할 수 있다.

[0083] 또한, 송신기 회로는 논리 비트가 유지되는 제3 시점(t3) 내지 제5 시점(t5)에서 차동 출력 신호(TX_OUTP, TX_OUTN)의 전압 레벨을 디-엠파시스할 수 있다. 즉, 송신기 회로(10)의 메인 드라이버(500)는 제4 시점(t4)에서 차동 출력 신호(TX_OUTP, TX_OUTN)의 전압 레벨이 하강하도록 디-엠파시스할 수 있다.

[0084] 송신기 회로(10)는 논리 비트가 전이되는 제3 시점(t3)에서 차동 출력 신호(TX_OUTP, TX_OUTN)의 전압 레벨을 프리-엠파시스할 수 있다. 다시 말해, 송신기 회로(10)는 어느 시점을 기준으로 이전과 이후의 비트가 동일하지 않을 경우 차동 출력 신호(TX_OUTP, TX_OUTN)의 전압 레벨을 프리-엠파시스할 수 있다.

[0085] 즉, 송신기 회로(10)의 등화기(600)는 제3 시점(t3)과 제5 시점(t5)에서 차동 출력 신호(TX_OUTP, TX_OUTN)의 전압 레벨을 보상하도록 프리-엠파시스할 수 있다.

[0086] 다시 도 5로 돌아와서, 결국 상술한 실시예들에 따라 디-엠파시스를 이용한 보상이 수행될 경우, 차동 출력 신호(TX_OUTP, TX_OUTN)는 기존의 로우 레벨 전압 보다 A1만큼 더 증가된 레벨을 가지게 되며, 기존의 하이 레벨보다 A3만큼 더 하강된 레벨을 가지게 된다.

[0087] 또한, 프리-엠파시스를 이용한 보상이 수행될 경우, 차동 출력 신호(TX_OUTP, TX_OUTN)는 기존의 하이 레벨 전압보다 A2만큼 더 증가된 레벨을 가지게 되며, 기존의 로우 레벨보다 A4만큼 더 하강된 레벨을 가지게 된다.

[0088] 즉, 디-엠파시스는 차동 출력 신호(TX_OUTP, TX_OUTN)의 진폭을 감소하여 전압을 보상할 수 있으며, 프리-엠파시스는 차동 출력 신호(TX_OUTP, TX_OUTN)의 진폭을 증가하여 전압을 보상할 수 있다.

[0090] 도 6은 몇몇 예시적 실시예들에 따른 송수신기를 도시한 것이다.

[0091] 도 6을 참조하면, 몇몇 예시적 실시예들에 따른 송수신기(1000)는 송신기(1100) 및 수신기(1200)를 포함한다.

[0092] 몇몇 예시적 실시예들에 따라, 송신기(1100)는 상술한 실시예들(도 1 내지 도 5)에 따라 구현될 수 있다. 몇몇 예시적 실시예들에 따라, 송신기(1100)는 NRZ(Non Return to Zero) 신호의 전압 레벨을 디-엠파시스 및 프리-엠파시스하여 차동 출력 신호(TX_OUTP, TX_OUTN)를 출력할 수 있다.

[0093] 수신기(1200)는 송신기(1100)와 채널을 통해 연결되고, 차동 출력 신호(TX_OUTP, TX_OUTN)를 수신하도록 구성될 수 있다. 예를 들어, 수신기(1200)는 채널을 통해 송신기(1100)와 연결되어 차동 출력 신호(TX_OUTP, TX_OUTN)를 수신할 수 있다. 여기서, 채널은 차동 채널들로 구성될 수 있다.

[0094] 수신기(1200)는 차동 출력 신호(TX_OUTP, TX_OUTN)를 수신하고, 피드백 회로를 통해 주파수 대역을 제어하여 차동 출력 신호(TX_OUTP, TX_OUTN)의 데이터 신호를 출력할 수 있다. 여기서, 데이터 신호는 전송하고자 했던 데이터일 수 있다.

[0095] 이상에서 상술한 바와 같이, 본 출원의 몇몇 실시예들에 따른 송수신기(1000)는 디-앰파시스 및 프리-앰파시스를 수행할 수 있는 보상회로를 구현함으로써 차동 출력 신호(TX_OUTP, TX_OUTN)의 심볼 간 간섭을 보상할 수 있다.

[0097] 도 7 내지 도 9는 예시적인 차동 출력 신호의 아이 다이어그램을 도시한 것이다.

[0098] 도 7은 송신기에 디-엠파시스 및 프리-엠파시스가 적용되지 않을 경우의 아이 다이어그램(Eye Diagram)으로써, 채널 감쇠가 보상되지 않음에 따라 아이 다라어그램의 오프닝(Opening)과 마진이 열화된 것을 확인할 수 있다.

[0099] 반면, 도 8은 송신기에 상술한 실시예들에 따른 디-엠파시스가 적용된 경우의 아이 다이어그램으로써, 채널 감쇠가 보상됨에 따라 아이 다이어그램의 오프닝과 마진이 개선됨을 확인할 수 있다.

[0100] 또한, 도 9는 송신기에 상술한 실시예들에 따른 디-엠파시스 및 프리-엠파시스가 적용된 경우의 아이 다이어그램으로써, 디-엠파시스만 적용된 도 8의 아이 다이어그램보다 오프닝과 마진이 개선됨을 확인할 수 있다.

[0102] 도 10은 본 출원의 몇몇 예시적 실시예들에 따른 송신기 회로의 동작 순서도이다.

[0103] 도 10을 참조하면, S110 단계에서, 버퍼 신호(BUF)는 입력 클럭 신호(CKP, CKN)로부터 생성될 수 있다. 예를 들어, 버퍼(100)는 입력 클럭 신호(CKP, CKN)로부터 버퍼 신호(BUF)를 생성할 수 있다.

[0104] S120 단계에서, 랜덤 신호인 입력 신호(IS)는 버퍼 신호(BUF)로부터 생성될 수 있다. 예를 들어, 패턴 생성기(200)는 버퍼 신호(BUF)를 기반으로 수신기로 전송할 입력 신호(IS)를 생성할 수 있다.

[0105] S130 단계에서, 직렬 신호(SER)는 입력 신호(IS)와 버퍼 신호(BUF)로부터 생성될 수 있다. 예를 들어, 직렬 변환기(300)는 패턴 생성기(200)로부터 입력 신호(IS)를 수신하고 버퍼 신호(BUF)에 기초하여 직렬 신호(SER)를 생성할 수 있다.

[0106] S140 단계에서, 서로 다른 위상을 가지는 메인 신호(MAIN)와 제1 내지 제3 쉬프트 신호(PRE, POST1, POST2)는 직렬 신호(SER)에 기반하여 생성될 수 있다. 예를 들어, 프리 드라이버(400)는 직렬 신호(SER)를 수신하여 메인 신호(MAIN)를 생성하고, 메인 신호(MAIN)를 기반으로 서로 다른 위상을 가지는 제1 내지 제3 쉬프트 신호(PRE, POST1, POST2)를 생성할 수 있다.

[0107] S150 단계에서, 차동 출력 신호(TX_OUTP, TX_OUTN)는 메인 신호(MAIN) 및 제1 내지 제3 쉬프트 신호(PRE, POST1, POST2)에 기반하여 생성되고, 경우에 따라 디-엠파시스될 수 있다.

[0108] 예를 들어, 메인 드라이버(500)는 프리 드라이버(400)로부터 메인 신호(MAIN) 및 제1 내지 제3 쉬프트 신호(PRE, POST1, POST2)를 수신하여 차동 출력 신호(TX_OUTP, TX_OUTN)를 생성할 수 있다.

[0109] 또한, 메인 드라이버(500)는 논리 비트가 유지되는 경우에 차동 출력 신호(TX_OUTP, TX_OUTN)의 전압 레벨을 디-엠파시스할 수 있다.

[0110] S160 단계에서, 차동 출력 신호(TX_OUTP, TX_OUTN)는 경우에 따라 프리-엠파시스될 수 있다. 예를 들어, 등화기

(600)는 프리 드라이버(400)로부터 메인 신호(MAIN)를 수신하고, 논리 비트가 전이되는 경우에 차동 출력 신호(TX_OUTP, TX_OUTN)를 프리-엠파시스할 수 있다.

[0111] 상술한 내용은 본 출원을 실시하기 위한 구체적인 실시 예들이다. 본 출원은 상술한 실시 예들 이외에도, 단순하게 설계 변경되거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 출원은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 출원의 범위는 상술한 실시 예들에 국한되어 정해져서는 안되며, 후술하는 특허청구범위뿐만 아니라 이 출원의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

[0112] 10 : 송신기 회로

100 : 버퍼

200 : 패턴 생성기

300 : 직렬 변환기

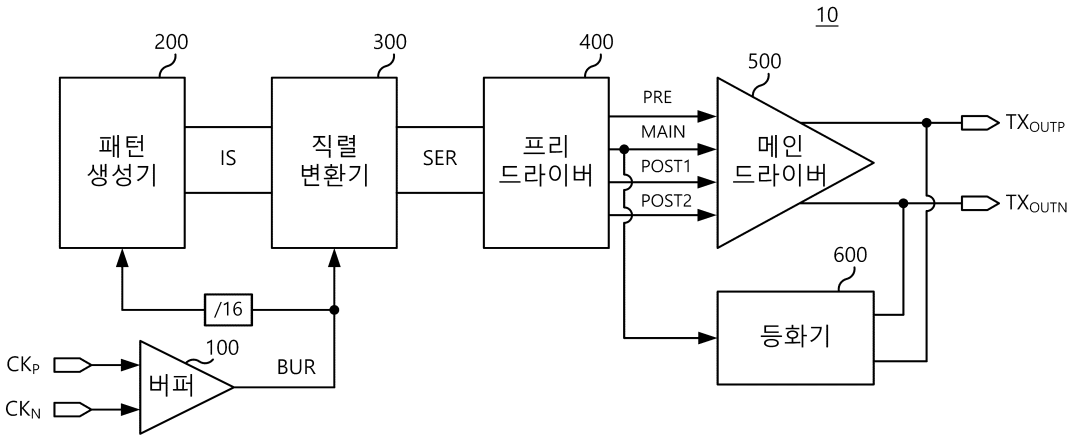
400 : 프리 드라이버

500 : 메인 드라이버

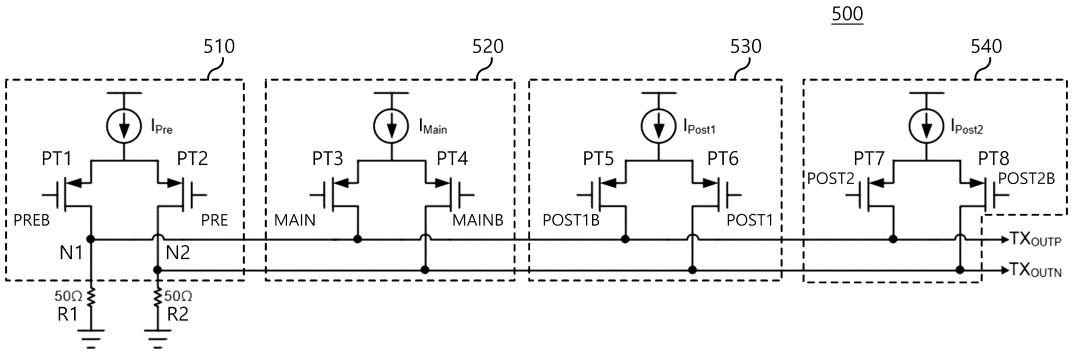
600 : 등화기

도면

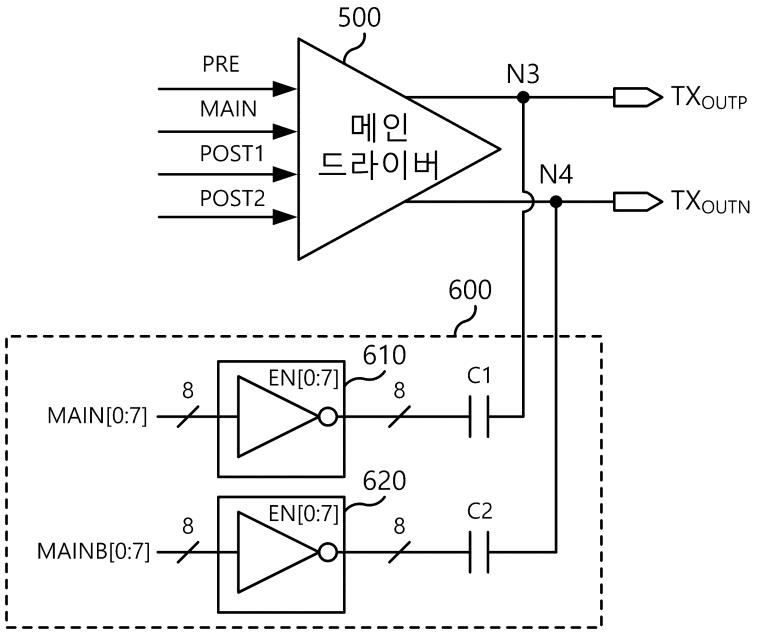
도면1



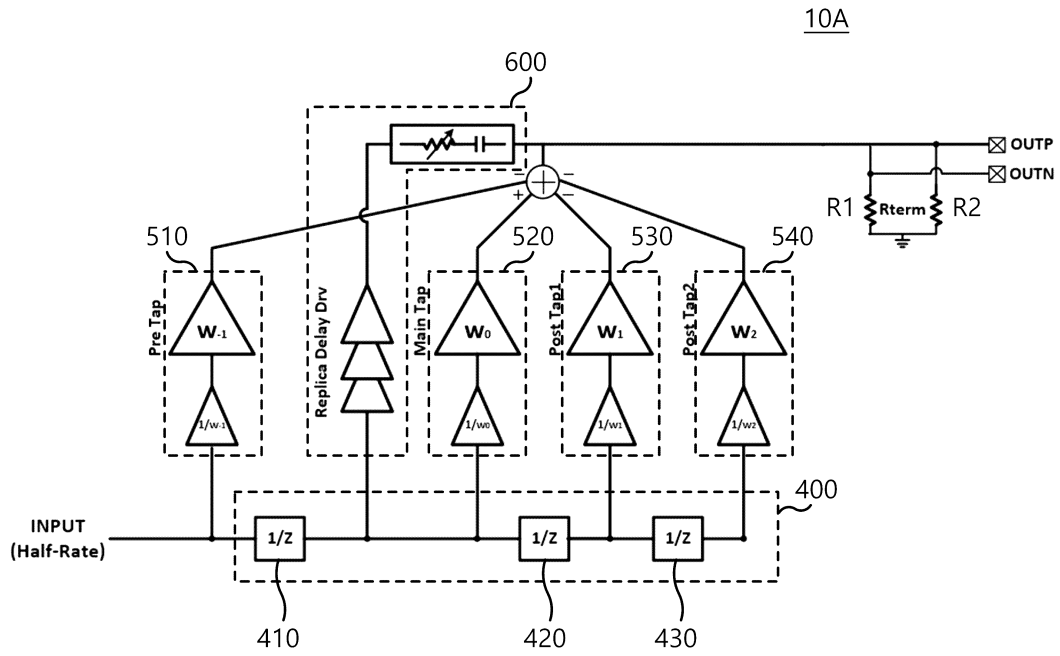
도면2



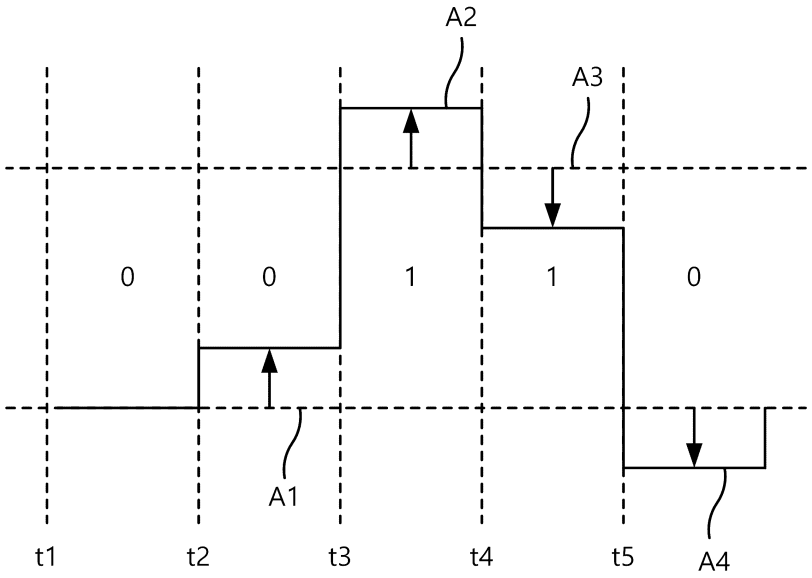
도면3


500
PRE
MAIN
POST1
POST2
메인
드라이버
N3
N4
TXOUTP
TXOUTN
600
610
EN[0:7]
8
MAIN[0:7]
8
C1
620
EN[0:7]
8
MAINB[0:7]
8
C2

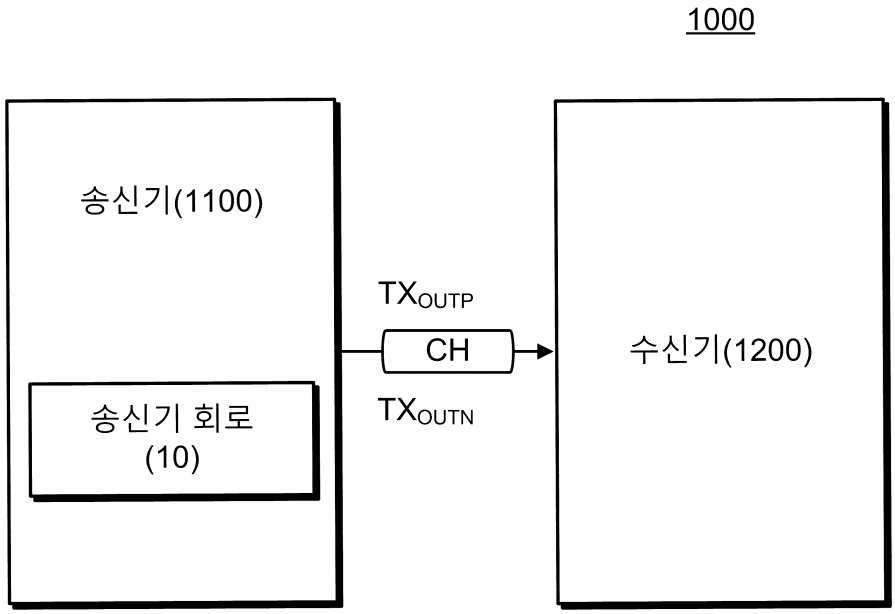
도면4


10A
600
OUTP
OUTN
R1
Rterm
R2
510
520
530
540
Pre Tap
Replica Delay Drv
Main Tap
Post Tap1
Post Tap2
W-1
W0
W1
W2
1/w-1
1/w0
1/w1
1/w2
400
INPUT
(Half-Rate)
1/Z
1/Z
1/Z
410
420
430

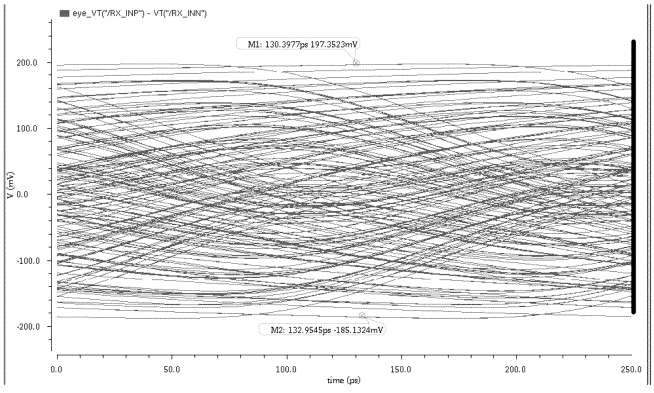
도면5


A2
A3
0
0
1
1
0
A1
t1
t2
t3
t4
t5
A4

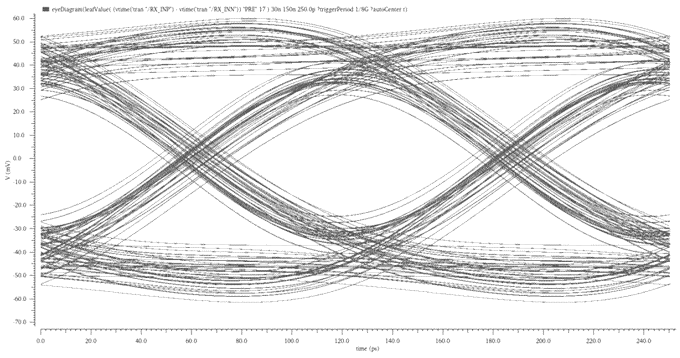
도면6


1000
송신기(1100)
송신기 회로
(10)
TXOUTP
CH
TXOUTN
수신기(1200)

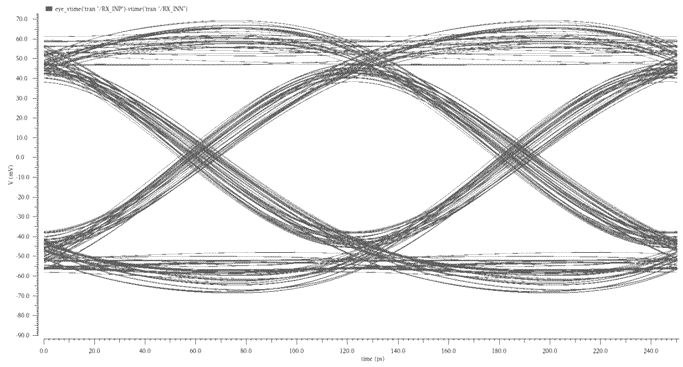
도면7


eye_VT("/RX_INP") - VT("/RX_INN")
M1: 130.3977ps 197.3523mV
M2: 132.9545ps -185.1324mV
200.0
100.0
0.0
-100.0
-200.0
V (mV)
0.0
50.0
100.0
150.0
200.0
250.0
time (ps)

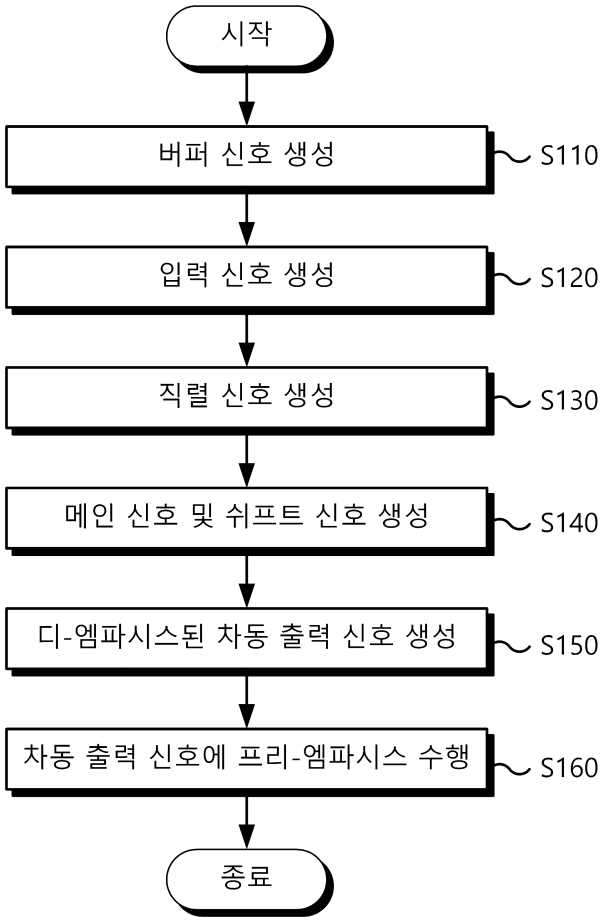
도면8


eyeDiagram(leafValue((vtime('tran "/RX_INP") - vtime('tran "/RX_INN')) "PRE" 17) 30n 150n 250 0p ?triggerPeriod 1/8G ?autoCenter t)
V (mV)
time (ps)

도면9


eye_vtime('tran "/RX_INP") vtime('tran "/RX_INN')
V (mV)
time (ps)

도면10


시작
버퍼 신호 생성
S110
입력 신호 생성
S120
직렬 신호 생성
S130
메인 신호 및 쉬프트 신호 생성
S140
디-엠파시스된 차동 출력 신호 생성
S150
차동 출력 신호에 프리-엠파시스 수행
S160
종료