

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

德國 (地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

1995年 07月 18日 案號 19526184.4 (主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

逐漸增加之MOS電晶體將使用在電池操作的電路以及具有高封裝密度之邏輯電路中，MOS電晶體以供應電壓 $V_{dd} < 2$ 伏(volt)來操作。在此種供應電壓中為了確保足夠之電流可用性(performance)，則閘極長度及起動電壓必須對應地具有某種比例。此種MOS電晶體之典型的閘極長度低於 $1/4 \mu m$ ，起動電壓 V_t 小於0.3伏。因此須考慮MOS電晶體對短通道之高度需要。此種需要造成一種深度小於100nm之平面式源極/汲極區域以及對出口端之操作為最佳之閘極電極技術。為了使閘極電極之出口端的操作最佳化。n通道之MOS電晶體通常使用 n^+ 摻雜之複晶矽閘極電極，p通道之MOS電晶體則使用由複晶矽構成之 p^+ 摻雜的閘極電極(所謂雙工作函數之閘極技術)。

在雙工作函數之閘極技術中，由於由複晶矽構成之閘極電極和各別電晶體之源極/汲極區域係以相同之導電型摻雜，則閘極電極和源極/汲極區域在原理上可同時利用離子植入來進行摻雜。可是在具有平面式源極/汲極區域之MOS電晶體中又因閘極電極必須高摻雜以避免由於摻雜物質在閘極內耗盡(稱為"閘極空乏")而損害電流之可用性(例如請參閱C.Y.Wong等人所著，IEDM 1988, 第238頁)，則經由植入法以形成平面式源極/汲極區域和高摻雜之閘極電極所考慮的需求是不同的，使MOS電晶體不可能具有平面式源極/汲極區域。

在離子植入法中，由於不同之效應會導致植入輪廓(

五、發明說明(>)

profile)之擴大，這會限制平面摻雜區域之最小深度。由於所謂通道(channel)效應之故，有一部份不可忽略之摻雜物質將侵入晶體中，其較離子植入之範圍還深，這樣所形成之通道尾(tail)使植入輪廓擴大。由於這種效應是晶格中之規則性所造成之結果，因此建議(請參考R.B.Fair, IEDM1987,第260頁)在植入摻雜物質之前，另外再以矽或鍺植入矽之區域中使其成為非結晶形(amorphous)(所謂預先非晶形化)，其中會形成摻雜區域。在矽或鍺之植入過程中所產生之晶體損害必須在摻雜過程之後於另外之退火步驟中復原。

此外，植入輪廓依下述方式擴大：在植入過程中會形成矽中間晶格原子，此種原子會導致擴散速率之提高，尤其是摻雜物質為硼和磷時更是如此(請參見P.B.Griffin等人所著，IEDM 1993, 第295頁)。

在製造具有平面式源極/汲極區域之MOS電晶體的習知方法中，閘極電極和源極/汲極區域之摻雜在兩個步驟中進行最佳化。

由T.Eguchi等人所著，IEDM 1993, 第831頁中可知已有一種方法，其中閘極電極由原部位中摻雜複晶矽所構成。閘極電極結構化之後，源極/汲極區域藉由植入法而形成。在此種過程中，會由於1至2次之塗漆光罩而造成額外之費用。

由D.C.M.Yu等人所著，IEDM 1994, 第489頁中可知已有一種方法，其中源極/汲極區域及閘極電極各自在獨

五、發明說明()

立之植入步驟中形成。在源極/汲極植入過程中，離子束會被局限且以極小之能量射入。每次植入都需各自之光罩。

由T.Hori, IEDM 1994, 第75頁中已知有一種方法可製造具有平面式源極/汲極區域之MOS電晶體，其中源極/汲極區域之深度可在事後經由另一受局限之逆(anti)植入而減少。在此種逆植入法中，閘極電極經由另一光罩來覆蓋。

由M.Togo等人所著，VLSI Symp. 1994 第21頁中已知有一種方法可製造MOS電晶體，其中在設有閘極氧化物之半導體基體上首先製造閘極電極。此閘極電極之側邊是設有源極/汲極區域之區域，其以閘極氧化物覆蓋。接著沈積一層複晶矽層，其將源極/汲極區域和閘極電極區域覆蓋。此複晶矽層藉植入法而進行p⁺摻雜，隨後經由擴散而形成源極/汲極區域。最後則將複晶矽層予以清除。此處，在產生源極/汲極區域之前先對閘極電極進行摻雜。

本發明所要解決之問題為提供一種方法以便製造MOS電晶體，此種方法可製造平面式之源極/汲極區域，且此過程所需之費用，特別是所需之光罩，相對於習知之方法可降低。

依據本發明，此問題可藉申請專利範圍第1項之方法而解決。本發明之其它方式敘述在其它之申請專利範圍中。

五、發明說明(4)

在本發明之方法中，源極/汲極區域和閘極電極係由摻雜層向外擴散而同時形成。對源極/汲極區域和閘極電極中之摻雜物質所需的不同輪廓以下述方式完成：有一可滲透的擴散位障形成在源極/汲極區域之表面，擴散可穿過此擴散位障而完成。厚度為0.1nm(奈米)至10nm的一種薄的邊界面氧化物適合作為擴散位障。藉此擴散位障則可避免擴散作用進入半導體基體中；可是它並未完全受到阻擋。另一方面，由於摻雜層直接形成在矽結構之表面上，則在閘極電極之形成過程中會經由矽結構之摻雜而產生一種不受阻擋之擴散，因此這樣可達成一種高的摻雜度，一般是在 5×10^{19} 至 5×10^{21} 原子/立方公分之範圍中。

半導體基體最好是至少在由單晶體矽所構成之MOS電晶體的區域中，這樣它不但和單晶體矽晶圓有關，而且亦和SOI基體之矽層有關。

摻雜層之形成可先經由沈積一層例如由複晶矽構成之未摻雜之層。隨後再經由擴散或植入法進行摻雜而形成。為了形成此一摻雜層，會產生一種由未摻雜之非晶形矽或多晶體矽以及摻雜之玻璃(例如PSG或BSG)所構成之雙層。此種摻雜之玻璃可由沈積或塗佈而形成，摻雜層則最好由摻雜之矽或摻雜之玻璃經由在原部位之摻雜式沈積而形成。此種摻雜層最好由摻雜之複晶矽構成，這是由於在此種情況下，在摻雜物質之擴散中，摻雜層之氧化是可能的。此外，產生摻雜之複晶矽層在MOS技術

五、發明說明(5)

中是一種很平常之步驟。

經由摻雜之複晶矽或摻雜之玻璃在原部位之摻雜式沈積以形成摻雜層具有之優點為：此時在形成源極/汲極區域及閘極電極時不需要植入步驟，因此，在先前技術已知之方法中，就不會產生和植入過程有關之問題，例如隧道效應或由於晶體損害而造成之較高的植入速率。因此，在本發明之方法中亦可能製造閘極電極之厚度小於150nm之平面閘極結構，此種平面式閘極結構可使所需空間減少，使製造此種結構之照相石版術(photolithography)和蝕刻過程中之映像誤差及蝕刻容許度(tolerance)成為最小。這在結構大小 $<1/4\mu\text{m}$ 時特別重要。此外，在較小之空間結構中，結構之表面上的各級都較小，使在最後例如以BPSG進行平面化時之各種需求變少。由於各級之高度較小，可減低融合溫度及融合時間，整個結構因此在熱量上之消耗會變少，這對產生可達成之源極/汲極摻雜物質之輪廓是有利的。

本發明之範圍是形成矽結構及閘極介電質，使摻雜物質之位障形成在矽結構和半導體基體之間，這可例如以下述方式完成：在閘極介電質和矽結構之間產生一種由含氮之矽所構成之層，此層同時與矽結構一起被結構化。另一種方式是形成由氮化之氧化物或高溫之 RTO-SiO_2 所組成之閘極介電質。含氮之矽以及氮化之氧化物或高溫之 RTO-SiO_2 具有對摻雜物質為不可滲透之特性。此種實施形式之優點為：在經由沈積一層非摻雜層且隨後再

五、發明說明(b)

進行植入法以形成摻雜層之過程中，可避免摻雜物質經由矽結構和閘極介電質而侵入(例如，由於通道效應)通道區域中。

此種可滲透之擴散位障最好是以自動調整方式形成在源極/汲極區域之表面。矽結構之表面因此設有 Si_3N_4 覆蓋層，接著進行一種熱氧化作用，其中此可滲透之擴散位障會形成在設有源極/汲極區域之此一區域的表面以作為 SiO_2 層。最後此種 Si_3N_4 覆蓋層選擇性地對 SiO_2 而被去除。

以F, Ar, Xe或Si進行整個平面之植入，則可滲透之擴散位障的滲透性會受到影響。在此種情況下經由擴散位障之擴散速率會增加。此種方式對於可滲透之擴散位障的厚度會造成一種較大之程序視窗。

本發明以下將依據圖式和實施例作詳細說明。圖式簡單說明如下：

- ✓圖1 具有許多層之半導體基體。
- ✓圖2 半導體基體在多層結構化之後用於形成閘極介電質和矽結構。
- ✓圖3 熱氧化作用之後的半導體基體。
- ✓圖4 間隔物(spacer)蝕刻之後的半導體基體。
- ✓圖5 形成可滲透之擴散位障之後的半導體基體。
- ✓圖6 去除 Si_3N_4 覆蓋層之後的半導體基體。
- ✓圖7 塗佈摻雜層之後的半導體基體。
- ✓圖8 製成MOS電晶體之後的半導體基體。

五、發明說明 (7)

在例如由單晶體矽構成之基體 1 上塗上一層閏極氧化物 2 (參考圖 1)。此閏極氧化物 2 經由熱氧化作用而形成，其厚度為例如 3nm 至 10nm。

在閏極氧化物 2 之上形成一層含氮之矽層 3。此含氮之矽層 3 產生時之厚度為 2nm 至 20nm，其形成之過程係經由對非晶形之 SiN 進行反應性之噴鍍，在原部位摻雜式地以氮摻雜之複晶矽進行沈積或進行無摻雜之沈積，隨後植入複晶矽而完成。

在含氮之矽層 3 上塗佈矽層 4。此矽層 4 產生時之厚度為例如 20nm 至 150nm，它係經由非晶形之矽或複晶矽之沈積而形成，它最好由非晶形之矽產生，這是因為這樣對摻雜物質之分佈和可結構性會具有較有利之結構。

在矽層 4 之上塗佈 Si_3N_4 覆蓋層 5。此覆蓋層 5 塗佈之厚度例如在 2nm 至 20nm 之間。

藉助於照相石版術之程序和塗漆光罩。則由含氮之矽層 3，矽層 4 及 Si_3N_4 覆蓋層 5 所構成之矽結構可予以結構化。因此，閏極氧化物 2 亦可結構化，則摻雜物質之位障 3' 由含氮之矽層 2 形成，矽結構 4' 由矽層 4 形成， Si_3N_4 覆蓋 5' 由 Si_3N_4 覆蓋層 5 形成。 Si_3N_4 覆蓋 5'，矽結構 4'，摻雜物質之位障 3' 以及閏極氧化物 2 具有共同之側面。在此側面之外此基體 1 之表面至少暴露在源極 / 汲極區域所形成之區域中 (參考圖 2)。

在去除塗漆光罩 (未示出) 之後，將進行熱氧化作用以形成 SiO_2 層 6。此 SiO_2 層 6 之厚度之 5nm 至 20nm 且配置在

五、發明說明(8)

矽結構 4' 和摻雜物質之位障 3' 之裸露的側面上以及配置在基體 1 之裸露之表面上(參考圖 3)。矽結構 4' 之表面因此在氧化作用之前即經由 Si_3N_4 覆蓋 5' 而受保護。

經由異向性(anisotropic)之乾蝕刻(例如以 CHF_3 / Ar 氣體), 則可去除 SiO_2 層 6 之水平部份, 由此在矽結構 4', 摻雜物質之位障 3' 和閘極氧化物 2 之側面上可形成 SiO_2 間隔物 6'。在製造源極/汲極區域之區域中, 基體 1 之表面相對地需裸露出來(參考圖 4)。

藉由例如在 500°C 至 800°C 中進行之精確的熱氧化作用, 則可在基體 1 之裸露之表面上形成可滲透之擴散位障 7 以作為邊界面氧化物(參考圖 5)。此種可滲透之擴散位障的厚度為 0.1nm 至 10nm 。接著 Si_3N_4 覆蓋 5' 以濕化學法(例如利用 H_3PO_4) 去除。在去除 Si_3N_4 覆蓋 5' 之過程中, 對 SiO_2 具有高的選擇性是很重要的, 因此可滲透之擴散位障 7 具有一確定之厚度(參考圖 6)。

隨後在整個面上塗佈一層摻雜層 8。此摻雜層 8 例如可由原部位沈積非晶形矽或複晶矽而產生。此摻雜層 8 例如可為摻雜物質濃度 10^{20} 至 10^{22}cm^{-3} 之硼摻雜。此摻雜層 8 之沈積厚度例如可為 10nm 至 100nm (參考圖 7)。

經由在氧化空氣中之退火步驟, 例如在 H_2O 中以 1000°C 進行, 則由於此摻雜層 8, 摻雜物質將被驅入基體 1 以及矽結構 4' 之中。因此在基體 1 中產生 P 摻雜之源極/汲極區域 9, 同時經由矽結構 4' 之摻雜可形成 p+ 摻雜之閘極電極 10。此外, 經由氧化作用可由摻雜層 8 產生 SiO_2

五、發明說明(9)

層8'。可滲透之擴散位障7導致源極/汲極區域9之深度約為60nm, 摻雜物質之濃度約為 10^{19}cm^{-3} 。

同時在閘極電極10中可調整摻雜物質之濃度為 10^{20}cm^{-3} 。此摻雜物質均勻分佈在閘極電極10之中。摻雜物質之位障3'在摻雜物質被驅入時可防止摻雜物質侵入MOS電晶體之通道區域中。

閘極氧化物2另外亦可由氮化之氧化物或 RTO-SiO_2 所形成, 這些材料作為摻雜物質之位障, 使在此種情況下可以不需要摻雜物質之位障3'。氮化之氧化物係經由在 O_2 空氣中於 1100°C 進行氧化作用5至60秒(S), 使用 NH_3 及/或 N_2O 以便於 900°C 至 1100°C 時沈積 Si_3N_4 , 且隨後於 1150°C 再進行氧化作用而形成。 RTO-SiO_2 經由在 O_2 空氣中於 1100°C 進行氧化作用5至60秒且隨後在 1000°C 退火而形成。

摻雜物質經由可滲透之擴散位障7之擴散可被最佳化, 使在向外擴散之前, 能以F, Ar, Xe或Si進行整面之植入。此種離子植入會產生中間晶格原子, 可加速擴散作用。

最後, 此MOS電晶體經由沈積一層由BPSG構成之平面層且進行平面化。以及進行接觸孔之蝕刻且予以金屬化而製成(未示出)。

另一種方式可在形成源極/汲極區域之後, 對 SiO_2 層8'進行異向性之蝕刻, 其中源極/汲極區域9和閘極電極10之表面被裸露。然後此源極/汲極區域9和閘極電極10之表面選擇性地設置金屬矽化物, 這是在矽鋁化物之

五、發明說明(〇)

製程中 (salicide-process) 進行。

本發明以 PMOS 電晶體為例加以說明，但同樣可適用於 NMOS 電晶體中，在此情況中將使用砷或磷作為摻雜物質。用作可滲透之擴散位障的邊界面氧化物之厚度在此種情況為 0.1nm 至 1nm。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱：金氧半(MOS)電晶體之製造方法)

在基體(1)中製造MOS電晶體時，源極/汲極區域(9)和摻雜之閘極電極(10)同時經由摻雜層(8)之擴散而形成，其中摻雜物質在源極/汲極區域(9)中之分佈可利用源極/汲極區域(9)之表面上的可滲透之擴散位障(7)來調整。此外，又可設置一個摻雜物質之位障(3')，其可防止由閘極電極(10)來之摻雜物質抵達半導體基體(1)之中。

英文發明摘要(發明之名稱：Method for production of a MOS transistor)

In the production of a MOS transistor in a substrate (1), a source/drain-region (9) and a doped gate-electrode (10) are formed at the same time through outdiffusion from a doped layer (8), wherein the distribution of the doping material in the source/drain-region (9) can be adjusted through the permeable diffusion-barrier (7) on the surface of the source/drain-region (9). In addition, a barrier (3') of the doping material can be designed to prevent that doping material from the gate-electrode (10) goes into the semiconductor substrate (1).

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

紙

六、申請專利範圍

第 85108043 號「金氧半 (MOS) 電晶體之製造方法」專利案

(86年 3月 修正)

六 申請專利範圍：

1. 一種金氧半 (MOS) 電晶體之製造方法，其特徵為：

在半導體基體 (1) 之上產生閘極介電質 (2) 和矽結構 (4')，使半導體基體之表面至少暴露在設有源極 / 汲極區域之區域中，

至少在源極 / 汲極區域所使用之區域的表面上產生可滲透之擴散位障 (7)，

形成一層摻雜層 (8)，此摻雜層 (8) 覆蓋在源極 / 汲極區域之範圍內之可滲透的擴散位障 (7) 之表面且覆蓋矽結構 (4') 之表面，

對矽結構 (4') 進行摻雜以便經由摻雜層 (8) 之擴散而形成閘極電極 (10)，且源極 / 汲極區域 (9) 可同時經由摻雜層 (8) 之擴散而形成，其中摻雜物質會擴散而穿過可滲透之擴散位障 (7)。

2. 如申請專利範圍第 1 項之方法，其中矽結構 (4') 和閘極介電質 (2) 之形成需使摻雜物質之位障在矽結構 (4') 和半導體基體 (1) 之間是有作用的。

3. 如申請專利範圍第 2 項之方法，其中在閘極介電質 (2) 和矽結構 (4') 之間產生含氮之矽層 (3) 作為摻雜物質之位障。

4. 如申請專利範圍第 2 項之方法，其中閘極介電質由氮化

六、申請專利範圍

- 之氧化物或高溫之 RTO-SiO_2 所形成，使閘極介電質 (2) 可有效作為摻雜物質之位障。
5. 如申請專利範圍第 1 至第 4 項中任一項之方法，其中在矽結構 (4') 之表面形成一層 Si_3N_4 覆蓋 (5')，進行熱氧化作用以形成可摻透之擴散位障 (7)，其中在源極 / 汲極區域所使用之區域的表面上形成 SiO_2 層， Si_3N_4 覆蓋 (5') 選擇性地對 SiO_2 去除。
6. 如申請專利範圍第 1 項之方法，其中藉由擴散作用以形成源極 / 汲極區域 (9) 和閘極電極 (10) 之前，以 F, Ar, Xe 或 Si 進行整面之植入。
7. 如申請專利範圍第 1 項之方法，其中摻雜層 (8) 藉由在原部位沈積一層摻雜之矽層而形成。
8. 如申請專利範圍第 7 項之方法，其中由摻雜之矽層 (8) 往外的擴散作用需使此摻雜之矽層同時被氧化。

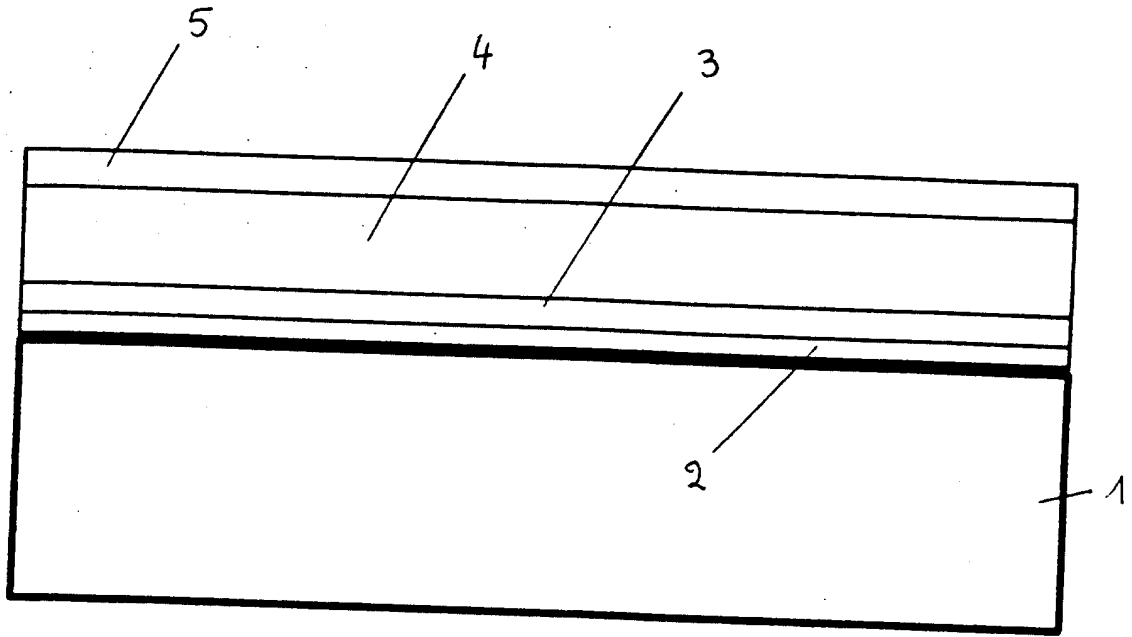
(請先閱讀背面之注意事項再填寫本頁)

裝

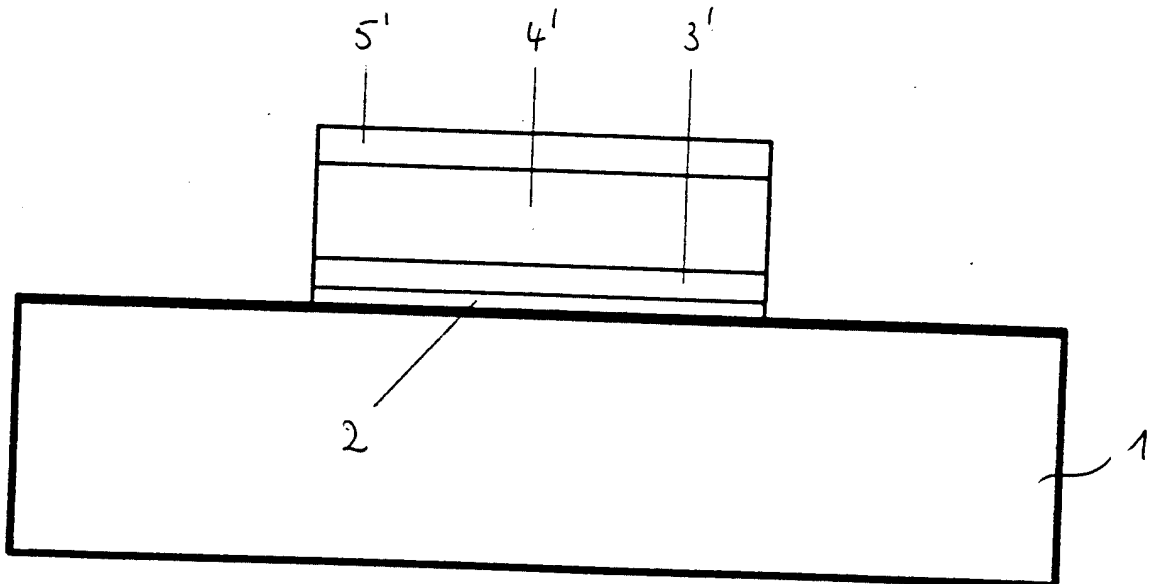
訂

ASTC 43

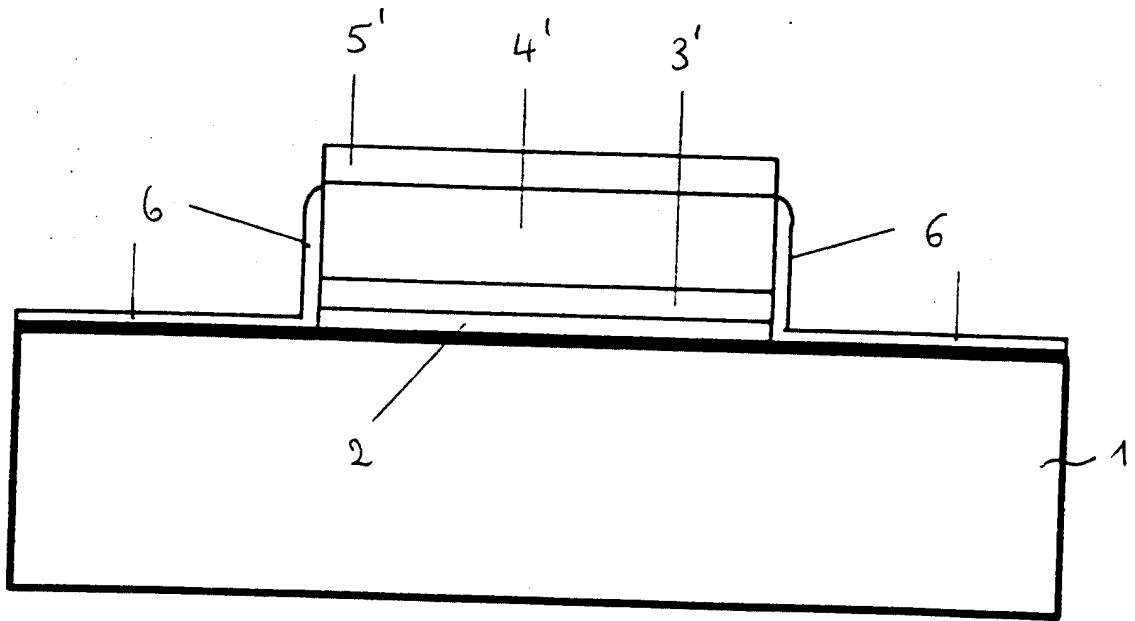
306060



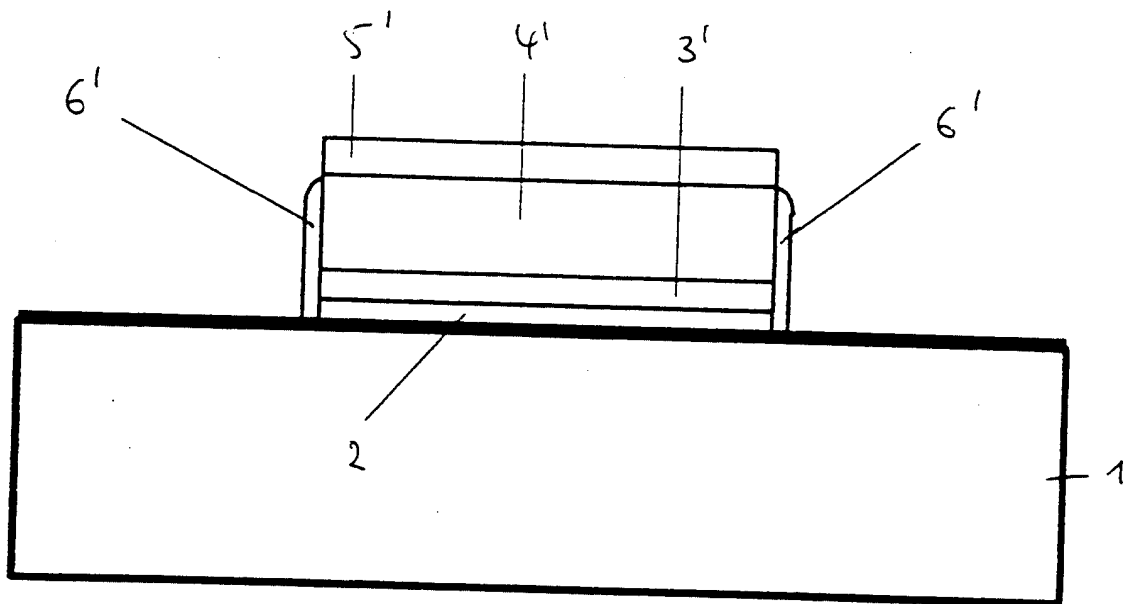
第 1 圖



第 2 圖

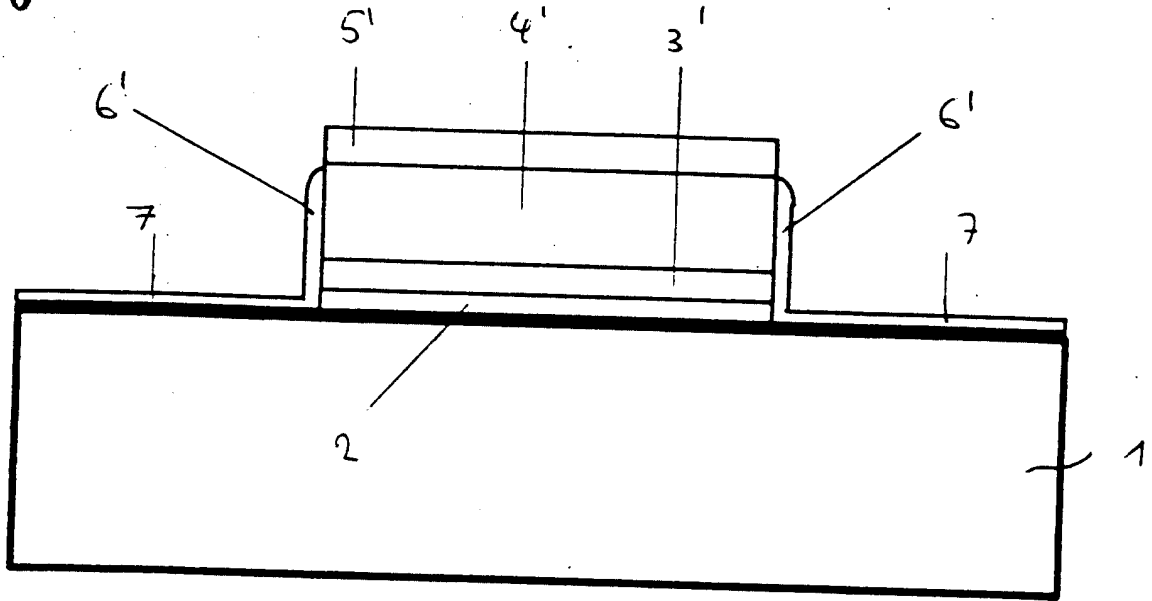


第 3 圖

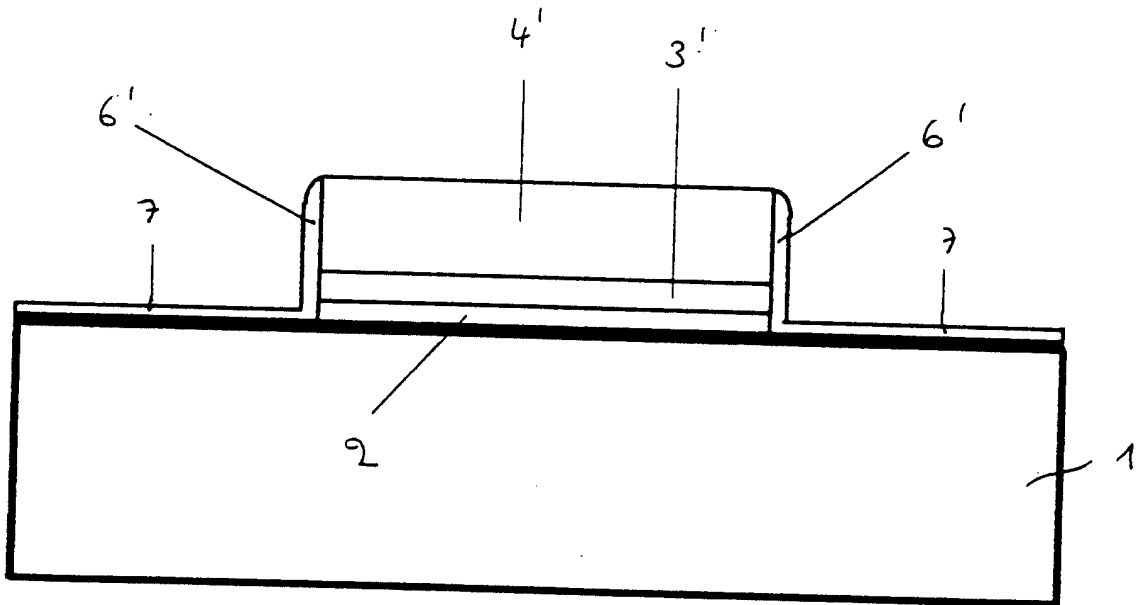


第 4 圖

306060

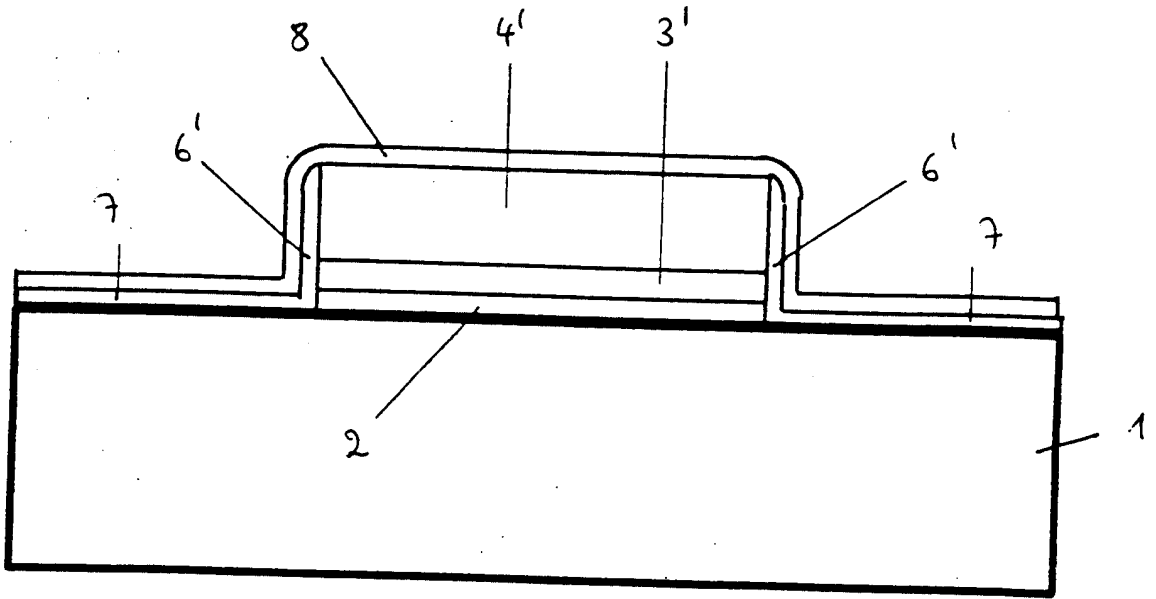


第 5 圖

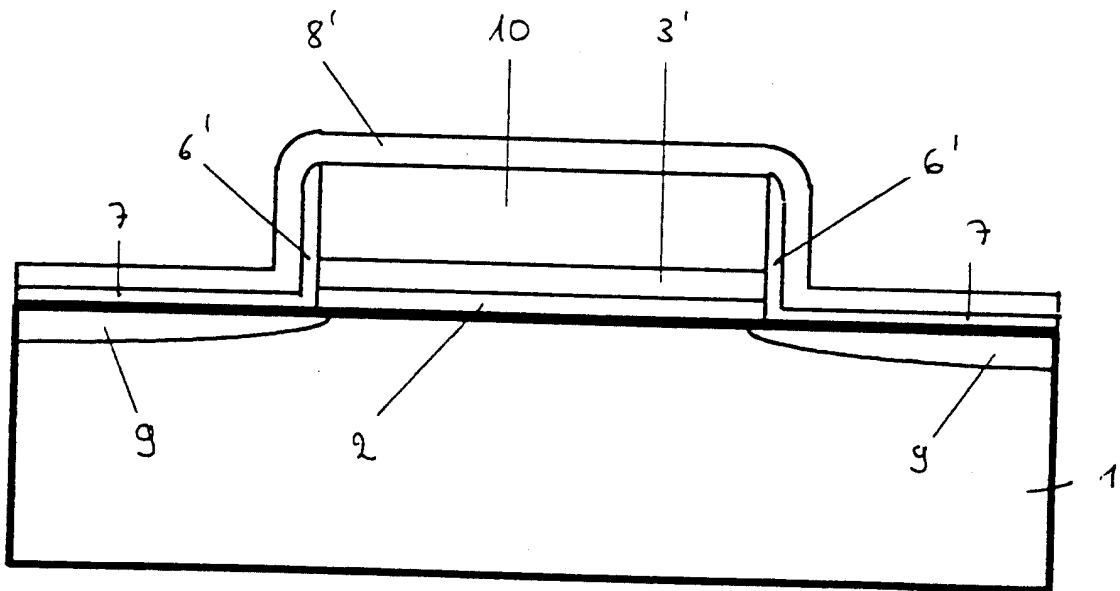


第 6 圖

306060



第 7 圖



第 8 圖

公告本

306060 3060

申請日期	85.7.3
案號	85108043
類別	H01K 27/05

A4
C48 3月2日 修正
補充

306060

Int. (以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	金氧半 (MOS) 電晶體之製造方法
	英文	Method for production of a MOS transistor
二、發明 創作人	姓名	吳度史華克 (Udo Schwalke)
	國籍	德國
	住、居所	德國海登史坦 D-84431 吉瓦貝街 22 號
三、申請人	姓名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國籍	德國
	住、居所 (事務所)	德國慕尼黑 80333 威田巴黎廣場 2 號
	代表人 姓名	1. 納特布斯克 (Natebusch) 2. 歐姆克 (Ohmke)

裝

訂

線