

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年12月24日(2010.12.24)

【公開番号】特開2008-182217(P2008-182217A)

【公開日】平成20年8月7日(2008.8.7)

【年通号数】公開・登録公報2008-031

【出願番号】特願2007-331342(P2007-331342)

【国際特許分類】

H 01 L 27/10 (2006.01)

H 01 L 29/786 (2006.01)

G 06 K 19/07 (2006.01)

G 11 C 17/18 (2006.01)

【F I】

H 01 L 27/10 4 3 1

H 01 L 27/10 4 6 1

H 01 L 27/10 4 8 1

H 01 L 29/78 6 1 3 B

G 06 K 19/00 H

G 11 C 17/00 3 0 6 A

【手続補正書】

【提出日】平成22年11月3日(2010.11.3)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

低抵抗状態と高抵抗状態を有する記憶素子と、

書き込み回路と、

抵抗部と、

前記書き込み回路へ書き込み電圧を入力する電源入力端子と、

前記記憶素子と前記書き込み回路とを電気的に接続するか否かを選択するピット線駆動回路と、

前記記憶素子に書き込みをするか否かを選択するワード線駆動回路とを有し、

前記記憶素子への書き込み時に前記記憶素子に流れる電流は前記電源入力端子から前記書き込み回路を介して供給され、

前記抵抗部は前記電流の経路上に設けられている

ことを特徴とする不揮発性メモリ。

【請求項2】

低抵抗状態と高抵抗状態を有する記憶素子と、

書き込み回路と、

読み出し回路と、

抵抗部と、

前記書き込み回路へ書き込み電圧を入力する電源入力端子と、

前記記憶素子と前記書き込み回路もしくは前記読み出し回路とを電気的に接続するか否かを選択するピット線駆動回路と、

前記記憶素子に書き込みをするか否かを選択するワード線駆動回路とを有し、

前記記憶素子への書き込み時に前記記憶素子に流れる電流は前記電源入力端子から前記書き込み回路を介して供給され、
前記抵抗部は前記電流の経路上に設けられている
ことを特徴とする不揮発性メモリ。

【請求項3】

低抵抗状態と高抵抗状態を有する記憶素子と、

書き込み回路と、

読み出し回路と、

抵抗部と、

前記書き込み回路へ書き込み電圧を入力する電源入力端子と、

前記記憶素子と前記書き込み回路もしくは前記読み出し回路とを電気的に接続するか否かを選択するビット線駆動回路と、

前記記憶素子に書き込みをするか否かを選択するワード線駆動回路とを有し、

前記記憶素子への書き込み時に前記記憶素子に流れる電流は前記電源入力端子から前記書き込み回路を介して供給され、
前記抵抗部は前記電流の経路上で、なおかつ前記読み出し時に前記記憶素子に流れる電流の経路外に設けられている

ことを特徴とする不揮発性メモリ。

【請求項4】

低抵抗状態と高抵抗状態を有する記憶素子と、

書き込み回路と、

抵抗部と、

前記書き込み回路へ書き込み電圧を入力する電源入力端子と、

前記記憶素子と前記書き込み回路とを電気的に接続するか否かを選択するビット線駆動回路と、

前記記憶素子に書き込みをするか否かを選択するワード線駆動回路とを有し、

前記ビット線駆動回路はビット線を介して前記記憶素子と電気的に接続され、

前記記憶素子への書き込み時には前記記憶素子に電気的に接続されたビット線と前記電源入力端子との間に書き込み電圧が伝達される電気経路が形成され、
前記抵抗部は前記電気経路上に設けられている

ことを特徴とする不揮発性メモリ。

【請求項5】

低抵抗状態と高抵抗状態を有する記憶素子を含むメモリセルと、

書き込み回路と、

抵抗部と、

前記書き込み回路へ書き込み電圧を入力する電源入力端子と、

前記記憶素子と前記書き込み回路とを電気的に接続するか否かを選択するビット線駆動回路と、

前記記憶素子に書き込みをするか否かを選択するワード線駆動回路とを有し、

前記記憶素子の第1の電極はビット線を介して前記ビット線駆動回路と電気的に接続され、
前記記憶素子の第2の電極はワード線を介して前記ワード線駆動回路と電気的に接続され、

前記抵抗部は前記電源入力端子と前記メモリセルとの間に前記記憶素子に対し直列に設けられている

ことを特徴とする不揮発性メモリ。

【請求項6】

請求項5において、

前記メモリセルは前記記憶素子と直列接続されたダイオードを有することを特徴とする不揮発性メモリ。

【請求項 7】

請求項 1 乃至 請求項 6 のいずれか一項において、
前記記憶素子は、前記書き込みにより前記高抵抗状態から前記低抵抗状態に移行する素子
であることを特徴とする不揮発性メモリ。

【請求項 8】

メモリセルと、
書き込み回路と、
抵抗部と、
前記書き込み回路へ書き込み電圧を入力する電源入力端子と、
前記記憶素子と前記書き込み回路とを電気的に接続するか否かを選択するビット線駆動回路と、
前記記憶素子に書き込みをするか否かを選択するワード線駆動回路とを有し、
前記メモリセルは低抵抗状態と高抵抗状態を有する記憶素子とトランジスタとを有し、
前記ビット線駆動回路はビット線及び前記トランジスタを介して前記記憶素子と電気的に接続され、
前記ワード線駆動回路はワード線を介して前記トランジスタのゲート電極と電気的に接続され、
前記記憶素子は前記電源入力端子から電位を供給することにより前記高抵抗状態から前記低抵抗状態へと移行し、
前記抵抗部は前記電源入力端子と前記メモリセルとの間に前記記憶素子に対し直列に設けられていることを特徴とする不揮発性メモリ。

【請求項 9】

請求項 5、請求項 6、及び請求項 8 のいずれか一項において、
前記メモリセルを複数有することを特徴とする不揮発性メモリ。

【請求項 10】

請求項 1 乃至 請求項 9 のいずれか一項において、
前記抵抗部は前記書き込み回路内に設けられていることを特徴とする不揮発性メモリ。

【請求項 11】

請求項 1 乃至 請求項 10 のいずれか一項において、
前記抵抗部は、半導体層によって構成される抵抗素子、金属薄膜、ダイオード接続されたトランジスタ、もしくはゲート電極を制御されたトランジスタであることを特徴とする不揮発性メモリ。

【請求項 12】

請求項 1 乃至 請求項 11 のいずれか一項において、
前記抵抗部の実効抵抗は、前記記憶素子の前記高抵抗状態における実効抵抗値の 1 / 3 以下であることを特徴とする不揮発性メモリ。

【請求項 13】

請求項 1 乃至 11 のいずれか一項において、
前記抵抗部の実効抵抗は、前記記憶素子の前記高抵抗状態における実効抵抗値の 1 / 10 以下であることを特徴とする不揮発性メモリ。

【請求項 14】

請求項 1 乃至 13 のいずれか一項において、
前記抵抗部の実効抵抗は、前記記憶素子の前記低抵抗状態における実効抵抗値の等倍以上であることを特徴とする不揮発性メモリ。

【請求項 15】

請求項 1 乃至 13 のいずれか一項において、
前記抵抗部の実効抵抗は、前記記憶素子の前記低抵抗状態における実効抵抗値の 3 倍以上であることを特徴とする不揮発性メモリ。

【請求項 16】

請求項 1 乃至 15 のいずれか一項において、

前記記憶素子の前記高抵抗状態と前記低抵抗状態とでは10倍以上の抵抗比を有することを特徴とする不揮発性メモリ。

【請求項17】

請求項1乃至16のいずれか一項において、少なくとも前記不揮発性メモリと、アンテナとを有し、無線通信を行うことを特徴とする半導体装置。

【請求項18】

請求項17において、さらにバッテリーを有することを特徴とする半導体装置。