

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6029538号
(P6029538)

(45) 発行日 平成28年11月24日 (2016.11.24)

(24) 登録日 平成28年10月28日 (2016.10.28)

(51) Int.Cl.

F I

H O 1 L 21/338 (2006.01)

H O 1 L 29/80 H

H O 1 L 29/778 (2006.01)

H O 1 L 29/78 3 O 1 B

H O 1 L 29/812 (2006.01)

H O 1 L 21/20

H O 1 L 21/336 (2006.01)

H O 1 L 21/205

H O 1 L 29/78 (2006.01)

請求項の数 6 (全 11 頁) 最終頁に続く

(21) 出願番号 特願2013-116030 (P2013-116030)
 (22) 出願日 平成25年5月31日 (2013.5.31)
 (65) 公開番号 特開2014-236080 (P2014-236080A)
 (43) 公開日 平成26年12月15日 (2014.12.15)
 審査請求日 平成28年1月19日 (2016.1.19)

(73) 特許権者 000106276
 サンケン電気株式会社
 埼玉県新座市北野3丁目6番3号
 (73) 特許権者 000190149
 信越半導体株式会社
 東京都千代田区大手町二丁目2番1号
 (74) 代理人 100102532
 弁理士 好宮 幹夫
 (72) 発明者 鹿内 洋志
 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
 (72) 発明者 佐藤 憲
 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

シリコン系基板と、

前記シリコン系基板上に設けられ、A 1 組成を含む第一の層と、前記第一の層より A 1 の含有が少ない第二の層とが交互に積層された第一のバッファ層と、

前記第一のバッファ層上に設けられ、A 1 組成を含む第三の層と、前記第三の層より A 1 の含有が少ない第四の層とが交互に積層された第二のバッファ層と、

前記第二のバッファ層上に設けられ、A 1 組成を含む第五の層と、前記第五の層より A 1 の含有が少ない第六の層とが交互に積層された第三のバッファ層とを有し、

全体として、前記第二のバッファ層が、前記第一バッファ層及び前記第三バッファ層より A 1 の含有が多く、

前記第四の層は、臨界膜厚以上の厚さを有するものであり、且つ前記第二の層及び前記第六の層より転位が多いものであることを特徴とする半導体装置。

【請求項 2】

前記第三のバッファ層上に設けられた能動層をさらに有し、

前記第一の層は、A 1 組成を含む第一のサブ層と、前記第一のサブ層より A 1 の含有が少ない第二のサブ層とが繰り返し形成されたものであり、

前記第五の層は、A 1 組成を含む第三のサブ層と、前記第三のサブ層より A 1 の含有が少ない第四のサブ層とが繰り返し形成されたものであり、

前記第二のサブ層及び前記第四のサブ層は、前記臨界膜厚未満の厚さを有するものであ

10

20

り、

前記第二の層は、前記第一のサブ層より A l の含有が少なく、前記二のサブ層より厚いものであり、

前記第六の層は、前記第四のサブ層より A l の含有が少なく、前記第四のサブ層より厚いものであり、

前記第四の層は、前記二のサブ層及び前記第四のサブ層より厚く、前記第二の層及び前記第六の層より薄いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第二のサブ層、前記第二の層、前記第四の層、前記第四のサブ層、及び、前記第六の層は、Ga N からなることを特徴とする請求項 2 に記載の半導体装置。

10

【請求項 4】

前記第一のサブ層、前記第三の層、及び、前記第三のサブ層は、Al N からなることを特徴とする請求項 2 又は請求項 3 に記載の半導体装置。

【請求項 5】

複数の前記第三の層の A l の含有が、前記第三のバッファ層に近いほど少なくなることを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 6】

前記第二のバッファ層を構成する複数の前記第三の層のうち、前記第二のバッファ層の中央部に配置された前記第三の層が、前記第二のバッファ層の上面側及び下面側に配置された前記第三の層と比較して、A l の含有が少ないことを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に窒化物半導体層を有する半導体装置に関する。

【背景技術】

【0002】

窒化物半導体層は安価なシリコン基板上やサファイア基板上に形成されることが一般的である。しかし、これらの基板の格子定数と窒化物半導体層の格子定数は大きく異なり、また、熱膨張係数も異なる。このため、基板上にエピタキシャル成長によって形成された窒化物半導体層に、大きな歪みエネルギーが発生する。その結果、窒化物半導体層にクラックの発生や結晶品質の低下が生じやすい。

30

【0003】

上記問題を解決するために、シリコン基板と窒化物半導体からなる能動層との間に窒化物半導体層を積層したバッファ層を配置する方法が提案されている（例えば、特許文献 1 参照）。

【0004】

特許文献 1 のバッファ層を有する半導体ウェーハを図 4 に示す。

図 4 において、バッファ層 3 は、シリコン基板 2 と能動層 4 との間に設けられており、バッファ層 3 は、第一の多層構造バッファ領域 5 と、第一の多層構造バッファ領域 5 の上に設けられた Ga N からなる第二の単層構造バッファ領域 8 と、第二の単層構造バッファ領域 8 の上に設けられた第二の多層構造バッファ領域 5 ' を有している。

40

さらに、第一の多層構造バッファ領域 5 及び第二の多層構造バッファ領域 5 ' は、サブ多層構造バッファ領域 6 と、Ga N からなり第二の単層構造バッファ領域 8 より薄い第一の単層構造バッファ領域 7 とが繰り返し積層された多層構造を有している。

また、サブ多層構造バッファ領域 6 は、Al N からなる第一の層と、Ga N からなる第二の層とが繰り返し積層された多層構造を有している。

【0005】

特許文献 1 においては、第一の層をアルミニウムを第 1 の割合で含む窒化物半導体で形

50

成し、第二の層、第一の単層構造バッファ領域 7、及び、第二の単層構造バッファ領域 8 のアルミニウムの割合（ゼロを含む）を第 1 の割合よりも小さくすることで、半導体ウェーハの反りを低減させることが開示されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2008 - 205117 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

10

上述したように、シリコン基板上やサファイア基板上に形成された窒化物半導体層の特性を改善するために、バッファ層を設けること、及び、バッファ層の構成を最適化することが行われてきた。

【0008】

しかしながら、本発明者らは、以下の問題点があることを見出した。

すなわち、バッファ層を一定の厚さの AlN / GaN が繰り返された多層バッファで構成し、多層バッファ層の GaN 層を厚くした場合、バッファ層や能動層にクラックが生じたり、基板との熱膨張係数差で反りを調整できないという問題がある。

逆にバッファ層を構成する GaN 層を薄くした場合に、バッファ層内のリーク電流が増加するという問題がある。

20

また、バッファ層を AlN / GaN の超格子構造とした場合も、バッファ層のトータル膜厚を厚くすると同様に反りの問題がある。

【0009】

また、特許文献 1 に開示されたバッファ構造では、厚い GaN からなる単層バッファ領域 8 があるため、バッファ層 3 の上面に凹凸が生じることで、能動層 4 の上面に凹凸が転写され、能動層 4 の上面の平坦性に問題が生じて、半導体装置の電気的特性にバラつきや特性の悪化の問題がある。

さらに、厚い GaN からなる単層構造バッファ領域 8 を挿入することで、バッファ層を厚く形成すると、膜形成装置内でバッファ層と基板との熱膨張係数差で反ってしまい、膜形成装置内から基板を取り出した時の基板と基板上の層の応力の調整が不十分で、反りやクラックが生じる場合がある。

30

【0010】

本発明は、上記問題点に鑑みてなされたものであって、バッファ層にかかる応力を低減しつつ、リークを抑制し、能動層上面の平坦性を改善することができる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記目的を達成するために、本発明は、シリコン系基板と、前記シリコン系基板上に設けられ、Al 組成を含む第一の層と、前記第一の層より Al の含有が少ない第二の層とが交互に積層された第一のバッファ層と、前記第一のバッファ層上に設けられ、Al 組成を含む第三の層と、前記第三の層より Al の含有が少ない第四の層とが交互に積層された第二のバッファ層と、前記第二のバッファ層上に設けられ、Al 組成を含む第五の層と、前記第五の層より Al の含有が少ない第六の層とが交互に積層された第三のバッファ層とを有し、全体として、前記第二のバッファ層が、前記第一バッファ層及び前記第三バッファ層より Al の含有が多いことを特徴とする半導体装置を提供する。

40

【0012】

このように、バッファ層の中央部の層（第二のバッファ層）がバッファ層の上部の層（第三のバッファ層）及びバッファ層の下部の層（第一のバッファ層）より Al 含有が多いことで、バッファ層の中央部で格子緩和（ミスフィット転位）がより大きく生じて、バッファ層にかかる応力を小さくできる。

50

また、バッファ層の中央部の層（第二のバッファ層）をA 1 組成を含む層（第三の層）を含む多層構造にし、バッファ層全体のアルミ組成を高めることでリーク電流を低減させることができる。

また、バッファ層の中央部の層（第二のバッファ層）をA 1 組成を含む層（第三の層）を含む多層構造にすることで、バッファ層上面の平坦性を改善することができ、それによって能動層上面の平坦性を改善することができる。

【0013】

ここで、前記第三のバッファ層上に設けられた能動層をさらに有し、前記第一の層は、A 1 組成を含む第一のサブ層と、前記第一のサブ層よりA 1 の含有が少ない第二のサブ層とが繰り返し形成されたものであり、前記第五の層は、A 1 組成を含む第三のサブ層と、前記第三のサブ層よりA 1 の含有が少ない第四のサブ層とが繰り返し形成されたものであり、前記第二のサブ層及び前記第四のサブ層は、臨界膜厚未満の厚さを有するものであり、前記第二の層は、前記第一のサブ層よりA 1 の含有が少なく、前記二のサブ層より厚いものであり、前記第六の層は、前記第四のサブ層よりA 1 の含有が少なく、前記第四のサブ層より厚いものであり、前記第四の層は、前記二のサブ層及び前記第四のサブ層より厚く、前記第二の層及び前記第六の層より薄く、前記臨界膜厚以上の厚さを有するものであり、前記第四の層は、前記第二の層及び前記第六の層より転位が多いものであることが好ましい。

【0014】

このように、バッファ層の中央部の層に含まれる第四の層を、バッファ層の下部の層に含まれる第二のサブ層及びバッファ層の上部の層に含まれる第四のサブ層より厚くすることで、バッファ層の中央部の層に含まれる第四の層において格子緩和（ミスフィット転位）が生じやすくなり、これにより、応力コントロールの幅がより広がり、バッファ層全体をより厚く形成することができる。

【0015】

また、前記第二のサブ層、前記第二の層、前記第四の層、前記第四のサブ層、及び、前記第六の層を、Ga Nとすることができる。

バッファ層を構成する第二のサブ層、第二の層、第四の層、第四のサブ層、及び、第六の層として、上記のような材料を好適に用いることができる。

【0016】

また、前記第一のサブ層、前記第三の層、及び、前記第三のサブ層を、A 1 Nとすることができる。

バッファ層を構成する第一のサブ層、第三の層、及び、第三のサブ層として、上記のような材料を好適に用いることができる。

【0017】

また、複数の前記第三の層のA 1 の含有は、前記第三のバッファ層に近いほど少なくすることが好ましい。

このように、バッファ層の中央部の層において、互いに隣接する第三の層と第四の層のA 1 組成比の差を、能動層に近いほど小さくすることで、下側では応力緩和効果を大きくし、上側では応力緩和効果よりも結晶性を良好にする効果を大きくすることができる。

【0018】

また、前記第二のバッファ層を構成する複数の前記第三の層のうち、前記第二のバッファ層の中央部に配置された前記第三の層について、前記第二のバッファ層の上面側及び下面側に配置された前記第三の層と比較して、A 1 の含有を少なくすることが好ましい。

このように、バッファ層の中央部の層において、互いに隣接する第三の層と第四の層のA 1 組成比の差を、中央部で小さくすることで、下側および上側では応力緩和効果を大きくし、中央部では応力緩和効果よりも結晶性を良好にする効果を大きくすることができる。

【発明の効果】

【0019】

以上のように、本発明によれば、バッファ層にかかる応力を低減しつつ、リークを抑制し、能動層上面の平坦性を改善することができる半導体装置を提供することができる。

【図面の簡単な説明】

【0020】

【図1】本発明の半導体装置の実施態様の一例を示す概略断面図である。

【図2】図1の第一の層の詳細を示す概略断面図である。

【図3】図1の第五の層の詳細を示す概略断面図である。

【図4】従来のバッファ層を有する半導体ウェーハの概略断面図である。

【発明を実施するための形態】

【0021】

以下、本発明について、実施態様の一例として、図を参照しながら詳細に説明するが、本発明はこれに限定されるものではない。

前述のように、従来のバッファ層においては、バッファ層の中央部側に、厚いGaNからなる単層バッファ領域を挿入しているため、バッファ層の上面に凹凸が生じることで、能動層の上面に凹凸が転写され、能動層の上面の平坦性に問題が生じて、半導体装置の電気的特性にバラつきや特性の悪化の問題がある。

さらに、バッファ層の中央部側に、厚いGaNからなる単層構造バッファ領域を挿入することで、バッファ層が厚くなると、膜形成装置内でバッファ層と基板との熱膨張係数差で反ってしまい、膜形成装置内から基板を取り出した時の基板と基板上の層の応力の調整が不十分で、反りやクラックが生じる場合がある。

【0022】

そこで、本発明者らは、バッファ層にかかる応力を低減しつつ、能動層上面の平坦性を改善することができる半導体装置について鋭意検討を重ねた。

その結果、バッファ層の中央部の層（第二のバッファ層）がバッファ層の上部の層（第三のバッファ層）及びバッファ層の下部の層（第一のバッファ層）よりAl含有が多く、バッファ層の中央部の層（第二のバッファ層）をAl組成を含む層（第三の層）を含む多層構造にすることで、バッファ層にかかる応力を小さくできるとともに、リーク電流を低減させることができ、さらに能動層上面の平坦性を改善することができることを見出し、本発明をなすに至った。

【0023】

図1は、本発明の半導体装置の一例を示す概略断面図である。

図1に示す本発明の半導体装置11は、シリコン系基板12と、シリコン系基板12上に設けられたバッファ層13と、バッファ層13上に設けられた能動層14と、能動層14上に設けられた第一電極24、第二電極26、及び、制御電極28を有している。

ここで、シリコン系基板12は、例えば、SiまたはSiCからなる基板である。

【0024】

バッファ層13は、第一のバッファ層15と、第一のバッファ層15上に設けられた第二のバッファ層20と、第二のバッファ層20上に設けられた第三のバッファ層15aを有している。

第一のバッファ層15は、Al組成を含む第一の層16と第一の層16よりAl含有が少ない第二の層17とが交互に積層されたものである。

第二のバッファ層20は、Al組成を含む第三の層18aと第三の層18aよりAl含有が少ない第四の層18bとが交互に積層されたものである。

第三のバッファ層15aは、Al組成を含む第五の層16aと第五の層16aよりAl含有が少ない第六の層17aとが交互に積層されたものである。

【0025】

能動層14はさらに、チャンネル層141と、チャンネル層141上に設けられたバリア層142を有している。

第一の電極24及び第二の電極26は、第一の電極24から、チャンネル層141内に形成された二次元電子ガス22を介して、第二の電極26に電流が流れるように配置されて

10

20

30

40

50

いる。

第一の電極 2 4 と第二の電極 2 6 との間に流れる電流は、制御電極 2 8 に印可される電位によってコントロールすることができる。

【 0 0 2 6 】

バッファ層 1 3 の中央部の層である第二のバッファ層 2 0 が、全体として、第一バッファ層 1 5 及び第三バッファ層 1 5 a より A l の含有が多くなっている。

これにより、バッファ層 1 3 の中央部で格子緩和（ミスフィット転位）が大きく生じて、バッファ層 1 3 にかかる応力を小さくできる。

【 0 0 2 7 】

また、バッファ層 1 3 の中央部の層である第二のバッファ層 2 0 を A l 組成を含む層（第三の層 1 8 a ）を含む多層構造にし、バッファ層 1 3 全体のアルミ組成を高めることで、リーク電流を低減させることができる。

【 0 0 2 8 】

さらに、バッファ層 1 3 の中央部の層である第二のバッファ層 2 0 を A l 組成を含む層（第三の層 1 8 a ）を含む多層構造にすることで、バッファ層上面の平坦性を改善することができ、それによって能動層上面の平坦性を改善することができる。

【 0 0 2 9 】

第一の層 1 6 は、図 2 に拡大図を示すように、A l 組成を含む第一のサブ層 1 6 ' と、第一のサブ層 1 6 ' より A l の含有が少ない第二のサブ層 1 6 " とが繰り返し形成されたものとすることができる。

また、前記第 5 の層 1 6 a は、図 3 に拡大図を示すように、A l 組成を含む第三のサブ層 1 6 a ' と、前記第三のサブ層より A l の含有が少ない第四のサブ層 1 6 a " とが繰り返し形成されたものとすることができる。

第二のサブ層 1 6 " 及び第四のサブ層 1 6 a " は、臨界膜厚（これ以上の膜厚であれば確実にミスフィット転位を生じさせることができる）未満の厚さを有するものとすることができる。

第二の層 1 7 は、第一のサブ層 1 6 ' より A l の含有が少なく、第二のサブ層 1 6 " より厚いものとすることができる。

第六の層 1 7 a は、第四のサブ層 1 6 a " より A l の含有が少なく、第四のサブ層 1 6 " より厚いものとすることができる。

第四の層 1 8 b は、第二のサブ層 1 6 " 及び第四のサブ層 1 6 a " より厚く、第二の層 1 7 及び第六の層 1 7 a より薄く、臨界膜厚以上の厚さを有するものとすることができる。

第二の層 1 7 及び第六の層 1 7 a は、第四の層 1 8 b より厚いため、層の下部で生じたミスフィット転位が層の途中で止る可能性が高くなるので、第四の層 1 8 b は第二の層 1 7 及び前記第六の層 1 7 a よりミスフィット転位が多くなる。

【 0 0 3 0 】

なお、第四の層 1 8 b は、3 . 5 n m ~ 2 0 0 n m であることが好ましい。この範囲であれば、確実にミスフィット転位を生じさせることができる。

また、第四の層 1 8 b は、5 n m ~ 5 0 n m であることがより好ましい。この範囲であれば、より確実にミスフィット転位を生じさせることができる。

【 0 0 3 1 】

したがって、バッファ層 1 3 の各層が上記の膜厚関係を有していれば、バッファ層の中央部の層に含まれる第四の層において格子緩和（ミスフィット転位）が生じやすくなり、これにより、応力コントロールの幅がより広がり、バッファ層全体をより厚く形成することができる。

【 0 0 3 2 】

第二のサブ層 1 6 " 、第二の層 1 7 、第四の層 1 8 b 、第四のサブ層 1 6 a " 、及び、第六の層 1 7 a は、例えば、G a N である。

第一のサブ層 1 6 ' 、第三の層 1 8 a 、及び、第三のサブ層 1 6 a ' は、例えば A l N

10

20

30

40

50

である。

【0033】

また、第二のバッファ層20を構成する第三の層18aのAlの含有は、第三のバッファ層15aに近いほど、すなわち、能動層14に近いほど少なくすることが好ましい。

このように、バッファ層の中央部の層において、互いに隣接する第三の層18aと第四の層18bのAl組成比の差を、第三のバッファ層15aに近いほど、すなわち、能動層14に近いほど小さくすることで、下側では応力緩和効果を大きくし、上側では応力緩和効果よりも結晶性を良好にする効果を大きくすることができる。

【0034】

さらに、第二のバッファ層20を構成する複数の第三の層18aのうち、第二のバッファ層20の中央部に配置された第三の層について、第二のバッファ層の上面側及び下面側に配置された前記第三の層と比較して、Alの含有を少なくすることが好ましい。

このように、バッファ層の中央部の層において、互いに隣接する第三の層18aと第四の層18bのAl組成比の差を、中央部で小さくすることで、下側および上側では応力緩和効果を大きくし、中央部では応力緩和効果よりも結晶性を良好にする効果を大きくすることができる。

【0035】

次に、本発明の半導体装置の製造方法を説明する。

まず、シリコン系基板12上に、バッファ層13を構成する第一のバッファ層15を形成する。

具体的には、MOVPE（有機金属気相成長）法によって、AlNからなる第一のサブ層16'とGaNからなる第二のサブ層16''とを交互に成長させて形成した第一の層16と、GaNからなる第二の層17とを交互に成長させて、第一のバッファ層15を形成する。

第一のサブ層16'の膜厚は例えば、3～7nmであり、第二のサブ層16''の膜厚は例えば、2～5nmであり、第二の層17の膜厚は例えば、100～500nm、好ましくは、100～300nmである。

繰り返し形成される第一の層16及び第二の層17の数は、例えば、4～7とすることができ、繰り返し形成される第一のサブ層16'及び第二のサブ層16''の数は、例えば、1～15とすることができる。

【0036】

次に、第一のバッファ層15上に、バッファ層13を構成する第二のバッファ層20を形成する。

具体的には、MOVPE法によって、AlNからなる第三の層18aとGaNからなる第四の層18bとを交互に成長させて、第二のバッファ層20を形成する。

第三の層18aの膜厚は例えば、3～7nmであり、第四層18bの膜厚は例えば、3.5～200nmである。

繰り返し形成される第三の層18a及び第四の層18bの数は、例えば、10～100とすることができる。

【0037】

次に、第二のバッファ層20上に、バッファ層13を構成する第三のバッファ層15aを形成する。

具体的には、MOVPE法によって、AlNからなる第三のサブ層16a'とGaNからなる第四のサブ層16a''とを交互に成長させて形成した第五の層16aと、GaNからなる第六の層17aとを交互に成長させて、第三のバッファ層15aを形成する。

第三のサブ層16a'の膜厚は例えば、3～7nmであり、第四のサブ層16a''の膜厚は例えば、2～5nmであり、第六の層17aの膜厚は例えば、100～500nm、好ましくは、100～300nmである。

繰り返し形成される第五の層16a及び第六の層17aの数は、例えば、4～7とすることができ、繰り返し形成される第三のサブ層16a'及び第四のサブ層16a''の数は

10

20

30

40

50

、例えば、１～１５とすることができる。

なお、第三のサブ層１６ａ'及び第四のサブ層１６ａ"の数を、第一のサブ層１６'及び第二のサブ層１６"の数より少なくするほうが、結晶性を良好にすることができる。

【００３８】

次に、バッファ層１３上に、能動層１４を形成する。

具体的には、バッファ層１３上に、MOVPE法によって、GaNからなるチャンネル層１４１、AlGaNからなるバリア層１４２を順次成長させる。チャンネル層１４１の膜厚は例えば、１０００～４０００nmであり、バリア層１４２の膜厚は例えば、１０～５０nmである。

【００３９】

次に、能動層１４上に、第一電極２４、第二電極２６、及び、制御電極２８を形成する。

第一電極２４及び第二電極２６は例えば、Ti/Alの積層膜で形成することができ、制御電極２８は例えば、SiO₂、SiN等の金属酸化物からなる下層膜と、Ni、Au、Mo、Pt等の金属からなる上層膜の積層膜で形成することができる。

上述した製造方法により、図１に示した半導体装置を得ることができる。

【実施例】

【００４０】

以下、実施例及び比較例を示して本発明をより具体的に説明するが、本発明はこれらに限定されるものではない。

【００４１】

（実施例１）

上述した製造方法で、図１に示すような半導体装置を作製した。第一の層１６は図２に示すような積層構造とし、第五の層１６ａは図３に示すような積層構造とした。

なお、第一のサブ層１６'、第三の層１８ａ、及び、第三のサブ層１６ａ'は、AlNとし、第二のサブ層１６"、第二の層１７、第四の層１８ｂ、及び、第四のサブ層１６ａ"は、GaNとした。

【００４２】

（比較例１）

実施例１と同様にして、半導体装置を作製した。ただし、第二のバッファ層２０はGaNからなる単層構造とした。

【００４３】

実施例１の半導体装置は、比較例１の半導体装置と比較して、バッファ層にかかる応力を低減しつつ、リークを抑制し、能動層上面の平坦性を改善できることが確認された。

【００４４】

なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

【符号の説明】

【００４５】

- １…半導体ウェーハ、 ２…シリコン基板、 ３…バッファ層、 ４…能動層、
- ４１…チャンネル層、 ４２…バリア層、 ５…第一の多層構造バッファ領域、
- ５'…第二の多層構造バッファ領域、 ６…サブ多層構造バッファ領域、
- ７…第一の単層構造バッファ領域、 ８…第二の単層構造バッファ領域、
- １１…半導体装置、 １２…シリコン系基板、 １３…バッファ層、
- １４…能動層、 １４１…チャンネル層、 １４２…バリア層、
- １５…第一のバッファ層、 １５ａ…第三のバッファ層、
- １６…第一の層、 １６'…第一のサブ層、 １６"…第二のサブ層、
- １６ａ…第五の層、 １６ａ'…第三のサブ層、 １６ａ"…第四のサブ層、
- １７…第二の層、 １７ａ…第六の層、 １８ａ…第三の層、 １８ｂ…第四の層、

10

20

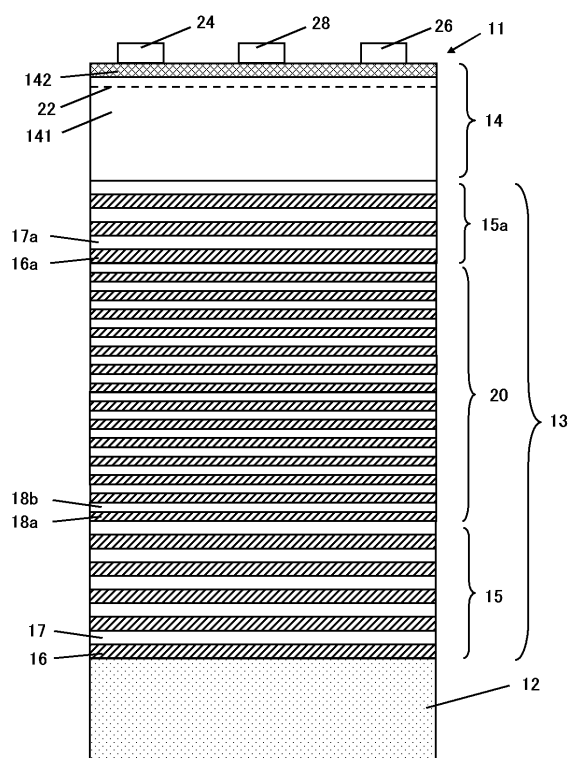
30

40

50

20 ... 第二のバッファ層、 22 ... 二次元電子ガス、 24 ... 第一電極、
26 ... 第二電極、 28 ... 制御電極。

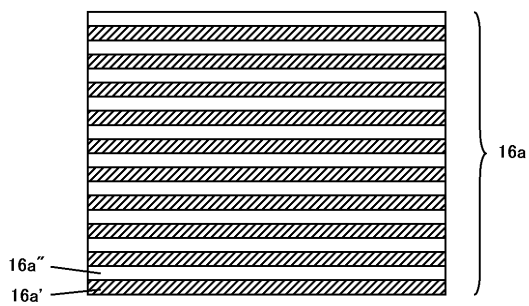
【図 1】



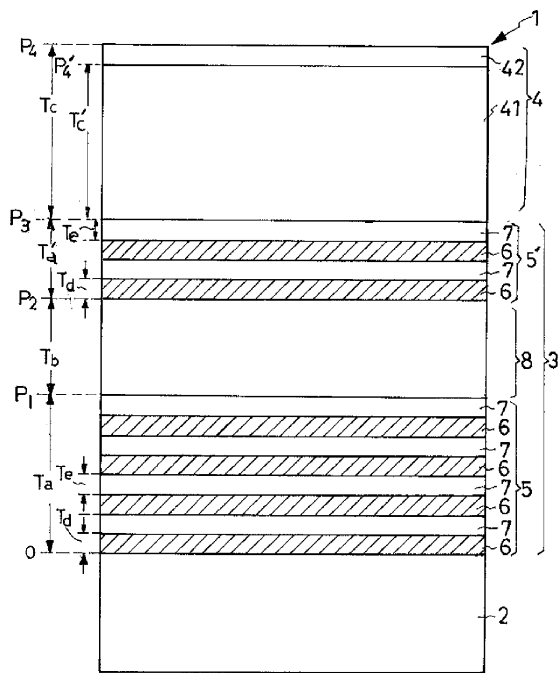
【図 2】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/20 (2006.01)

H 0 1 L 21/205 (2006.01)

(72)発明者 後藤 博一

埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

(72)発明者 篠宮 勝

群馬県安中市磯部二丁目13番1号 信越半導体株式会社 半導体磯部研究所内

(72)発明者 土屋 慶太郎

群馬県安中市磯部二丁目13番1号 信越半導体株式会社 半導体磯部研究所内

(72)発明者 萩本 和徳

群馬県安中市磯部二丁目13番1号 信越半導体株式会社 半導体磯部研究所内

審査官 棚田 一也

(56)参考文献 特開2011-018844(JP,A)

特開2010-219176(JP,A)

特開2008-205117(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/338

H 0 1 L 21/20

H 0 1 L 21/205

H 0 1 L 21/336

H 0 1 L 29/778

H 0 1 L 29/78

H 0 1 L 29/812