

19 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

11 N° de publication : **2 644 924**
(à utiliser que pour les
commandes de reproduction)

21 N° d'enregistrement national : **89 03847**

51 Int Cl⁵ : G 11 C 29/00.

12 **DEMANDE DE BREVET D'INVENTION**

A1

22 Date de dépôt : 23 mars 1989.

30 Priorité :

43 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 39 du 28 septembre 1990.

60 Références à d'autres documents nationaux appa-
rentés :

71 Demandeur(s) : **SGS THOMSON MICROELECTRONICS
SA. — FR.**

72 Inventeur(s) : **Claude Costabello, Cabinet Ballot-Schmit.**

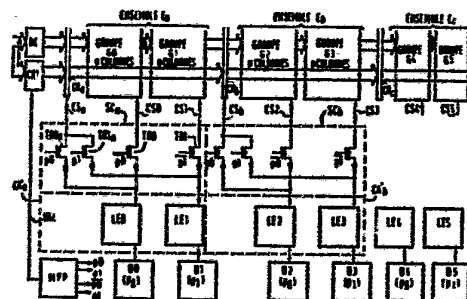
73 Titulaire(s) :

74 Mandataire(s) : **Cabinet Ballot-Schmit.**

54 Circuit de sélection d'une colonne redondante dans une mémoire intégrée avec redondance de colonnes de données.

57 L'invention concerne les mémoires réalisées en circuit intégré et plus particulièrement celles qui comportent des colonnes redondantes pour remplacer les colonnes défectueuses.

L'invention réside dans le fait que chaque circuit d'aiguillage tel que SCa, associé à un ensemble Ea de colonnes est connecté entre les conducteurs de sortie CS0, CS1 et CSa et les circuits de lecture-écriture LEO et LE1. La sélection est obtenue à l'aide des signaux p0, p0̄ et p1, p1̄ fournis par le circuit MPP. Un tel arrangement réduit de manière significative le nombre de circuits associés aux colonnes car les circuits LEO et LE1 sont utilisés pour les colonnes redondantes en cas de défectuosité.



FR 2 644 924 - A1

1

CIRCUIT DE SELECTION D'UNE
COLONNE REDONDANTE DANS UNE MEMOIRE INTEGREE
AVEC REDONDANCE DE COLONNES DE DONNEES

La présente invention concerne les mémoires réalisées en circuit intégré et, plus particulièrement, dans une mémoire de ce type avec redondance de colonnes de données, un circuit de sélection d'une colonne
5 redondante.

Plus les mémoires ont une grande capacité de stockage d'informations et plus la technologie d'intégration est fine, plus ces mémoires sont sujettes à des défauts de fabrication. En effet, il est très difficile aujourd'hui
10 d'avoir un bon rendement de fabrication pour des mémoires d'un mégabit intégrées sur une surface de silicium d'un cm². Un seul défaut dans une mémoire d'un million de cellules entraîne la mise au rebut de l'ensemble de la mémoire.

Pour augmenter le rendement global de fabrication, il a été proposé d'utiliser des réseaux de mémoire redondants, c'est-à-dire comportant plus d'éléments mémoire qu'il n'est strictement nécessaire; au cas où un
15 ou plusieurs éléments de mémoire seraient défectueux, ce qui est détecté lors du test des tranches de circuit intégré, on les remplace par des éléments redondants de sorte que la mémoire apparaît globalement bonne et n'est
20 pas mise au rebut. De cette manière, il est possible de récupérer des mémoires comportant un nombre limité de défauts.
25

Une mémoire est organisée en matrice de rangées et de colonnes et c'est sur une colonne qu'on lit le contenu d'une cellule qui est au croisement entre cette colonne et une rangée désignée par une adresse de rangée
30 déterminée.

Selon les types de défauts qui apparaissent, il faut remplacer soit une rangée défectueuse par une rangée redondante, soit une colonne défectueuse par une colonne redondante.

- 5 Le remplacement d'une rangée défectueuse est en général plus facile à effectuer car les contraintes d'encombrement dues aux circuits de sélection à ajouter pour que le remplacement soit transparent pour l'utilisateur sont moins sévères.
- 10 Le remplacement d'une colonne défectueuse est plus difficile à effectuer que celui d'une rangée lorsque la mémoire est organisée en mots de plusieurs bits car une adresse d'entrée désigne, d'une part, une seule rangée déterminée et, d'autre part, un nombre de colonnes égal
- 15 au nombre de bits. En conséquence, lorsqu'une colonne est défectueuse, il faut changer toutes les colonnes correspondant à son adresse. Une telle solution conduit à utiliser un nombre important de colonnes redondantes auxquelles sont associés les circuits de sélection, de
- 20 lecture et d'écriture, d'où une augmentation sensible de l'encombrement non seulement au niveau de la mémoire proprement dite mais aussi au niveau des circuits périphériques où la densité des circuits est déjà très grande.
- 25 Dans la demande de brevet français déposée par la demanderesse le 24 février 1987 sous le n° 87 02372, il a été proposé une mémoire intégrée avec redondance de colonnes de données qui est organisée de manière particulière. La figure 1 de la présente demande, qui
- 30 correspond à la figure unique de la demande précitée, permet de mieux comprendre cette organisation. La mémoire est organisée en y rangées et k groupes G0 à G5 de p colonnes, k et p étant différents de l'unité, chaque groupe correspondant à un plot d'entrée-sortie

respectif parmi k plots D0 à D5. Une colonne de chaque groupe G0 à G5 peut être reliée au plot correspondant D0 à D5 à ce groupe par sélection d'une adresse de colonne commune à tous les groupes G0 à G5.

5 La mémoire comporte en outre des colonnes redondantes CRa à CRc pour remplacer des colonnes défectueuses ainsi que des éléments de mémorisation d'adresse de colonne (non représentés) aptes à mémoriser l'adresse des colonnes défectueuses et un circuit logique CR1 de
10 sélection de colonne redondante couplé aux éléments de mémorisation d'adresse de colonne pour sélectionner une colonne redondante lorsqu'une adresse de colonne défectueuse est appliquée à la mémoire.

Les k plots D0 à D5 sont répartis en m ensembles Ea à Ec
15 de r plots D0, D1, m et p étant différents de l'unité, et à chaque ensemble Ea à Ec est associée au moins une colonne redondante CRa à CRc.

Des éléments de mémorisation de position de plot MPP sont prévus pour mémoriser une position de plot
20 correspondant au groupe de colonnes dans lequel se situe une colonne défectueuse, la position mémorisée étant une position j parmi r positions possibles de l'ensemble de plots dans lequel se situe le plot considéré.

Un circuit logique d'aiguillage (T0, T1, 10, 11, 20, 21,
25 30) est couplé aux éléments de mémorisation de plot MPP pour :

- autoriser ou inhiber la transmission d'informations entre les plots de même position j de tous les ensembles de plots et les colonnes redondantes
30 respectives associées à chaque ensemble Ea à Ec,
- corrélativement inhiber ou autoriser la transmission d'informations entre les plots de position autre que j de tous les ensembles et les groupes de colonnes correspondant à ces plots.

L'autorisation et l'inhibition corrélative est fonction de l'information mémorisée par les éléments de mémorisation de position de plot MPP.

Dans la mémoire qui vient d'être décrite, à chaque colonne redondante sont associés un amplificateur de lecture ARa, ARb...et un amplificateur de commande d'écriture BRa, BRb...Ces amplificateurs utilisent une place importante dans celle occupée par les circuits associés aux colonnes, c'est-à-dire dans une partie du circuit intégré où la place disponible est très réduite.

Un but de la présente invention est donc de réaliser une mémoire intégrée avec redondance de colonnes de données du type de celle décrite dans la demande de brevet précitée mais dans laquelle il n'est pas nécessaire d'associer à chaque colonne redondante un amplificateur de lecture et un amplificateur de commande d'écriture.

Un autre but de la présente invention est de réaliser un circuit de sélection de la colonne redondante qui permet de s'affranchir de l'usage d'amplificateurs de lecture et de commande d'écriture en utilisant les amplificateurs de lecture et de commande d'écriture associés à la colonne défectueuse.

L'invention se rapporte donc à un circuit de sélection d'une colonne redondante dans une mémoire intégrée avec redondance de colonnes de données, ladite mémoire comportant :

- un réseau d'éléments de mémoire organisés en y rangées et k groupes de p colonnes, k et p étant différents de l'unité, chaque groupe correspondant à un circuit d'entrée-sortie ou d'écriture-lecture respectif parmi k circuits d'écriture-lecture, une colonne de chaque groupe pouvant être reliée au circuit d'écriture-lecture correspondant à ce groupe par sélection d'une adresse de colonne commune à tous les

groupes,

- Des colonnes redondantes pour remplacer des colonnes défectueuses,
- 5 - Des éléments de mémorisation d'adresse de colonne aptes à mémoriser l'adresse des colonnes défectueuses,
- un circuit logique de sélection de colonne redondante couplé aux éléments de mémorisation d'adresse de colonne pour sélectionner une colonne redondante lorsqu'une adresse de colonne défectueuse est
10 appliquée à la mémoire, les k circuits d'écriture-lecture étant répartis en m ensembles de r circuits d'écriture-lecture, m et r étant différents de l'unité, et à chaque ensemble est associé au moins une colonne redondante,
- 15 - des éléments de mémorisation d'une position de circuit écriture-lecture prévus pour mémoriser une position du circuit écriture-lecture correspondant au groupe de colonnes dans lequel se situe une colonne défectueuse, la position mémorisée étant une position j parmi r
20 positions possibles de l'ensemble de circuits écriture-lecture dans lequel se situe le circuit écriture-lecture considéré, et
- un circuit de sélection couplé aux éléments de mémorisation de position de circuit écriture-lecture,
25 caractérisé en ce que le circuit de sélection est associé à un ensemble de circuits écriture-lecture et est connecté entre, d'une part, les groupes de colonnes dudit ensemble et les colonnes redondantes associées audit ensemble et, d'autre part, les circuits
30 écriture-lecture.

Le circuit de sélection est également caractérisé par le fait qu'il comprend un transistor par groupe de colonnes et r transistors par colonne redondante, lesdits transistors étant commandés par les signaux fournis par

les éléments de mémorisation de position de circuit écriture-lecture.

D'autres caractéristiques et avantages de la présente invention apparaîtront à la lecture de la description
5 suivante d'un exemple particulier de réalisation, ladite description étant faite en relation avec les dessins joints dans lesquels :

- La figure 1 est un schéma de la mémoire intégrée avec redondance de colonnes de données tel que décrit dans
10 la demande de brevet précitée, et
- la figure 2 est un schéma qui montre, outre la mémoire de la figure 1, le circuit de sélection selon la présente invention.

Les schémas des figures 1 et 2 étant identiques à
15 l'exception du circuit de sélection, une seule description des parties communes sera faite.

Pour simplifier cette description, on a choisi un exemple de réalisation dans lequel les paramètres k, m et r définis ci-dessus dans le préambule ont pour
20 valeurs respectives :

$$k = 6$$

$$m = 3$$

$$r = 2$$

La mémoire comporte donc six plots d'entrée-sortie D0,
25 D1, D2, D3, D4, D5 à partir desquels on peut lire et écrire des informations dans la mémoire sous forme de mots de six bits.

Les informations sont stockées dans un réseau de cellules organisé en y rangées et k (k=6) groupes de p
30 colonnes.

Sur la figure on n'a pas représenté le réseau proprement dit, et en particulier pas les rangées et les décodeurs d'adressage de rangées qui sont classiques. On n'a représenté, sous forme symbolique que des groupes de

conducteurs de colonne, chaque groupe correspondant à un plot respectif. Les groupes sont désignés par les références G0, G1, G2, G3, G4, G5.

De manière classique, un décodeur de colonne DC est
5 prévu; il reçoit une adresse de colonne A et permet de sélectionner une colonne parmi p dans chacun des groupes de p colonnes : les k colonnes d'adresse A sont sélectionnées simultanément par le décodeur DC. Sur les
10 figures on a représenté des conducteurs de sortie respectifs CS0, CS1, CS2, CS3, CS4 et CS5 pour chacun des groupes de colonne, ce qui veut dire que l'application d'une adresse A a pour effet de relier à
chacun de ces conducteurs de sortie une colonne déterminée du groupe correspondant.

15 Le circuit de redondance comporte deux parties dont une est représentée symboliquement par le bloc CR1. Ce bloc est constitué d'une manière connue et comporte des éléments de mémorisation d'adresses de colonnes
défectueuses, c'est-à-dire des batteries de fusibles grillées au moment du test sur tranche de la mémoire. Ce
20 bloc a la fonction suivante : il reçoit l'adresse A et la compare avec l'information mémorisée par les batteries de fusibles. S'il y a coïncidence, il désactive la sortie du décodeur DC et sélectionne à la
25 place des colonnes redondantes. Autrement dit, il interdit la transmission d'une information entre les conducteurs de sortie CS0 à CS5 et les colonnes des groupes G0 à G5, mais il autorise la transmission d'informations entre les colonnes redondantes, désignées
30 ici par CRA, CRb, CRc, et des conducteurs de sortie respectifs CSa, CSb, CSC de ces colonnes redondantes.

Plus précisément, on considérera d'abord qu'il n'y a qu'une seule possibilité de réparation de colonne défectueuse, et dans ce cas, le bloc CR1 comporte une

seule batterie de fusibles permettant le repérage de l'adresse de la colonne défectueuse; le bloc CR1 sélectionne alors toutes les colonnes redondantes existantes. On notera à ce propos qu'il n'y a pas ici
5 autant de colonnes redondantes que de plots d'entrée-sortie, mais cela ne change rien à la constitution classique du circuit CR1 dont la fonction est de désigner toutes les colonnes redondantes.

On reviendra plus loin sur le cas où le circuit doit
10 permettre la réparation de plusieurs colonnes défectueuses.

Dans l'architecture présentée sur les figures 1 et 2, les plots d'entré-sortie sont répartis en m ensembles de r plots.

15 Ici, D0, D1 forment le premier ensemble; D2, D3 forment le deuxième ensemble; D4, D5 forment le troisième ensemble.

A chaque ensemble de plots est associé, d'une part, un ensemble de r groupes de p colonnes et, d'autre part,
20 une colonne redondante pouvant remplacer de manière transparente une colonne quelconque de cet ensemble de groupes.

Ici, à l'ensemble de plots D0, D1 sont associés, d'une part, l'ensemble Ea des groupes G0 et G1, qui
25 comprennent chacun p colonnes et, d'autre part, la colonne de redondance CRa qui peut remplacer l'une quelconque des colonnes des groupes G0 et G1.

De même, à l'ensemble de plots D2, D3 sont associés d'une part, l'ensemble Eb des groupes de colonnes G2 et
30 G3, et, d'autre part la colonne redondante CRb. Enfin, à l'ensemble de plots D4, D5 correspondent l'ensemble de groupes G4, G5 et la colonne redondante CRc.

Dans chaque ensemble de r plots ($r=2$) on définit une position de plot parmi r .

Ici, il n'y a que deux plots dans chaque ensemble donc seulement deux positions de plot possibles qu'on appellera position p0 et position p1.

Dans le premier ensemble de deux plots D0, D1, on dira
5 que D0 est le plot de position p0 et D1 le plot de position p1. Dans le deuxième ensemble, on dira que D2 est le plot de position p0 et D3 le plot de position p1. Enfin, dans le troisième ensemble, D4 est le plot de position p0 et D5 le plot de position p1.

10 Lorsque le test sur tranche est effectué, si on détecte qu'une information anormale apparaît et résulte d'un défaut de colonne qu'on peut réparer par remplacement de cette colonne, non seulement on repère l'adresse A fournie au décodeur, mais on repère aussi le plot sur
15 lequel apparaît un bit anormal.

Cependant on ne repère ce plot que par sa "position" dans l'ensemble de r plots. Autrement dit, dans l'exemple représenté, au lieu de repérer qu'un bit anormal est apparu sur le plot D3 par exemple, on se
20 contente de repérer qu'un bit anormal est apparu sur un plot de position p1.

Cette information est mémorisée dans des éléments de mémorisation de position de plot appartenant à un circuit logique MPP. Ces éléments consistent en une
25 batterie de fusibles. Il y a autant de fusibles qu'il est nécessaire pour définir une position parmi r. Pour deux positions p0 et p1, un fusible est nécessaire. Ce fusible est grillé lors du test sur tranche; l'information qu'il mémorise est exploitée (comme
30 l'information stockée dans les fusibles du circuit CR1) lors de l'utilisation ultérieure de la mémoire.

Dans l'exemple représenté, le circuit logique MPP, qui contient ce fusible, possède deux conducteurs de sortie repérés par les mêmes symboles qui définissent les

positions de plot : le conducteur p0 présente un état logique 1 si un bit défectueux a été détecté à une position p0 et un état 0 dans le cas contraire; le conducteur p1 présente un état logique 1 si un bit défectueux a été détecté à une position p1 et une état logique 0 dans le cas contraire. Les états logiques 1 n'apparaissent que sous la commande du circuit CR1 lorsqu'une adresse A de colonne défectueuse a été reconnue par ce circuit CR1; c'est pourquoi une connection VAL a été représentée entre le circuit CR1 et le circuit MPP.

Les états logiques des conducteurs p0 et p1 sont appliqués comme signaux d'entrée à des circuits d'aiguillage CAa et CAb dans le cas de la mémoire de la figure 1 et à des circuits d'aiguillage CA'a et CA'b dans le cas de la mémoire de la figure 2, ces derniers circuits CA'a et CA'b constituant la partie spécifique de l'invention.

Dans le cas du circuit de sélection CAa de la figure 1, associé à l'ensemble Ea, il comprend de manière imbriquée des amplificateurs de lecture ARa, AL0 et AL1, des amplificateurs de commande d'écriture BRa, BE0 et BE1, des circuits logiques 10, 11, 20, 21 et 30 et des transistors T0, T1, Ta, T10 et T1.

Dans le cas du circuit de sélection CA'a de la figure 2 associé à l'ensemble Ea, la fonction de lecture/écriture est réalisée de manière classique par des circuits LE0 et LE1 tandis que la fonction de sélection est réalisée par un circuit SCa connecté entre les colonnes de sortie CSa, SC0 et CS1 et les circuits LE0 et LE1. En d'autres mots, la sélection des colonnes est effectuée avant l'entrée dans les circuits de lecture/écriture de manière à connecter la colonne redondante au circuit de lecture/écriture qui est connecté à la colonne

défectueuse. Il en résulte qu'un tel arrangement ne nécessite pas l'usage d'amplificateurs associés à la colonne redondante.

Le circuit de sélection S_{Ca} comprend le transistor TR₀ qui est connecté côté source, au conducteur de sortie CS₀ du groupe G₀ et, côté drain, au circuit LEO; il est commandé sur sa grille par le signal complémentaire $\overline{p_0}$. Il comprend de manière similaire le transistor TR₁ qui est connecté, côté source, au conducteur de sortie CS₁ du groupe G₁ et, côté drain, au circuit LE₁; il est commandé sur sa grille par le signal complémentaire $\overline{p_1}$. Les signaux logiques complémentaires $\overline{p_0}$ et $\overline{p_1}$ sont obtenus en appliquant les signaux p_0 et p_1 à des inverseurs (non représentés) qui peuvent être inclus dans le circuit MPP.

Il comprend également un transistor TR_{0a} qui est connecté, côté source, au conducteur de sortie CS_a de la colonne redondante et, côté drain, au drain du transistor TR₀; le transistor TR_{0a} est commandé sur sa grille par le signal p_0 .

De manière similaire, il comprend aussi un transistor TR_{1a} qui est commandé sur sa grille par le signal p_1 .

Le fonctionnement du circuit de sélection S_{Ca} est alors le suivant. Si aucune colonne des groupes G₀ et G₁ n'est défectueuse, p_0 et p_1 présentent chacun un état logique 0 qui interdit toute transmission d'information de la colonne redondante CR_a vers l'un ou l'autre des circuits LEO, LE₁. Par contre, les signaux $\overline{p_0}$ et $\overline{p_1}$ sont au niveau logique 1 et autorisent la transmission de l'information issue des groupes de colonnes G₀ et G₁ vers les circuits de lecture/écriture LEO et LE₁.

Si un élément d'une colonne du groupe G₀ est défectueux, le signal p_0 présente un niveau logique 1 qui autorise la transmission de l'information issue de la colonne

redondante CRa vers le circuit LE0. Par contre, le signal $\overline{p0}$ présente un niveau logique 0 qui interdit toute transmission de l'information issue du groupe de colonnes G0 vers le circuit LE0.

5 Si un élément d'une colonne du groupe G1 est défectueux, le signal p1 présente un niveau logique 1 qui autorise la transmission de l'information issue de la colonne redondante CRa vers le circuit LE1.

10 Par contre le signal $\overline{p1}$ présente un niveau logique 0 qui interdit toute transmission de l'information issue du groupe de colonnes G1 colonne vers le circuit LE1.

Le fonctionnement a été décrit dans le cas d'une lecture mais il est clair que le même processus a lieu lors de l'écriture d'une information.

15 Si une seule colonne redondante est prévue par ensemble de colonnes Ea, seule une colonne défectueuse du groupe G0 ou du groupe G1 pourra être remplacée. Aussi, dans les réalisations pratiques, au moins deux colonnes redondantes sont prévues par ensemble Ea, Eb ou Ec, 20 chacune pouvant remplacer une colonne défectueuse de chaque groupe de l'ensemble considéré.

Dans le cas où le circuit doit permettre la réparation de plusieurs colonnes défectueuses, le circuit CR1 comporte plusieurs batteries de fusibles capables de 25 mémoriser chacune une adresse de colonne défectueuse. L'adresse A appliquée au bloc CR1 est comparée à toutes ces adresses d'éléments défectueux. Les colonnes redondantes sont dédoublées, c'est-à-dire qu'il y a plusieurs colonnes redondantes CRa1, CRa2,... à la place 30 de la colonne CRa, plusieurs colonnes CRb1, CRb2,... à la place de la colonne CRb etc... Chaque batterie de mémorisation d'adresses est associée à un ensemble de colonnes redondantes : par exemple la première batterie est associée à des colonnes CRa1, CRb1, CRc1, la

deuxième batterie est associée à l'ensemble CRa2, CRb2, CRc2.

Si le circuit CR1 reconnaît une adresse défectueuse A1, mémorisée par la première batterie, il sélectionne l'ensemble de colonnes redondantes correspondant CRa1, CRb1, CRc1 et les connecte aux conducteurs de sortie respectifs CSa, CSb, CSc; s'il reconnaît au contraire une deuxième adresse défectueuse A2, il sélectionne un autre ensemble de colonnes redondantes pour les connecter aux conducteurs CSa, CSb, CSc.

De plus, pour chaque adresse défectueuse enregistrée dans une batterie du circuit CR1, on enregistre aussi une position de plot dans une batterie de fusibles du circuit MPP. Il faut alors prévoir une commande supplémentaire du circuit MPP par le circuit CR1 (commande analogue à la commande VAL) pour que lorsqu'une adresse défectueuse est reconnue par comparaison avec la nième batterie de fusibles du circuit CR1, on transmette sur les conducteurs P0, P1 l'information engendrée par la nième batterie de fusibles du circuit MPP.

REVENDICATIONS

1. Circuit de sélection d'une colonne redondante dans une mémoire intégrée avec redondance de colonnes de données, ladite mémoire comportant :
- 5 - un réseau d'éléments de mémoire organisés en y rangées et k groupes de p colonnes, k et p étant différents de l'unité, chaque groupe (G0 à G5) correspondant à un circuit d'entrée-sortie ou d'écriture-lecture respectif parmi k circuits d'écriture-lecture (LE0 à LE5), une colonne de chaque groupe pouvant être reliée
 - 10 au circuit d'écriture-lecture correspondant à ce groupe par sélection d'une adresse de colonne commune à tous les groupes,
 - des colonnes redondantes (CRa à CRc) pour remplacer des colonnes défectueuses,
 - 15 - des éléments de mémorisation d'adresse de colonne aptes à mémoriser l'adresse des colonnes défectueuses,
 - un circuit logique (CR1) de sélection de colonne redondante couplé aux éléments de mémorisation d'adresse de colonne pour sélectionner une colonne
 - 20 redondante lorsqu'une adresse de colonne défectueuse est appliquée à la mémoire, les k circuits d'écriture-lecture étant répartis en m ensembles de r circuits d'écriture-lecture, m et r étant différents de l'unité, et à chaque ensemble est associé au moins
 - 25 une colonne redondante,
 - des éléments (MPP) de mémorisation d'une position de circuit écriture-lecture prévus pour mémoriser une position du circuit écriture-lecture correspondant au groupe colonnes dans lequel se situe une colonne
 - 30 défectueuse, la position mémorisée étant une position

j parmi r positions possibles de l'ensemble de circuits écriture-lecture dans lequel se situe le circuit écriture-lecture considéré, et

- un circuit de sélection couplé aux éléments de

5 mémorisation de position de circuit écriture-lecture, caractérisé en ce que le circuit de sélection est associé à un ensemble de circuits écriture-lecture et est connecté entre, d'une part, les groupes de colonnes dudit ensemble et les colonnes redondantes associées

10 audit ensemble et, d'autre part, les circuits écriture-lecture.

2. Circuit de sélection selon la revendication 1, caractérisé en ce qu'il comprend un transistor (TR0, TR1, TR2, TR3) par groupe de colonnes et r transistors

15 (TR0a, TR1a) par colonne redondante, lesdits transistors étant commandés par les signaux (p_0 , p_1 , $\overline{p_0}$, $\overline{p_1}$) fournis par les éléments (MPP) de mémorisation de position de circuit écriture-lecture.

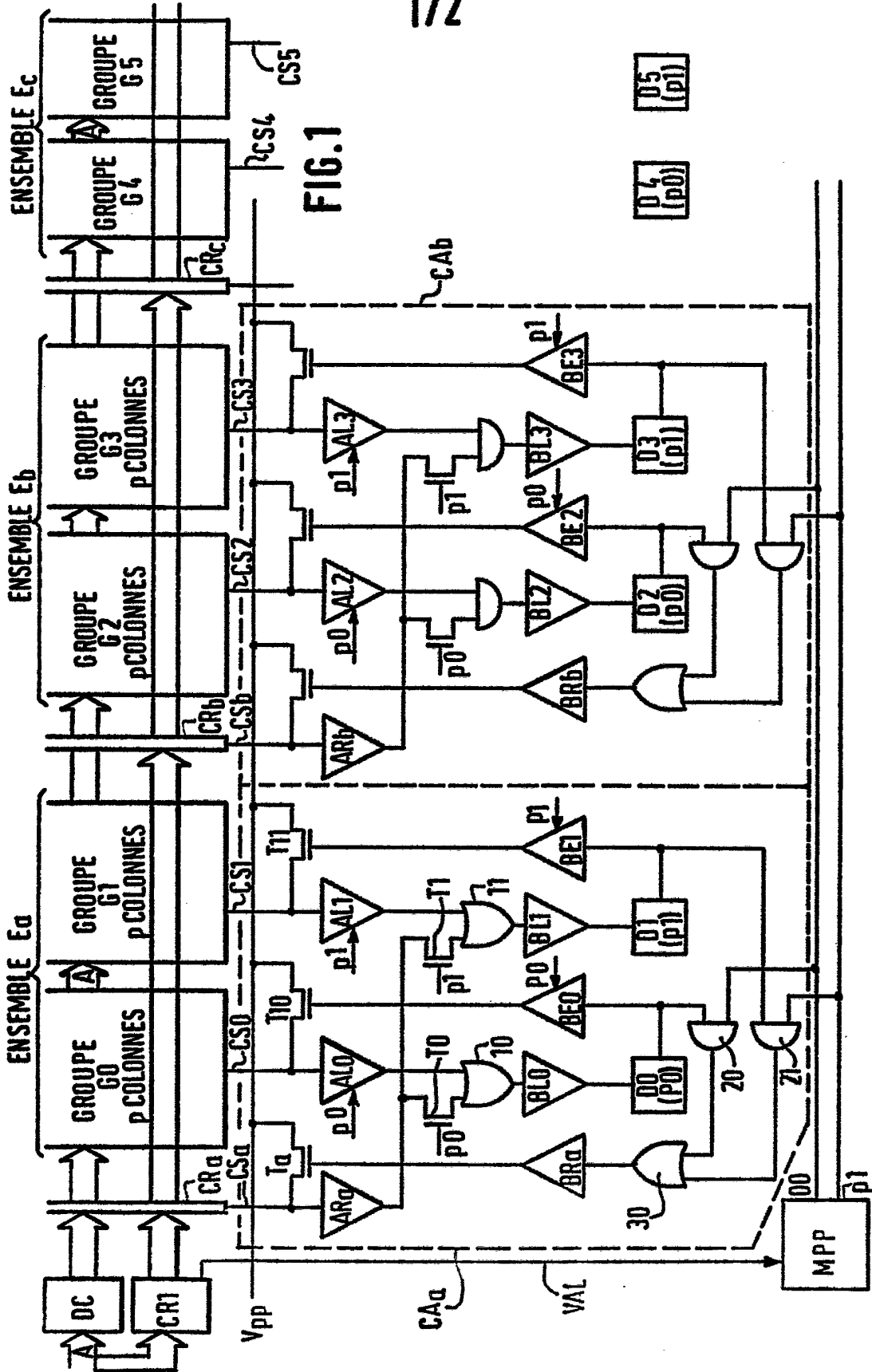


FIG. 1

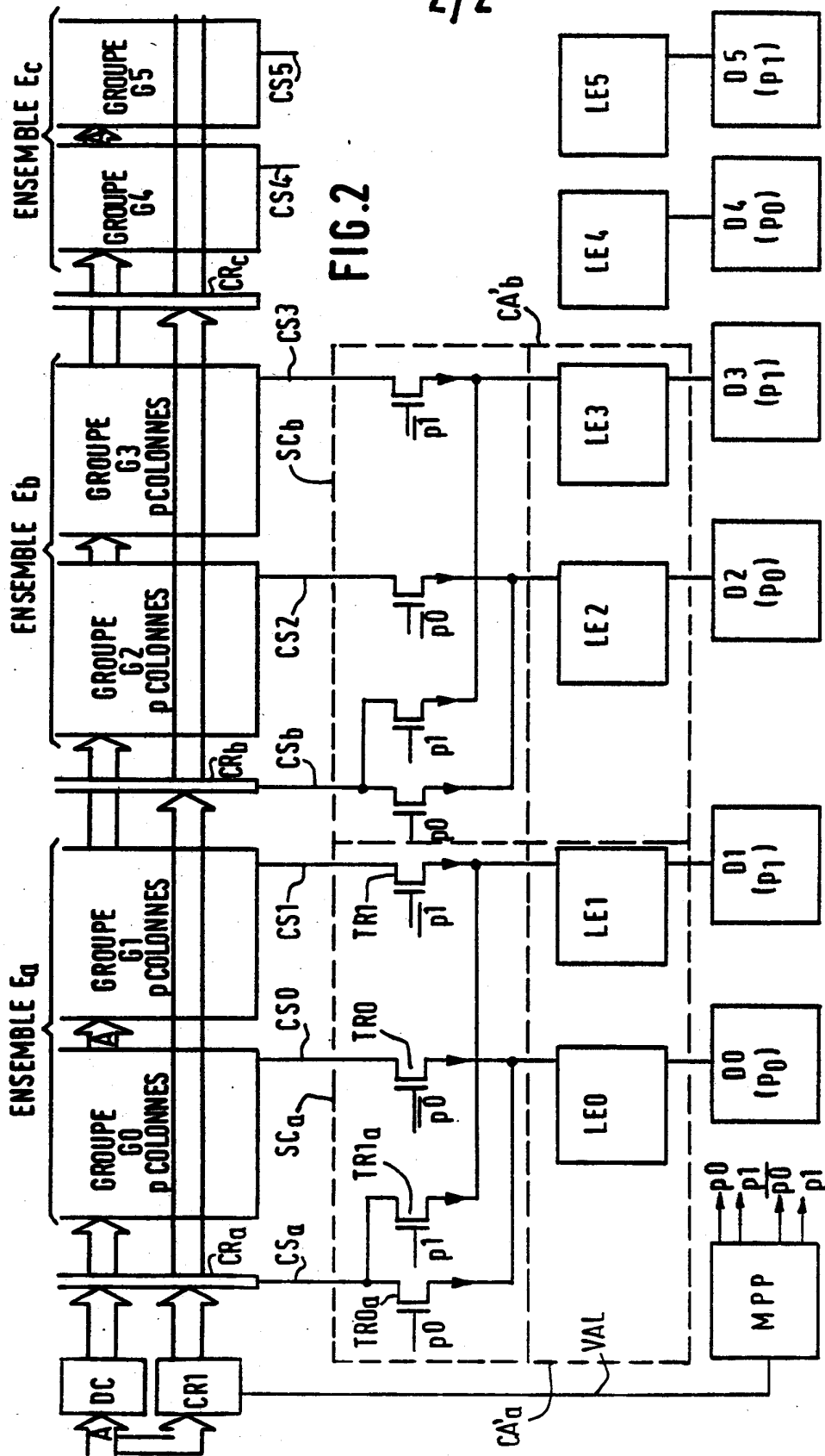


FIG. 2