



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

205238

(11) (B1)

(51) Int. Cl.³
G 06 F 7/56

/22/ Přihlášeno 14 08 79
/21/ /PV 5563-79/

(40) Zveřejněno 30 05 80

(45) Vydáno 15 01 83.

(75)

Autor vynálezu

HRDLIČKA DRAHOMÍR ing., BRNO

(54) Zapojení obvodů pro generaci synchronizačních impulsů z obrazkového displeje do procesorové jednotky

1

Vynález se týká zapojení obvodů pro generaci synchronizačních impulsů z obrazkového displeje s autonomním řízením paprsku na stínítku obrazovky do sdílené procesorové jednotky, která je společná pro obsluhu obrazkového displeje i pro ostatní řízení aritmetických a obslužných programů.

Pro stolní provedení matematických strojů se zabudovaným alfanumerickým obrazkovým displejem, např. u inteligentních terminálů, je nutné z důvodů malých rozměrů a nízké hmotnosti zařízení vytvářet speciální systémy, řízené mikroprocesorem.

Obrazkový displej inteligentních terminálů nemá obvykle kapacitu zobrazení ekvivalentní displejům pro styk operátora s počítačem, nýbrž kapacitu menší, obvykle 256 až 1 280 alfanumerických znaků nebo i více, zobrazovaných nejčastěji ve tvaru bodového rastru. K vychylování paprsku na stínítku obrazovky se často užívá tzv. televizního rozkladu, kdy paprsek na obrazovce je řízen magnetickým polem vychylovacích cívek. Tento způsob zobrazování alfanumerických znaků má však podstatnou nevýhodu v tom, že součástí obrazkového displeje je i paměťová jednotka, jejíž kapacita odpovídá kapacitě zobrazovaných znaků. Obvody pro řízení obrazkového displeje jsou složité a vyžadují obvykle samostatnou procesorovou jednotku. Taková zařízení, která provádějí zobrazování alfanumerických údajů, aritmetické operace a řízení programové části, obsahují zpravidla alespoň dva mikroprocesory, čímž u malých zařízení neúměrně vzrůstá cena i rozměry.

Tyto nevýhody odstraňuje zapojení inteligentního terminálu s jedním mikroprocesorem, užívaném v přerušovacím pracovním režimu, kdy určitý časový úsek je věnován na řízení obrazkového displeje a zbytek časové periody je věnován obslužným programům. Zobrazovací jednotka je obvykle navržena speciálně, a to tak, že zobrazuje alfanumerický znak jako celek,

205238

tn. celé písmeno nebo číslici najednou, nikoliv v časových diskretních úsecích. Zobrazení znaků však musí být synchronní s pohybem paprsku na obrazovce. Z toho důvodu je žádoucí generovat synchronizační impulsy, představující konec snímku a začátek každého znaku na stínítku obrazovky, v časové koincidenci s pohybem paprsku na stínítku obrazovky. Tyto impulsy jsou předány směrem z obrazkového displeje do procesorové jednotky, která v závislosti na těchto synchronizačních impulsích předává kód zobrazovaného znaku do šesti až osmibitové paměti zobrazovaného znaku, která je součástí obrazkového displeje.

Zapojení obvodů pro generaci synchronizačních impulsů u televizního způsobu rozkladu nejsou obvykle složité, ale pro speciální systémy inteligentních terminálů je nelze využít. Speciální zapojení obrazkového displeje např. podle AO 179 243, kde paprsek na stínítku obrazovky vytváří pro každý jednotlivý znak obrazec ve tvaru meandru, vyžaduje vysílání synchronizačních impulsů směrem do procesorové jednotky.

Zapojení obvodů pro generaci synchronizačních impulsů z obrazkového displeje do procesorové jednotky je umožněno vynálezem, jehož podstata spočívá v tom, že druhý výstup prvního čítače je připojen na první vstup prvního hradla, třetí inverzní výstup tohoto čítače je připojen na druhý vstup prvního hradla, přičemž výstup tohoto hradla je připojen přes první invertor na první vstup devátého hradla a současně na první vstup desátého hradla, zatímco první inverzní výstup druhého čítače je připojen na první vstup třetího hradla, druhý inverzní výstup tohoto čítače je připojen na druhý vstup třetího hradla a třetí inverzní výstup je připojen na třetí vstup třetího hradla, přičemž jeho výstup je přes druhý invertor připojen na druhý vstup devátého hradla a současně na druhý vstup desátého hradla, přičemž třetí a čtvrtý vstup devátého hradla jsou spojeny a připojeny na šestý výstup třetího čítače, zatímco první inverzní výstup třetího čítače je připojen na první vstup pátého hradla, druhý inverzní výstup tohoto čítače je připojen na druhý vstup pátého hradla, přičemž jeho výstup je přes třetí invertor připojen na třetí vstup desátého hradla, přičemž na čtvrtý vstup tohoto hradla je připojen výstup čtvrtého invertoru, na jehož vstup je připojen výstup sedmého hradla, jehož první vstup je připojen na výstup třetího čítače, druhý vstup, třetí vstup a čtvrtý vstup tohoto hradla je připojen na první výstup, druhý výstup a třetí výstup čtvrtého čítače, přičemž výstup desátého hradla je připojen na první vstup procesorové jednotky a výstup devátého hradla je připojen na druhý vstup procesorové jednotky.

Na výstupu desátého hradla se generuje první synchronizační impuls, označující konec snímku obrazkového displeje, zatímco na výstupu devátého hradla se generuje druhý synchronizační impuls, označující začátek znaku obrazkového displeje, přičemž první i druhý synchronizační impuls se přivádí na první a druhý vstup procesorové jednotky.

Výhodou zapojení obvodů pro generaci synchronizačních impulsů je jednoduchost, neboť čítače jsou součástí časového zdroje obrazkového displeje, přičemž jeho návrh je proveden tak, aby pro získání synchronizačních impulsů "konec snímku" a "začátek znaku" byl užitý počet hradlovacích obvodů minimální.

Příklad zapojení obvodů pro generaci synchronizačních impulsů z obrazkového displeje do procesorové jednotky je znázorněn na přiloženém výkrese, tj. schematický náčrt obvodů pro generaci synchronizačních impulsů "konec snímku" a "začátek znaku".

Oscilátor hodinové frekvence OSC na svém výstupu 001 generuje vytvarované impulsy, které jsou přiváděny na vstup 002 prvního čítače CT1. Výstup 007 tohoto čítače je připojen na vstup 008 druhého čítače CT2, jehož výstup 015 je připojen na vstup 016 třetího čítače CT3, přičemž výstup 025 tohoto čítače je připojen na vstup 026 čtvrtého čítače CT4. Čítače CT1, CT2, CT3 a CT4 jsou součástí časového zdroje obrazkového displeje a tvoří kaskádu děličů kmitočtu. Zapojení obvodů pro generaci synchronizačních impulsů z obrazkového displeje do procesorové jednotky využívá vhodným způsobem některých generovaných kmitočtů těchto čítačů.

Druhý výstup 004 prvního čítače CT1 je připojen na první vstup 11 prvního hradla H1, třetí inverzní výstup 006 tohoto čítače je připojen na druhý vstup 12 prvního hradla H1, přičemž výstup 13 tohoto hradla je připojen přes první invertor H2 na první vstup 91 devátého hradla H9 a současně na první vstup 101 desátého hradla H10, zatímco první inverzní výstup 010 druhého čítače CT2 je připojen na první vstup 31 třetího hradla H3, druhý inverzní výstup 012 tohoto čítače je připojen na druhý vstup 32 třetího hradla H3 a třetí inverzní výstup 014 je připojen na třetí vstup 33 třetího hradla H3, přičemž jeho výstup 34 je přes druhý invertor H4 připojen na druhý vstup 92 devátého hradla H9 a současně na druhý vstup 102 desátého hradla H10, přičemž třetí 93 a čtvrtý 94 vstup devátého hradla H9 jsou spojeny a připojeny na šestý výstup 024 třetího čítače CT3, zatímco první inverzní výstup 018 třetího čítače CT3 je připojen na první vstup 51 pátého hradla H5, druhý inverzní výstup 020 tohoto čítače je připojen na druhý vstup 52 pátého hradla H5, přičemž jeho výstup 53 je přes třetí invertor H6 připojen na třetí vstup 103 desátého hradla H10, přičemž na čtvrtý vstup 104 tohoto hradla je připojen výstup 82 čtvrtého invertoru H8, na jehož vstup 81 je připojen výstup 75 sedmého hradla H7, jehož první vstup 71 je připojen na výstup 025 třetího čítače CT3, druhý vstup 72, třetí vstup 73 a čtvrtý vstup 74 tohoto hradla H7 je připojen na první výstup 027, druhý výstup 028 a třetí výstup 029 čtvrtého čítače CT4, přičemž na výstupu 105 desátého hradla H10 se generuje první synchronizační impuls KSN, označující konec snímku obrazovkového displeje, zatímco na výstupu 95 devátého hradla H9 se generuje druhý synchronizační impuls ZZN, označující začátek znaku obrazovkového displeje, přičemž první KNS i druhý ZZN synchronizační impuls se přivádí na první 111 a druhý 112 vstup procesorové jednotky CPU.

Obdobné zapojení lze vytvořit při použití jiných obvodů než obvodů pro negaci logického součinu. Logická rovnice pro první synchronizační impuls "konec snímku" i logická rovnice pro druhý synchronizační impuls "začátek znaku" musí však odpovídat logickým rovnicím, které lze sestavit ze schématu na výkrese.

P Ř E D M Ě T V Ý N Á L E Z U

Zapojení obvodů pro generaci synchronizačních impulsů z obrazovkového displeje do procesorové jednotky, sestavených z oscilátoru hodinové frekvence, děliče kmitočtu a logických obvodů, vyznačené tím, že druhý výstup (004) prvního čítače (CT1) je připojen na první vstup (11) prvního hradla (H1), třetí inverzní výstup (006) tohoto čítače je připojen na druhý vstup (12) prvního hradla (H1), přičemž výstup (13) tohoto hradla je připojen přes první invertor (H2) na první vstup (91) devátého hradla (H9) a současně na první vstup (101) desátého hradla (H10), zatímco první inverzní výstup (010) druhého čítače (CT2) je připojen na první vstup (31) třetího hradla (H3), druhý inverzní výstup (012) tohoto čítače je připojen na druhý vstup (32) třetího hradla (H3) a třetí inverzní výstup (014) je připojen na třetí vstup (33) třetího hradla (H3), přičemž jeho výstup (34) je přes druhý invertor (H4) připojen na druhý vstup (92) devátého hradla (H9) a současně na druhý vstup (102) desátého hradla (H10), přičemž třetí (93) a čtvrtý (94) vstup devátého hradla (H9) jsou spojeny a připojeny na šestý výstup (024) třetího čítače (CT3), zatímco první inverzní výstup (018) třetího čítače (CT3) je připojen na první vstup (51) pátého hradla (H5), druhý inverzní výstup (020) tohoto čítače je připojen na druhý vstup (52) pátého hradla (H5), přičemž jeho výstup (53) je přes třetí invertor (H6) připojen na třetí vstup (103) desátého hradla (H10), přičemž na čtvrtý vstup tohoto hradla (104) je připojen výstup (82) čtvrtého invertoru (H8), na jehož vstup (81) je připojen výstup (75) sedmého hradla (H7), jehož první vstup (71) je připojen na výstup (025) třetího čítače (CT3), druhý vstup (72), třetí vstup (73) a čtvrtý vstup (74) tohoto hradla (H7) je připojen na první výstup (027), druhý výstup (028) a třetí výstup (029) čtvrtého čítače (CT4), přičemž výstup (105) desátého hradla (H10) je připojen na první vstup (111) procesorové jednotky (CPU) a výstup (95) devátého hradla (H9) je připojen na druhý vstup (112) procesorové jednotky (CPU).

1 list výkresů

