

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5567654号
(P5567654)

(45) 発行日 平成26年8月6日(2014.8.6)

(24) 登録日 平成26年6月27日(2014.6.27)

(51) Int.Cl. F I
 H O 3 K 17/16 (2006.01) H O 3 K 17/16 H
 H O 3 K 17/687 (2006.01) H O 3 K 17/687 A

請求項の数 16 (全 12 頁)

(21) 出願番号	特願2012-501102 (P2012-501102)	(73) 特許権者	508374139
(86) (22) 出願日	平成22年3月22日 (2010.3.22)		エー・テー・ハー・チューリッヒ
(65) 公表番号	特表2012-522410 (P2012-522410A)		E T H Z U E R I C H
(43) 公表日	平成24年9月20日 (2012.9.20)		スイス、ツェー・ハー—8092 チュー
(86) 国際出願番号	PCT/CH2010/000078		リッヒ、レミシュトラーセ、101、エー
(87) 国際公開番号	W02010/108292		・テー・ハー・トランスファー
(87) 国際公開日	平成22年9月30日 (2010.9.30)	(74) 代理人	110001195
審査請求日	平成25年3月12日 (2013.3.12)		特許業務法人深見特許事務所
(31) 優先権主張番号	484/09	(72) 発明者	ビエラ, ユルゲン
(32) 優先日	平成21年3月27日 (2009.3.27)		スイス、ツェー・ハー—8004 チュー
(33) 優先権主張国	スイス(CH)	(72) 発明者	コラル, ヨハン・ペー
			スイス、ツェー・ハー—8044 チュー
			リッヒ、ネーグリシュトラーセ、12

最終頁に続く

(54) 【発明の名称】 カスコード回路を有するスイッチング装置

(57) 【特許請求の範囲】

【請求項1】

第1の端子(1)と第2の端子(2)との間の電流を切り替えるためのスイッチング装置であって、第1の半導体スイッチ(M)と第2の半導体スイッチ(J)との直列接続を有するカスコード回路を含み、前記2つの半導体スイッチ(M、J)は共通点(13)を介して互いに接続され、

前記第1の半導体スイッチ(M)は、第1の制御入力部(3、3')と前記第1の端子(1)との間の電圧に従って、前記第1の制御入力部(3、3')により活性化され、

前記第2の半導体スイッチ(J)は、第2の制御入力部(4)と前記共通点(13)との間の電圧に従って、前記第2の制御入力部(4)により活性化されるスイッチング装置において、

制御回路(8、9、10、11、12)が前記第2の端子(2)と前記制御入力部(3、3'、4)の少なくとも1つとの間に接続され、

前記制御回路(8、9、10、11、12)は、制動抵抗(R_{st})と当該制動抵抗に直列である事前に設定可能なサイズの容量(C)を含むことを特徴とする、スイッチング装置。

【請求項2】

第1の端子(1)と第2の端子(2)との間の電流を切り替えるためのスイッチング装置であって、第1の半導体スイッチ(M)と第2の半導体スイッチ(J)との直列接続を有するカスコード回路を含み、前記2つの半導体スイッチ(M、J)は共通点(13)を

10

20

介して互いに接続され、

前記第1の半導体スイッチ(M)は、第1の制御入力部(3、3')と前記第1の端子(1)との間の電圧に従って、前記第1の制御入力部(3、3')により活性化され、

前記第2の半導体スイッチ(J)は、第2の制御入力部(4)と前記共通点(13)との間の電圧に従って、前記第2の制御入力部(4)により活性化されるスイッチング装置において、

制御回路(8、9、10、11、12)が前記第2の端子(2)と前記制御入力部(3、3'、4)の少なくとも1つとの間に接続され、

前記制御回路(8、9、10、11、12)は、制動抵抗(R_{st})と当該制動抵抗に並列である事前に設定可能なサイズの前記容量(C)を含むことを特徴とする、スイッチング装置。

10

【請求項3】

第1の端子(1)と第2の端子(2)との間の電流を切り替えるためのスイッチング装置であって、第1の半導体スイッチ(M)と第2の半導体スイッチ(J)との直列接続を有するカスコード回路を含み、前記2つの半導体スイッチ(M、J)は共通点(13)を介して互いに接続され、

前記第1の半導体スイッチ(M)は、第1の制御入力部(3、3')と前記第1の端子(1)との間の電圧に従って、前記第1の制御入力部(3、3')により活性化され、

前記第2の半導体スイッチ(J)は、第2の制御入力部(4)と前記共通点(13)との間の電圧に従って、前記第2の制御入力部(4)により活性化されるスイッチング装置において、

20

制御回路(8、9、10、11、12)が前記第2の端子(2)と前記制御入力部(3、3'、4)の少なくとも1つとの間に接続され、

前記制御回路(8、9、10、11、12)は、それぞれが制動抵抗(R_{st})を有する2つの並列分岐を含み、前記2つの並列分岐は逆並列ダイオード(D)を含み、そのため電流が、前記制御回路にて適用される電圧の極性に依って前記2つの並列分岐の一方または他方を流れることを特徴とする、スイッチング装置。

【請求項4】

第1の端子(1)と第2の端子(2)との間の電流を切り替えるためのスイッチング装置であって、第1の半導体スイッチ(M)と第2の半導体スイッチ(J)との直列接続を有するカスコード回路を含み、前記2つの半導体スイッチ(M、J)は共通点(13)を介して互いに接続され、

30

前記第1の半導体スイッチ(M)は、第1の制御入力部(3、3')と前記第1の端子(1)との間の電圧に従って、前記第1の制御入力部(3、3')により活性化され、

前記第2の半導体スイッチ(J)は、第2の制御入力部(4)と前記共通点(13)との間の電圧に従って、前記第2の制御入力部(4)により活性化されるスイッチング装置において、

制御回路(8、9、10、11、12)が前記第2の端子(2)と前記制御入力部(3、3'、4)の少なくとも1つとの間に接続され、

前記制御回路(8、9、10、11、12)は、それぞれが事前に設定可能な容量(C)および当該容量に接続された制動抵抗(R_{st})を有する2つの並列分岐を含み、前記2つの並列分岐は逆並列ダイオード(D)を含み、そのため電流が、前記制御回路にて適用される電圧の極性に依って前記2つの並列分岐の一方または他方を流れることを特徴とする、スイッチング装置。

40

【請求項5】

前記制御回路(8、9、10、12)は前記第2の端子(2)と前記第2の制御入力部(4)との間に接続される、請求項1から4のいずれか1項に記載のスイッチング装置。

【請求項6】

前記第2の制御入力部(4)は前記第2の半導体スイッチ(J)のゲート端子もしくはベース端子と均等である、請求項1から5のいずれか1項に記載のスイッチング装置。

50

【請求項 7】

前記第 2 の制御入力部 (4) は、事前に設定可能な直列抵抗 (R_g) を介して前記第 2 の半導体スイッチ (J) のゲート端子もしくはベース端子に接続される、請求項 1 から 5 のいずれか 1 項に記載のスイッチング装置。

【請求項 8】

前記制御回路 (1 1) は前記第 2 の端子 (2) と前記第 1 の制御入力部 (3、3') との間に接続される、請求項 1 から 4 のいずれか 1 項に記載のスイッチング装置。

【請求項 9】

前記第 1 の制御入力部 (3、3') は、前記第 1 の半導体スイッチ (M) のゲート端子 (3) もしくはベース端子と同じである、請求項 1 から 8 のいずれか 1 項に記載のスイッチング装置。

10

【請求項 10】

前記第 1 の制御入力部 (3、3') は、前記第 1 の半導体スイッチ (M) のゲート端子 (3) もしくはベース端子を活性化するための駆動増幅器 (V) の非反転入力 (3') と同じである、請求項 1 から 8 のいずれか 1 項に記載のスイッチング装置。

【請求項 11】

前記第 2 の制御入力部 (4) と前記第 1 の端子 (1) との間に抵抗構成 (7) が配される、請求項 1 から 10 のいずれか 1 項に記載のスイッチング装置。

【請求項 12】

前記抵抗構成は付加抵抗 (R) として単一の抵抗を有する、請求項 11 に記載のスイッチング装置。

20

【請求項 13】

前記抵抗構成 (7) は、さらなる付加抵抗 (R_{ON} 、 R_{OFF}) への選択ダイオード (D_{ON} 、 D_{OFF}) の直列接続の各々の場合において並列接続を含み、前記 2 つのダイオードは互いに逆並列に接続される、請求項 12 に記載のスイッチング装置。

【請求項 14】

前記第 1 の半導体スイッチ (M) は IGFET または MOSFET である、請求項 1 から 13 のいずれか 1 項に記載のスイッチング装置。

【請求項 15】

前記第 2 の半導体スイッチ (J) は JFET である、請求項 1 から 14 のいずれか 1 項に記載のスイッチング装置。

30

【請求項 16】

回路網ネットワーク (6) の前記制御回路 (8、9、10、11、12) とさらなる素子 (7) とは、前記制御回路をオンまたはオフに切り替える際に、回路網ネットワークがないスイッチング装置と比較して、前記スイッチング装置上の電圧変化の速度が低くなるようにパラメータ化される、請求項 1 から 15 のいずれか 1 項に記載のスイッチング装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、電子スイッチング技術の分野に関し、特に、請求項 1 のプリアンブルに従ったカスコード回路を有するスイッチング装置に関する。

40

【背景技術】

【0002】

現状技術

特に伝導損失が低い、高い動作電圧での電流の高速スイッチングのための電子装置が、DE 196 10 135 C1 または US 6, 157, 049 に従って実現され得る。そのため当該電子装置は、図 1 に示される MOSFET M と JFET J (接合電界効果トランジスタ) との特別な接続に基づく。これら 2 つのスイッチが第 1 の接続部 1 と第 2 の接続部 2 との間に配置され、MOSFET M の制御端子 3 によって制御される。

50

【0003】

例示として、現状技術の説明およびその後のこの発明に従った技術の説明は、図2に示されるように、誘導負荷を有するハーフブリッジ・トポロジについて示される。当該ハーフブリッジは、パワー電子スイッチM、J、M₁、J₁と、第3の端子5と第2の端子2との間に接続される誘導負荷Lとを有し、多くのパワー電子装置において存在する典型的な構成を示す。第1の端子1と第2の端子2の間では、下部MOSFET Mと下部JFET Jとによって下部カスコード回路が形成される。第2の端子2と第3の端子5の間では、上部MOSFET M₁およびJFET J₁によって上部カスコード回路が形成される。これにより、第3の端子5は、たとえば中間回路電圧の状態にあり、第1の端子1は反対の中間回路電圧の状態または多相システムのスターポイントの状態にある。そのため、上部カスコード回路の代わりに、第3の端子5に陰極端子を有するダイオードを用いてもよい。

10

【0004】

下部カスコード回路がオンに切り替えられて導通すると、インダクタンスLにおける加えられた（注入された、負荷から自由の）電流が第2の端子2から第1の端子1に流れる。下部MOSFET Mをオフに切り替えると、直列に配される下部JFET Jに負のピンチオフ電圧が加えられる。このピンチオフ電圧は下部JFET Jをブロックする。これにより、電流は下部カスコード回路から上部カスコード回路へ流れる。次いで、電流はインダクタンスLを通り、第2の端子2から上部MOSFET M₁および上部JFET J₁のチャンネル/ボディダイオードを通して第3の端子5へと流れる。図中のチャンネル/ボディダイオードは、各々の場合、それぞれのスイッチに対して逆並列である態様で描かれている。したがって、チャンネル/ボディダイオードはここでは逆並列フリーホイーリングダイオードとして動作する。

20

【0005】

電荷輸送（電荷移動）またはスイッチに対するブロッキング電圧の増大についての時間は、スイッチの構造の結果、寄生スイッチ容量により、電流に依存する。インダクタンスLを通る電流が大きくなればなるほど、コミュテーションが早く発生する。したがって、それぞれのスイッチ上でブロッキング電圧がより早く増大する。この結果、EMC（電磁適合性）挙動に非常に大きな影響を与え得る非常に高い値の電圧変化（ du/dt ）が起こり得る。

30

【0006】

下部カスコード回路が上部フリーホイーリングダイオードから離れるように電流をコミュテーションする場合に達成され得る、MOSFETおよびJFETのこの特別な接続をオンに切り替える際の非常に高い du/dt は、負荷電流に依存しない。しかしながら、オンに切り替える際に得られる非常に急な電圧の立ち上がりも、EMCに大きな影響を与え得る。

【0007】

したがって、異なる適用例において、（スイッチオン時およびスイッチオフ時の）スイッチング速度の制御が必要とされる。したがって、負荷電流と独立して電圧フラックを制御することができ、これにより結合外乱を低減または除去する方法が必要とされる。そのために、公知の方法では、特に個々の離散的なトランジスタの場合、ゲート駆動回路が修正される。これにより、トランジスタをスイッチオンおよびスイッチオフするときにコミュテーションの有効な制御が既に得られている。

40

【0008】

単一のMOSFETを用いて、 du/dt の制御の挙動に影響を与えるさらなる公知の可能例は、関連するゲート-ドレイン容量を大きくして、これによりゲート電流を制限するミラー効果を与えることである。ドレインからゲートへの負のフィードバックが増幅され、特に、スイッチオンの持続時間およびスイッチオフの持続時間が、付加的なゲート-ドレイン容量により、延長する。したがって、 du/dt の値が小さくなる。

【発明の概要】

50

【発明が解決しようとする課題】

【0009】

しかしながら、MOSFET MおよびJFET Jの特別な接続では、ゲート駆動回路の修正といった公知の方法は用いられ得ない。なぜならばこれは、高い動作電圧が加えられるJFETの挙動ではなく単にMOSFETの挙動を変更するだけであるからである。

【0010】

発明の説明

したがって本発明の目的は、上記の欠点を緩和する、最初に述べたタイプの du/dt 挙動の制御のためのスイッチング装置および方法を提供することである。特定的には、1つの目的は、スイッチング装置の重要な他の特性にマイナスの影響を与えず、スイッチでの電圧変化の速度を制限すること、または当該速度を規定のレベルに設定することである。

10

【課題を解決するための手段】

【0011】

この目的は、請求項1の特徴を有するMOSFETおよびJFETの直列接続を有するスイッチング装置によって達成される。

【0012】

第1の端子と第2の端子との間の電流を切り替えるためのスイッチング装置は、第1の半導体スイッチと第2の半導体スイッチとの直列接続を有するカスコード回路を含み、当該2つの半導体スイッチは共通点を介して互いに接続され、

20

・上記第1の半導体スイッチは、第1の制御入力部と上記第1の端子との間の電圧に従って、上記第1の制御入力部により活性化され、

・上記第2の半導体スイッチは、第2の制御入力部と上記共通点との間の電圧に従って、上記第2の制御入力部により活性化される。

【0013】

そのために、事前に設定可能なサイズの容量を有する制御回路が上記第2の端子と上記制御入力部の少なくとも1つとの間に接続される。

【0014】

したがって、当該容量は、(ドレイン-ゲートスイッチ容量に並列な)ドレイン-ゲート容量を増加させ、これにより好ましくは制動抵抗が、発生する変動を抑えると同時に容量に対する充電/放電電流を制限する助けをする。したがって一般的には、制御スイッチは好ましくはRC素子である。

30

【0015】

より大きな容量が選択されればされるほど、制御入力部への負のフィードバックが大きくなるとともにミラー効果が大きくなる。これにより、スイッチオン速度またはスイッチオフ速度が遅くなり、したがって電圧変化の峻度が低い値へと低減される。

【0016】

この発明の好ましい実施例では、第1の半導体スイッチは、IGFET、特にMOSFETであり、第2の半導体スイッチはJFETである。単純さのために、以下、MOSFETまたはJFETのいずれかについてのみ言及する。言及することは一般的に、カスコード回路において協働する第1および第2の半導体スイッチに適用される。さらに、一般的な文言「MOSFET」に関しては、この出願では、一般的なMISFET(絶縁ゲート半導体FET)または非常に一般的なIGFET(絶縁ゲートFET)の半導体構成要素として、各々の場合、理解されるべきである。

40

【0017】

本発明のさらなる好ましい実施例では、抵抗構成は第2の制御入力部と第1の端子との間に接続される。これは、制御入力部と、第2の端子に接続される第2の半導体スイッチの端子との間の内部容量にて充電処置を遅くするよう働く。

【0018】

50

たとえば単一の付加抵抗である抵抗構成は、J F E Tのためのスイッチオン抵抗を示す。特に、J F E Tのゲートソース容量とともに、これはさらなるRC素子を形成する。これにより、ピンチオフ電圧、および0ボルトのスイッチオン電圧のそれぞれへのJ F E Tのゲート-ソース容量の帯電および放電を遅らせる。

【0019】

さらに、制御回路の容量の帯電または放電電流は、制動抵抗を考慮に入れて、付加抵抗により制限される。容量の帯電および放電電流により、電圧が付加抵抗の上に短時間で適用され、第4の端子（または第2の制御入力部）の電位をJ F E Tのゲート端子の電位へと増加または低減させ、その結果J F E Tのスイッチオフまたはスイッチオンを抑制する。

10

【0020】

この発明のさらなる実施例では、付加的な直列抵抗がJ F E Tのゲート端子の前に接続され、これによりゲート端子と第4の端子との間に接続される。これによりJ F E Tの可能な限り最適な活性化を保証し、特定的には、個々にスイッチング速度を決定する。

【0021】

本発明の別の好ましい実施例では、スイッチオンおよびスイッチオフする際のスイッチング特性は、互いから独立して設定され、これにより異なる du/dt 値または同期した du/dt 値が、第4および第1の端子の間に接続されるさらなるネットワークによって達成される。このネットワークは、ダイオードを有するとともに異なる制動抵抗を有し、J F E Tのスイッチオンまたはスイッチオフのために別個に設計および最適化されてもよい。

20

【0022】

基本的に、第4および第2の端子の間の制御回路としてのRC素子は、並列接続か、スイッチオンもしくはスイッチオフのために適合可能な制動抵抗を有する並列接続か、または制動抵抗および容量がスイッチオン挙動またはスイッチオフ挙動に適合され得る個々に適合可能な並列接続であってもよい。

【0023】

本発明のさらなる好ましい実施例では、容量が第3の端子（または第1の制御入力部）と第2の端子との間に組込まれる。これにより、第1の制御入力部がMOSFETのゲート端子と均等になる。これにより、第2の端子の負のフィードバックがMOSFETのゲート端子に作用し、付加的に要求される電荷キャリアがゲート駆動回路によって与えられない結果、ミラー効果が増大し、ミラープラトーが拡張する。これにより、スイッチオン時およびスイッチオフ時にはスイッチング速度が減少する。

30

【0024】

基本的に、第2および第3の端子の間の容量が（非反転の）増幅器回路の前にさらに接続されてもよく、当該増幅器回路は第3の端子に接続されてもよい。

【0025】

さらなる好ましい実施例が従属項から導出される。

添付図面に示される好ましい実施例の例によって、この発明の主題をより詳細に説明する。各々の場合、図面は概略的に示される。

40

【図面の簡単な説明】

【0026】

【図1】現状技術に従ったMOSFETおよびJFETの直列接続を示す図である。

【図2】現状技術に従ったこのような回路の例示的な適用例を示す図である。

【図3】本発明の第1の実施例を示す図である。

【図4】本発明の第2の実施例を示す図である。

【図5】制御回路の異なる変形例を有する本発明の第3の実施例の図である。

【図6】本発明の第4の実施例を示す図である。

【図7】本発明の第5の実施例を示す図である。

【発明を実施するための形態】

50

【 0 0 2 7 】

基本的に図では、同じ部分には同じ参照番号が付される。

発明を実施する態様

図3は、本発明の第1の実施例を示す。たとえばインバータにおいて、典型的にはより広範囲なスイッチ構成の一部としての個々のスイッチング装置は、第1および第2の半導体スイッチを有するカスコード回路を含む。ここで、および以下の例において、J F E T およびM O S F E T スwitchの各々の場合について言及する。図にはnチャネル半導体素子が描かれる。しかしながら、この発明は、極性が反転した、バイポーラトランジスタのためのpチャネル素子によって、同様の態様で実現されてもよい。

【 0 0 2 8 】

図3および図4 - 図7のスイッチング装置は、好適な態様で増やされてもよく、図2の構造に従って1つ以上のブリッジブランチに適用されてもよい。

【 0 0 2 9 】

スイッチング装置は、2つの半導体スイッチを含む。示される実施例では、各々の場合、カスコード回路におけるJ F E T J およびM O S F E T M (またはI G F E T) を含む。したがって、第1の半導体スイッチとしてのM O S F E T M は、第1の端子1と共通端子13との間に接続され得、第2の半導体スイッチとしてのJ F E T J は、共通端子13と第2の端子2との間に接続され得る。M O S F E T M は、第1の制御入力部3としての自身のゲート端子3を介して活性化される。J F E T J は、自身のゲート端子を介して活性化される。現状技術に従ったカスコード回路では、J F E T J のゲート端子は第1の端子に直接的に接続され、J F E T J の制御は、ゲート - ソース電圧に従って得られる。

【 0 0 3 0 】

ここで、この発明の一実施例では、事前に設定可能な大きさの容量を有する制御回路12が、第2の制御入力部4と第2の端子2との間に接続される。この第2の制御入力部4は、J F E T J のゲート端子に直接的に接続されることにより当該ゲート端子(図3)と電氣的に同一とされるか、または事前に設定可能な直列抵抗 R_g を介してJ F E T J のゲート端子に接続される(図4)かのいずれかである。

【 0 0 3 1 】

図3および図4に従った第1の変形例における制御回路12は、制動抵抗 R_{st} への容量Cの直列接続を含む。制御回路に加えて、第2の制御入力部4と第1の端子1との間に抵抗構成7が配されてもよい。抵抗構成7および制御回路12はともに第2の制御入力部4のための回路網ネットワーク6を形成する。回路網ネットワーク6は、以下の態様で、カスコード回路のスイッチング時間の影響を制御することを可能にする。

- 容量Cが、J F E T J またはカスコード回路全体のミラー容量を増加させる。
- 制動抵抗 R_{st} が容量Cによって起こり得る変動を防止する。
- たとえば随意的付加抵抗Rを有する抵抗構成7が、J F E T J のゲートとドレインとの間の内部容量にて帯電の進行を遅らせる。
- 随意的直列抵抗 R_g が、J F E T J のブロッキング反応またはスイッチオン反応の遅延をもたらす、付加抵抗Rとともに、付加的にJ F E T J のゲートとソースとの間の内部容量の帯電または放電を遅らせる。

【 0 0 3 2 】

第1の半導体スイッチ上にて適用される相対的に小さいブロッキング電圧により、直列抵抗 R_g によるカスコード回路についてのスイッチング時間の影響は、付加抵抗Rの影響と比較して、相対的に小さい。これにもかかわらず、スイッチング時間を設定する目的の態様で直列抵抗 R_g を選択することが有利であり得る。しかしながら、(ソースとゲートとの間の寄生ダイオードのアバランシェ動作において) J F E T のソースとゲートとの間の熱負荷を制限するために、付加抵抗Rおよび直列抵抗 R_g の直列接続から得られる合計の抵抗が大きくなり過ぎないように選択されるように気をつけなければならない。このため、スイッチング速度および動作電圧から独立して、直列抵抗 R_g は、付加抵抗Rと比較

10

20

30

40

50

して相対的に小さくなるように選択される（低オーム領域）。

【0033】

基本的に、スイッチング速度は、制御回路の容量Cおよび付加抵抗Rを通じて影響を受け得る。両方の値の組合せは、たとえば形状の制約および上述した許容される付加抵抗Rの熱制限の大きさを考慮して選択されることになる。残りのパラメータは二次的なものであり、当該容量での電流の制限または放電のために決められる。

【0034】

以下、カスコード回路の所望のスイッチング速度を達成するための制御回路および抵抗構成の選択の一例を図3に従って説明する。中間回路電圧を400Vとし、コミュニケーション電流を4Aとすると、 du/dt 挙動の影響は以下ようになる。制御回路12につ
10
いて $C = 100\text{ pF}$ および $R_{st} = 100$ 、かつ抵抗構成7について抵抗 $R = 47$ と
いったパラメータにより、電圧変化の速度 du/dt は $3.8\text{ kV}/\mu\text{s}$ となる。回路網
ネットワークがない場合は、 $32\text{ KV}/\mu\text{s}$ である。

【0035】

図5は、制御回路の異なる変形例8、9、10、12と、抵抗構成7のさらなる変形例
とを有する本発明の第3の実施例を示す。抵抗構成7の示される変形例は、選択ダイオ
ード D_{ON} 、 D_{OFF} を含む。これにより、異なる抵抗値を有するさらなる付加抵抗 R_{ON}
、 R_{OFF} が抵抗構成7を通る電流の方向に従って選択され得る。これにより、スイッ
オン時には、一方のさらなる付加抵抗 R_{ON} が有効になり、他方の付加抵抗 R_{OFF} はス
イッチオフ時に有効になる。制御回路のさらなる変形例8、9、10は以下のとおりであ
20
る。

- 第2の変形例8は、容量Cと制動抵抗 R_{st} との並列接続を有する。
- 第3の変形例9は、2つの並列の制動抵抗 R_{st} と直列である容量Cを有する。制動抵
抗 R_{st} は、各々の場合、電流の方向に従って逆並列ダイオードDによって選択され得る
(とともに、有益なことに、異なる抵抗値を有する)。
- 第4の変形例10は2つの並列分岐を有する。これらの並列分岐は、各々の場合、電流
の方向に従って逆並列ダイオードDによって選択され得る。これら分岐の各々は、さら
なる制動抵抗 R_{st}' への容量Cの並列接続と直列である制動抵抗 R_{st} を含む。これによ
り、第3の変形例においても、スイッチオンおよびスイッチオフについて別個にスイッ
チング時間および電圧変化の峻度が設定され得る。さらに、容量Cもスイッチオンおよびス
イッチオフについて別個に選択され得る。さらなる制動抵抗 R_{st}' も容量Cの放電のため
に機能する。なぜならばこれは、ここでは各々の場合、ダイオードを通じて可能ではな
いからである。

【0036】

図6は本発明の第4の実施例を示す。第4の実施例では、制御回路11が、第2の端子
2と、第1の半導体スイッチ、したがってMOSFET MまたはIGFETの第1の制
御入力部3との間に接続される。この第1の制御入力部3はMOSFET Mのゲート端
子と均等である。

【0037】

この実施例において、制御入力部3にて制御信号を作り出す回路の出力抵抗は、MOS
FET Mのゲート-ソース容量と同様に、制御回路11とともに、各々の場合、RC素
子を形成する。これらの2つの作り出されるRC素子は、以下の態様で、カスコード回路
のスイッチング時間の影響の制御を可能にする。

- 出力抵抗が、両方のRC素子の時定数を増加させる。
- MOSFET Mの寄生容量を有するRC素子が、MOSFETのスイッチオンおよび
スイッチオフの挙動に影響を与える。寄生容量はその構成により与えられる。出力抵抗が
大きくなればなるほど、 $\tau = R \cdot C$ の法則に従って、キャパシタの帯電または放電処置の
時定数が大きくなる。このカスコード回路の特別な構成により、完全なスイッチング動作
が設定されるまで、より大きな直列抵抗によってより大きな遅延が与えられる。
- 制御回路11および直列抵抗を有するRC素子が、スイッチング処置が設定された後で
40
50

、カスコード回路のスイッチング速度に影響を与える。当該RC素子は、スイッチング装置の用途および所望のスイッチング速度に対して最適化されてもよい。ミラー容量の負のフィードバックによって必要となる電流は、出力抵抗によって制限される。

【0038】

図7は本発明の第5の実施例を示す。第5の実施例では、制御スイッチ11は、第2の端子2と、下部半導体スイッチ、したがってMOSFET MまたはIGFETの第1の制御入力部3'との間に接続される。ここで、第1の制御入力部3'は、MOSFET Mのゲート端子を活性化するための駆動増幅器Vの非反転入力3'に接続される。

【0039】

図6および図7の実施例では同様に、ミラー効果が、第1の制御入力部へのフィードバックと、これによるカスコード回路のスイッチング処置の所望の設定可能な遅延とにより、発生する。例示として、制御回路11は単一の容量Cとして描かれているが、たとえば図5に示されるように、制御回路の他の変形例8、9、10を適用して、制動を設定するとともに、互いに独立してスイッチオンおよびスイッチオフ処置に影響を与えてもよい。

【0040】

本願明細書において、「互いに接続された2つの素子」と言及した場合、各々の場合、常に素子同士の電氣的接続を意味するということが理解されるべきである。

10

【図1】

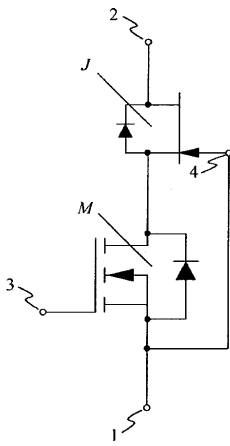


Fig. 1

【図2】

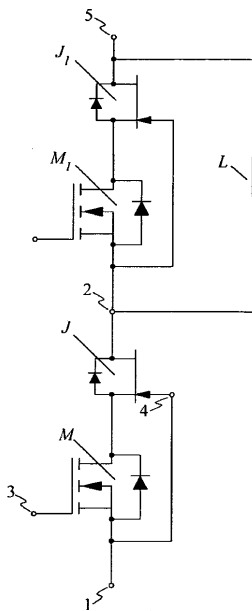


Fig. 2

【図3】

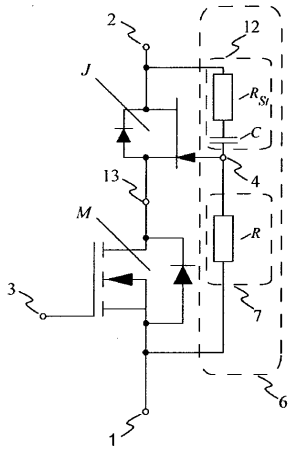


Fig. 3

【図4】

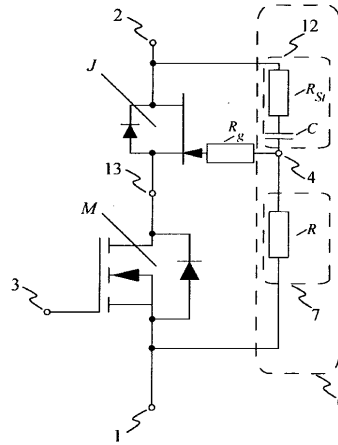


Fig. 4

【図5】

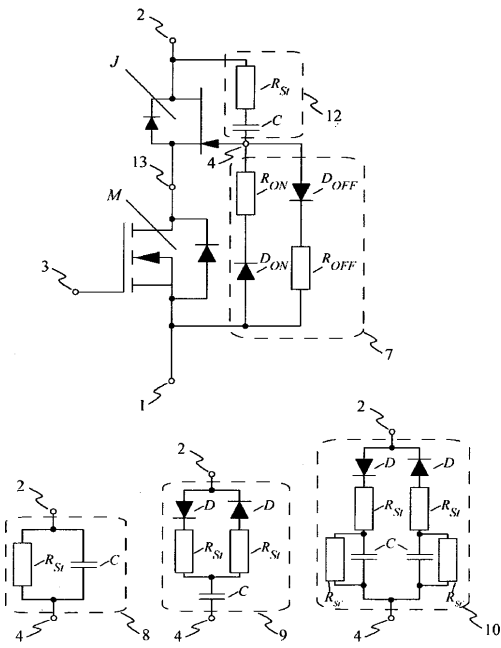


Fig. 5

【図6】

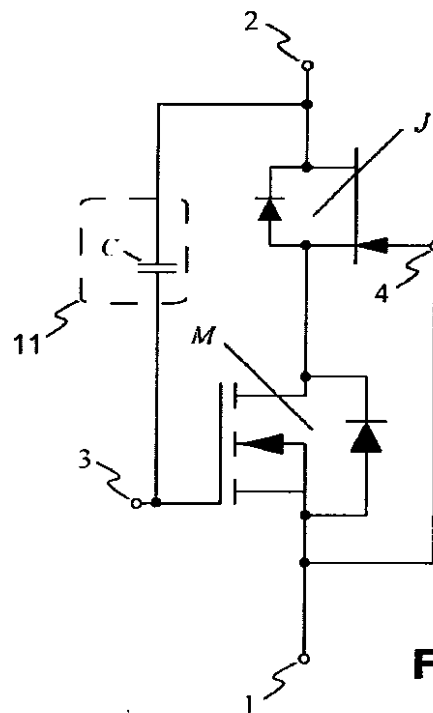


Fig. 6

【 図 7 】

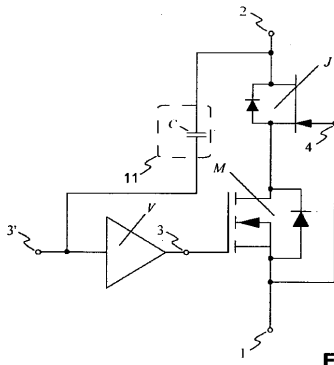


Fig. 7

フロントページの続き

(72)発明者 アゲラー, ダニエル

スイス、ツェー・ハー - 8044 チューリッヒ、チューリッヒベルクシュトラーセ、134

審査官 宮島 郁美

(56)参考文献 特開2006 - 158185 (JP, A)

特開2006 - 351691 (JP, A)

米国特許出願公開第2002 / 0153938 (US, A1)

特開昭62 - 231518 (JP, A)

特開2007 - 166159 (JP, A)

特表2008 - 537467 (JP, A)

特開2008 - 042317 (JP, A)

特開昭62 - 100164 (JP, A)

特開2001 - 251846 (JP, A)

特開2007 - 252055 (JP, A)

特表2006 - 513122 (JP, A)

特開2009 - 027764 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70

H02M 3/00 - 3/44