Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 1001092

(61) Дополнительное к авт. свид-ву –

(22) Заявлено 30.09.81 (21) 3341529/18-24

с присоединением заявки № –

(23) Приоритет –

(51) М. Кл.[3] G 06 F 7/544

Опубликовано 28.02.83. Бюллетень № 8

(53) УДК 681.325 (088.8)

Дата опубликования описания 02.03.83

(72) Автор изобретения Г.А.Калинин

(71) Заявитель Харьковский ордена Трудового Красного Знамени институт радиоэлектроники

[illegible]

(54) ЦИФРОВОЙ ФУНКЦИОНАЛЬНЫЙ ПРЕОБРАЗОВАТЕЛЬ

1

Изобретение относится к вычислительной технике и может быть использовано в качестве быстродействующего специализированного вычислителя, воспроизводящего нелинейные функции цифрового аргумента.

Известен цифровой функциональный преобразователь, содержащий регистр адреса, состоящий из регистра старших и младших разрядов, подключенный входами к входу преобразователя, причем выходы регистра старших разрядов подсоединены к входам дешифратора, а выходы регистра младших разрядов подключены к первым входам первого и второго регистров сдвига, вторые входы которых соединены с выходами дешифратора, шифратор, подключенный входами к выходам дешифратора, а выходами – к первым входам выходного сумматора, вторые входы которого соединены с выходами первого регистра сдвига, выходную шину, подключенную к выходам сумматора и выходам второго регистра сдвига [1].

2

Недостатками данного устройства являются узкий класс воспроизводимых функций и низкая точность их моделирования.

Наиболее близким к предлагаемому по технической сущности является устройство, содержащее два регистра, три блока памяти, сумматор, выходной регистр, коммутатор, блок сдвига, устройство управления сдвигателем [2].

Недостатками известного устройства являются повышенные аппаратурные затраты.

Цель изобретения – сокращение количества аппаратуры.

Поставленная цель достигается тем, что цифровой функциональный преобразователь, содержащий регистр младших разрядов аргумента, регистр старших разрядов аргумента, дешифратор, блок памяти, блок сдвига, коммутатор и сумматор, выход которого является выходом преобразователя, вход аргумента которого соединен с входами регистров младших

и старших разрядов аргумента, выход регистра старших разрядов аргумента соединен с входом дешифратора, выход которого соединен с входом блока памяти, содержит распределитель импульсов, два элемента задержки, преобразователь прямого кода в дополнительный и группу элементов ЗИ-ИЛИ, причем вход запуска преобразователя соединен с входом распределителя импульсов, первый и второй выходы которого соединены соответственно с первым и вторым управляющими входами коммутатора и входами соответственно первого и второго элементов задержки, выходы с первого по третий блока памяти соединены с соответствующими информационными входами коммутатора, выход регистра младших разрядов аргумента соединен с информационным входом блока сдвига, выход которого соединен с информационным входом преобразователя прямого кода в дополнительный, выход которого соединен с первыми и вторыми входами элементов ЗИ-ИЛИ группы, третьи, четвертые и пятые входы которых соединены соответственно с выходами первого элемента задержки, второго элемента задержки и третьим выходом распределителя импульсов, шестые входы элементов ЗИ-ИЛИ соединены с первым выходом коммутатора, второй и третий выходы которого соединены с управляющими входами соответственно преобразователя прямого кода в дополнительный и блока сдвига, выходы элементов ЗИ-ИЛИ группы соединены с входами сумматора.

Коммутатор содержит две группы элементов И, элемент ИЛИ, группу элементов ИЛИ и два дешифратора, выходы которых соединены соответственно с первыми и вторыми входами элемента ИЛИ группы, первые и вторые входы элементов И первой группы соединены соответственно с первым управляющим и информационным входами коммутатора, вторые управляющий и информационный входы которого соединены соответственно с первыми и вторыми входами элементов И второй группы, выходы которых соединены с входами первого дешифратора и первой группой входов элемента ИЛИ, выходы элементов И первой группы соединены с входами второго дешифратора и второй группой входов элемента ИЛИ, выход которого соединен с вторым выходом коммутатора, первый и третий выходы которого соединены соответственно с третьим информационным входом коммутатора и выходами элементов ИЛИ группы.

На чертеже представлена блок-схема преобразователя.

Цифровой функциональный преобразователь содержит регистры 1 и 2 старших и младших разрядов аргумента, коммутатор 3, дешифратор 4, дешифраторы 5 и 6 коммутатора, распределитель 7 импульсов, группы 8 и 9 элементов И, элементы 10 и 11 задержки, элемент 12 ИЛИ, блок 13 сдвига, преобразователь 14 прямого кода в дополнительный, элемент 15 ИЛИ, группу элементов ЗИ-ИЛИ 16, сумматор 17, блок 18 памяти, входы 19 и 20 преобразователя.

Распределитель 7 импульсов при поступлении на его вход по шине 19 сигнала запуска формирует на выходах последовательность сдвинутых во времени импульсов. Блок 13 сдвига представляет собой комбинационную логическую схему. Появление сигнала на соответствующем управляющем входе блока 13 сдвига вызывает сдвиг кода на его информационных входах на необходимое число разрядов влево или вправо. Преобразователь 14 прямого кода в дополнительный в зависимости от значения управляющего сигнала на выходе элемента ИЛИ 15 направляет на входы группы элементов ЗИ-ИЛИ 16 прямой или обратный (дополнительный) код числа с выходов блока 13 сдвига.

Цифровой функциональный преобразователь воспроизводит функции, которые приближаются следующей зависимостью:

$$\varphi(x)=\sum_{j=1}^{\alpha}\xi_j(x)\left(\pm 2^{\pm K_j^{[1]}}\Delta x+2^{\pm K_j^{[2]}}\Delta x\pm a_j\right), \quad (1)$$

где $\Delta X = X - X_j$; $\pm a_j$, $\pm K_j^{[1]}$, $\pm K_j^{[2]}$ – параметры аппроксимирующей функции на полуинтервале $[X_j, X_{j+1})$;

ℓ – число интервалов аппроксимации.

$$\xi_j(x)=\begin{cases}1, \text{если } x\in[x_j, x_{j+1}),\\ 0, \text{если } x\notin[x_j, x_{j+1}).\end{cases}$$

Работе устройства предшествует этап программирования, когда заранее рассчитанные для каждого интервала параметры аппроксимирующей функции в виде цифровых кодов записываются в блок 18 памяти. Дешифратор 4 является адресным по отношению к блоку 18 памяти и реализует функцию $\xi_j(X)$, $j=1,\ell$, т.е. он ставит в соответствие коду в регистре

1 возбужденное состояние одной из l_i своих выходных шин.

Устройство работает следующим образом.

Непосредственно перед началом работы преобразователя производится обнуление выходного сумматора 17 (цепи подачи сигнала сброса не показаны). Подлежащий функциональному преобразованию код аргумента X поступает по входу 20 и записывается в регистры старших и младших разрядов 1 и 2. Одновременно по входу 19 запуска на вход распределителя 7 импульсов поступает импульс запуска. На выходе дешифратора 4 формируется сигнал обращения к соответствующей ячейке блока 18 памяти, адрес которой хранится в регистре 1. После выборки информации на выходах блока 18 памяти формируются кодовые значения знакопеременных величин $\pm a_j$, $\pm K_j^{[1]}$ и $\pm K_j^{[2]}$, а также кодовые значения знаков первого и второго слагаемых в правой части формулы (1). С появлением единичного сигнала на первом выходе распределителя 7 импульсов открывается группа элементов И 8, в результате чего код числа $\pm K_j^{[1]}$ передается на вход дешифратора 5, а код знака первого слагаемого из формулы (1) – на первый вход элемента ИЛИ 15. Сигнал с одного из выходов дешифратора 5 проходит через группу элементов ИЛИ 12 и вызывает соответствующий сдвиг кода приращения аргумента ΔX, который хранится в регистре 2. Сдвинутый код приращения аргумента передается через преобразователь 14 кода в прямом или обратном (дополнительном) кодах. Для управления передачей используется код знака величины приращения $2^{\pm K_j^{[1]}}\Delta X$, который с одного из выходов группы элементов И 8 передается через элемент ИЛИ 15 и воздействует на управляющий вход преобразователя 14 кода. К моменту появления на входах первых элементов ЗИ–ИЛИ 16 кода приращения $\pm 2^{\pm K_j^{[1]}}\Delta X$ с выхода элемента 10 задержки на другие входы этих же элементов поступает импульс, который разрешает прохождение информации через них на вход выходного сумматора 17 накапливающего типа. Вследствие этого в сумматор 17 будет записано первое слагаемое суммы из формулы (1).

Суммирование второго слагаемого из формулы (1) осуществляется во втором такте, когда на втором выходе распределителя 7 импульсов появляется сигнал логической единицы, при этом на двух оставшихся выходах формируется сигнал логического нуля. Теперь код числа $\pm K_j^{[2]}$, а также знак второго слагаемого в правой части формулы (1) появляются на выходах группы элементов И 9, причем код числа $\pm K_j^{[2]}$ дешифрируется дешифратором 6, а код знака второго слагаемого проходит через элемент ИЛИ 15 и воздействует на управляющий вход преобразователя 14 кода, на выходе которого аналогично вышеизложенному формируется соответствующий код приращения $\pm 2^{\pm K_j^{[2]}}\Delta X$. Последний с появлением сигнала на выходе элемента 11 задержки передается через вторые элементы ЗИ–ИЛИ 16 в сумматор 17, где суммируется с ранее записанным числом.

В следующем такте на третьем выходе распределителя 7 импульсов появляется сигнал, разрешающий передачу через третьи элементы ЗИ–ИЛИ 16 кода числа $\pm a_j$ с выходов блока 18 памяти для суммирования с содержимым выходного сумматора 17. На этом процесс преобразования заканчивается, и с выхода сумматора 17 может быть считан код функции $\varphi(X)$.

В отличие от прототипа в предлагаемом преобразователе приращение функции на каждом интервале аппроксимации и при любом значении кода аргумента реализуется в виде алгебраической суммы двух слагаемых, каждое из которых пропорционально степени двойки. Это позволяет с высокой точностью воспроизводить широкий класс функций, имеющих знакопеременную первую производную. Кроме того, предлагаемое устройство отличается высоким быстродействием, поскольку в нем выходной код формируется за три микротакта независимо от разрядности кода аргумента и содержит меньшее количество аппаратуры.

Формула изобретения

1. Цифровой функциональный преобразователь, содержащий регистр младших разрядов аргумента, регистр старших разрядов аргумента, дешифратор, блок памяти, блок сдвига, коммутатор и сумматор, выход которого является выходом преобразователя, вход аргумента которого соединен с входами регистров младших и

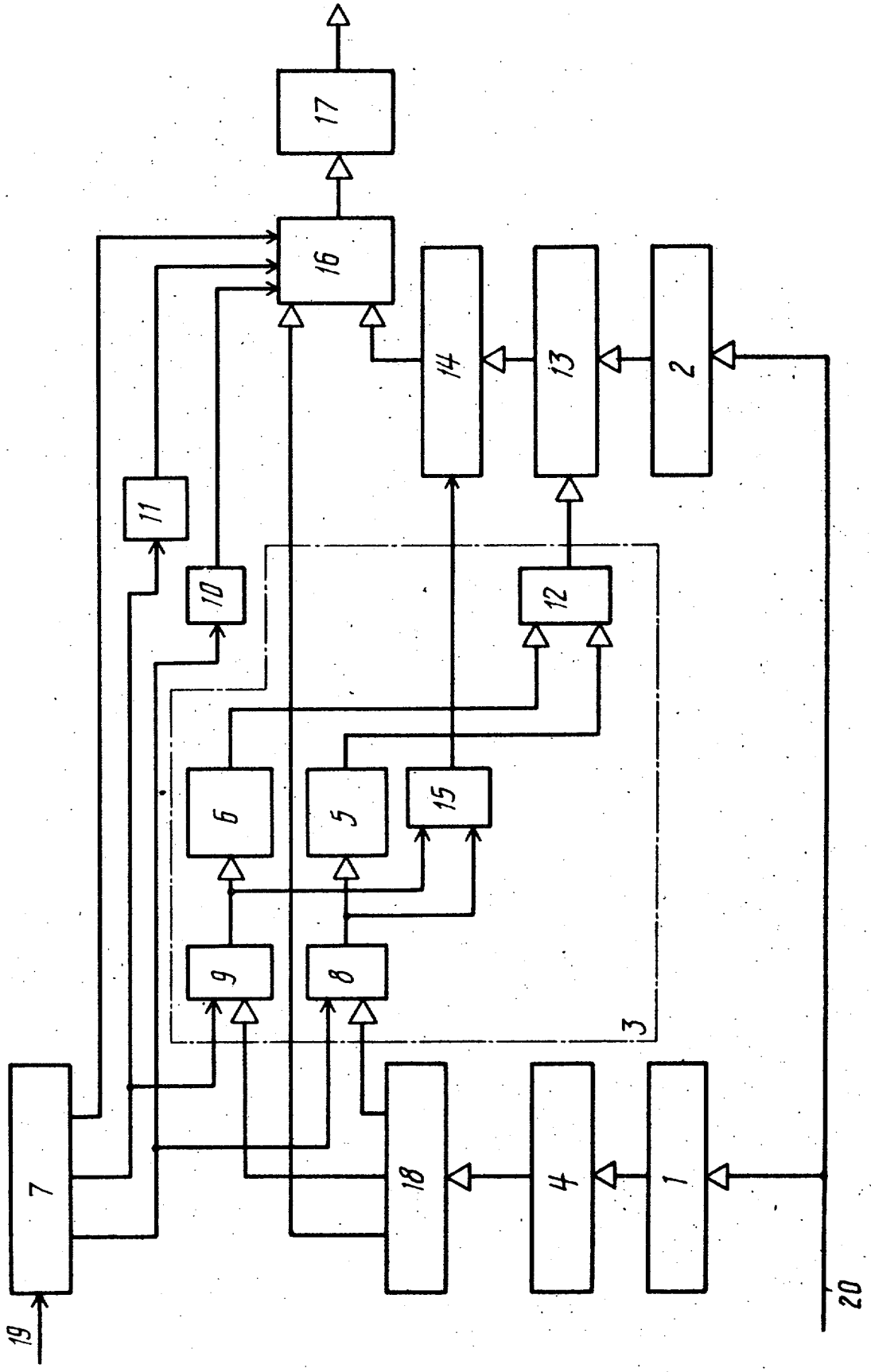
старших разрядов аргумента, выход регистра старших разрядов аргумента соединен с входом дешифратора, выход которого соединен с входом блока памяти, отличающийся тем, что, с целью сокращения количества аппаратуры, он содержит распределитель импульсов, два элемента задержки, преобразователь прямого кода в дополнительный и группу элементов ЗИ-ИЛИ, причем вход запуска преобразователя соединен с входом распределителя импульсов, первый и второй выходы которого соединены соответственно с первым и вторым управляющими входами коммутатора и входами соответственно первого и второго элементов задержки, выходы с первого по третий блока памяти соединены с соответствующими информационными входами коммутатора, выход регистра младших разрядов аргумента соединен с информационным входом блока сдвига, выход которого соединен с информационным входом преобразователя прямого кода в дополнительный, выход которого соединен с первыми и вторыми входами элементов ЗИ-ИЛИ группы, третьи, четвертые и пятые входы которых соединены соответственно с выходами первого элемента задержки, второго элемента задержки и третьим выходом распределителя импульсов, шестые входы элементов ЗИ-ИЛИ соединены с первым выходом коммутатора, второй и третий выходы которого соединены с управляющими входами соответственно преобразователя прямого кода в дополнительный и блока сдвига, выходы элементов ЗИ-ИЛИ группы соединены с входами сумматора.

2. Преобразователь по п. 1, отличающийся тем, что коммутатор содержит две группы элементов И, элемент ИЛИ, группу элементов ИЛИ и два дешифратора, выходы которых соединены соответственно с первыми и вторыми входами элемента ИЛИ группы, первые и вторые входы элементов И первой группы соединены соответственно с первым управляющим и информационным входами коммутатора, вторые управляющий и информационный входы которого соединены соответственно с первыми и вторыми входами элементов И второй группы, выходы которых соединены с входами первого дешифратора и первой группой входов элемента ИЛИ, выходы элементов И первой группы соединены с входами второго дешифратора и второй группой входов элемента ИЛИ, выход которого соединен с вторым выходом коммутатора, первый и третий выходы которого соединены соответственно с третьим информационным выходом коммутатора и выходами элементов ИЛИ группы.

Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 586460, кл. G 06 F 15/31, 1976.

2. Потапов В.И., Нестерук В.Ф. и Флоренсов А.Н. Быстродействующие арифметико-логические устройства цифровых вычислительных машин. Новосибирск, 1978, с. 23 (прототип).



ВНИИПИ Заказ 1397/56 Тираж 704 Подписное
Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4