

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4935832号  
(P4935832)

(45) 発行日 平成24年5月23日(2012.5.23)

(24) 登録日 平成24年3月2日(2012.3.2)

(51) Int.Cl.	F I
G 1 1 C 11/22 (2006.01)	G 1 1 C 11/22 5 0 1 A
H O 1 L 21/8246 (2006.01)	G 1 1 C 11/22 5 0 1 L
H O 1 L 27/105 (2006.01)	H O 1 L 27/10 4 4 4 B
	G 1 1 C 11/22 5 0 1 Z
	G 1 1 C 11/22 5 0 1 K

請求項の数 5 (全 17 頁)

(21) 出願番号	特願2009-4071 (P2009-4071)	(73) 特許権者	308014341
(22) 出願日	平成21年1月9日(2009.1.9)		富士通セミコンダクター株式会社
(62) 分割の表示	特願2000-175862 (P2000-175862) の分割		神奈川県横浜市港北区新横浜二丁目10番 23
原出願日	平成12年6月12日(2000.6.12)	(74) 代理人	100070150
(65) 公開番号	特開2009-123328 (P2009-123328A)		弁理士 伊東 忠彦
(43) 公開日	平成21年6月4日(2009.6.4)	(74) 代理人	100146776
審査請求日	平成21年2月6日(2009.2.6)		弁理士 山口 昭則
		(72) 発明者	川嶋 将一郎
			神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		審査官	高瀬 勤

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

キャパシタプレート線とビット線の間接続され、ワード線とキャパシタプレート線の電位に応じてデータの読み書きがなされる複数の強誘電体メモリセルが、基板上においてアレイ状に形成される半導体記憶装置であって、

前記アレイに対して設けられる、ワード線デコーダとキャパシタプレート線デコーダと

、  
前記ワード線デコーダに接続される複数のワード線と、

前記キャパシタプレート線デコーダに接続される複数のキャパシタプレート線と、

をそれぞれ有し、

前記複数のキャパシタプレート線の内、1のキャパシタプレート線に接続される複数の強誘電体メモリセルが分割されてなる複数のブロックを構成する各ブロックは、前記複数のブロック内の他のブロックと異なるワード線に接続され、

前記複数のワード線の1つと前記複数のキャパシタプレート線の1つを駆動することにより、前記複数のワード線の1つと前記複数のキャパシタプレート線の1つの両方に接続される前記ブロックに属する強誘電体メモリセルが読み出され、

前記ワード線は、前記強誘電体メモリセルがアレイ状に形成された基板上に、異なるキャパシタプレート線に接続されている複数の前記ブロックに接続されるよう階段状に配置されている、

ことを特徴とする半導体記憶装置。

## 【請求項 2】

キャパシタプレート線とビット線の間接続され、ワード線とキャパシタプレート線の電位に応じてデータの読み書きがなされる複数の強誘電体メモリセルが、基板上においてアレイ状に形成される半導体記憶装置であって、

前記アレイに対して設けられる、ワード線デコーダとキャパシタプレート線デコーダと

、前記ワード線デコーダに接続される複数のワード線と、

前記キャパシタプレート線デコーダに接続される複数のキャパシタプレート線と、

をそれぞれ有し、

前記複数のワード線の内、1のワード線に接続される複数の強誘電体メモリセルが分割されてなる複数のブロックを構成する各ブロックは、前記複数のブロック内の他のブロックと異なるキャパシタプレート線に接続され、

前記複数のワード線の1つと前記複数のキャパシタプレート線の1つを駆動することにより、前記複数のワード線の1つと前記複数のキャパシタプレート線の1つの両方に接続される前記ブロックに属する強誘電体メモリセルが読み出され、

前記キャパシタプレート線は、前記強誘電体メモリセルがアレイ状に形成された基板上に、異なるワード線に接続されている複数の前記ブロックに接続されるよう階段状に配置されている、

ことを特徴とする半導体記憶装置。

## 【請求項 3】

アレイ状に配置された前記強誘電体メモリセルの外周に形成されたダミー強誘電体メモリセルをさらに備えた請求項 1 または 2 に記載の半導体記憶装置。

## 【請求項 4】

アクセス対象とする前記強誘電体メモリセルの位置を指定するロウアドレスとコラムアドレスとに応じて、前記キャパシタプレート線及び前記ワード線を選択的に駆動する駆動手段をさらに備えた請求項 1 または 2 に記載の半導体記憶装置。

## 【請求項 5】

前記ワード線及び前記キャパシタプレート線を駆動することにより同時選択される前記強誘電体メモリセルの数だけ設けられ、前記強誘電体メモリセルから読み出された前記データを増幅する増幅手段と、

前記強誘電体メモリセルのうち同時選択される前記強誘電体メモリセルから読み出された前記データを選択して前記増幅手段へ供給する選択手段とをさらに備えた請求項 1 または 2 に記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は半導体記憶装置に関し、さらに詳しくは、強誘電体をキャパシタセルとして用いる強誘電体メモリ (FeRAM) を備えた半導体記憶装置に関するものである。

## 【背景技術】

## 【0002】

図 1 は、従来の強誘電体メモリにおけるセルアレイの第一の構成を示す図である。ここで、図 1 ( a ) は上記セルアレイの構成を示す平面図であり、図 1 ( b ) は図 1 ( a ) に示された I V - I V 線における断面の構造を示す断面図である。なお、図 1 においては、一例として縦 4 個、横 6 個で合計 24 個の強誘電体メモリセル F M C が格子状に配列された場合が示されている。

## 【0003】

図 1 に示されるように、従来の強誘電体メモリは、強誘電体メモリセル F M C と、ワード線 W L 1 ~ W L 4 と、ビット線 B L 1 ~ B L 6 と、キャパシタプレート線 C P 1 ~ C P 4 とを備える。ここで、ワード線 W L 1 ~ W L 4 とキャパシタプレート線 C P 1 ~ C P 4 とは、図 1 ( a ) に示されるようにレイアウト上において互いに並行に配線され、ビット

10

20

30

40

50

線 B L 1 ~ B L 6 は該ワード線 W L 1 ~ W L 4 及び該キャパシタプレート線 C P 1 ~ C P 4 に対して直交するよう配線される。

【 0 0 0 4 】

また、図 1 ( b ) に示されるように、この強誘電体メモリはシリコン基板 1 上に形成され、該シリコン基板 1 の表面には拡散領域 S D 1 , S D 2 を有するトランジスタ及びワード線 W L 1 ~ W L 4 が形成される。そして、ワード線 W L 1 , W L 2 間及びワード線 W L 3 , W L 4 間に形成された各々の拡散領域 S D 1 は、ビット線 B L 1 ~ B L 6 に対して各々ビット線コンタクトがなされ、拡散領域 S D 2 上にはキャパシタプレート線 C P 1 ~ C P 4 との間に強誘電体メモリセル F M C , F M C 1 が形成される。

【 0 0 0 5 】

また、上記図 1 に示された強誘電体メモリにおけるセルアレイの回路図が、図 2 に示される。ここで図 2 に示されるように、例えば強誘電体メモリセル F M C 1 は、ゲートがワード線 W L 1 に接続された N チャネル M O S トランジスタ N T とキャパシタプレート線 C P 1 との間に接続されるため、ワード線 W L 1 とキャパシタプレート線 C P 1 とによって駆動される。

【 0 0 0 6 】

そして、ワード線 W L 1 ~ W L 4 とキャパシタプレート線 C P 1 ~ C P 4 とが平行に配線された上記のような構成を有するセルアレイにおいては、例えばワード線 W L 1 をハイレベルに活性化して強誘電体メモリセル F M C 1 にアクセスする場合、強誘電体メモリセル F M C 1 がビット線 B L 1 に接続されるのみならず、キャパシタプレート線 C P 1 に接続された強誘電体メモリセル F M C 2 ~ F M C 6 もそれぞれ対応するビット線 B L 2 ~ B L 6 に接続される。

【 0 0 0 7 】

従って、上記のような状態においてキャパシタプレート線 C P 1 をパルス駆動する場合には、ビット線 B L 1 ~ B L 6 による大きな値を有するビット線容量が、強誘電体メモリセル F M C 1 ~ F M C 6 によるセル容量と直列接続されるため、大容量を駆動する必要が生じて消費電力が増大するという問題がある。

【 0 0 0 8 】

また、上記のような場合には、ワード線 W L 1 が活性化されることによりビット線 B L 1 ~ B L 6 にデータが読み出される全ての強誘電体メモリセル F M C 1 ~ F M C 6 に対し、データの再書き込みが必要とされるという問題もあった。

【 0 0 0 9 】

図 3 は、従来の強誘電体メモリにおけるセルアレイの第二の構成を示す図である。図 3 に示された従来の強誘電体メモリにおけるセルアレイは、図 1 に示されたセルアレイと同様な構成を有するが、ワード線 W L 1 ~ W L 2 とキャパシタプレート線 C P 1 ~ C P 2 とが直交して配線される点で相違するものである。

【 0 0 1 0 】

ここで上記と同様に、例えばワード線 W L 1 をハイレベルに活性化して強誘電体メモリセル F M C 1 にアクセスする場合には、キャパシタプレート線 C P 1 に接続された強誘電体メモリセル F M C 1 , F M C 7 , F M C 8 のうちでビット線に接続されるのは強誘電体メモリセル F M C 1 のみとなるものの、キャパシタプレート線 C P 1 に接続された全ての強誘電体メモリセル F M C 1 , F M C 7 , F M C 8 を駆動する必要があるという問題がある。

【 0 0 1 1 】

すなわち一般的に、図 3 においてビット線方向に配置される強誘電体メモリセルの数は、ワード線方向に配置される強誘電体メモリセルの数に対して 2 倍以上であるため、キャパシタプレート線 C P 1 , C P 2 の容量は大きなものとなる。従って、該キャパシタプレート線 C P 1 を駆動する際には消費電力が増大するのみならず、該キャパシタプレート線 C P 1 に対して用いられる大きな駆動力に起因して、ビット線 B L 1 や電源電圧 ( V D D ) ノード ( 図示していない。 ) あるいはセンスアンプ等にノイズを発生させ、場合

10

20

30

40

50

によっては強誘電体メモリに誤動作を生じさせるという問題がある。

【発明の概要】

【発明が解決しようとする課題】

【0012】

本発明は、上述の問題を解消するためになされたもので、消費電力の低減と動作の高速化を実現する半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0013】

上記の目的に鑑み、キャパシタプレート線とビット線の間接続され、ワード線とキャパシタプレート線の電位に応じてデータの読み書きがなされる強誘電体メモリセルが、基板上においてアレイ状に形成された半導体記憶装置において、複数のキャパシタプレート線の内、1のキャパシタプレート線に接続される複数の強誘電体メモリセルが分割されてなる複数のブロックを構成する各ブロックは、上記複数のブロック内の他のブロックと異なるワード線に接続される。あるいは、複数のワード線の内、1のワード線に接続される複数の強誘電体メモリセルが分割されてなる複数のブロックを構成する各ブロックは、上記複数のブロック内の他のブロックと異なるキャパシタプレート線に接続される。そして、上記複数のワード線の1つと上記複数のキャパシタプレート線の1つを駆動することにより、上記複数のワード線の1つと上記複数のキャパシタプレート線の1つの両方に接続されるブロックに属する強誘電体メモリセルが読み出される。このような手段によれば、キャパシタプレート線とワード線とを活性化することにより同時選択される強誘電体メモリセルの数を低減することができる。

【0014】

なお、上記半導体記憶装置においては、上記ワード線と上記キャパシタプレート線とを共に備えることとしてもよい。

【0015】

また、アレイ状に配置された強誘電体メモリセルの外周に形成されたダミー強誘電体メモリセルをさらに備えることにより、実際の使用に供する強誘電体メモリセルの品質を高めることができる。そして、アクセス対象とする強誘電体メモリセルの位置を指定するロウアドレスとコラムアドレスとに応じて、キャパシタプレート線及びワード線を選択的に駆動する駆動手段をさらに備えることにより、強誘電体メモリセルに対する高速なデータの読み書きを実現することができる。

【0016】

また、ワード線及びキャパシタプレート線を駆動することにより同時選択される強誘電体メモリセルの数だけ設けられ、強誘電体メモリセルから読み出されたデータを増幅する増幅手段と、強誘電体メモリセルのうち同時選択された強誘電体メモリセルから読み出されたデータを選択して増幅手段へ供給する選択手段とをさらに備えた半導体記憶装置によれば、必要とされる増幅手段の占有面積を低減することができる。

【0017】

また、本発明の目的は、ワード線及びキャパシタプレート線を駆動することにより強誘電体メモリセルを選択する半導体記憶装置であって、活性化されたワード線に接続される複数の強誘電体メモリセルと、活性化されたキャパシタプレート線に接続される複数の強誘電体メモリセルとの少なくとも一部が異なるように配線されたワード線及びキャパシタプレート線を備えたことを特徴とする半導体記憶装置を提供することにより達成される。

【発明の効果】

【0018】

上述の如く、本発明に係る半導体記憶装置によれば、キャパシタプレート線とワード線とを活性化することにより同時選択される強誘電体メモリセルの数を少なくして消費電力を低減すると共に、動作の高速化を図ることができる。

【0019】

また、アレイ状に配置された強誘電体メモリセルの外周に形成されたダミー強誘電体メ

10

20

30

40

50

メモリセルをさらに備えることにより、実際の使用に供する強誘電体メモリセルの品質を高めることができるため、信頼性の高い半導体記憶装置を得ることができる。

【0020】

また、同時選択される強誘電体メモリセルの数だけ増幅手段を設ければ足りるため、本発明に係る半導体記憶装置によれば、必要とされる増幅手段の占有面積を減少させ、回路規模を低減することができる。

【図面の簡単な説明】

【0021】

【図1】従来の半導体記憶装置に備えられた強誘電体メモリにおけるセルアレイの第一の構成を示す図である。

10

【図2】図1に示された強誘電体メモリにおけるセルアレイの構成を示す回路図である。

【図3】従来の半導体記憶装置に備えられた強誘電体メモリにおけるセルアレイの第二の構成を示す図である。

【図4】本発明の実施の形態1に係る半導体記憶装置に備えられた強誘電体メモリにおけるセルアレイの構成を示す図である。

【図5】図4に示された強誘電体メモリにおけるセルアレイの構成を示す回路図である。

【図6】本発明の実施の形態2に係る半導体記憶装置に備えられた強誘電体メモリにおけるセルアレイの構成を示す図である。

【図7】図6に示された強誘電体メモリにおけるセルアレイの構成を示す回路図である。

【図8】本発明の実施の形態2に係る半導体記憶装置の構成を示す回路図である。

20

【図9】本発明の実施の形態3に係る半導体記憶装置の構成を示す回路図である。

【図10】図9に示された2ビットアダー回路の構成を示す回路図である。

【図11】本発明の実施の形態4に係る半導体記憶装置に備えられた強誘電体メモリにおけるセルアレイの構成を示す図である。

【図12】本発明の実施の形態5に係る半導体記憶装置に備えられた強誘電体メモリにおけるセルアレイの構成を示す図である。

【発明を実施するための形態】

【0022】

以下において、本発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一符号は同一又は相当部分を示す。

30

【0023】

[実施の形態1]

図4は、本発明の実施の形態1に係る半導体記憶装置に備えられた強誘電体メモリにおけるセルアレイの構成を示す平面図である。なお図4においては、上記図1と同様に、一例として縦（ビット線に沿う方向）4個、横（ビット線と直交する方向）6個で合計24個の強誘電体メモリセルが配列された場合が示される。

【0024】

図4に示されるように、本発明の実施の形態1に係る強誘電体メモリは、強誘電体メモリセルFMC9と、ワード線WL1~WL4と、ビット線BL1~BL6と、キャパシタプレート線CP1a~CP4a, CP1b, CP2bとを備える。ここで、図4に示されたセルアレイ構成においては、ワード線WL1~WL4がキャパシタプレート線CP1a~CP4aに平行な部分とビット線BL1~BL6に平行な方向へずれる部分とを含み、セルアレイ上において階段状に配線されている点に特徴がある。なお、図4に示されたキャパシタプレート線CP1aとキャパシタプレート線CP1b、キャパシタプレート線CP2aとキャパシタプレート線CP2bは、それぞれ電氣的に同電位とされ、又は互いに接続されている。

40

【0025】

ここで、図4に示されたセルアレイの回路図は、図5に示される。図5に示されるように、例えばキャパシタプレート線CP3aには強誘電体メモリセルFMC9, FMC10, FMC15, FMC16, FMC17, FMC18が接続される。また、ワード線WL

50

3が活性化されたときには、強誘電体メモリセルFMC9がビット線BL1に接続され、強誘電体メモリセルFMC10がビット線BL2に接続される。また同様に、キャパシタプレート線CP4aに接続された強誘電体メモリセルFMC11がビット線BL3に接続され、キャパシタプレート線CP4aに接続された強誘電体メモリセルFMC12がビット線BL4に接続される。さらに、キャパシタプレート線CP1bに接続された強誘電体メモリセルFMC13がビット線BL5に接続され、同じくキャパシタプレート線CP1bに接続された強誘電体メモリセルFMC14がビット線BL6に接続される。

【0026】

また、図4では省略されているが、図5に示されるように、ビット線BL1, BL2はゲート回路GT1を介してそれぞれデータバスDB1, DB2に接続され、ビット線BL3, BL4はゲート回路GT2を介してそれぞれデータバスDB1, DB2に接続される。また、センスアンプSA1, SA2がそれぞれデータバスDB1, DB2に接続され、選択回路2で生成された選択信号がゲート回路GT1, GT2に供給される。

【0027】

ここで、例えば強誘電体メモリセルFMC9にアクセスする場合には、上記ワード線WL3が活性化され、キャパシタプレート線CP3aが駆動されるが、上記のように該キャパシタプレート線CP3aに接続された強誘電体メモリセルの中で、ワード線WL3が活性化されることによりビット線と接続されるものは二つの強誘電体メモリセルFMC9, FMC10に過ぎない。

【0028】

従って、上記のような状態においてキャパシタプレート線CP3aをパルス駆動する場合には、強誘電体メモリセルFMC9, FMC10, FMC15, FMC16, FMC17, FMC18によるセル容量と、ビット線BL1, BL2によるビット線容量とを合わせた容量を駆動すれば足りるため、図1及び図2に示されたセルアレイを備えた従来の半導体記憶装置と比べると、ビット線BL3~BL6によるビット線容量に対応する分だけ消費電力を低減することができる。また、上記のようにワード線WL3が活性化されキャパシタプレート線CP3aが駆動されることにより強誘電体メモリセルFMC9, FMC10から読み出されたデータは、ビット線BL1, BL2を伝送するが、このとき選択回路2は供給されたアドレスに応じてゲート回路GT1を選択的に開くため、強誘電体メモリセルFMC9, FMC10から読み出された該データは、それぞれデータバスDB1, DB2に伝送される。そして、センスアンプSA1がデータバスDB1を伝送するデータを、センスアンプSA2がデータバスDB2を伝送するデータをそれぞれ増幅することにより、強誘電体メモリセルFMC9から読み出されたデータをセンスアンプSA1の出力として得ることができる。

【0029】

ここで、センスアンプは一般的に、同時に選択されるメモリセルの数に対応して(本実施の形態1に係る半導体記憶装置においては2個)設ければ足りるため、本実施の形態1に係る半導体記憶装置によれば、同時選択される強誘電体メモリセルの数を低減することにより、必要なセンスアンプの数を少なくして半導体記憶装置の回路規模を低減することができる。

【0030】

次に、上記のようなセルアレイ構成による効果を、例えば縦(ビット線に沿った方向)に64行及び横(ワード線に沿った方向)に32列の強誘電体メモリセルが配列されたセルアレイにおいて定量的に評価する。なお、上記セルアレイには32本のビット線と64本のワード線とが配線され、それぞれビット線の容量Cbを700fF、強誘電体メモリセル一つの容量Cfを200fFとする。また、上記評価は8ビットのアクセスをかける場合について行う。

【0031】

まず、ワード線WL1~WL4とキャパシタプレート線CP1~CP4とが平行に配線される図1及び図2に示された従来の強誘電体メモリにおいては、32個の強誘電体メモ

10

20

30

40

50

リセルに同時にアクセスすると共に、該32個の強誘電体メモリセルが該アクセスによりビット線に接続されるため、キャパシタプレート線は $C_b \times 32 + C_f \times 32$ により算出される $28.8 \text{ pF}$ の容量を駆動する必要がある。一方、ワード線 $WL1$ ,  $WL2$ とキャパシタプレート線 $CP1$ ,  $CP2$ とが直交して配線される図3に示された従来の強誘電体メモリにおいては、一つのビット線に64個の強誘電体メモリセルが接続されるため、8ビットのアクセスではキャパシタプレート線は $C_b \times 8 + C_f \times 64 \times 8$ により算出される $108.0 \text{ pF}$ の容量を駆動する必要がある。

【0032】

ここで、上記本実施の形態1に係る強誘電体メモリにおいては、上記のように一つのキャパシタプレート線に32個の強誘電体メモリセルが接続されるが、選択されたワード線が活性化されたときにビット線に接続される強誘電体メモリセルは8ビットのアクセスにおいては8個であるため、キャパシタプレート線は $C_b \times 8 + C_f \times 32$ により算出される $12.0 \text{ pF}$ の容量を駆動すれば足りることとなる。

10

【0033】

以上より、本発明の実施の形態1に係る強誘電体メモリを備えることによって、半導体記憶装置の消費電力を低減することができ、また、キャパシタプレート線の駆動におけるパルス伝達速度を速くできるため、動作の高速化を図ることができる。

【0034】

[実施の形態2]

図6は、本発明の実施の形態2に係る半導体記憶装置に備えられた強誘電体メモリにおけるセルアレイの構成を示す平面図である。なお図6においては、上記図4と同様に、一例として縦(ビット線に沿う方向)4個、横(ビット線と直交する方向)6個で合計24個の強誘電体メモリセルFMCが配列された場合が示される。

20

【0035】

図6に示されるように、本発明の実施の形態2に係る強誘電体メモリは、強誘電体メモリセルFMCと、ワード線 $WL1a \sim WL4a$ ,  $WL1b$ ,  $WL2b$ と、ビット線 $BL1 \sim BL6$ と、キャパシタプレート線 $CP1 \sim CP4$ とを備える。ここで、図6に示されたセルアレイ構成においては、上記ワード線及び上記キャパシタプレート線がシリコン基板1上において階段状に配線されている点に特徴がある。すなわち、ビット線 $BL1 \sim BL6$ に直交する方向で隣接する二つの強誘電体メモリセルFMCをそれぞれ一つのセルユニット $UT1 \sim UT3$ としたとき、図6に示されるように、キャパシタプレート線 $CP1 \sim CP4$ は、ビット線方向にそれぞれ1セル分の距離づつずれたセルユニット $UT1 \sim UT3$ に含まれる強誘電体メモリセルFMCを順次接続するよう形成される。

30

【0036】

また、上記において、ワード線1aとワード線1b、ワード線2aとワード線2bはそれぞれ電氣的に同電位とされ、又は互いに接続されている。

【0037】

ここで、図6に示されたセルアレイの回路図は、図7に示される。図7に示されるように、例えばキャパシタプレート線 $CP3$ には強誘電体メモリセルFMC19~FMC24が接続される。また、ワード線 $WL3a$ が活性化されたときには、強誘電体メモリセルFMC19がビット線 $BL1$ に接続され、強誘電体メモリセルFMC20がビット線 $BL2$ に接続される。また同様に、キャパシタプレート線 $CP2$ に接続された強誘電体メモリセルFMC25がビット線 $BL3$ に接続され、同じくキャパシタプレート線 $CP2$ に接続された強誘電体メモリセルFMC26がビット線 $BL4$ に接続される。さらに、キャパシタプレート線 $CP1$ に接続された強誘電体メモリセルFMC27がビット線 $BL5$ に接続され、同じくキャパシタプレート線 $CP1$ に接続された強誘電体メモリセルFMC28がビット線 $BL6$ に接続される。

40

【0038】

ここで、例えば強誘電体メモリセルFMC19にアクセスする場合には、上記ワード線 $WL3a$ が活性化され、キャパシタプレート線 $CP3$ が駆動されるが、上記のように該キ

50

ャパシタプレート線CP3に接続された強誘電体メモリセルの中で、ワード線WL3aが活性化されることによりビット線と接続されるものは二つの強誘電体メモリセルFMC19, FMC20に過ぎない。

【0039】

従って、上記のような状態においてキャパシタプレート線CP3をパルス駆動する場合には、強誘電体メモリセルFMC19～FMC24によるセル容量と、ビット線BL1, BL2によるビット線容量とを合わせた容量を駆動すれば足りるため、図1及び図2に示されたセルアレイを備えた従来の半導体記憶装置と比べると、ビット線BL3～BL6によるビット線容量に対応する分だけ消費電力を低減することができる。

【0040】

図8は、本発明の実施の形態2に係る半導体記憶装置の構成を示す回路図である。なお、図8においては一例として、縦(ビット線方向)に4行、横(ワード線方向)に4列で計16個の強誘電体メモリセルFMCが備えられ、図6に示された各セルユニットUT1～UT3は一つの強誘電体メモリセルFMCで構成される強誘電体メモリが示される。また、本強誘電体メモリにおいては、以下に詳しく説明するように、供給されたロウアドレスA0, A1とコラムアドレスA2, A3とに応じて、同時に一つの強誘電体メモリセルFMCが選択される。

【0041】

図8に示されるように、本実施の形態2に係る半導体記憶装置に含まれた強誘電体メモリの周辺回路は、ワード線デコーダ3と、プレート線デコーダ5と、プレート線パルス発生回路7と、ワード線パルス発生回路9と、タイミング制御回路11aと、センスアンプ13と、書き込み増幅回路15と、NOR回路23, 45と、AND回路41～44及びNチャンネルMOSトランジスタNT1～NT4とを備える。

【0042】

ここで、上記ワード線デコーダ3は、各ワード線WL0a～WL3a, WL0b～WL2bに対応して設けられた複数のデコードユニットDU1と、直列接続された反転回路31～33及び反転回路34～36とを含み、供給されたコラムアドレスA2, A3に応じてワード線WL1a～WL4a, WL1b, WL2bを選択する。

【0043】

そして、上記の各デコードユニットDU1は、OR回路16～19と、AND回路20, 21と、NOR回路22と、反転回路24とを含む。さらに、OR回路16, 18の入力ノードは反転回路35の出力ノード及び電源電圧ノードVDDに接続され、OR回路17の入力ノードは反転回路34の出力ノード及び電源電圧ノードVDDに接続され、OR回路19の入力ノードは反転回路34の出力ノード及び後述するNAND回路37の出力ノードに接続される。

【0044】

また、AND回路20の入力ノードはOR回路16, 17の出力ノード及び反転回路31の出力ノードに接続され、AND回路21の入力ノードはOR回路18, 19の出力ノード及び反転回路32の出力ノードに接続される。また、NOR回路22の入力ノードはAND回路20, 21の出力ノードに接続され、反転回路24の入力ノードはNOR回路22の出力ノードに接続される。ここで、上記のような構成を有するワード線デコーダ3においては、反転回路36にコラムアドレスA2が、反転回路33にコラムアドレスA3が供給される。

【0045】

なお、出力ノードがワード線WL2bに接続されたNOR回路23は、その入力ノードが反転回路24の出力ノード及びワード線パルス発生回路9に接続される。

【0046】

一方、プレート線デコーダ5は、NAND回路37～40と、直列接続された反転回路25～27及び反転回路28～30とを含み、供給されたロウアドレスA0, A1に応じてキャパシタプレート線CP0～CP3を選択する。ここで、NAND回路37の入力ノ

10

20

30

40

50



ードは反転回路26及び反転回路29に接続され、NAND回路38の入力ノードは反転回路25及び反転回路29に接続される。また、NAND回路39の入力ノードは反転回路26及び反転回路28に接続され、NAND回路40の入力ノードは反転回路25及び反転回路28に接続される。ここで、上記のような構成を有するプレート線デコーダ5においては、反転回路27にロウアドレスA0が、反転回路30にロウアドレスA1が供給される。

【0047】

なお、出力ノードがキャパシタプレート線CP3に接続されたNOR回路45の入力ノードは、NAND回路37の出力ノード及びプレート線パルス発生回路7に接続される。

【0048】

また、プレート線パルス発生回路7とワード線パルス発生回路9、及びセンスアンプ13は、タイミング制御回路11aに接続され、書込増幅回路15はセンスアンプ13及びタイミング制御回路11aに接続される。

【0049】

また、AND回路41の入力ノードは反転回路31、34の出力ノードに接続され、AND回路42の入力ノードは反転回路31、35の出力ノードに接続される。同様に、AND回路43の入力ノードは反転回路32、34の出力ノードに接続され、AND回路44の入力ノードは反転回路32、35の出力ノードに接続される。

【0050】

そして、各NチャンネルMOSトランジスタNT1～NT4は、センスアンプ13及び書込増幅回路15と対応するビット線BL1～BL4との間に接続されると共に、NチャンネルMOSトランジスタNT1のゲートはAND回路41の出力ノードに接続され、NチャンネルMOSトランジスタNT2のゲートはAND回路42の出力ノードに接続される。また、同様にNチャンネルMOSトランジスタNT3のゲートはAND回路43の出力ノードに接続され、NチャンネルMOSトランジスタNT4のゲートはAND回路44の出力ノードに接続される。

【0051】

次に、上記のような構成を有する本実施の形態2に係る半導体記憶装置の動作を説明する。例えば、図8に示された強誘電体メモリセルFMC19からデータを読み出す場合には、ワード線デコーダ3に供給されたコラムアドレスA2、A3に応じてワード線WL3aに接続されたNOR回路23へ選択信号が供給される。このとき該NOR回路23は、ワード線パルス発生回路9から供給される所定期間ロウレベルのパルス信号に応じて、該ロウ期間ワード線WL3aをハイレベルに活性化させる。これにより、該期間において強誘電体メモリセルFMC19とビット線BL1との間に接続されたNチャンネルMOSトランジスタNTがオンする。

【0052】

そしてこのとき、キャパシタプレート線CP3に接続されたNOR回路45には、プレート線デコーダ5に含まれたNAND回路37から、ロウアドレスA0、A1に応じた選択信号が供給される。このとき該NOR回路45は、プレート線パルス発生回路7から供給されるパルス信号に応じて、キャパシタプレート線CP3を駆動する。

【0053】

これにより、強誘電体メモリセルFMC19からビット線BL1へデータが読み出され、センスアンプ13で増幅されてデータDoutとして出力される。なお、以上はデータ読み出し動作の説明であるが、データ書き込みの場合には、書き込みデータDinが書込増幅回路15へ供給され、上記と同様に選択された強誘電体メモリセルへ該書き込みデータDinが書き込まれる。

【0054】

また、上記において、プレート線パルス発生回路7とワード線パルス発生回路9、センスアンプ13、及び書込増幅回路15は、クロック信号CKとライトイネーブル信号WEが供給されるタイミング制御回路11aによってそれぞれ動作タイミングが制御される。

10

20

30

40

50

## 【 0 0 5 5 】

以上より、本発明の実施の形態 2 に係る強誘電体メモリを備えた半導体記憶装置によれば、上記実施の形態 1 に係る半導体記憶装置と同様に、消費電力を低減することができると共に、強誘電体メモリセル F M C に対するデータの読み書きを高速化することができる。

## 【 0 0 5 6 】

なお、上記のような図 8 に示された強誘電体メモリの周辺回路は、図 4 及び図 5 に示された上記実施の形態 1 に係る強誘電体メモリセルのセルアレイと組み合わせることにより、本実施の形態 2 に係る半導体記憶装置と同様な効果を得ることができることはいうまでもない。

10

## 【 0 0 5 7 】

## [ 実施の形態 3 ]

図 9 は、本発明の実施の形態 3 に係る半導体記憶装置の構成を示す回路図である。図 9 に示されるように、本実施の形態 3 に係る半導体記憶装置は、図 8 に示された実施の形態 2 に係る半導体記憶装置と同様な構成を有するが、ワード線デコーダ 3 及びプレート線デコーダ 5 の構成が相違する。

## 【 0 0 5 8 】

すなわち、図 9 に示されるように、本実施の形態 3 に係るロウデコーダ 4 6 は NAND 回路 3 7 ~ 4 3 と、反転回路 2 5 ~ 3 0 と、2 ビットアダー回路 6 1 とを含む。ここで、NAND 回路 3 7 ~ 4 3 はワード線 W L 0 a ~ W L 3 a , W L 0 b ~ W L 2 b に 1 対 1 に 20 対応するよう設けられ、NAND 回路 4 3 の入力ノードは反転回路 2 5 及び 2 ビットアダー回路 6 1 に接続され、NAND 回路 4 2 の入力ノードは反転回路 2 8 及び 2 ビットアダー回路 6 1 に接続される。

## 【 0 0 5 9 】

また同様に、NAND 回路 4 1 の入力ノードは反転回路 2 5 , 2 8 に接続され、NAND 回路 3 7 の入力ノードは 2 ビットアダー回路 6 1 に接続され、NAND 回路 3 7 の入力ノードは 2 ビットアダー回路 6 1 に接続される。また、NAND 回路 3 8 の入力ノードは反転回路 2 5 と 2 ビットアダー回路 6 1 に接続され、NAND 回路 3 9 の入力ノードは反転回路 2 8 と 2 ビットアダー回路 6 1 に接続され、NAND 回路 4 0 の入力ノードは反転回路 2 5 , 2 8 に接続される。

30

## 【 0 0 6 0 】

図 1 0 は、図 9 に示された 2 ビットアダー回路 6 1 の構成を示す回路図である。図 1 0 に示されるように、この 2 ビットアダー回路 6 1 は、AND 回路 6 2 , 6 3 と、排他的 OR 回路 6 4 , 6 5 と、反転回路 6 6 とを含む。ここで、AND 回路 6 2 の入力ノードはノード N a , N c に接続され、AND 回路 6 3 の入力ノードは AND 回路 6 2 の出力ノードと反転回路 6 6 の出力ノードとに接続され、出力ノードはノード N f に接続される。また、排他的 OR 回路 6 4 の入力ノードはノード N a とノード N c に接続され、出力ノードはノード N e に接続される。さらには、排他的 OR 回路 6 5 の入力ノードはノード N b とノード N d に接続され、反転回路 6 6 の入力ノードは排他的 OR 回路 6 5 の出力ノードに接続される。

40

## 【 0 0 6 1 】

ここで、上記ノード N a は反転回路 2 6 の出力ノードに接続され、ノード N b は反転回路 2 9 の出力ノードに接続され、ノード N c は AND 回路 6 0 の出力ノードに接続され、ノード N d は AND 回路 5 9 の出力ノードに接続される。また、ノード N e は反転回路 2 5 の入力ノードに接続され、ノード N f は反転回路 2 8 の入力ノードに接続される。

## 【 0 0 6 2 】

また、図 9 に示されるように、本実施の形態に係る半導体記憶装置においては、キャパシタプレート線 C P 0 ~ C P 3 に 1 対 1 に対応して、出力ノードが NOR 回路 4 5 に接続されたデコードユニット D U 2 が設けられる。ここで、各デコードユニット D U 2 は同様な構成を有し、NAND 回路 5 1 ~ 5 4 と反転回路 5 5 とを含む。そして、NAND 回路

50

5 1の入力ノードはNAND回路37の出力ノード及び反転回路56の出力ノードに接続され、NAND回路52の入力ノードはNAND回路51の出力ノードとNAND回路54の出力ノードに接続され、出力ノードはNOR回路45の入力ノードに接続される。

【0063】

また、NAND回路53の入力ノードは反転回路55の出力ノード及び反転回路56の出力ノードに接続され、NAND回路54の入力ノードはNAND回路52の出力ノードとNAND回路53の出力ノードに接続され、出力ノードは上記のようにNAND回路52の入力ノードに接続される。さらには、AND回路55の入力ノードはNAND回路37の出力ノードに接続され、出力ノードはNAND回路53の入力ノードに接続される。

【0064】

また、タイミング制御回路11bには直列接続された反転回路57、58と反転回路56とが接続される。さらには、AND回路59の入力ノードは反転回路57の出力ノード及び反転回路32の出力ノードに接続され、AND回路60の入力ノードは反転回路57の出力ノード及び反転回路35の出力ノードに接続される。

【0065】

次に、上記のような構成を有する本実施の形態3に係る半導体記憶装置の動作を、図9に示された強誘電体メモリセルFMC19からデータを読み出す場合を例に説明する。まず、タイミング制御回路11bからロウレベルの信号が反転回路58に供給されると、この期間において外部から供給されたロウアドレスA0、A1に応じて、ロウデコーダ46に含まれたNAND回路37はキャパシタプレート線CP3を選択するCPアドレス信号をデコードユニットDU2へ供給する。そして、該デコードユニットDU2は上記CPアドレス信号をラッチすると共に、キャパシタプレート線CP3に接続されたNOR回路45へ供給する。

【0066】

これにより該NOR回路45は、プレート線パルス発生回路7から供給されるパルス信号に応じて、キャパシタプレート線CP3を駆動する。

【0067】

次に、タイミング制御回路11bが反転回路58にハイレベルの信号を供給することにより、2ビットアダー回路61は外部から供給されたロウアドレスA0、A1に2ビットのコラムアドレスA2、A3を加算してワード線選択信号を生成する。そして、ロウデコーダ46は該ワード線選択信号に応じてワード線WL3aを選択する。

【0068】

すなわち、ロウデコーダ46に含まれたNAND回路37からワード線WL3aに接続されたNOR回路23へ、該ワード線WL3aを選択する信号が供給される。このとき該NOR回路23は、ワード線パルス発生回路9から供給されるパルス信号に応じて、ワード線WL3aをハイレベルに活性化させる。これにより、強誘電体メモリセルFMC19とビット線BL1との間に接続されたNチャンネルMOSトランジスタNTがオンする。

【0069】

これにより、強誘電体メモリセルFMC19からビット線BL1へデータが読み出され、センスアンプ13で増幅されてデータDoutとして出力される。なお、以上はデータ読み出し動作の説明であるが、データ書き込みの場合には、書き込みデータDinが書込増幅回路15へ供給され、上記と同様に選択された強誘電体メモリセルへ該書き込みデータDinが書き込まれる。

【0070】

また、上記において、プレート線パルス発生回路7とワード線パルス発生回路9、センスアンプ13、書込増幅回路15、及び2ビットアダー回路61は、クロック信号CKとライトイネーブル信号WEが供給されるタイミング制御回路11bによってそれぞれ動作タイミングが制御される。

【0071】

以上より、本発明の実施の形態3に係る強誘電体メモリを備えた半導体記憶装置によれ

10

20

30

40

50

ば、上記実施の形態 1 及び 2 に係る半導体記憶装置と同様に、消費電力を低減することができると共に、強誘電体メモリセル F M C に対するデータの読み書きを高速化することができる。

【 0 0 7 2 】

[ 実施の形態 4 ]

図 1 1 は、本発明の実施の形態 4 に係る半導体記憶装置に備えられた強誘電体メモリにおけるセルアレイの構成を示す平面図である。図 1 1 に示されるように、本実施の形態 4 に係る強誘電体メモリにおけるセルアレイは、図 6 に示された実施の形態 2 に係る強誘電体メモリにおけるセルアレイと同様な構成を有するが、セルユニット U T 1 ~ U T 3 相互のビット線 B L 1 ~ B L 6 方向におけるずれが、強誘電体メモリセル F M C の 1 / 2 に相当する距離とされる点で相違するものである。なお、図 1 1 に示されたセルアレイは、図 7 に示された回路図により表すことができる。

10

【 0 0 7 3 】

そして、このような本実施の形態 4 に係る半導体記憶装置によれば、シリコン基板 1 上に形成される強誘電体メモリセルのセルアレイを全体として長方形状とすることができるため、上記実施の形態 2 に係る半導体記憶装置と同様な効果を得ることができると共に、該セルアレイの占有面積を小さくすることによって半導体記憶装置の回路面積をより低減することができる。

【 0 0 7 4 】

[ 実施の形態 5 ]

図 1 2 は、本発明の実施の形態 5 に係る半導体記憶装置に備えられた強誘電体メモリにおけるセルアレイの構成を示す平面図である。図 1 2 に示されるように、本実施の形態 5 に係る強誘電体メモリにおけるセルアレイは、図 1 1 に示された実施の形態 4 に係る強誘電体メモリにおけるセルアレイと同様な構成を有するが、図 1 1 に示されたセルアレイを実メモリセルアレイ R M C A として、その周囲にビット線コンタクトをしないダミー強誘電体メモリセル D F M C を備える点で相違するものである。

20

【 0 0 7 5 】

すなわち、本実施の形態 5 に係る強誘電体メモリにおけるセルアレイにおいては、図 1 2 に示されるように、実メモリセルアレイ R M C A の周囲にダミーワード線 D W L 0 , D W L 1 と、ダミーキャパシタプレート線 D C P 1 ~ D C P 3 と、ダミービット線 D B L 1 ~ D B L 4 とが形成され、さらにビット線コンタクトがなされないダミー強誘電体メモリセル D F M C が形成される。

30

【 0 0 7 6 】

以上のような構成を有する本実施の形態 5 に係る半導体記憶装置によれば、上記実施の形態 4 に係る半導体記憶装置と同様な効果を得ることができると共に、上記実施の形態 4 に係る強誘電体メモリにおけるセルアレイをシリコン基板 1 上に形成する際に、該基板の周辺部に生じる露光不良の影響を回避することができる。

【 0 0 7 7 】

すなわち、本実施の形態 5 に係る上記セルアレイ構成によれば、図 1 2 に示された実メモリセルアレイ R M C A として品質の高い強誘電体メモリのセルアレイを得ることができるため、さらに信頼性の高い半導体記憶装置を得ることができる。

40

【 符号の説明 】

【 0 0 7 8 】

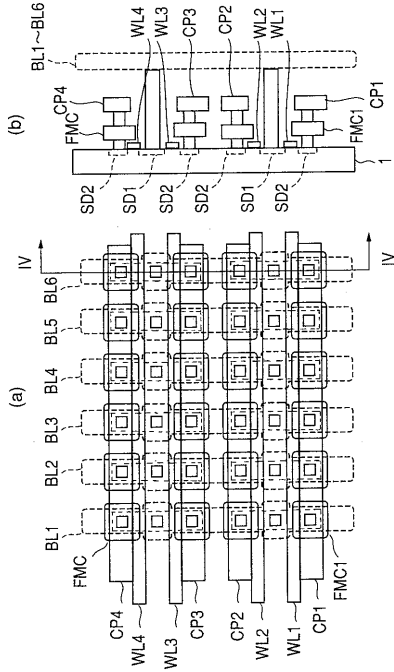
- 1 シリコン基板
- 2 選択回路
- 3 ワード線デコーダ
- 5 プレート線デコーダ
- 7 プレート線パルス発生回路
- 9 ワード線パルス発生回路
- 1 1 a , 1 1 b タイミング制御回路

50

13	センスアンプ	
15	書き込み増幅回路	
16 ~ 19	OR回路	
20, 21, 41 ~ 44, 59, 60, 62, 63	AND回路	
22, 23, 45	NOR回路	
24 ~ 36, 50, 66	反転回路	
37 ~ 43, 51 ~ 58	NAND回路	
46	ロウデコーダ	
61	2ビットアダー回路	
64, 65	排他的OR回路	10
FMC, FMC1 ~ FMC28	強誘電体メモリセル	
DFMC	ダミー強誘電体メモリセル	
SD1, SD2	拡散領域	
WL1 ~ WL4, WL0a ~ WL4a, WL0b ~ WL2b	ワード線	
DWL0, DWL1	ダミーワード線	
BL1 ~ BL6	ビット線	
DBL1 ~ DBL4	ダミービット線	
CP0 ~ CP4, CP0a ~ CP4a, CP1b, CP2b	キャパシタプレート線	
DCP0 ~ DCP3	ダミーキャパシタプレート線	
GT1 ~ GT2	ゲート回路	20
SA1, SA2	センスアンプ	
DB1, DB2	データバス	
UT1 ~ UT3	セルユニット	
DU1, DU2	デコードユニット	
NT, NT1 ~ NT4	NチャンネルMOSトランジスタ	
RMCA	実メモリセルアレイ	
VDD	電源電圧ノード	
Na ~ Nf	ノード	

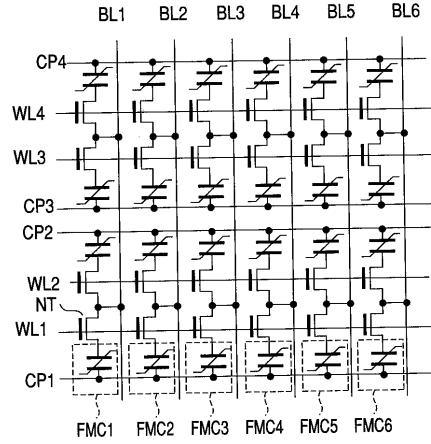
【図1】

従来の半導体記憶装置に備えられた強誘電体メモリにおけるセルアレイの第一の構成を示す図



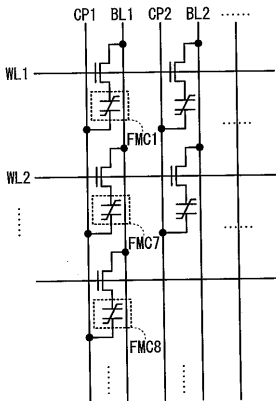
【図2】

図1に示された強誘電体メモリにおけるセルアレイの構成を示す回路図



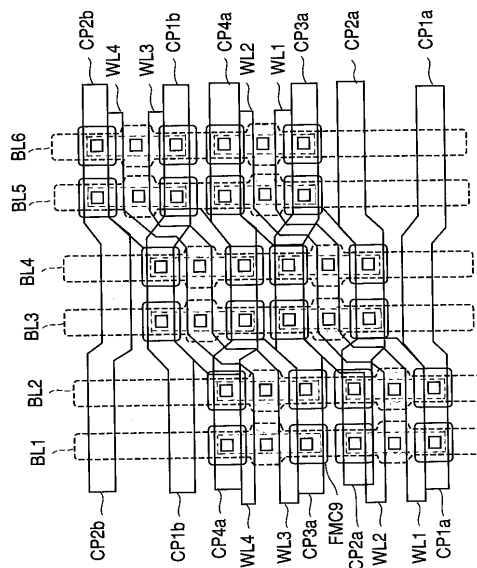
【図3】

従来の半導体記憶装置に備えられた強誘電体メモリにおけるセルアレイの第二の構成を示す図



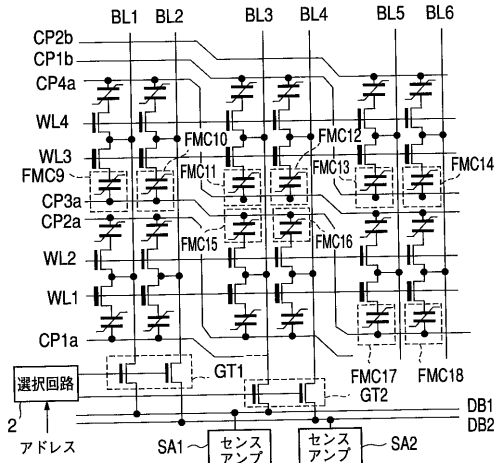
【図4】

本発明の実施の形態1に係る半導体記憶装置に備えられた強誘電体メモリにおけるセルアレイの構成を示す図



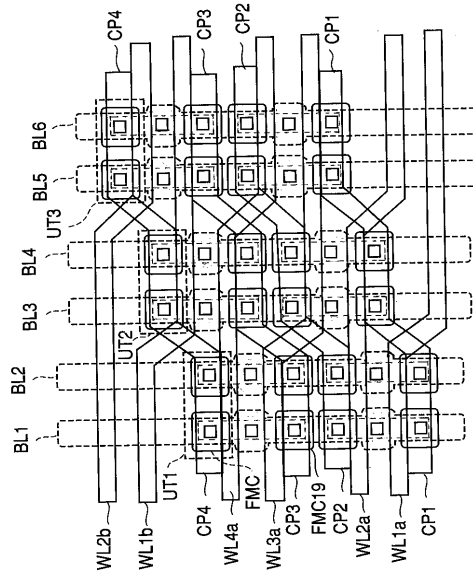
【 図 5 】

図4に示された強誘電体メモリにおけるセルレイの構成を示す回路図



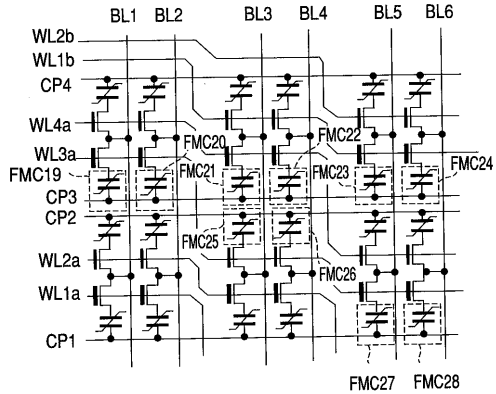
【 図 6 】

本発明の実施の形態2に係る半導体記憶装置に備えられた強誘電体メモリにおけるセルレイの構成を示す図



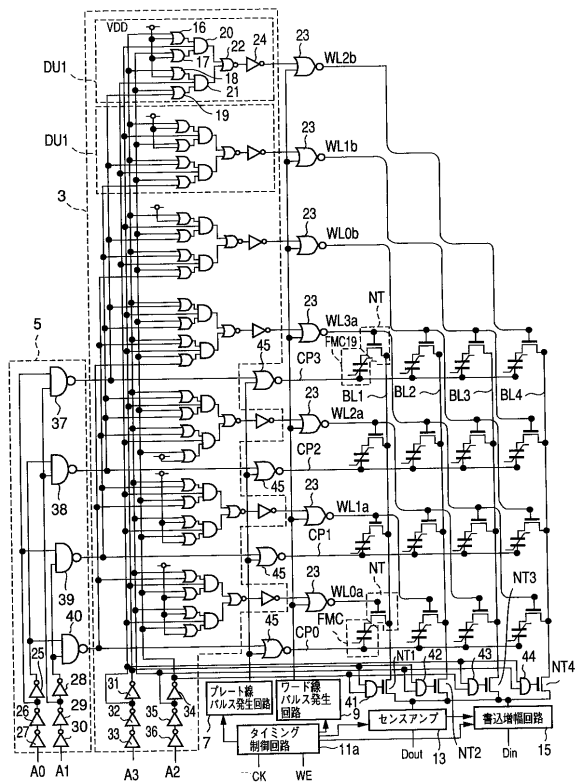
【 図 7 】

図6に示された強誘電体メモリにおけるセルレイの構成を示す回路図

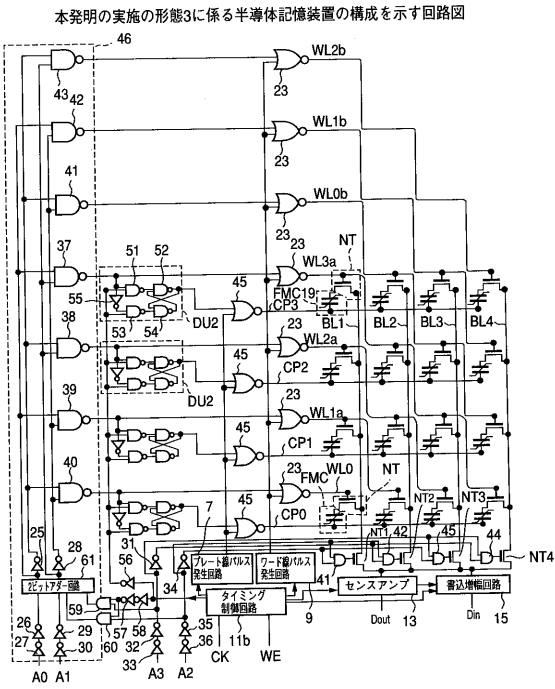


【 図 8 】

本発明の実施の形態2に係る半導体記憶装置の構成を示す回路図

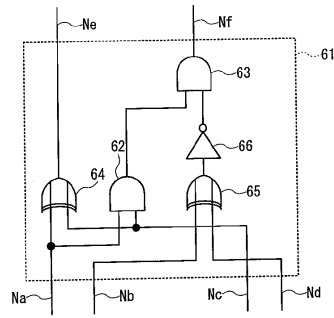


【図9】



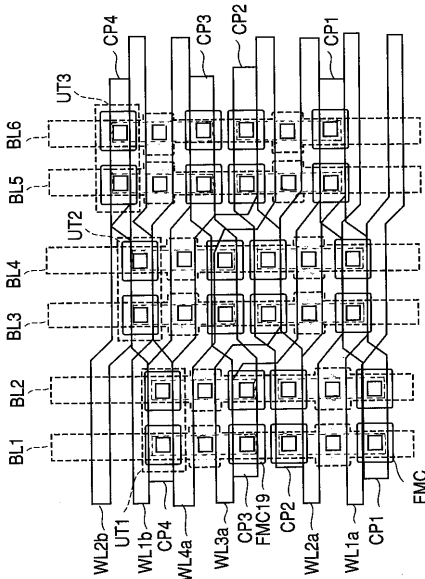
【図10】

図9に示された2ビットアダー回路の構成を示す回路図



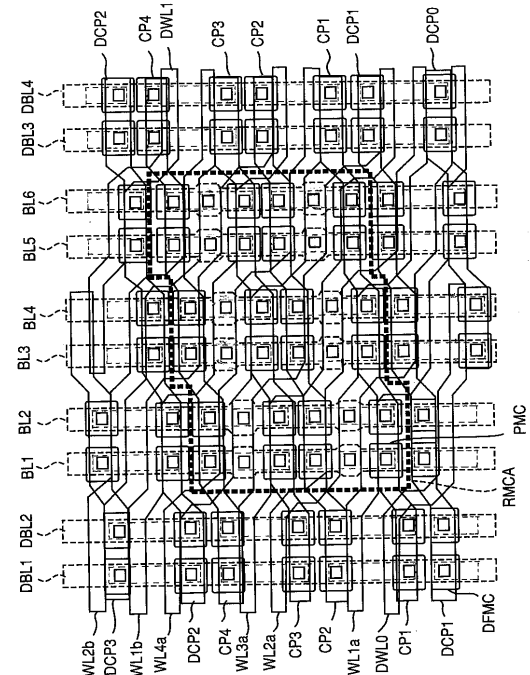
【図11】

本発明の実施の形態4に係る半導体記憶装置に備えられた強誘電体メモリにおけるセルアレイの構成を示す図



【図12】

本発明の実施の形態5に係る半導体記憶装置に備えられた強誘電体メモリにおけるセルアレイの構成を示す図





---

フロントページの続き

(56)参考文献 特開平08-181286(JP,A)  
特開平10-162589(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G11C 11/22