

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2022年4月28日 (28.04.2022)



(10) 国际公布号  
**WO 2022/083466 A1**

- (51) 国际专利分类号:  
**G06F 13/40** (2006.01)
- (21) 国际申请号: PCT/CN2021/123049
- (22) 国际申请日: 2021年10月11日 (11.10.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
202011121429.8 2020年10月19日 (19.10.2020) CN  
202011620686.6 2020年12月30日 (30.12.2020) CN
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO.,LTD.) [CN/CN]; 中国广东省深圳龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 赵晨涛 (ZHAO, Chentao); 中国广东省深圳龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 杨鑫 (YANG, Xin); 中国广东省

深圳龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 郑振发 (ZHENG, Zhenfa); 中国广东省深圳龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,

(54) Title: METHOD AND DEVICE FOR DATA PROCESSING

(54) 发明名称: 一种数据处理的方法及装置

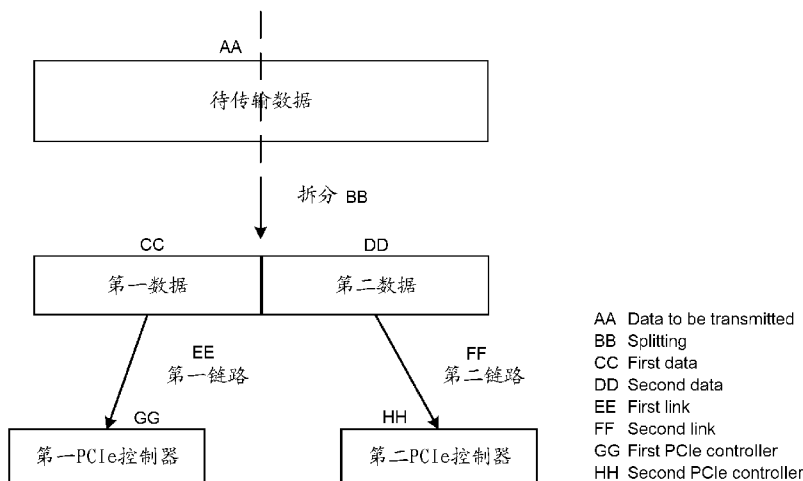


图 4

(57) Abstract: With respect to the current problem in which the data transmission rate between a host and a PCIe device is constrained by the version of a PCIe controller and the number of channels, in order to meet the demand of a service, the present application provides a method, device, and system for data processing. In the present application, a host is connected to different interfaces of a PCIe device via different PCIe links, and data transmission is performed in parallel via the different PCIe links, thus increasing the rate at which data is transmitted via the PCIe links.

(57) 摘要: 针对当前主机和PCIe设备的数据传输速率受到PCIe控制器的版本和通道数制约的问题, 为了满足业务的需求, 本申请提供一种数据处理方法、装置和系统。在本申请中, 主机和PCIe设备不同接口之间通过不同的PCIe链路进行连接, 并通过不同的PCIe链路并行进行数据传输, 从而提高数据通过PCIe链路进行传输的速率。



WO 2022/083466 A1

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,  
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,  
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,  
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

- 包括国际检索报告(条约第21条(3))。

## 一种数据处理的方法及装置

### 技术领域

本申请涉及计算领域，特别涉及一种数据处理的方法及装置。

### 背景技术

总线 (bus)，是一种计算机组件间规范化的交换数据的方式，即以一种通行的方式为各组件提供数据传输和控制逻辑。总线通常是按照预设的线路，在不同的组件之间传输比特 (bit)。这些线路在同一时间都仅能负责传输一个比特。因此，必须同时采用多条线路才能发送更多数据，而总线可同时传输的数据的大小被称为宽度 (width)，以比特为单位，总线宽度越大，传输性能就越好，总线的带宽 (即单位时间内可以传输的总数据大小) 可以通过频率乘以宽度计算得到。

周边设备高速互联 (Peripheral Component Interconnect Express, PCIe) 是计算机总线的一种，它基于周边设备连接 (Peripheral Component Interconnect, PCI) 的编程概念和信号标准，构建了更加高速的串行通信系统标准。不同版本以及不同通道数量的 PCIe 总线，所能支持的最大带宽也不相同。通常来说，PCIe 控制器芯片所对应的版本越高，所对应的通道数据越多，能够支持的最大带宽也就越大，也越能满足较大数据量的实时传输。例如，常见的 v3.x 版本单通道速率 985 MB/s，16 通道 15.75GB/s；当前最新 v5.x 版本单通道速率 3.938 GB/s，16 通道 63.01 GB/s。

在现实的系统设计方案中，PCIe 控制器版本受多种物理因素和经济因素制约；而 PCIe 通道的数量也受到计算机中模块选型、计算单元密度以及硬件布线等因素的影响，特别是在当前计算机越来越朝着轻薄化方向发展的情况下。因此，如何能在 PCIe 版本和通道数保持一定的情况下，通过传输模型和链路连接方式的创新有效拓展带宽，使得系统方案的设计更加灵活，是当前亟待解决的问题。

### 发明内容

针对当前主机和 PCIe 设备的数据传输速率受到 PCIe 控制器的版本和通道数的制约的问题，为了满足业务的需要，本申请提供一种数据处理方法、装置和系统，能够在 PCIe 控制器的版本和通道数保持不变的情况下，提高数据通过 PCIe 链路进行传输的速率。

第一方面，本申请提供一种数据处理系统，该数据处理系统包括主机和 PCIe 设备，该 PCIe 设备包括第一接口和第二接口，该 PCIe 设备通过第一接口与主机建立第一 PCIe 链路，通过第二接口与主机建立第二 PCIe 链路。其中，主机用于通过第一 PCIe 链路向 PCIe 设备发送第一数据，通过第二 PCIe 链路向 PCIe 设备发送第二数据；PCIe 设备则用于通过第一 PCIe 链路接收第一数据以及通过第二 PCIe 链路接收第二数据，其中，第一 PCIe 链路和第二 PCIe 链路在数据传输时均处于激活态。

在现有做法中，虽然 PCIe 设备本身可以存在多个接口，但在操作中只会会有一个接口与主机通过 PCIe 链路进行连接。而在本申请所提供的数据处理系统中，主机通过至少两条独立的 PCIe 链路分别与 PCIe 设备的至少两个接口进行连接，并可以利用这些 PCIe 链路发送数据，且这些独立的 PCIe 链路在数据传输时均处于激活态，从而实现在 PCIe 控制器的版本和通道

数保持不变的情况下，提高数据通过主机和 PCIe 设备之间的 PCIe 链路进行传输的速率。

根据第一方面，在本申请一种可能的实现方式中，主机还用于确定需要向 PCIe 设备发送的待传输数据，并将该待传输数据拆分为第一数据和第二数据。

在上述实现方式中，主机可以在执行一次数据传输任务的时候，将该数据传输任务对应的待传输数据主动拆分为多份数据，并将该多份数据分别通过多条链路同时传输，从而使得本申请的方法既可以在接到多个数据传输任务时，将该多个数据传输任务中的一部分数据传输任务对应的待传输数据通过第一链路进行传输，另一部分数据传输任务对应的待传输数据通过第二链路进行传输；也可以在接到一个数据传输任务时，将该数据传输任务对应的待传输数据主动进行拆分，并通过不同的链路进行传输，从而使得本方案可以在更多场景中被使用。

根据第一方面，在本申请另一种可能的实现方式中，PCIe 设备还用于确定需要向主机请求的待传输数据，将该待传输数据分为第一数据和第二数据，并分别向主机请求该第一数据和第二数据。

在上述实现方式中，确定待传输数据、第一数据和第二数据的操作可以由 PCIe 设备来执行，从而使得本方案可以在更多场景中被使用。

根据第一方面，在本申请另一种可能的实现方式中，将待传输数据拆分为第一数据和第二数据是根据第一 PCIe 链路的链路状态和第二 PCIe 链路的链路状态进行的。

根据第一方面，在本申请另一种可能的实现方式中，第一 PCIe 链路和第二 PCIe 链路的链路状态包括第一 PCIe 链路和第二 PCIe 链路的带宽或者使用率。

在上述实现方式中，通过根据不同链路的链路状态确定待传输数据的拆分方式，可以更合理的给不同链路分配不同大小的待传输数据，例如给带宽较大的链路分配较多的待传输数据，从而从整体上提高了数据处理系统的效率。

根据第一方面，在本申请另一种可能的实现方式中，可以将待传输数据平均拆分为多份数据，即拆分后的第一数据和第二数据大小相同。

在上述实现方式中，数据的拆分方式相对简单，且通常情况下主机和 PCIe 链路的的多条链路的属性都是相同的，因此，采用平均拆分的方式可以在减少拆分数据带来的开销的同时，在大多数情况下实现较优的结果。

根据第一方面，在本申请另一种可能的实现方式中，主机还用于利用直接内存访问的方式通过第一链路向 PCIe 设备发送第一数据，也可以利用直接内存访问的方式通过第二链路向 PCIe 设备发送第二数据。

在上述实现方式中，由于在使用直接内存访问时，可以在不需要大量占用中央处理器的资源的情况下完成数据传输，使得中央处理器在数据传输时可以执行别的任务。因此，该实现方式可以提高数据处理系统的效率。

根据第一方面，在本申请另一种可能的实现方式中，主机还用于，在将待传输数据拆分为第一数据和第二数据之前，确定待传输数据的大小超过预设值。

在上述实现方式中，在对待传输数据进行拆分之前，先将待传输数据与预设值进行比较，并当待传输数据的大小超过预设值时才执行拆分操作。由于拆分数据的操作会带来一定的开销，因此只对超过一定大小的待传输数据才执行数据拆分以及通过不同的链路进行传输的操作，有利于提高数据处理系统的效率。

根据第一方面，在本申请另一种可能的实现方式中，主机还用于，当确定第一数据和第二数据都已经发送至 PCIe 设备时，向 PCIe 设备发送同步信号，该同步信号用于指示数据传

输已完成。

在上述实现方式中，由于 PCIe 设备不一定已知待传输数据的大小，也不一定已知第一数据和第二数据的大小，因此，当主机确定第一数据和第二数据都已传输完成时，向 PCIe 设备发送同步信号，使得 PCIe 设备可以确定数据传输已完成，从而增加数据处理系统的稳定性。

根据第一方面，在本申请另一种可能的实现方式中，PCIe 设备还用于，当确定第一数据写入后，将指针调整至存储空间末尾，该存储空间为 PCIe 设备中存储接收到的第一数据的空间。

在上述实现方式中，指针是用于指示下一次数据写入的空间的首地址。因此当第一数据写入后，可以将指针调整到用于存储第一数据的存储空间的末尾，从而指示在该存储空间之后继续存储下一次接收的数据。

根据第一方面，在本申请另一种可能的实现方式中，主机通过 PCIe 交换器分别与 PCIe 设备中的第一接口和第二接口进行连接。

在上述实现方式中，PCIe 交换器增加了主机所能连接的 PCIe 设备或者 PCIe 设备中的接口的数量，从而增加了数据处理系统的扩展性。

根据第一方面，在本申请另一种可能的实现方式中，数据处理系统可以应用于云手机场景，其中，主机还用于，在通过第一 PCIe 链路向 PCIe 设备发送第一数据之前，接收用户发送的数据处理任务，该数据处理任务对应包括第一数据和第二数据在内的待传输数据。

在上述实现方式中，数据处理系统应用于云手机场景，而云手机场景往往需要一台主机支撑几十台云手机同时运行游戏或者视频渲染任务，而这需要主机和 PCIe 设备之间有着大量的数据传输，且对数据传输的实时性要求较高。因此，通过采用将待传输数据拆分并通过不同链路的进行发送的做法，有利于在云手机场景下提高对于用户发送的数据处理任务的处理效率，并进而提高用户体验。

根据第一方面，在本申请另一种可能的实现方式中，数据处理系统可以应用于人工智能场景，其中，主机还用于，在通过第一 PCIe 链路向 PCIe 设备发送第一数据之前，接收人工智能任务，该人工智能任务对应包括第一数据和第二数据在内的待传输数据。

在上述实现方式中，数据处理系统应用于人工智能场景，而人工智能任务，包括训练任务或者推理任务，涉及大量的主机和 PCIe 设备之间的数据传输。因此，通过采用将待传输数据拆分并通过不同链路的进行发送的做法，有利于在人工智能场景下提高数据处理系统执行人工智能任务的效率。

第二方面，本申请提供一种数据处理方法，该数据处理方法应用于主机，PCIe 设备通过第一接口与该主机建立第一 PCIe 链路，并通过第二接口与该主机建立第二 PCIe 链路，该数据处理方法包括：通过第一 PCIe 链路向 PCIe 设备发送第一数据，并通过第二 PCIe 链路向 PCIe 设备发送第二数据，其中，第一 PCIe 链路和第二 PCIe 链路在数据传输时均处于激活态。

根据第二方面，在本申请一种可能的实现方式中，该方法还包括：主机确定需要向 PCIe 设备发送的待传输数据，并将该待传输数据拆分为第一数据和第二数据。

根据第二方面，在本申请另一种可能的实现方式中，将待传输数据拆分为第一数据和第二数据，包括：根据第一 PCIe 链路的链路状态和第二 PCIe 链路的链路状态将待传输数据拆分为第一数据和第二数据。

根据第二方面，在本申请另一种可能的实现方式中，第一 PCIe 链路和第二 PCIe 链路的链路状态包括第一 PCIe 链路和第二 PCIe 链路的带宽或者使用率。

根据第二方面，在本申请另一种可能的实现方式中，拆分得到的第一数据和第二数据的

大小相同。

根据第二方面，在本申请另一种可能的实现方式中，通过第一 PCIe 链路向 PCIe 设备发送第一数据，包括：利用直接内存访问通过第一 PCIe 链路向 PCIe 设备发送第一数据；而通过第二 PCIe 链路向 PCIe 设备发送第二数据，包括：利用直接内存访问通过第二 PCIe 链路向 PCIe 设备发送第二数据。

根据第二方面，在本申请另一种可能的实现方式中，在将待传输数据拆分为第一数据和第二数据之前，该方法还包括：主机确定待传输数据的大小超过预设值。

根据第二方面，在本申请另一种可能的实现方式中，该方法还包括：主机确定第一数据和第二数据都已经发送至 PCIe 设备后，向该 PCIe 设备发送同步信号，该同步信号用于指示数据传输已完成。

根据第二方面，在本申请另一种可能的实现方式中，主机通过 PCIe 交换器分别与第一接口和第二接口进行连接。

根据第二方面，在本申请另一种可能的实现方式中，该方法还包括：接收来自于 PCIe 设备的数据传输请求，其中，该数据传输请求用于指示主机通过第一链路传输第一数据以及通过第二链路传输第二数据。

根据第二方面，在本申请另一种可能的实现方式中，该数据处理方法应用于云手机场景，其中，在通过第一 PCIe 链路向 PCIe 设备发送第一数据之前，该方法还包括：接收用户发送的数据处理任务，该数据处理任务对应于包括第一数据和第二数据在内的待传输数据。

根据第二方面，在本申请另一种可能的实现方式中，该数据处理方法应用于人工智能场景，其中，在通过第一 PCIe 链路向 PCIe 设备发送第一数据之前，该方法还包括：接收人工智能任务，该人工智能任务对应于包括第一数据和第二数据在内的待传输数据。

第三方面，本申请提供一种数据处理装置，PCIe 设备通过第一接口与该数据处理装置建立第一 PCIe 链路，并通过第二接口与该数据处理装置建立第二 PCIe 链路，该数据处理装置包括传输模块，用于通过第一 PCIe 链路向 PCIe 设备发送第一数据，以及通过第二 PCIe 链路向 PCIe 设备发送第二数据，其中，第一 PCIe 链路和第二 PCIe 链路在数据传输时均处于激活态。

根据第三方面，在本申请一种可能的实现方式中，该数据处理装置还包括：确定模块，用于确定需要向 PCIe 设备发送的待传输数据；拆分模块，用于将该待传输数据拆分为第一数据和第二数据。

根据第三方面，在本申请另一种可能的实现方式中，拆分模块用于，根据第一 PCIe 链路的链路状态和第二 PCIe 链路的链路状态将待传输数据拆分为第一数据和第二数据。

根据第三方面，在本申请另一种可能的实现方式中，第一 PCIe 链路和第二 PCIe 链路的链路状态包括第一 PCIe 链路和第二 PCIe 链路的带宽或者使用率。

根据第三方面，在本申请另一种可能的实现方式中，第一数据和第二数据的大小相同。

根据第三方面，在本申请另一种可能的实现方式中，传输模块用于，利用直接内存访问通过第一 PCIe 链路向 PCIe 设备发送第一数据，并利用直接内存访问通过第二 PCIe 链路向 PCIe 设备发送第二数据。

根据第三方面，在本申请另一种可能的实现方式中，确定模块还用于，确定第一数据和第二数据已发送至 PCIe 设备，并向 PCIe 设备发送同步信号。

根据第三方面，在本申请另一种可能的实现方式中，数据处理装置通过 PCIe 交换器分别与第一接口和第二接口进行连接。

根据第三方面，在本申请另一种可能的实现方式中，传输模块还用于，接收来自 PCIe 设备的数据传输请求，其中，该数据传输请求指示数据处理装置通过第一 PCIe 链路传输第一数据以及通过第二 PCIe 链路传输第二数据。

根据第三方面，在本申请另一种可能的实现方式中，数据处理装置应用于云手机场景，其中，传输模块还用于，接收用户发送的数据处理任务，该数据处理任务对应的数据包括第一数据和第二数据。

根据第三方面，在本申请另一种可能的实现方式中，数据处理装置应用于人工智能场景，其中，传输模块还用于，接收人工智能任务，该人工智能任务对应的数据包括第一数据和第二数据。

第四方面，本申请提供一种数据处理方法，该数据处理方法应用于 PCIe 设备，该 PCIe 设备包括第一接口和第二接口，该 PCIe 设备通过第一接口与主机建立第一 PCIe 链路，并通过第二接口与主机建立第二 PCIe 链路，该数据处理方法包括：通过第一 PCIe 链路接收主机发送的第一数据，并通过第二 PCIe 链路接收主机发送的第二数据，其中，第一 PCIe 链路和第二 PCIe 链路在数据传输时均处于激活态。

根据第四方面，在本申请一种可能的实现方式中，该方法还包括：确定需要向主机请求的待传输数据，并根据待传输数据分别向主机请求第一数据和第二数据。

根据第四方面，在本申请另一种可能的实现方式中，根据待传输数据分别向主机请求第一数据和第二数据，包括：根据待传输数据以及第一 PCIe 链路的链路状态和第二 PCIe 链路的链路状态分别向主机请求第一数据和第二数据。

根据第四方面，在本申请另一种可能的实现方式中，第一 PCIe 链路和第二 PCIe 链路的链路状态包括第一 PCIe 链路和第二 PCIe 链路的带宽或者使用率。

根据第四方面，在本申请另一种可能的实现方式中，第一数据和第二数据的大小相同。

根据第四方面，在本申请另一种可能的实现方式中，通过第一 PCIe 链路接收主机发送的第一数据，包括：利用直接内存访问通过第一 PCIe 链路接收主机发送的第一数据；而通过第二 PCIe 链路接收主机发送的第二数据，包括：利用内存直接访问通过第二 PCIe 链路接收主机发送的第二数据。

根据第四方面，在本申请另一种可能的实现方式中，该方法还包括：在根据待传输数据分别向主机请求第一数据和第二数据之前，确定待传输数据的大小超过预设值。

根据第四方面，在本申请另一种可能的实现方式中，该方法还包括：接收主机发送的同步信号，该同步信号指示第一数据和第二数据已经传输完成。

根据第四方面，在本申请另一种可能的实现方式中，该方法还包括：当确定第一数据写入后，将指针调整到存储空间末尾，其中，该存储空间为 PCIe 设备中存储第一数据的空间。

根据第四方面，在本申请另一种可能的实现方式中，第一接口和第二接口通过 PCIe 交换机与主机进行连接。

根据第四方面，在本申请另一种可能的实现方式中，该数据处理方法应用于云手机场景，其中，第一数据和第二数据对应于用户发送给主机的数据处理任务。

根据第四方面，在本申请另一种可能的实现方式中，该数据处理方法应用于人工智能场景，其中，第一数据和第二数据对应于主机接收的 AI 任务。

第五方面，本申请提供一种数据处理装置，该数据处理装置包括第一接口和第二接口，该数据处理装置通过第一接口与主机建立第一 PCIe 链路，并通过第二接口与主机建立第二 PCIe 链路，该数据处理装置包括：传输模块，用于通过第一 PCIe 链路接收主机发送的第一

数据,通过第二 PCIe 链路接收主机发送的第二数据,其中,第一 PCIe 链路和第二 PCIe 链路在数据传输时均处于激活态。

根据第五方面,在本申请一种可能的实现方式中,数据处理装置还包括:确定模块,用于确定需要向主机请求的待传输数据;请求模块,用于根据待传输数据分别向主机请求第一数据和第二数据。

根据第五方面,在本申请一种可能的实现方式中,请求模块用于,根据待传输数据以及第一 PCIe 链路的链路状态和第二 PCIe 链路的链路状态分别向主机请求第一数据和第二数据。

根据第五方面,在本申请另一种可能的实现方式中,第一 PCIe 链路和第二 PCIe 链路的链路状态包括第一 PCIe 链路和第二 PCIe 链路的带宽或者使用率。

根据第五方面,在本申请一种可能的实现方式中,第一数据和第二数据的大小相同。

根据第五方面,在本申请一种可能的实现方式中,传输模块用于,利用直接内存访问通过第一 PCIe 链路接收主机发送的第一数据。

根据第五方面,在本申请一种可能的实现方式中,传输模块还用于:接收主机发送的同步信号,其中,该同步信号指示第一数据和第二数据已传输完成。

根据第五方面,在本申请一种可能的实现方式中,数据处理装置还包括:调整模块,用于,当确定第一数据写入后,将指针调整至存储空间的末尾,其中,该存储空间为 PCIe 设备中存储第一数据的空间。

根据第五方面,在本申请一种可能的实现方式中,第一接口和所述第二接口通过 PCIe 交换器与主机进行连接。

根据第五方面,在本申请一种可能的实现方式中,该数据处理装置应用于云手机场景,其中,第一数据和第二数据对应于用户发送给主机的数据处理任务。

根据第五方面,在本申请一种可能的实现方式中,该数据处理装置应用于人工智能场景,其中,第一数据和第二数据对应于主机接收的人工智能任务。

第六方面,本申请提供一种计算机装置,该计算机装置包括处理器和存储器,其中,该存储器用于存储程序代码,该处理器用于执行该程序代码以实现如第二方面或第四方面所提供的数据处理方法。

第七方面,本申请提供一种计算机可读存储介质,该计算机可读介质包括指令,当指令在计算机上运行时,使得计算机执行如第二方面或第四方面所提供的数据处理方法。

第八方面,本申请提供一种计算机程序,当该计算机程序在计算机上运行时,使得计算机执行如第二方面或第四方面所提供的数据处理方法。

## 附图说明

图 1 是一种包含 PCIe 链路的数据处理系统的架构图。

图 2 是本申请所提供的一种数据处理系统的架构图。

图 3 是本申请所提供的一种数据处理实施例的流程的示意图。

图 4 是一种将待传输数据拆分并分别传输的方案示意图。

图 5 是一种存储器域和 PCIe 总线域的映射关系的示意图。

图 6 是本申请所提供的另一种数据处理实施例的流程的示意图。

图 7 是本申请提供的另一种数据处理系统的架构的示意图。

图 8 是本申请所提供的另一种数据处理实施例的流程的示意图。

图 9 是本申请所提供的一种人工智能应用场景的示意图。

图 10 是本申请所提供的一种云手机应用场景的示意图。

图 11 是本申请所提供的一种数据处理装置的示意图。

图 12 是本申请所提供的一种数据处理装置的示意图。

图 13 为本申请所提供的计算机装置的结构示意图。

## 具体实施方式

为了能在 PCIe 版本和通道数不变的前提下增加数据传输的速率,图 1 给出了一种能扩展带宽的数据处理系统的架构图。该系统通过在发送端压缩待传输数据,并通过 PCIe 链路传输压缩后的数据,在 PCIe 版本和通道数量保持不变的情况下,使得单位时间内更多的待传输数据传输到了接收端,从而实际上增加了传输数据的速率。

具体来说,如图 1 所示,该数据处理系统包括两个计算机装置,这两个计算机装置通过 PCIe 总线进行连接,且都运行着可以实现数据压缩功能和数据解压缩功能的软件。这两个功能既可以通过两个软件分别实现,也可以集成在一个软件内,当这两个计算机装置中的计算机装置 A 向计算机装置 B 发送数据时,首先利用软件对待传输数据进行压缩,从而减少后续实际传输的数据的大小。例如,待传输数据的大小为 2 吉字节 (Gigabyte, GB),压缩后的待传输数据为 1GB 大小,并通过 PCIe 总线将该 1GB 大小的压缩数据传输给计算机装置 B。而当计算机装置 B 接收到该压缩数据后,再将该压缩数据还原为原始的待传输数据。如果计算机装置 A 和计算机装置 B 之间的 PCIe 总线的数据传输速率为 50 兆字节 (Megabyte, MB) 每秒时,则传输该 1GB 大小的压缩数据所需要的时间为 20 秒。而这 20 秒实际上是将 2GB 的数据从计算机装置 A 传输到了计算机装置 B,因此可以认为实际上实现了 100MB/s 的带宽,从而在 PCIe 版本和通道数都保持不变的情况下,实际上增加了数据传输的速率。

然而,采用如图 1 所示的数据处理系统进行数据传输时,会带来一些问题。第一,该方案带来的带宽提升能力有限,该带宽能力受限于软件所采用的压缩算法的压缩比、算法负载度以及接收端和发送端的计算能力;第二,由于发送端和接收端分别需要进行数据的压缩和解压缩的操作,这对于发送端和接收端的处理器资源有额外占用,从而对系统算力和功耗都会造成额外的开销;第三,会引入压缩软件的开发和使用成本,而如果选择第三方软件或者开源软件,还可能会造成系统存在质量风险,并使得软件管理变得更加复杂。

基于上述问题,本申请提供一种提高带宽的方法及装置,可以在 PCIe 的总线版本、通道数量保持一定的情况下,克服物理带宽上限对于系统设计的约束,并通过多通道的硬件连接方式和实现同步传输功能的软件的协同支持,实现数据实际传输速率的增加,从而在不带来过多计算资源的开销以及不引入过多额外成本的情况下,满足大数据流传输对于带宽的要求。

图 2 是本申请所提供的一种数据处理系统的架构图。如图 2 所示,该数据处理系统包括主机和若干个子系统设备。主机可以是服务器、个人电脑 (personal computer, PC) 等计算机装置。子系统设备通过 PCIe 总线与主机进行连接,并可以与主机之间相互传输数据。其中,子系统设备可以是与主机相连接的外接设备,也可以是独立的计算机装置。其中,当子系统设备为与主机相连接的外接设备时,既可以直接插入主机的主板上的卡槽中,也可以是通过线缆与主机进行连接;既可以位于主机的内部,也可以位于主机的外部,本申请不对子系统设备与主机的连接方式和位置关系进行限定。

如图 2 所示,主机 200 包括处理器 210、根复合体 (Root Complex, RC) 220、PCIe 交

换器 (switch) 230 以及内存 (图中未示出) 等部件。其中, 处理器 210 用于解释计算机指令以及处理计算机软件中的数据, 根复合体 220 将处理器 210 和内存连接到一个或者多个交换设备组成的 PCIe 交换结构中。类似于 PCI 系统中的主机桥, 根复合体 220 代表处理器 210 生成事务请求。其中, 根复合体 220 既可以作为独立于处理器 210 的部件, 也可以被集成在处理器 210 中。图 2 单独示出了根复合体 220, 将其作为独立于处理器 210 的部件, 但本申请不对根复合体 220 的实际形态进行限定。

从系统软件的角度上看, 每一条 PCIe 链路都占用一个 PCI 总线号, 且 PCIe 总线使用端到端的连接方式, 理论上一条 PCIe 链路都只能连接一个设备。例如, 每一条 PCIe 链路只能连接有一个 PCIe 设备、PCIe 交换器、端点设备 (endpoint, EP) 或者 PCIe 桥片。当一条 PCIe 链路上需要挂载多个 EP 时, 需要使用 PCIe 交换器使用链路扩展。一个标准 PCIe 交换器具有一个上游端口 (upstream port) 和多个下游端口 (downstream port), 其中, 上游端口可以与根复合体或者其他 PCIe 交换器的下游端口相连, 而下游端口可以与 EP、PCIe 桥或者下游 PCIe 交换器的上游端口相连。

PCIe 交换器通过所具体的多个端口进行链路扩展。如图 2 所示, PCIe 交换器 230 的 4 个端口分别于不同的 PCIe 控制器进行连接。其中, 该 4 个 PCIe 控制器分别属于两个不同的子系统设备, 也即每个子系统设备可以包括多个 PCIe 控制器, 例如一个主 PCIe 控制器和一个备 PCIe 控制器, 本申请不对每个子系统设备包括的 PCIe 控制器的数量和类型进行限定。其中, PCIe 控制器通常为集成在处理器芯片中, 支持 PCIe 协议的高速总线收发器, 可以视为 PCIe 设备的接口。处理器芯片所集成的 PCIe 控制器的数量可以根据芯片的规格设定。当处理器芯片集成多个 PCIe 控制器时, 每个 PCIe 控制器可占用处理器芯片的一个引脚, 并可以通过引脚与主机建立链路, 作为主链路或者备选链路。

对于主机 (或者说对于主机中的处理器) 来说, 对端的每个不同 PCIe 控制器会被识别为通过不同链路进行连接的独立的设备, 并且, 这些 PCIe 控制器之间具有独立的总线号、设备号或者功能号 (bus number/device number/function number, BDF), 而独立的 BDF 会使得不同的 PCIe 控制器被分配不同的空间地址。

需要指出的是, 虽然 PCIe 控制器本身具有独立的 BDF 且被主机识别为相互独立的设备, 但在本申请中, 主机仍然可以识别这些 PCIe 控制器所隶属的子系统设备。例如, 主机可以识别 PCIe 控制器 241 和 PCIe 控制器 242 都属于子系统设备 240, 因此会在需要向子系统设备 240 发送数据时, 通过主机 200 与 PCIe 控制器 241 连接的第一 PCIe 链路 (以下简称第一链路) 以及主机 200 与 PCIe 控制器 242 连接的第二 PCIe 链路 (以下简称第二链路) 发送该数据。

图 3 为本申请所提供的一种数据处理实施例的流程的示意图。

该数据处理的流程是基于图 2 所示的架构进行的, 当图 2 中的主机与某一个子系统设备之间传输数据时, 将采用如图 3 所示的流程中的步骤。为了方便说明, 本申请以主机向子系统设备发送数据为例进行说明, 但子系统设备向主机发送数据也可以使用图 3 所示的方法流程, 本申请不对数据传输的方向进行限定。

总的来说, 图 3 所示的方法流程利用了每个子系统设备所具有的多个控制器, 将待传输数据拆分为多份, 分别通过主机与每个控制器之间的链路进行传输, 从而在保持 PCIe 总线的版本和通道数量不变的情况下, 增加了数据传输的速率。

S301: 判断待传输数据的大小是否超过拆分阈值。

由于在本实施例中, 可以将待传输数据拆分为多份, 通过不同链路进行传输。而在数据

拆分之前，可以先判断待传输的数据是否超过预设的拆分阈值。当待传输数据的大小超过拆分阈值时，将待传输数据根据主机和子系统设备之间可用的链路的数量拆分为多份，例如，如图 2 所示，当主机和子系统设备之间具有主机和主 PCIe 控制器连接的第一链路以及主机和备 PCIe 控制器连接的第二链路时，可以将待传输数据分为 2 份，并分别通过第一链路和第二链路进行传输。而当待传输数据的大小不超过拆分阈值时，则直接通过第一链路或者第二链路传输未拆分的待传输数据。

之所以设置拆分阈值，是因为在主机侧对数据执行拆分操作时，抑或是在子系统设备侧确认分别传输的数据是否已经传输完毕时，都有可能产生一定的开销。因此，对于比较小的待传输数据，采用本实施例所提供的数据处理方法带来的收益可能会弥补不了产生的开销，因此可以选择传统的方法，将全部待传输数据通过一条链路进行传输；而对于比较大的待传输数据，采用本实施例所提供的数据处理方法带来的收益往往会超过所产生的开销，因此先对数据进行拆分，再将拆分后的数据通过不同的数据链路进行传输。

对于拆分阈值的设定，在本申请一种可能的实现方式中，可以根据第一链路和/或第二链路的数据传输方面的属性进行设定。例如，主机和主 PCIe 控制器通过第一链路传输数据时，可以将数据封装为事务层报文（transaction layer packet, TLP）再进行传输。一个完整的 TLP 包括 TLP 头（header）、数据负载（data payload）等元素。在 PCIe 总线中，TLP 报文的数据负载的最大值为 4 千字节（Kilobyte, KB），但是 PCIe 设备并不一定能发送 4KB 大小的 TLP，而能够发送的 TLP 受到“Max\_Payload\_Size\_Supported”和“Max\_Payload\_Size”这两个参数的影响，其中，“Max\_Payload\_Size\_Supported”参数用于指示一个 PCIe 设备中 TLP 有效负载的最大值，该参数由 PCIe 设备的硬件逻辑确定，系统软件不能改写该参数；而“Max\_Payload\_Size”参数用于指示 PCIe 设备实际使用的 TLP 中的数据负载的最大值，该参数由 PCIe 链路两端的设备协商决定，是 PCIe 设备进行数据传输时实际使用的参数。而在本实施例中，可以将拆分阈值设置为“Max\_Payload\_Size\_Supported”参数大小或者“Max\_Payload\_Size”参数大小的若干倍，作为确定是否对数据进行拆分的分界线。

而在本申请另一种可能的实现方式中，还可以由主机的用户对拆分阈值的大小进行设定。由于拆分数据发送所产生的开销以及收益均受到很多因素的影响，如果仅仅通过链路本身的属性进行设定，不一定能获取到最佳的效果。因此，可以让用户在实际使用中，根据不同方式传输不同大小的数据的速率，选择合适的拆分阈值。

另外，用户或者主机本身也可以选择不执行上述判断，直接对所有待传输数据都进行拆分，并分别通过不同的链路进行传输，本申请不对是否预先执行判断待传输数据大小是否超过拆分阈值的操作进行限定。

S302: 将待传输数据拆分为第一数据和第二数据。

图 4 是一种将待传输数据拆分并分别传输的方案示意图。

如图 4 所示，当确定待传输数据的大小超过拆分阈值时，确定对待传输数据进行拆分，并通过一定的方法将待传输数据拆分为通过第一链路传输的第一数据和通过第二链路传输的第二数据。

数据拆分的方法可以有多种，以下对其中的几种数据拆分方法进行举例说明。需要指出的是，本申请不对数据方法的方式进行限定。

在本申请一种可能的实现方式中，可以对待传输的数据进行均分。例如，待传输数据的大小为 1MB，可供数据传输的链路为第一链路和第二链路，则将待传输数据分为 2 个 0.5MB 大小的数据，并将拆分后的数据分别通过第一链路和第二链路进行传输。

采用均分待传输数据的方式进行数据拆分,简单易行,且主机和子系统设备间的多条 PCIe 链路的属性往往是相同或者相近的,因此使用该方法通常也能取得较好的效果。

在本申请另一种可能的实现方式中,还可以根据第一链路和第二链路的链路状态确定待传输数据的拆分方式。其中,链路状态的是指链路和数据传输相关的属性,例如链路带宽、链路使用率等。由于对于一个传输任务来说,当该传输任务对应的待发送数据通过多条链路进行数据传输时,只有当所有链路对应的数据都传输完毕,才能认为该传输任务已经完成,在此基础上接收方才可以对完整的数据进行使用。因此,尽可能地使不同链路同时完成数据传输,有利于增加数据传输的效率。而当链路状态是指链路带宽,且第一链路的带宽和第二链路的带宽不同时,为了使第一链路和第二链路同时或者以较为近似的时间完成数据传输,可以根据第一链路的带宽和第二链路的带宽按比例分配需要传输的数据。例如,待传输数据的大小为 3MB,而第一链路的带宽是第二链路带宽的两倍,则将待传输数据中 2MB 大小的数据分配给第一链路,并将剩下的 1MB 大小的数据分配给第二链路。类似的,当链路状态是指链路使用率时,会为当前链路使用率已经较高的链路少分配需要传输的数据,为当前链路使用率较低的链路多分配需要传输的数据。

为了分别确定第一链路和第二链路的带宽,或者确定第一链路与第二链路带宽的比,可以由主机获取这两条链路的属性信息,从而获得这两条链路的带宽数据。例如,主机可以获得第一链路和第二链路的端口所占用的插槽的规格。对于同样的 PCIe 版本,可以认为 X4 插槽的带宽为 X2 插槽的带宽的 2 倍。那么当第一链路使用 X4 插槽,而第二链路使用 X2 插槽时,可以认为第一链路的带宽为第二链路的带宽的 2 倍。

另外,对于第一链路的带宽和第二链路的带宽数据,也可以通过发送测试报文的方式来获取。例如,主机先利用第一链路发送一个较小的测试报文,根据该报文通过第一链路进行传输所需时间以及该报文的大小,确定第一链路的带宽;再利用第二链路发送该测试报文,根据该报文通过第二链路进行传输所需时间以及该报文的大小,确定第二链路的带宽。由于链路的带宽往往不会发生较大的变化,因此,可以在较长的一段时间使用通过测试获取的数据,而不需要每次数据传输的时候都进行测试。

在本申请另一种可能的实现方式中,还可以根据地址对齐参数(address alignment attribute)确定通过第一链路传输的第一数据和通过第二链路传输的第二数据。当主机和子系统设备传输数据时,往往需要按照地址对齐参数,对所传输的数据进行补齐。对齐参数和主机操作系统的 PAGE\_SIZE(通常是 4K,最大可到 2M)参数有关。如果传输数据字节长度不是 PAGE\_SIZE 的整数倍,操作系统无法保证数据被分配到连续的物理地址上,当按照连续物理地址进行数据传输时,很可能会发生数据误传。在这种情况下,可以先确保第一数据满足地址对齐参数的要求,再根据地址对齐参数对第二数据进行补齐操作。

S303: 将第一数据和第二数据分别通过第一链路和第二链路发送到子系统设备中。

如图 4 所示,当完成对待传输数据的拆分后,将第一数据和第二数据分别通过第一链路和第二链路发送给子系统设备中的第一 PCIe 控制器和第二 PCIe 控制器。其中,为了加快数据传输的速率,可以选择通过直接存储器访问(Direct Memory Access, DMA)的方式进行数据传输。

DMA 是一种快速传输数据的技术,它允许不同速度的硬件装置来沟通,而不需要依赖于处理器的大量中断负载。否则,处理器需要从发送端将每一分片的数据复制到寄存器,然后再将这些数据写到新的地方。在这个时间段内,处理器无法进行其他的操作。而利用 DMA 进行数据传输是将数据从一个地址空间直接复制到另一个地址空间,当处理器初始化数据传

传输动作时，该数据传输动作本身是由 DMA 控制器来实现和完成的。例如当移动一个芯片外部的内存的区块到芯片内部的存储区域时，该数据传输的操作并不会占用处理器的处理能力，处理器可以继续处理其他的业务。

在实现 DMA 传输时，是由 DMA 控制器直接控制总线，因此，存在着一个总线控制权转移的问题。即在 DMA 传输前，处理器将总线控制权交给 DMA 控制器，而在结束 DMA 传输后，DMA 控制器将总线控制权再交给处理器。一个完整的 DMA 传输过程需要经过 DMA 请求、DMA 响应、DMA 传输和 DMA 结束等 4 个步骤。

在本申请中，根据 S302 中的数据拆分方法以及待传输数据的首地址，确定第一数据和第二数据分别对应的地址信息。其中，第一数据或第二数据的地址信息可以采用首地址和尾地址所构成的地址区间表示，也可以采用首地址以及数据的长度信息来表示，本申请不对此进行限定。

主机将拆分得到的第一数据和第二数据通过提交不同的 DMA 描述符 (Descriptor)，采用不同的 DMA 通道进行数据传输。其中，DMA 描述符，通常又称为 DMA 描述符数组，是一个形如 `unsigned long* hw_desc[DESC_NUM]` 的指针数组，每个指针 (`hw_desc[i]`) 指向一个描述符。这个描述符是由硬件定义的，其数据结构一般由 `datasheet` 或 `sdk` 定义。DMA 描述符可以分为硬件描述符合软件描述符，其中，硬件描述符通常包括控制位、数据包地址、数据包长度、环尾标和环链结。而软件描述符通常包括维系完成的数据链信息所需要的横向的包内分片和纵向的多包链化等信息以便进行链接跟踪。

由于主机中的处理器只能直接访问主机的内存空间，不能对子系统设备直接操作。因此，子系统设备系统中开放给主机的存储空间需要被映射到内存空间，当处理器需要访问该子系统设备的存储空间时，只需要访问对应的内存空间。而子系统设备作为一个 PCIe 设备，可能会有若干个存储空间需要被映射到内存空间。而当子系统设备出厂时，这些存储空间的大小和属性都写在基地址寄存器 (`base address register, BAR`) 中。主机中的系统软件通过读取 `BAR` 中的信息，分别为子系统设备中的存储空间分配相应的系统内存空间，并将所分配的系统内存空间的基地址写会到 `BAR` 中。换句话说，`BAR` 的地址为 PCIe 总线域的地址，而处理器访问的是存储器域的地址，当处理器访问 PCIe 设备时，需要把总线域的地址转换为存储器域的地址。

图 5 是一种存储器域和 PCIe 总线域的映射关系的示意图。

当 PCIe 设备使用 DMA 机制访问存储器域的地址空间时，处理器系统同样需要将存储器域的地址空间反向映射到 PCIe 总线地址空间。假设在一个处理器系统中，主存储器大小为 2GB，其在存储器域的地址空间为 `0x0000-0000~0x7FFF-FFFF`，而这段地址在 PCIe 总线域中对应的“PCIe 总线地址空间”为 `0x8000-0000~0xFFFF-FFFF`。因此，当 PCIe 设备进行 DMA 操作时，必须使用 `0x8000-0000~0xFFFF-FFFF` 这段 PCIe 总线域的地址，HOST 主桥才能认领这个 PCIe 总线事务，并将这个总线事务使用的 PCIe 总线地址转换为存储器地址，并与 `0x0000-0000~0x7FFF-FFFF` 这段存储器区域进行数据传递。

需要指出的是，上述存储器域和 PCIe 总线域之间的映射方式，只是为了便于说明本申请实施例的一种举例，并不对本申请的保护范围进行限定。

在本方案中，当主机进行数据传输时，第一链路和第二链路均处于激活态。其中，链路处于激活 (`active`) 态是指，不仅主机和子系统设备的接口之间通过物理上的连接形成链路，链路本身已完成数据传输的准备工作，处于正在传输数据或者随时可以传输数据的状态。

进一步的，为了加快数据传输的速率，在一种可能的实现方式中，第一数据通过第一链

路传输和第二数据通过第二链路传输可以并行进行，通过这种方法，使得同一时间内有多条链路进行数据传输，从而增加了主机和子系统设备之间的带宽。

S304: 确定数据传输完成。

当主机分别通过第一链路和第二链路向子系统设备发送待传输数据拆分得到的第一数据和第二数据时，子系统设备并不一定已知待传输数据的大小，也不一定已知第一数据和第二数据的大小。因此，当主机确定第一链路的数据传输和第二链路的数据传输都已完成后，需要向子系统设备发送同步信号，该同步信号用于知会子系统设备待传输数据已经传输完成。当子系统设备接收到同步信号后，确定数据传输已完成。

在本申请另一种可能的实现方式中，也可以当通过第一链路传输的第一数据已传输完成后，主机向子系统设备发送第一同步信号；而当通过第二链路传输的第二数据已传输完成后，主机向子系统设备发送第二同步信号。

本申请也不限定同步信号的形式以及主机将同步信号发送给子系统设备的方法。在本申请一种可能的实现方式中，主机和子系统设备还通过独立于数据链路的信号链路进行连接，该信号链路用于传输对即时性要求较高的数据，主机可以通过该信号链路发送上述同步信号。

另外，每当数据发送至子系统设备时，都需要占用一定的存储空间。PCIe 域的存储空间具有目的缓存指针，用于指示下次写入数据的首地址。因此，当确定数据传输完成后，需要将 PCIe 域的存储空间的目的缓存指针进行更新，而更新后的指针指向本次所写入的数据在存储空间中的尾地址，作为下次写入数据的首地址。

S305: 子系统设备使用数据。

当子系统设备接收到待传输数据时，该数据被写入子操作系统中的共享数据缓冲中，该共享数据缓冲是供生产者写入，而消费者读取的数据存储区域。其中，生产者是指数据的提供方，例如子系统设备中负责接收待传输数据的进程。生产者产生数据，并在消费者将数据读出后，再将数据写入共享数据缓冲中。而消费者是指数据的使用方，例如子系统设备中使用待传输数据的进程，消费者在生产者将数据写入共享数据缓存后，再获取数据。

生产者/消费者模型通过 Flag 和 Status 两个状态位完成数据的交换，其中，Flag 状态位用于生产者通知消费者数据是否写入，而 Status 状态位用于消费者通知生产者数据是否已经被读出。如表 1 所示，具体来说，当生产者已经将数据写入共享数据缓冲后，将 Flag 位置 1。消费者通过识别 Flag 位为 1 确认生产者已经将数据写入共享数据缓冲中，并在将数据读出后，将 Flag 位置为 0。相应的，当消费者已经将数据从共享数据缓冲中读出后，将 Status 位置为 1。生产者通过识别 Status 位置为 1 确认生产者已经将数据从共享数据缓冲中读出。而当生产者后续再向数据缓冲中写入数据后，将 Status 位置为 0。

表 1 Flag 和 Status 状态位

Flag	Status	描述
0	0	空闲状态，此时共享数据缓冲为空
1	0	生产者写入数据，但消费者没有使用该数据
0	1	消费者使用完毕该数据
1	1	错误状态

上述生产者/消费者模型是子系统设备上的进程使用来自主机的数据的一种方法，本申请不对子系统设备如何使用上述待传输数据的方式进行限定。

图 6 是本申请所提供的另一种数据处理实施例的流程的示意图。

图 3 所示的数据处理方法是主机主动将待传输数据发送给子系统设备，在实际中，也

有可能是子系统设备向主机请求数据，主机再根据子系统设备的数据请求将待传输数据发送给子系统设备。如图 6 所示，当由于子系统设备向主机数据时，数据处理的流程包括下列步骤：

S601：子系统设备获取待传输数据的信息。

由于在本实施例中，是由于子系统设备向主机请求待传输数据，而所请求的待传输数据存储于主机之中，因此，子系统设备需要首先获取待传输数据的信息。

在一种可能的实现方式中，主机根据和子系统设备之间的业务，已经确定了接下来需要发送给子系统设备的待传输数据。在这种情况下，主机可以将待传输数据的信息发送给子系统设备，从而使得子系统设备获取该待传输数据的信息。

在另一种可能的实现方式中，子系统设备可以获取主机中部分或全部数据的信息，例如，主机中与子系统设备相关的数据的信息。在这种情况下，子系统设备根据后续业务的需要，从已知的主机中的数据的信息中确定待传输数据的信息。

S602：子系统设备确定待传输数据的大小是否超过拆分阈值。

参考步骤 S301，当子系统设备确定了待传输数据的信息后，可以先判断待传输数据的大小是否超过了拆分阈值。当待传输数据大于拆分阈值时，则执行步骤 S603，即将待传输数据根据子系统设备和主机之间可用链路的数据拆分为多份，并分别请求拆分后的数据；而当待传输数据的大小不超过拆分阈值时，则执行步骤 S606，即直接向主机请求未拆分的待传输数据。

S603：子系统设备将待传输数据拆分为第一数据和第二数据，并向主机发送请求第一数据的第一请求和请求第二数据的第二请求。

参考步骤 S302，当子系统设备确定待传输数据的大小超过拆分阈值时，确定对待传输数据进行拆分，并通过一定的方法将待传输数据拆分为通过第一链路传输的第一数据和通过第二链路传输的第二数据。其中，对于数据的拆分方法，已经在步骤 S302 处进行举例说明，此处不再赘述。

需要指出的是，在步骤 S302 中，执行拆分待传输数据操作的主机拥有该待传输数据，而在步骤 S603 中，执行拆分待传输数据操作的子系统设备实际上只有关于待传输数据的信息。因此，步骤 S603 中的拆分待传输数据的操作包括子系统设备通过发送第一数据和第二数据的信息给主机，指示主机具体执行将待传输数据拆分为第一数据和第二数据的操作。其中，第一数据和第二数据的信息可以包括数据的大小、在主机中的存储地址、所对应的文件的名称等，本申请不对此进行限定。例如，当待传输数据为 10MB 大小时，子系统操作指示主机将该待传输数据拆分为 6MB 大小的第一数据和 4MB 大小的第二数据。

S604：子系统设备接收第一数据和第二数据。

当主机收到子系统设备发送的第一请求和第二请求后，通过第一链路和第二链路分别将第一数据和第二数据发送给子系统设备。其中，参考步骤 S303，主机可以通过 DMA 的方式分别将第一数据和第二数据发送给子系统设备，且发送第一数据和发送第二数据可以同时进行。

由于第一数据和第二数据都是子系统设备向主机请求的，在这种情况下，子系统设备已获取了第一数据和第二数据的信息，例如，第一数据和第二数据的大小。因此，子系统设备可以自行判断待传输数据是否已经传输完毕，也可以分别判断通过第一链路传输的第一数据或者通过第二链路传输的第二数据是否已经传输完毕，而不需要由主机发送同步信号。

S605：子系统设备使用数据。

子系统设备使用数据的方法参加步骤 S305，此处不再赘述。

图 7 是本申请提供的另一种数据处理系统的架构的示意图。

如图 7 所示，数据处理系统包括第一设备和第二设备，其中，第一设备和第二设备均为可以进行数据处理的电子设备，例如主机、手机 (mobile phone)、移动互联网设备 (mobile internet device, MID) 可穿戴设备、虚拟现实 (virtual reality, VR) 设备、增强现实 (augmented reality, AR) 设备、工业控制 (industrial control) 中的无线终端、无人驾驶 (self driving) 中的无线终端、远程手术 (remote medical surgery) 中的无线终端、智能电网 (smart grid) 中的无线终端、运输安全 (transportation safety) 中的无线终端、智慧城市 (smart city) 中的无线终端、智慧家庭 (smart home) 中的无线终端等。在一种可能的实现方式中，第一设备和第二设备均为主机；而在另一种可能的实现方式中，第一设备为主机，而第二设备为外接设备。第二设备包括至少两个接口，第一接口和第二接口分别通过第一链路和第二链路与第一设备进行连接，其中，第二设备的至少两个接口是可以处理数据的组件，例如 PCIe 控制器、网络接口卡等，接口与第一设备之间的链路用于传输数据。而对于第一设备来说，虽然第二设备的各个接口被识别为相互独立的设备，但第一设备可以识别这些接口都隶属于第二设备。因此，当第一设备需要向第二设备发送数据时，可以通过与第一接口连接的第一链路和/或与第二接口连接的第二链路发送该数据。

在本申请一种可能的实现方式中，第二设备的接口与第一设备之间的链路为有线链路，即接口与第一设备通过总线、网线等具有实体形态的线缆或者卡槽进行连接。

在本申请一种可能的实现方式中，第二设备的接口与第一设备之间通过预设的协议发送数据，例如 PCIe 协议、计算快速互联 (compute express link, CXL) 协议、通用串行总线 (Universal Serial Bus, USB) 协议等，本申请不对接口与第一设备之间用于数据传输的协议的种类进行限定。

图 8 是本申请所提供的另一种数据处理实施例的流程的示意图。

该数据处理的流程是基于图 7 所示的架构进行的。当图 7 中的第一设备与第二设备之间传输数据时，将采用如图 7 所示的流程中的步骤，为了方便说明，本申请以第一设备向第二设备发送数据为例进行说明，但第二设备向第一设备发送数据也可以使用图 8 所示的方法流程，本申请不对数据传输的方向进行限定。

另外，图 8 所示的流程既包括第一设备主动将待传输数据发送给第二设备的情况，也包括第二设备向第一设备请求数据，第一设备再根据第二设备的数据请求将待传输数据发送给第二设备的情况。

S801: 判断待传输数据的大小是否超过拆分阈值。

参考步骤 S301 和 S602，当第一设备需要向第一设备传输数据时，可以先判断待传输数据的大小是否超过了拆分阈值。当待传输的数据超过拆分阈值时，则执行步骤 S802，即将待传输数据拆分为第一数据和第二数据；而当待传输数据的大小不超过拆分阈值时，则执行步骤 S806，即直接通过第一链路或者第二链路传输未拆分的待传输数据。

步骤 S801 既可以由第一设备执行，也可以由第二设备执行。通常来说，在第一设备主动将待传输数据发送给第二设备的情况下，由第一设备执行上述判断操作；而当第一设备根据第二设备的数据请求将待传输数据发送给第二设备时，由第二设备执行上述判断操作。

S802: 将待传输数据拆分为第一数据和第二数据。

参考步骤 S302 和 S603，当确定待传输数据的大小超过拆分阈值时，确定对待传输数据进行拆分，并通过一定的方法将待传输数据拆分为通过第一链路传输的第一数据和通过第二链路传输的第二数据。其中，对于数据的拆分方法，已经在步骤 S302 处进行举例说明，此处

不再赘述。

步骤 S802 既可以是第一设备将待传输数据拆分为第一数据和第二数据,也可以是当第二设备获取到待传输数据的信息后,通过第一接口和第二接口分别向第一设备请求第一数据和第二数据,从而使得第一设备在数据传输前对待传输数据进行拆分。

S803: 第一设备将第一数据和第二数据分别通过第一链路和第二链路发送到第二设备中。

参考步骤 S303 和 S604, 当对待传输数据拆分完成后, 第一设备通过第一链路和第二链路分别将第一数据和第二数据发送给第二设备。其中, 第一设备可以通过 DMA 的方式分别将第一数据和第二数据发送给第二设备, 且发送第一数据和发送第二数据可以同时进行。

S804: 确定数据传输完成。

参考步骤 S304 和 S604, 在第一设备主动将待传输数据发送给第二设备的情况下, 由于第二设备并没有获取关于待传输数据的大小等信息, 无法自行判断数据传输是否已经完成, 通常需要通过接收第一设备发送的同步信号来确定数据传输完成; 而当第一设备根据第二设备的数据请求将待传输数据发送给第二设备时, 第二设备已获取待传输数据、第一数据和第二数据的信息, 可以自行判断待传输数据是否已经传输完成, 而不需要由第一设备再发送同步信号。

S805: 第二设备使用所接收到的数据。

参考步骤 S305 和 S605, 当第二设备接收到待传输数据时, 第二设备中相应的进程将读取并使用该数据。

图 9 是本申请所提供的一种人工智能 (Artificial Intelligence, AI) 应用场景的示意图。

如图 9 所示, 推理节点包括主机以及若干个推理卡。其中, 推理卡用于提供人工智能推理能力, 通常包括具有一定算力的图形处理器 (Graphics Processing Unit, GPU)、网络处理器 (Network Processing Unit, NPU) 或中央处理器 (Central Processing Unit, CPU) 等处理单元。推理卡可支持高清视频实时分析、图像识别等人工智能功能, 从而被广泛应用于智慧城市、智慧交通、智慧金融等场景。相应的, 主机中包括人工智能推理服务 (Artificial Intelligence Inference Service) 模块, 用于 AI 推理任务的调度和管理。具体来说, AI 推理服务模块可以通过网络从客户端处接收 AI 推理任务, 并通过一定的调度方法将接收到的 AI 推理任务分配给某个或者某几个推理卡, 并且在推理卡完成 AI 推理任务后, 接收推理卡得出的结果。在另外一种可能的实现方式中, 主机还可以指示推理卡处理 AI 训练任务, 即主机提供模型和训练数据给推理卡, 推理卡利用模型处理训练数据, 并将处理结果与真实结果进行对比, 从而实现模型调优等功能。

由于在推理节点处理 AI 推理任务或 AI 训练的过程中, 主机中的 AI 推理服务模块与推理卡存在着大量的数据传递, 例如 AI 推理任务所涉及的特征数据或者 AI 训练任务所涉及的模型和训练数据, 而为了增加该推理节点的工作效率, 可以如图 9 所示, 使得主机通过多条链路分别与推理卡上的多个接口进行连接。为了方便说明, 图 9 中主机和每一个推理卡的 2 个接口通过不同的链路进行连接, 但本申请不对每个推理卡接口数量以及推理卡和主机之间的接口数量进行限定。

当主机向推理卡发送数据时, 可以参考如图 3、图 6 和图 8 所示的方法流程, 即将所发送的数据切分成多个部分, 通过不同的链路同时传输各部分数据, 从而在总线版本、通道数量保持一定的情况下, 增加主机和推理卡之间数据传输的带宽。

图 10 是本申请所提供的一种云手机应用场景的示意图。

如图 10 所示, 云手机系统包括用户部分、网络部分和数据中心部分。其中, 用户的计算

机装置或者智能终端设备通过网络与数据中心部分的主机进行连接。其中，计算机装置可以是服务器、个人电脑（personal computer, PC）、笔记本电脑（laptop）、平板电脑等设备，智能终端设备可以是手机（mobile phone）、智能头戴式设备、智能手表等设备，本申请不对计算机装置和智能终端设备的类型进行限定。

在数据中心部分，主机接收用户的业务请求，并将该业务请求对应的任务传递给与主机进行连接的媒体卡进行处理。当媒体卡处理完任务后，将任务的处理结果反馈给服务器，再由服务器将该结果发送给用户的计算机装置或者智能终端设备。其中，媒体卡可以是通常包括具有一定算力的图形处理器、网络处理器或中央处理器等处理单元。

由于在云手机系统中，一个主机往往需要支持数十个云手机同时运行应用。例如，当30台云手机同时运行大型游戏时，往往会产生大量的图像渲染的数据和需要运算的数据，这些数据的全部或者部分需要在服务器和媒体卡之间进行交互。且云手机应用场景，用户的使用体验对云手机系统处理任务的实时性的要求较高，需要在尽可能快的时间内完成数据的传输和处理。

因此，在数据中心部分，如图10所示，主机通过多条链路分别与媒体卡上的多个接口进行连接，服务器和媒体卡之间的数据传输方法可以参考图3、图6和图8所示的方法流程。具体来说，服务器通过多条链路分别与媒体卡上的多个接口进行连接。当服务器需要向媒体卡发送数据时，可以将所发送的数据切分成多份，通过不同的链路同时传输，从而在总线版本、通道数量保持一定的情况下，增加服务器和媒体卡之间数据传输的带宽。

图11是本申请所提供的一种数据处理装置的示意图。其中，该数据处理装置可以为图2、图9、图10中的主机或图7中的第一设备，也可以是主机或者第一设备的一部分。该数据处理装置分别通过第一PCIe链路和第二PCIe链路与PCIe设备中的第一接口和第二接口进行连接。

如图11所示，数据处理装置1100包括传输模块1110、确定模块1120和拆分模块1130。其中，各个模块的作用如下：

传输模块1110用于：通过第一PCIe链路向PCIe设备发送第一数据；并在发送第一数据的同时，通过第二PCIe链路向PCIe设备发送第二数据。

确定模块1120用于：确定需要向PCIe设备发送的待传输数据。

拆分模块1130用于：将待传输数据拆分为第一数据和第二数据。

传输模块1110、确定模块1120和拆分模块1130还可以用于执行如图3和图8所示的流程。具体来说，传输模块1110可以执行图3中的步骤303和S306以及图8中的步骤S803和S806；确定模块1120可以执行图3中的步骤S301和S304以及图8中的步骤S801和S804；拆分模块1130可以执行图3中的步骤S302和图8中的步骤S802。本申请在此不再赘述。

图12是本申请所提供的一种数据处理装置的示意图。其中，该数据处理装置可以为图2中的子系统设备、图7中的第一设备、图9中的加速卡、图10中的媒体卡，也可以为上述设备的一部分。该数据处理装置包括两个接口，分别通过第一PCIe链路和第二PCIe链路与主机进行连接。

如图12所示，数据处理装置1200包括传输模块1210、确定模块1220、请求模块1230和调整模块1240。其中，各个模块的作用如下：

传输模块1210用于：通过第一PCIe链路接收主机发送的第一数据，并在接收第一数据的同时，通过第二PCIe链路接收主机发送的第二数据。

确定模块1220用于：确定需要向主机请求的待传输数据。

请求模块 1230 用于：根据待传输数据分别向主机请求第一数据和第二数据

调整模块 1240 用于：当确定第一数据写入后，将指针调整至存储空间末尾，该存储空间为数据处理装置 1200 中存储第一数据的空间。

传输模块 1210、确定模块 1220、请求模块 1230 和调整模块 1240 可以用于执行如图 6 和图 8 所示的流程。具体来说，传输模块 1210 可以执行图 6 中的步骤 S604 以及图 8 中的步骤 S803 和 S806；确定模块 1220 可以执行图 6 中的步骤 S601 和 S602 以及图 8 中的步骤 S801 和 S804；请求模块 1230 可以执行图 6 中的步骤 S603。本申请在此不再赘述。

图 13 为本申请的实施例所提供的计算机装置 1300 的结构示意图。本实施例中的计算机装置 1100 可以是上述各实施例中的计算机装置的其中一种具体实现方式，既可以为图 2、图 9、图 10 中的主机、图 7 中的第一设备，也可以为图 2 中的子系统设备 240、图 7 中的第二设备、图 9 中的推理卡或图 10 中的媒体卡等 PCIe 设备。

如图 13 所示，计算机装置 1300 包括处理器 1301，处理器 1301 与存储器 1305 连接。处理器 1301 可以为现场可编程门阵列（英文全称：Field Programmable Gate Array，缩写：FPGA），或数字信号处理器（英文全称：Digital Signal Processor，缩写：DSP）等计算逻辑或以上任意计算逻辑的组合。处理器 1101 也可以为单核处理器或多核处理器。

存储器 1305 可以是 RAM 存储器、闪存、ROM 存储器、EPROM 存储器、EEPROM 存储器、寄存器或者本领域熟知的任何其它形式的存储介质，存储器可以用于存储程序指令，该程序指令被处理器 1301 执行时，处理器 1301 执行上述实施例中的所述的方法。

连接线 1309 用于在通信装置各部件之间传递信息，连接线 1309 可以使用有线的连接方式或采用无线的连接方式，本申请并不对此进行限定。连接线 1309 还连接有网络接口 1304。

网络接口 1304 使用例如但不限于电缆或电绞线一类的连接装置，来实现与其他设备或网络 1311 之间的通信，网络接口 1304 还可以通过无线的形式与网络 1311 互连。

本申请实施例的一些特征可以由处理器 1301 执行存储器 1305 中的程序指令或者软件代码来完成/支持。存储器 1305 上在加载的软件组件可以从功能或者逻辑上进行概括，例如，图 11 所示的传输模块 1110、确定模块 1120 和拆分模块 1130 或者图 12 所示的传输模块 1210、确定模块 1220、请求模块 1230 和调整模块 1240。

在本申请的一个实施例中，当存储器 1305 加载程序指令后，处理器 1301 执行存储器 1305 中的上述功能/逻辑模块相关的事务。

此外，图 13 仅仅是一个计算机装置 1300 的例子，计算机装置 1300 可能包含相比于图 13 展示的更多或者更少的组件，或者有不同的组件配置方式。同时，图 13 中展示的各种组件可以用硬件、软件或者硬件与软件的结合方式实施。例如，存储器和处理器可以在一个模块中实现，存储器中的指令可以是预先写入存储器的，也可以是后续处理器在执行的过程中加载的，本申请不对此进行限定。

## 权 利 要 求 书

1. 一种数据处理系统，其特征在于，所述数据处理系统包括主机和周边设备高速互联 PCIe 设备，所述 PCIe 设备通过第一接口与所述主机建立第一 PCIe 链路，所述 PCIe 设备通过第二接口与所述主机建立第二 PCIe 链路，其中，

所述主机用于通过所述第一 PCIe 链路向所述 PCIe 设备发送第一数据，以及通过所述第二 PCIe 链路向所述 PCIe 设备发送第二数据；

所述 PCIe 设备用于接收通过所述第一 PCIe 链路接收所述第一数据，以及通过所述第二 PCIe 链路接收所述第二数据；

其中，所述第一 PCIe 链路与所述第二 PCIe 链路在数据传输时均处于激活态。

2. 根据权利要求 1 所述的数据处理系统，其特征在于，  
所述主机还用于确定需要向所述 PCIe 设备发送的待传输数据；  
将所述待传输数据拆分为所述第一数据和所述第二数据。

3. 根据权利要求 1 所述的数据处理系统，其特征在于，  
所述 PCIe 设备还用于确定需要向所述主机请求的待传输数据；  
根据所述待传输数据分别向所述主机请求所述第一数据和所述第二数据。

4. 根据权利要求 2 所述的数据处理系统，其特征在于，  
所述主机根据所述第一 PCIe 链路和所述第二 PCIe 链路的链路状态将待传输数据拆分为所述第一数据和所述第二数据。

5. 根据权利要求 2 或 3 所述的数据处理系统，其特征在于，  
所述第一数据和所述第二数据的大小相同。

6. 根据权利要求 1-5 任一项所述的数据处理系统，其特征在于，  
所述主机用于利用直接内存访问 DMA 通过所述第一 PCIe 链路向所述 PCIe 设备发送所述第一数据以及利用 DMA 通过所述第二 PCIe 链路向所述 PCIe 设备发送所述第二数据。

7. 根据权利要求 2 和 4-6 任一项所述的数据处理系统，其特征在于，  
所述主机还用于：在将所述待传输数据拆分为所述第一数据和所述第二数据之前，确定所述待传输数据的大小超过预设值。

8. 根据权利要求 1-7 任一项所述的数据处理系统，其特征在于，所述主机还用于：  
确定所述第一数据和所述第二数据已发送至所述 PCIe 设备；  
向所述 PCIe 设备发送同步信号。

9. 根据权利要求 1-8 任一项所述数据处理系统，其特征在于，  
所述 PCIe 设备还用于：当确定所述第一数据写入后，将指针调整至存储空间末尾，其中，所述存储空间为所述 PCIe 设备中存储所述第一数据的空间。

10. 根据权利要求 1-9 任一项所述的数据处理系统，其特征在于，所述数据处理系统应用于云手机场景，其中，

所述主机还用于：在通过所述第一 PCIe 链路向所述 PCIe 设备发送第一数据之前，接收用户发送的数据处理任务，所述数据处理任务对应的数据包括所述第一数据和所述第二数据。

11. 根据权利要求 1-9 任一项所述的数据处理系统，其特征在于，所述数据处理系统应用于人工智能 AI 场景，其中，

所述主机还用于，在通过所述第一 PCIe 链路向所述 PCIe 设备发送第一数据之前，接收 AI 任务，所述 AI 任务对应的数据包括所述第一数据和所述第二数据。

12. 一种数据处理方法，其特征在于，所述数据处理方法应用于主机，周边设备高速互

联 PCIe 设备通过第一接口与所述主机建立第一 PCIe 链路,所述 PCIe 设备通过第二接口与所述主机建立第二 PCIe 链路,所述数据处理方法包括:

通过所述第一 PCIe 链路向所述 PCIe 设备发送第一数据;

通过所述第二 PCIe 链路向所述 PCIe 设备发送第二数据,其中,所述第一 PCIe 链路与所述第二 PCIe 链路在数据传输时均处于激活态。

13. 根据权利要求 12 所述的数据处理方法,其特征在于,所述方法还包括:

确定需要向所述 PCIe 设备发送的待传输数据;

将所述待传输数据拆分为所述第一数据和所述第二数据。

14. 根据权利要求 13 所述的数据处理方法,其特征在于,

所述将所述待传输数据拆分为所述第一数据和第二数据,包括:

根据所述第一 PCIe 链路的链路状态和所述第二 PCIe 链路的链路状态将所述待传输数据拆分为所述第一数据和第二数据。

15. 根据权利要求 12-14 任一项所述的数据处理方法,其特征在于,在将所述待传输数据拆分为所述第一数据和第二数据之前,所述方法还包括:

确定所述待传输数据的大小超过预设值。

16. 根据权利要求 12-15 任一项所述的数据处理方法,其特征在于,所述数据处理方法应用于云手机场景,其中,在通过所述第一 PCIe 链路向所述 PCIe 设备发送第一数据之前,所述方法还包括:

接收用户发送的数据处理任务,所述数据处理任务对应的数据包括所述第一数据和所述第二数据。

17. 一种数据处理装置,其特征在于,周边设备高速互联 PCIe 设备通过第一接口与所述数据处理装置建立第一 PCIe 链路,所述 PCIe 设备通过第二接口与所述数据处理装置建立第二 PCIe 链路,所述数据处理装置包括:

传输模块,用于:通过所述第一 PCIe 链路向所述 PCIe 设备发送第一数据;

通过所述第二 PCIe 链路向所述 PCIe 设备发送第二数据,其中,所述第一 PCIe 链路与所述第二 PCIe 链路在数据传输时均处于激活态。

18. 根据权利要求 17 所述的数据处理装置,其特征在于,所述数据传输装置还包括:

确定模块,用于确定需要向所述 PCIe 设备发送的待传输数据;

拆分模块,用于将所述待传输数据拆分为所述第一数据和所述第二数据。

19. 根据权利要求 18 所述的数据处理装置,其特征在于,

所述拆分模块用于:根据所述第一 PCIe 链路的链路状态和所述第二 PCIe 链路的链路状态将所述待传输数据拆分为所述第一数据和第二数据。

20. 根据权利要求 17-19 任一项所述的数据处理装置,其特征在于,

所述确定模块还用于:确定所述待传输数据的大小超过预设值。

21. 根据权利要求 17-20 任一项所述的数据处理装置,其特征在于,所述数据处理装置应用于云手机场景,其中,

所述传输模块还用于:接收用户发送的数据处理任务,所述数据处理任务对应的数据包括所述第一数据和所述第二数据。

22. 一种计算机装置,其特征在于,所述计算机装置包括处理器和存储器,其中,所述存储器用于存储程序代码,所述处理器用于执行所述程序代码以实现如权利要求 12-16 中任一项所述的数据处理方法。

23. 一种数据处理方法，其特征在于，所述数据处理方法应用于周边设备高速互联 PCIe 设备，所述 PCIe 设备通过第一接口与所述主机建立第一 PCIe 链路，所述 PCIe 设备通过第二接口与所述主机建立第二 PCIe 链路所述数据处理方法包括：

通过所述第一 PCIe 链路接收所述主机发送的第一数据；

通过所述第二 PCIe 链路接收所述主机发送的第二数据，其中，所述第一 PCIe 链路与所述第二 PCIe 链路在数据传输时均处于激活态。

24. 根据权利要求 23 所述的数据处理方法，其特征在于，所述方法还包括：

确定需要向所述主机请求的待传输数据；

根据所述待传输数据分别向所述主机请求所述第一数据和所述第二数据。

25. 根据权利要求 24 所述的数据处理方法，其特征在于，所述根据所述待传输数据分别向所述主机请求所述第一数据和所述第二数据，包括：

根据所述待传输数据以及所述第一 PCIe 链路的链路状态和所述第二 PCIe 链路的链路状态分别向所述主机请求所述第一数据和所述第二数据。

26. 根据权利要求 23-25 任一项所述的数据处理方法，其特征在于，所述方法还包括：

在根据所述待传输数据分别向所述主机请求所述第一数据和所述第二数据之前，

确定所述待传输数据的大小超过预设值。

27. 根据权利要求 23-26 任一项所述的数据处理方法，其特征在于，所述方法还包括：

当确定所述第一数据写入后，将指针调整至存储空间末尾，其中，所述存储空间为所述 PCIe 设备中存储所述第一数据的空间。

28. 根据权利要求 23-27 任一项所述的数据处理方法，其特征在于，所述数据处理方法应用于云手机场景，其中，所述第一数据和第二数据对应于用户发送给所述主机的数据处理任务。

29. 一种数据处理装置，其特征在于，所述数据处理装置通过第一接口与主机建立第一周边设备高速互联 PCIe 链路，所述数据处理装置通过第二接口与所述主机建立第二 PCIe 链路，所述数据处理装置包括：

传输模块，用于：通过所述第一 PCIe 链路接收所述主机发送的第一数据；

通过所述第二 PCIe 链路接收所述主机发送的第二数据，其中，所述第一 PCIe 链路与所述第二 PCIe 链路在数据传输时均处于激活态。

30. 根据权利要求 29 所述的数据处理装置，其特征在于，所述数据处理装置还包括：

确定模块，用于：确定需要向所述主机请求的待传输数据；

请求模块，用于：根据所述待传输数据分别向所述主机请求所述第一数据和所述第二数据。

31. 根据权利要求 30 所述的数据处理装置，其特征在于，所述请求模块用于：

根据所述待传输数据以及所述第一 PCIe 链路的链路状态和所述第二 PCIe 链路的链路状态分别向所述主机请求所述第一数据和所述第二数据。

32. 根据权利要求 29-31 任一项所述的数据处理装置，其特征在于，所述数据处理装置还包括：

调整模块，用于：当确定所述第一数据写入后，将指针调整至存储空间末尾，其中，所述存储空间为所述 PCIe 设备中存储所述第一数据的空间。

33. 根据权利要求 29-32 任一项所述的数据处理装置，其特征在于，所述数据处理装置应用于云手机场景，其中，所述第一数据和第二数据对应于用户发送给主机的数据处理任务。

34. 一种计算机装置，其特征在于，所述计算机装置包括处理器和存储器，其中，所述存储器用于存储程序代码，所述处理器用于执行所述程序代码以实现如权利要求 23-28 中任一项所述的数据处理方法。

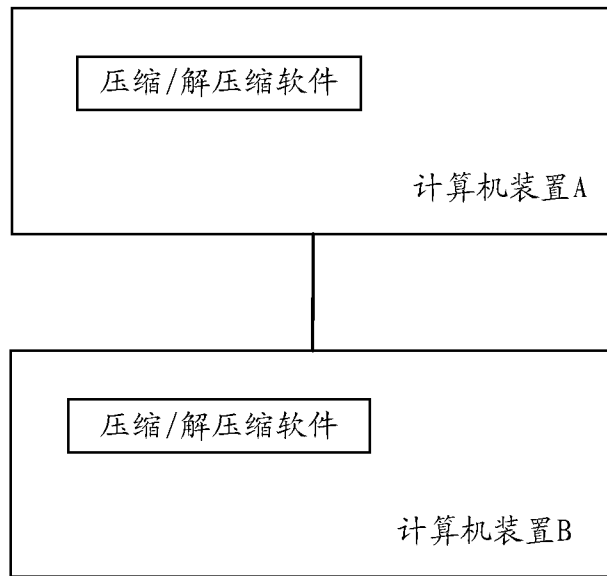


图 1

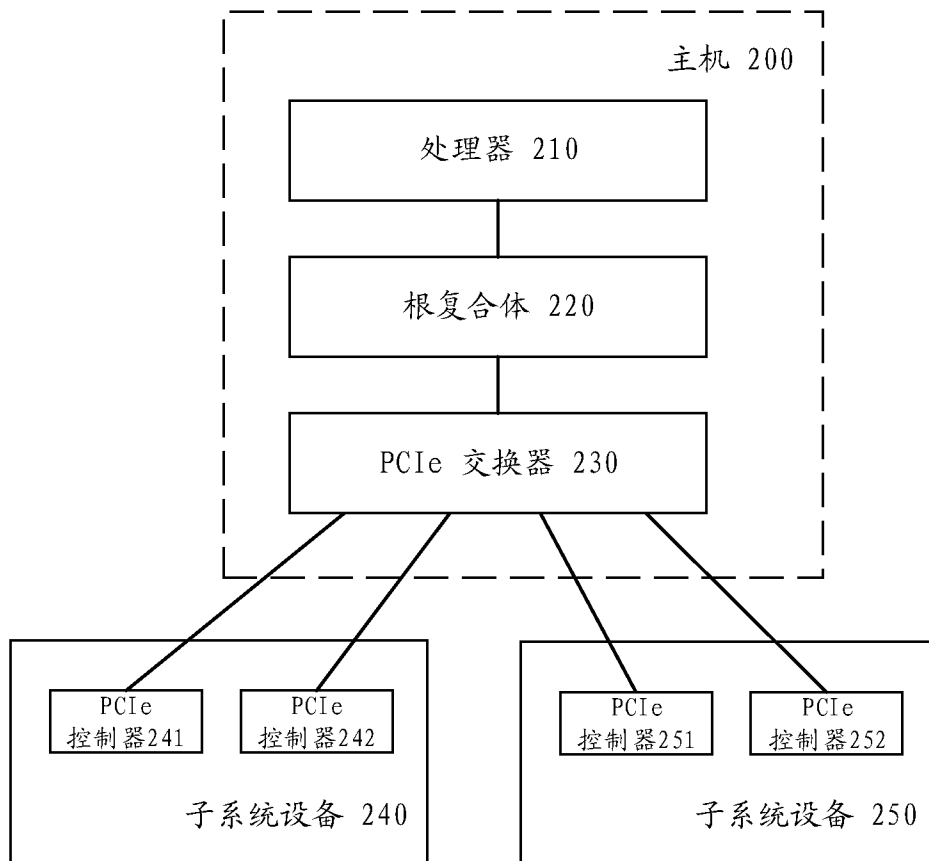


图 2

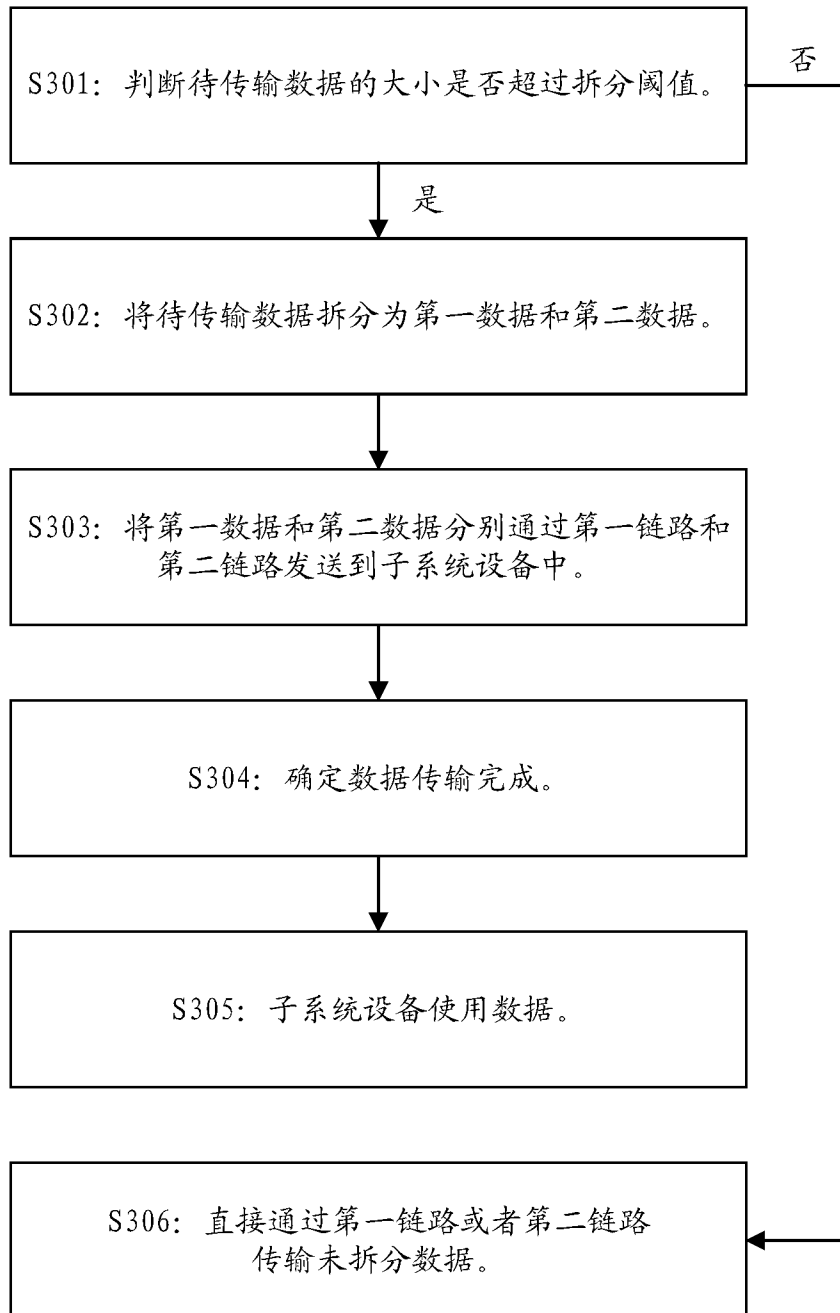


图 3

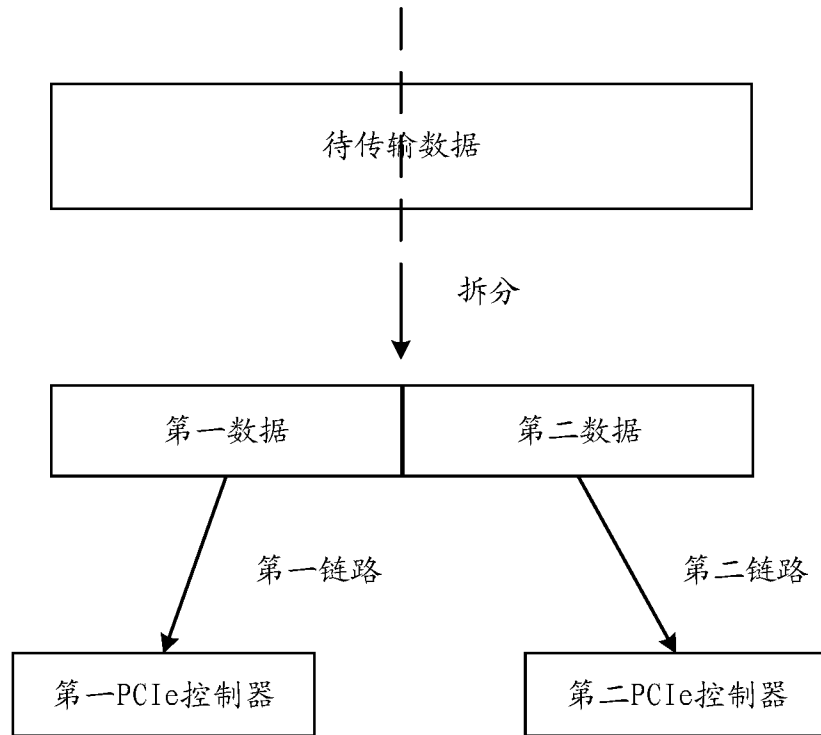


图 4

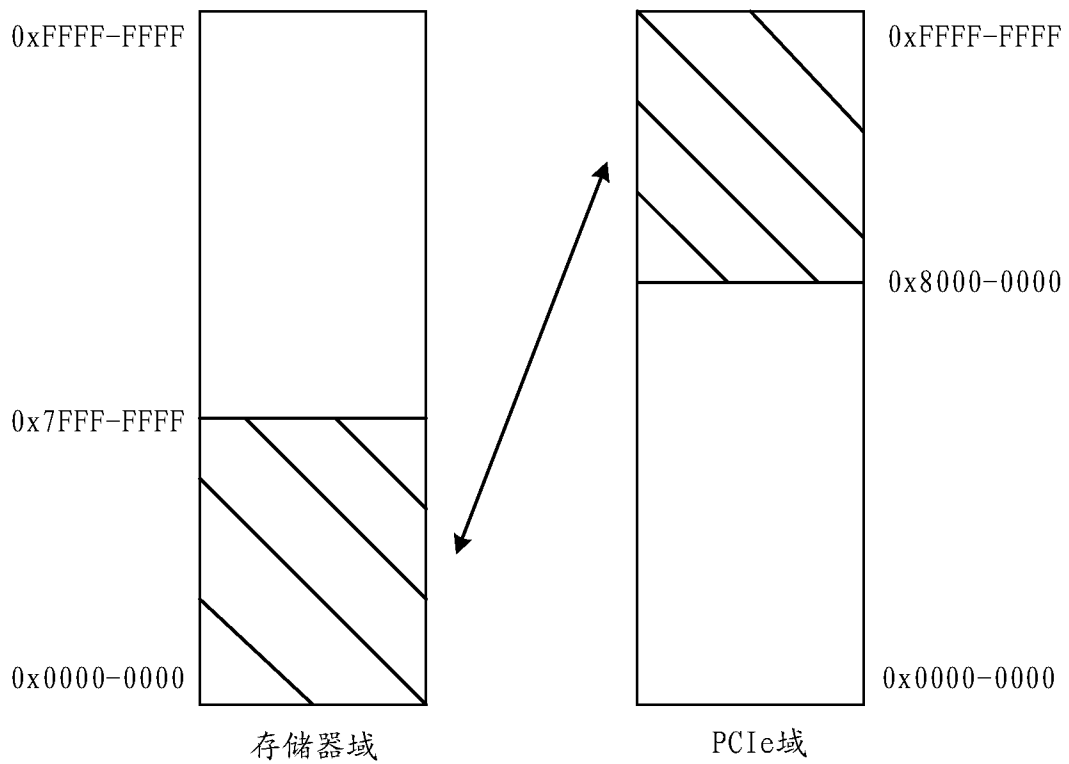


图 5

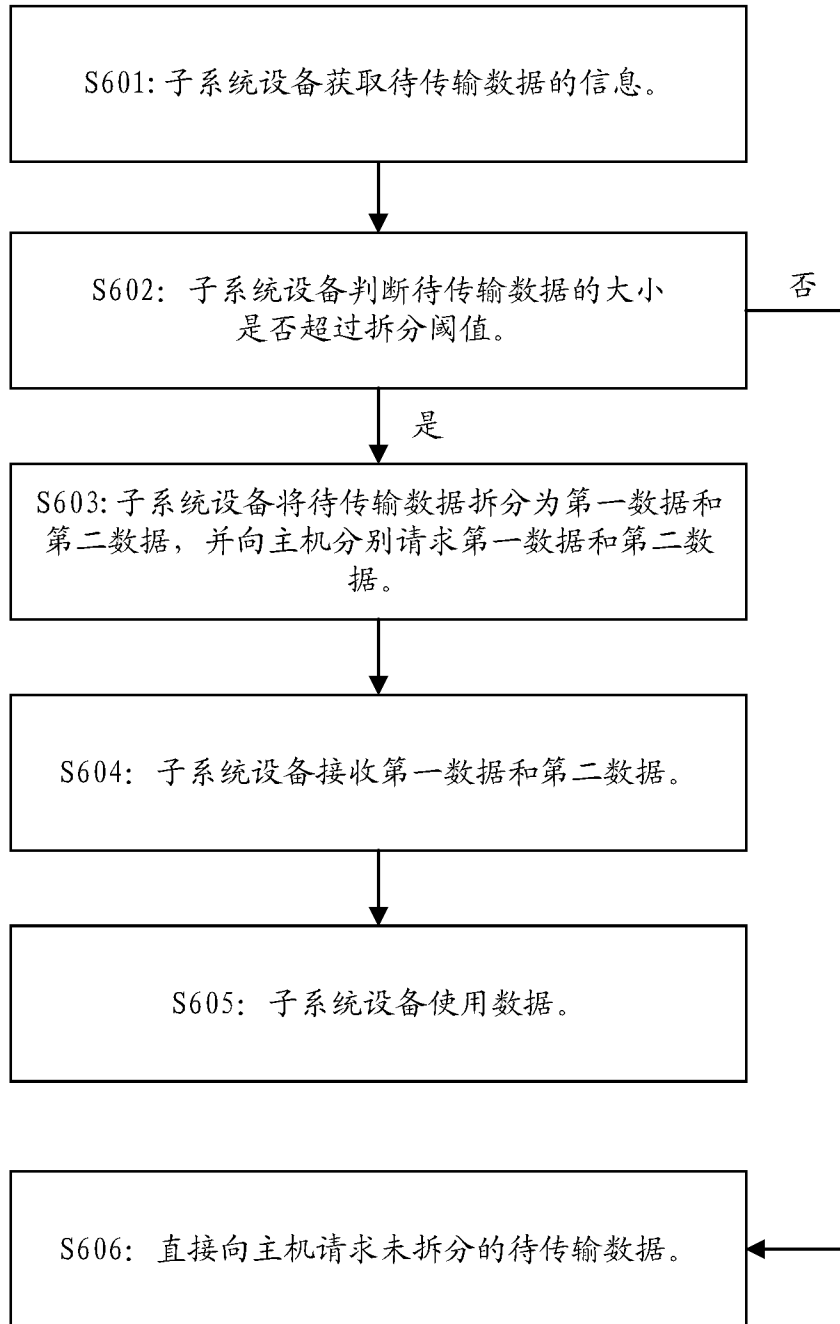


图 6

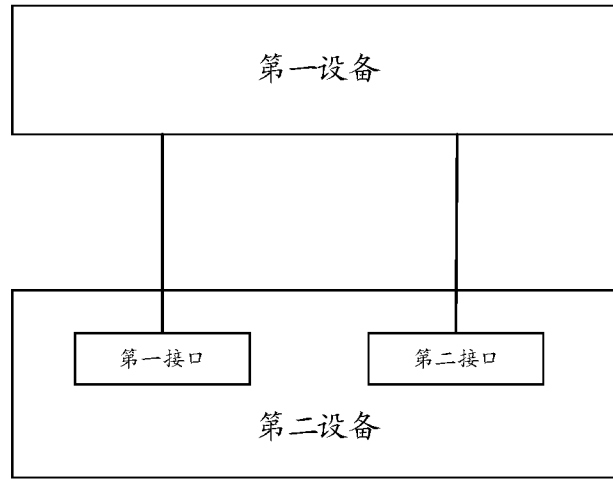


图 7

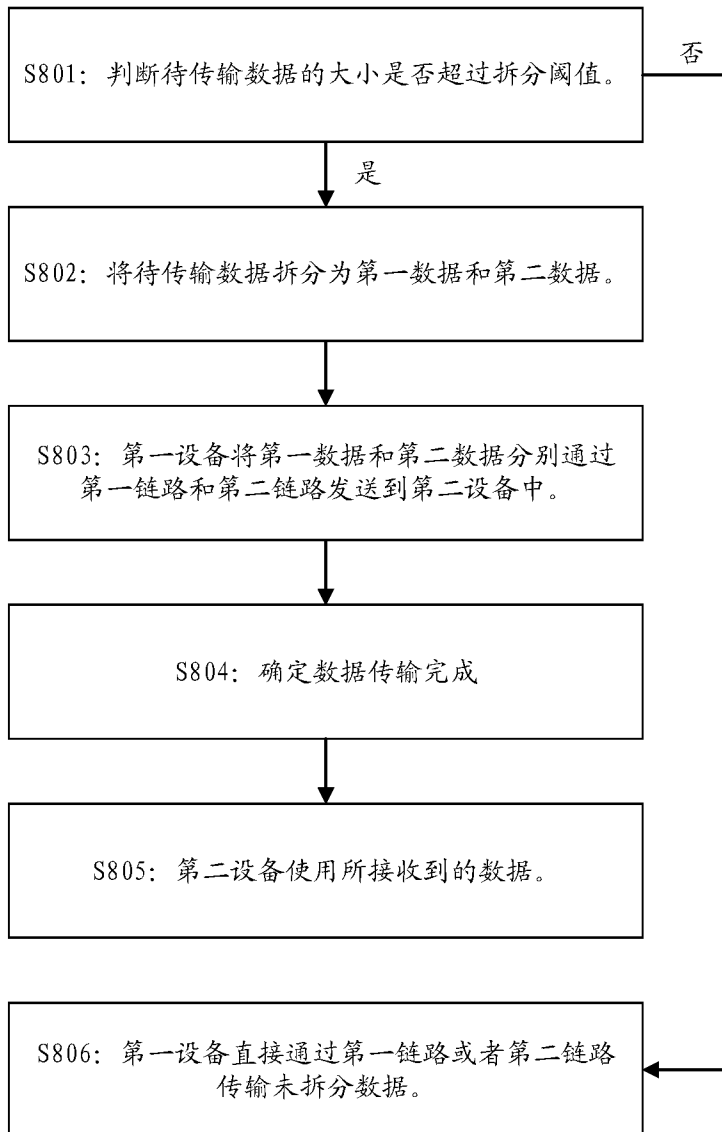


图 8

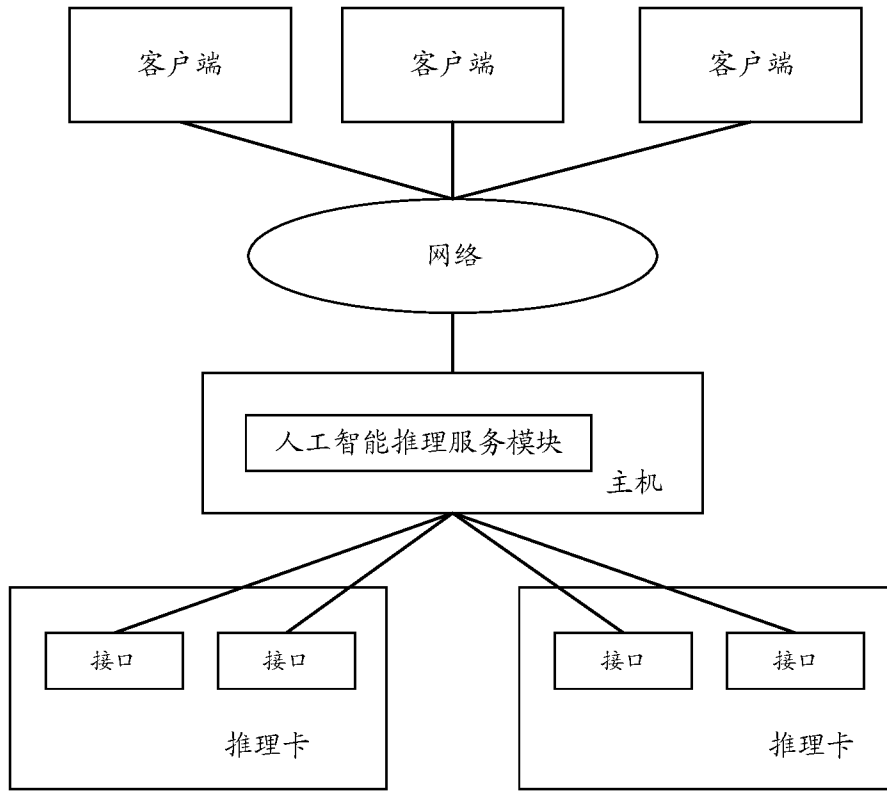


图 9

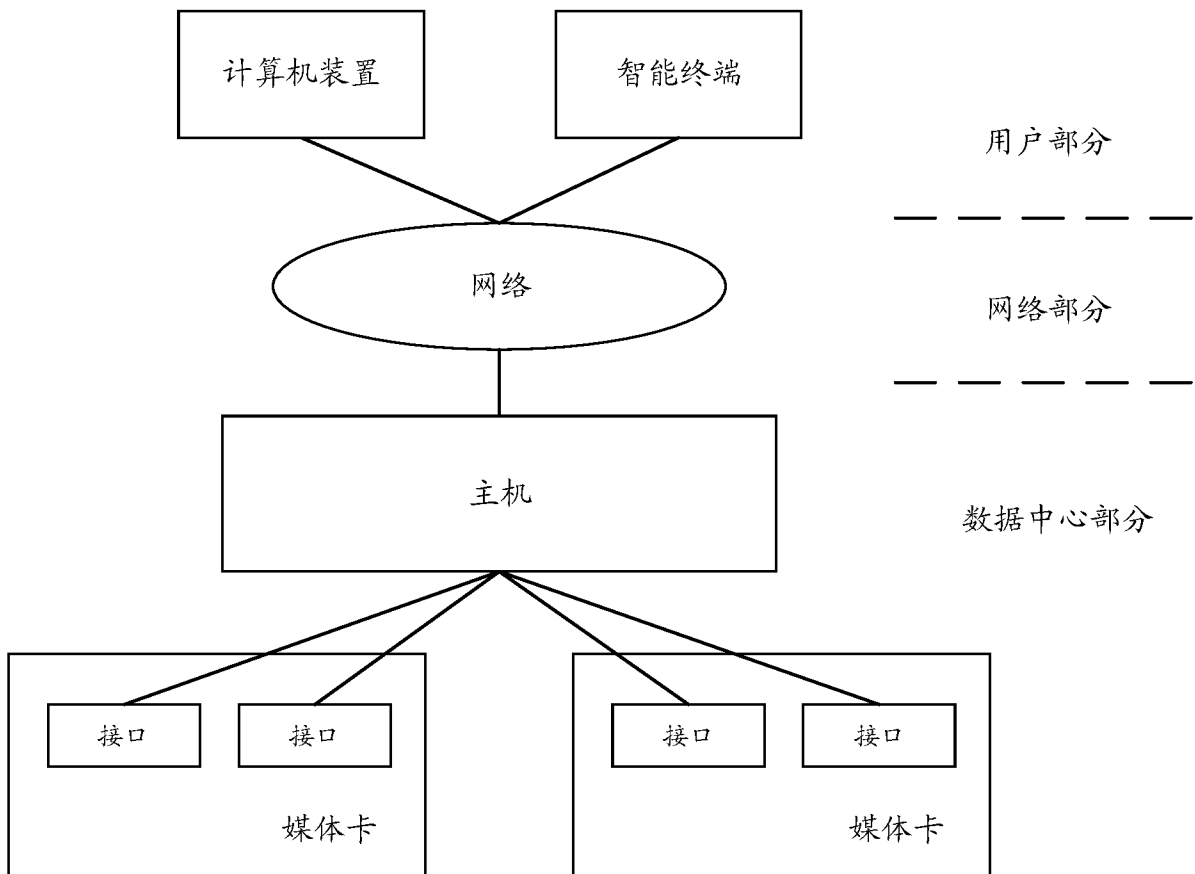


图 10

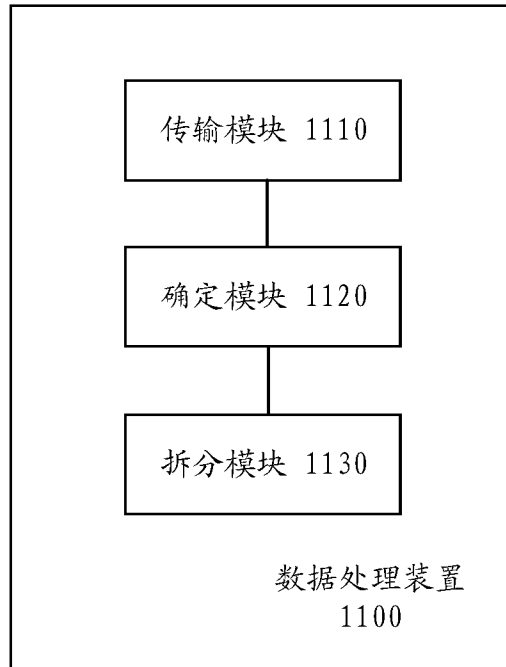


图 11

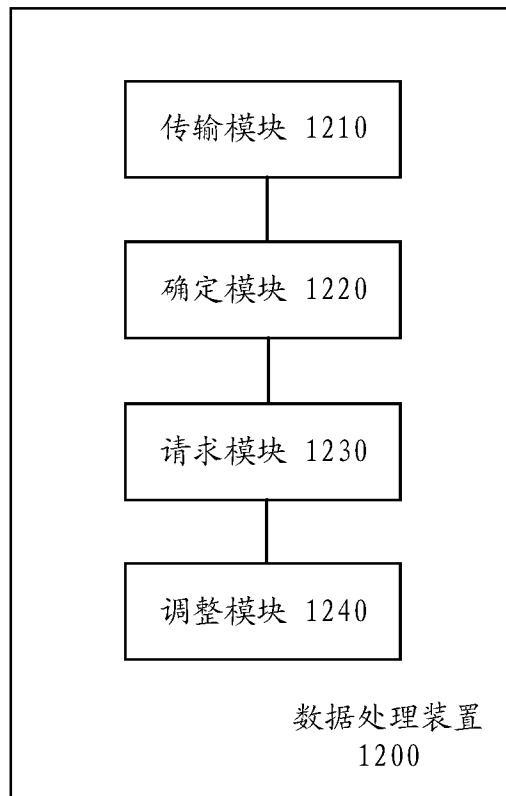


图 12

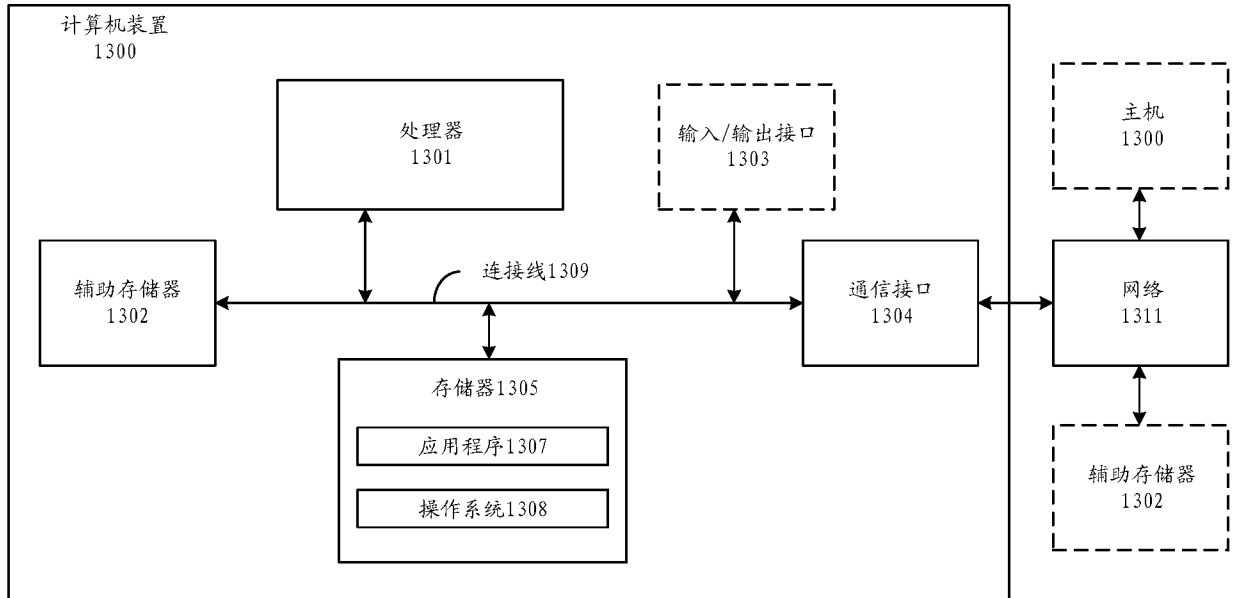


图 13

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/123049

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
G06F 13/40(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNKI, CNPAT, WPI, EPODOC: 接口, 链路, 周边设备高速互联, 快速外设组件互联, 端口, 外设互联, PCIE, 快速外设组件互联标准, 并行, 第一, 第二, interface, PCI, port, link		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 110175092 A (HANGZHOU DIANZI UNIVERSITY) 27 August 2019 (2019-08-27) description, paragraphs 0044-0077, figure 4	1-34
X	CN 110209606 A (HANGZHOU DIANZI UNIVERSITY) 06 September 2019 (2019-09-06) description paragraphs 0044-0077	1-34
A	CN 110532202 A (SUZHOU INSPUR INTELLIGENT TECHNOLOGY CO., LTD.) 03 December 2019 (2019-12-03) entire document	1-34
A	CN 109992420 A (SUZHOU INSPUR INTELLIGENT TECHNOLOGY CO., LTD.) 09 July 2019 (2019-07-09) entire document	1-34
A	US 2019361763 A1 (QUALCOMM INC.) 28 November 2019 (2019-11-28) entire document	1-34
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
16 December 2021		19 January 2022
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China		
Facsimile No. (86-10)62019451		Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2021/123049**

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 110175092 A	27 August 2019	None	
CN 110209606 A	06 September 2019	None	
CN 110532202 A	03 December 2019	None	
CN 109992420 A	09 July 2019	None	
US 2019361763 A1	28 November 2019	None	

国际检索报告

国际申请号

PCT/CN2021/123049

<p><b>A. 主题的分类</b></p> <p>G06F 13/40 (2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p><b>B. 检索领域</b></p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G06F</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNKI, CNPAT, WPI, EPDOC:接口, 链路, 周边设备高速互联, 快速外设组件互联, 端口, 外设互联, PCIE, 快速外设组件互联标准, 并行, 第一, 第二, interface, PCI, port, link</p>																				
<p><b>C. 相关文件</b></p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 110175092 A (杭州电子科技大学) 2019年8月27日 (2019 - 08 - 27) 说明书第0044-0077段、图4</td> <td>1-34</td> </tr> <tr> <td>X</td> <td>CN 110209606 A (杭州电子科技大学) 2019年9月6日 (2019 - 09 - 06) 说明书第0044-0077段</td> <td>1-34</td> </tr> <tr> <td>A</td> <td>CN 110532202 A (苏州浪潮智能科技有限公司) 2019年12月3日 (2019 - 12 - 03) 全文</td> <td>1-34</td> </tr> <tr> <td>A</td> <td>CN 109992420 A (苏州浪潮智能科技有限公司) 2019年7月9日 (2019 - 07 - 09) 全文</td> <td>1-34</td> </tr> <tr> <td>A</td> <td>US 2019361763 A1 (QUALCOMM INCORPORATED) 2019年11月28日 (2019 - 11 - 28) 全文</td> <td>1-34</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 110175092 A (杭州电子科技大学) 2019年8月27日 (2019 - 08 - 27) 说明书第0044-0077段、图4	1-34	X	CN 110209606 A (杭州电子科技大学) 2019年9月6日 (2019 - 09 - 06) 说明书第0044-0077段	1-34	A	CN 110532202 A (苏州浪潮智能科技有限公司) 2019年12月3日 (2019 - 12 - 03) 全文	1-34	A	CN 109992420 A (苏州浪潮智能科技有限公司) 2019年7月9日 (2019 - 07 - 09) 全文	1-34	A	US 2019361763 A1 (QUALCOMM INCORPORATED) 2019年11月28日 (2019 - 11 - 28) 全文	1-34
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 110175092 A (杭州电子科技大学) 2019年8月27日 (2019 - 08 - 27) 说明书第0044-0077段、图4	1-34																		
X	CN 110209606 A (杭州电子科技大学) 2019年9月6日 (2019 - 09 - 06) 说明书第0044-0077段	1-34																		
A	CN 110532202 A (苏州浪潮智能科技有限公司) 2019年12月3日 (2019 - 12 - 03) 全文	1-34																		
A	CN 109992420 A (苏州浪潮智能科技有限公司) 2019年7月9日 (2019 - 07 - 09) 全文	1-34																		
A	US 2019361763 A1 (QUALCOMM INCORPORATED) 2019年11月28日 (2019 - 11 - 28) 全文	1-34																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型:                      “A” 认为不特别相关的表示了现有技术一般状态的文件                      “E” 在国际申请日的当天或之后公布的在先申请或专利                      “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)                      “O” 涉及口头公开、使用、展览或其他方式公开的文件                      “P” 公布日先于国际申请日但迟于所要求的优先权日的文件                      “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件                      “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性                      “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性                      “&amp;” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2021年12月16日</p>		<p>国际检索报告邮寄日期</p> <p>2022年1月19日</p>																		
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>刘宇儒</p> <p>电话号码 86-(10)-53961294</p>																		

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2021/123049

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN 110175092 A	2019年8月27日	无	
CN 110209606 A	2019年9月6日	无	
CN 110532202 A	2019年12月3日	无	
CN 109992420 A	2019年7月9日	无	
US 2019361763 A1	2019年11月28日	无	