(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G11C 11/34

(45) 공고일자 2004년03월06일
(11) 등록번호 10-0401086
(24) 등록일자 2003년09월26일

(21) 출원번호 10-1995-0051275
(22) 출원일자 1995년12월18일

(65) 공개번호 10-1996-0025724
(43) 공개일자 1996년07월20일

(30) 우선권주장 94-334950 1994년12월20일 일본(JP)

(73) 특허권자 히다찌디바이스엔지니어링 가부시기가이샤
일본국 치바켕 모바라시 하야노 3681

가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 다까하시 쯔기오
일본국 도꾜도 오우메시 신마찌769

기쯔까와 고로
일본국 도꾜도 니시따마군 히노데마찌 히라이2196-468

아끼바 다께사다
일본국 도꾜도 다찌가와시 이찌반쵸2-26-1

가와세 야스시
일본국 도꾜도 고꾸분지시 히요시쵸4-16-38

나까무라 마사유끼
일본국 아이찌껜 나고야시 미즈호구 혼간지쵸3-27

(74) 대리인 백남기

심사관 : 최진석

(54) 반도체기억장치

요약

반도체기억장치에 관한 것으로서, 계층구조를 워드선, 비트선 및 공통IO선 모두에 포괄적으로 채용하고 이것에 의해 계층구조의 효과를 충분하게 발휘할 수 있는 구성의 다이나믹형RAM 등을 실현해서 총합적으로 본 다이나믹형RAM 등의 고속화, 고집적화, 대규모화 및 저코스트화를 도모하기 위해, 다이나믹형RAM 등의 메모리매트MATL 및 MATR 등을 서로 직교해서 배치되는 서브워드선SW0 SW8 등, 서브비트선SB0* SB3* 등, 이들의 서브워드선 및 서브비트선의 교점에 격자형상으로 배치되는 다이나믹형메모리셀을 포함하는 메모리어레이, 서브워드선에 대응해서 마련되는 단위서브워드선구동회로를 포함하는 서브워드선 구동부WDR04 WDR75 등, 서브비트선에 대응해서 마련되는 단위증폭회로 및 열선택스위치를 포함하는 센스앰프SMR30 47 등, 지정되는 서브비트선이 열선택스위치를 거쳐서 선택적으로 접속되는 서브공통IO선SIO0* SIO3* 등을 각각 구비하는 소정수의 서브메모리매트SMR00 SMR77로 분할하여 유닛화함과 동시에 이들의 서브메모리매트를 격자형상으로 배치하고, 그 상층에 서로 직교하고 또한 각각 서브워드선 및 서브비트선의 정수배의 피치로 배치되는 매인워드선MW30* 등 및 열선택 신호선YS40 등, 지정된 서브공통IO선이 선택적으로 접속되는 메인공통IO선MIO40* MIO43*등을 형성하는 구성으로 하였다. 이러한 구성에

의해 총합적으로 본 다이나믹형RAM 등의 고속화, 고집적화, 대규모화 및 저코스트화를 도모할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 본 발명이 적용된 다이나믹형RAM의 1실시예를 도시한 블럭도.
제2도는 제1도의 다이나믹형RAM의 1실시예를 도시한 기판배치도.
제3도는 제1도의 다이나믹형RAM에 포함되는 메모리블럭의 1실시예를 도시한 블럭도.
제4도는 제3도의 메모리블럭에 포함되는 서브메모리매트의 1실시예를 도시한 부분적인 블럭도.
제5도는 제4도의 서브메모리매트의 1실시예를 도시한 부분적인 접속도.
제6도는 제4도의 서브메모리매트에 포함되는 메모리어레이 및 주변부의 1실시예를 도시한 부분적인 회로도.
제7도는 제4도의 서브메모리매트에 포함되는 서브워드선 구동부의 제1실시예를 도시한 부분적인 회로도 및 신호파형도.
제8도는 제4도의 서브메모리매트에 포함되는 서브워드선 구동부의 제2실시예를 도시한 부분적인 회로도 및 신호파형도.
제9도는 제4도의 서브메모리매트에 포함되는 서부워드선 구동부의 제3실시예를 도시한 부분적인 회로도 및 신호파형도.
제10도는 제4도의 서브메모리매트에 포함되는 센스앰프 및 센스앰프 구동부 의 제1실시예를 도시한 부분적인 회로도.
제11도는 제4도의 서브메모리매트에 포함되는 센스앰프구동부의 제2실시예를 도시한 부분적인 회로도.
제12도는 제10도 및 제11도의 센스앰프구동부의 1실시예를 도시한 신호파형도.
제13도는 제4도의 서브메모리매트에 포함되는 센스앰프구동부의 제3실시예를 도시한 부분적인 회로도.
제14도는 제13도의 센스앰프구동부의 1실시예를 도시한 신호파형도.
제15도는 제4도의 서브메모리매트의 메모리어레이 및 주변부에 있어서의 금속배선층의 1실시예를 도시한 평면배치도.
제16도는 제4도의 서브메모리매트에 포함되는 서브워드선 구동부의 1실시예를 도시한 부분적인 평면배치도.
제17도는 제4도의 서브메모리매트에 포함되는 센스앰프 및 센스앰프 구동부의 1실시예를 도시한 부분적인 평면배치도.
제18도는 제1도의 다이나믹형RAM의 서브메모리매트를 구성하는 메모리어레이 및 주변부의 제1실시예를 도시한 심블릭한 평면배치도.
제19도는 제1도의 다이나믹형RAM의 서브메모리매트를 구성하는 메모리어레이 및 주변부의 제2실시예를 도시한 심볼릭한 평면배치도.
제20도는 제1도의 다이나믹형RAM의 서브메모리메트를 구성하는 메모리어레이 및 주변부의 제3실시예를 도시한 심볼릭한 평면배치도.
제21도는 제18도의 메모리어레이 및 주변부의 1실시예를 도시한 단면구조도.
제22도는 제19도의 메모리어레이 및 주변부의 1실시예를 도시한 단면구조도.
제23도는 제20도의 메모리어레이 및 주변부의 1실시예를 도시한 단면구조도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체기억장치에 관한 것으로서 예를 들면, 대용량의 다이나믹형RAM(랜덤 액세스 메모리) 및 그것보다 더욱 고속화, 고집적화, 대규모화 및 저코스트화에 이용해서 특히 유효한 기술에 관한 것이다. 데이타선분할(계층화) 기술은 USP. 4,590,588, USP. 5,301,142, 일본국 특허공개공보 평성5-54634, USP. 5,297,102 USP. 5,404,338에 개시되어 있다.
워드선의 계층화기술은 USP. 5,140,550, 일본국 특허공개공보 평성1-245489, 동2-158995, USP. 5,282,175에 개

시되어 있다.
상보데이타선과 상보공통데이타선의 사이에 증폭MOSFET를 마련하는 기술은 일본국 특허공개공보 평성2-18785에 개시되어 있다.
서로 직교해서 배치되는 여러개의 워드선, 비트선 및 이들의 워드선 및 비트선의 교점에 격자형상으로 배치된 여러개의 다이나믹형 메모리셀을 포함하는 메모리어레이를 그 기본구성요소로 하는 다이나믹형RAM 등의 반도체기억장치가 있다. 근래, 다이나믹형 RAM 등의 고집적화, 대규모화는 놀라워 이것을 더욱 추진하기 위한 여러가지의 기술이 개시되고 있다.
즉, 예를 들면 1993년 2월24일자 「ISSCC:International Solid State Circuits Conference)' 93 Digest Of Technical Papers Session3」 의 p50 51에는 메인워드선을 서브워드선과 평행하게 또한 그 정수배의 피치로 배치하는 것에 의해 메인워드선으로 되는 금속배선층의 배선피치를 완화하고, 다이나믹형RAM 등의 고집적화를 추진할 수 있는 소위 계층워드선 구조가 제안되고 있다. 또, 예를 들면 일본국 특허공고공보 평성4-59712에는 지정된 비트선을 비교적 짧은 서브공통IO선을 거쳐서 메인공통IO선에 접속하는 것에 의해 센스앰프의 부하를 경감하여 다이나믹형RAM 등의 리드동작을 고속화할 수 있는 소위 계층IO구조가 제안되고 있다. 또, 1993년 12월28일자의 USP5,274,595에는 서브공통IO선과 메인공통IO선 사이를 가산구동되는 여러개의 다이렉트 센스형 서브앰프를 거쳐서 접속함과 동시에 이들의 서브앰프를 워드선션트부 및 센스앰프의 배치영역의 교차영역에 배치하는 것에 의해 여러개의 서브앰프가 마련되는 것에 의한 레이아웃면적의 증대를 억제하면서 다이나믹형RAM 등의 고속화를 도모하는 방법이 제안되고 있다.
그러나, 상기 계층워드선 구조를 채용한 제1 종래예에서는 메인워드선을 거쳐서 전달되는 행선택신호와 서브워드선에 직교해서 배치된 워드선 구동전류 공급신호선을 거쳐서 전달되는 워드선 구동전류 공급신호에 따라서 대응하는 서브워드선을 선택적으로 선택상태로 하기 위한 워드선 구동회로가 소위 셀프부트형으로 되는 것에 의해 메인워드선을 유효레벨로 하고 나서 워드선 구동전류 공급신호를 유효레벨로 하기까지 소정의 시간이 필요하게 되고, 이것에 의해서 다이나믹형RAM 등의 리드모드에 있어서의 액세스타임의 고속화가 제약을 받음과 동시에 공통IO선이 계층구조로 되지않는 것에 의해 센스앰프의 부하가 크게 되어 역시 액세스타임의 고속화가 방해 받는 결과로 된다. 또, 상기 계층IO구조를 채용한 제2종래예에서는 워드선이 계층구조로 되지 않는 것에 의해 워드선으로되는 금속배선층의 배치피치가 좁아지고 이것에 의해서 다이나믹형RAM 등의 고집적화가 제약을 받는다. 또, 상기 서브공통IO선과 메인공통IO선 사이를 가산구동되는 여러개의 다이렉트 센스형 서브앰프를 거쳐서 접속하는 제3실시예에서는 워드션트방식에 의한 워드선분할은 실행되지만, 계층워드선 구조가 채용되지 않으므로, 다이나믹형RAM 등의 고집적화가 제약을 받음과 동시에 서브공통IO선과 메인공통IO선 이 동일길이로 배치되고, 실질적인 계층IO구조로는 되지 않는다.
즉, 종래의 다이나믹형RAM 등에서는 여러가지의 효과를 갖는 계층구조가 부분적이고 또한 산발적으로 채용되고, 워드선, 비트선 및 공통IO선의 전부를 대상으로 한 포괄적채용이 볼 수 없는 것으로서, 결과적으로 계층구조로서의 효과를 충분하게 발휘할 수 없어 총합적으로 본 다이나믹형RAM 등의 고속화, 고집적화, 대규모화 및 저코스트화가 제약을 받는다.
본 발명의 목적은 계층구조의 효과를 충분하게 발휘할 수 있는 구성의 다이나믹형RAM 등을 실현하고, 총합적으로 본 다이나믹형RAM 등의 더욱 고속화, 고집적화, 대규모화 및 저코스트화를 도모하는 것이다. 본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면에서 명확해질 것이다.
본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단하게 설명하면 다음과 같다. 즉, 다이나믹형RAM 등의 메모리매트를 서로 직교해서 배치되는 서브 워드선 및 서브비트선과 이들의 서브워드선 및 서브비트선의 교점에 격자형상으로 배치되는 다이나믹형 메모리셀을 포함하는 메모리어레이, 서브워드선에 대응해서 마련되는 단위서브워드선 구동회로를 포함하는 서브워드선 구동부, 서브비트선에 대응해서 마련되는 단위증폭회로 및 열선택스위치를 포함하는 센스앰프, 지정되는 서브비트선이 열선택스위치를 거쳐서 선택적으로 접속되는 서브공통IO선을 각각 구비하는 여러개의 서브메모리매트로 분할하고, 유닛화함과 동시에 이들의 서브메모리매트를 격자형상으로 배치하고, 그 상층에 서로 직교하고 또한 각각 서브워드선 및 비트선의 정수배의 피치로 배치되는 메인워드선, 열선택신호 및 지정된 서브공통IO선이 선택적으로 접속되는 메인공통IO선을 형성한다. 또, 서브워드선 구동부의 각 단위서브워드선 구동회로를 서브워드선 구동신호선과 대응하는 서브워드선 사이에 마련되고, 그 게이트가 대응하는 메인워드선의 반전신호선에 결합되는 P채널형의 제1MOSFET, 서브워드선과 접지전위 사이에 마련되고 그 게이트가 대응하는 메인워드선의 반전신호선에 결합되는 N채널형의 제2MOSFET 및 제1MOSFET와 병렬형태로 마련되고, 그 게이트가 대응하는 메인워드선의 비반전신호선에 결합되는 N채널형의 제3MOSFET를 포함하는 소위 CMOS스테이틱형 구동회로로 함과 동시에 지정된 서브공통IO선을 메인공통IO선에 선택적으로 접속하기 위한 서브메인앰프를 그 게이트가 대응하는 서브공통IO선의 비반전 및 반전신호선에 각각 결합되고, 그 드레인이 대응하는 메인공통IO선의 반전 및 비반전 신호선에 각각 결합되는 리드용 차동MOSFET와 서브공통IO선 및 메인공통IO선의 비반전신호선 사이 및 반전신호선 사이에 각각 마련되는 라이트용 스위치MOSFET를 포함하는 소위 의사 다이렉트 센스형 서브앰프 로 하고, 이것을 서브워드선 구동부 및 센스앰프의 배치영욕의 교차영역에 배치한다.
상기한 수단에 의하면, 단위서브워드선 구동회로로의 CMOS스테이틱형 구동회로의 채용에 의해 메인워드선을 거쳐서 전달되는 행선택신호와 서브워드선 구동신호선을 거쳐서 전달되는 서브워드선 구동신호를 동시에 유효레벨로 하고, 서브워드선의 선택동작을 고속화할 수 있음과 동시에 서브메인앰프로의 의사다이렉트 센스형 서브앰프의 채용과 그 교차영역으로의 배치에 의해 메모리어레이의 레이아웃면적의 증대를 초래하는 일 없이 다이나믹형RAM 등의 리드동작을 고속화할 수 있다. 또, 계층구조를 워드선, 비트선 및 공통IO선의 전부에 포괄적으로 채용해서 계층구조의 효과를 충분하게 발휘할 수 있는 구성의 다이나믹형RAM 등을 실현하여 총합적으로 본 다이나믹형RAM 등의 고속화, 고집적화, 대규모화 및 저코스트화를 도모할 수 있다.

제1도에는 본 발명이 적용된 다이나믹형RAM(반도체기억장치)의 1실시예의 블럭도가 도시되어 있다. 동일도면에 의해 우선, 이 실시예의 다이나믹형RAM의 구성 및 동작의 개요에 대해서 설명한다. 또, 제1도의 각 블럭을 구성하는 회로소자는 공지의 MOSFET(금속산화물 반도체형 전계효과 트랜지스터. 본 명세서에서는 MOSFET를 절연게이트형 전계효과트랜지스터의 총칭으로 함)집적회로의 제조기술에 의해 단결정실리콘과 같은 1개의 반도체기판상에 형성된다. 이하의 도면에 있어서, 단자 및 신호선의 명칭은 특히 명기하지 않는 한, 이들의 단자 또는 신호선을 거쳐서 전달되는 신호 또는 그 배선등의 명칭으로서 중복사용된다. 또, 이하의 회로도에 있 어서, 그 채널(백게이트)부에 화살표가 붙여진 MOSFET는 P채널형으로서, 화살표가 붙여지지 않은 N채널 MOSFET와 구별해서 표시된다.

제1도에 있어서, 이 실시예의 다이나믹형RAM 등은 4개의 메모리블럭MB0 MB3을 그 기본구성요소로 하고, 이들의 메모리블럭은 도면의 메모리블럭MB1으로 대표해서 도시되는 바와 같이 X어드레스디코더XD를 사이에 두는 한쌍의 메모리매트MATL 및 MATR과 이들의 메모리매트에 대응해서 마련되는 메인앰프MAL 및 MAR과 Y워드레스디코더YDL 및 YDR을 각각 포함한다. 이 중, X어드레스디코더XD에는 X어드레스버퍼XB에서 i+1비트의 내부어드레스신호X0 Xi가 공급되고, Y어드레스디코더 YDL 및 YDR에 는 Y어드레스버퍼 YB에서 i+1비트의 내부어드레스신호Y0 Yi가 공통으로 공급된다. 또, X어드레스버퍼XB 및 Y어드레스버퍼 YB에는 어드레스입력단자aA0 Ai를 거쳐서 X어드레스신호AX0 AXi 및 Y어드레스신호AY0-AYi가 시분할적으로 공통된다. 또, 메인앰프MAL 및 MAR은 8비트의 내부데이타버스IOB0-IOB7을 거쳐서, 데이타입출력회로IO의 대응하는 단위회로중 한쪽의 입출력단자에 결합되고, 이들의 단위회로의 다른쪽의 입출력 단자는 대응하는 데이타입출력단자IO0 IO7에 결합된다.

여기서, 메모리블럭MB0 MB3을 구성하는 메모리매트MATL 및 MATR은 후술하는 바와 같이 격자형상으로 배치된 64개의 서브메모리매트를 각각 포함하고, 이들의 서브메모리매트의 각각은 서로 직교해서 배치되는 소정수의 서브워드선 및 서브비트선과 이들의 서브워드선 및 서브비트선이 교점에 격자형상으로 배치된 여러개의 다이나믹형 메모리셀을 포함하는 메모리어레이, 메모리어레이의 서브워드선에 대응 해서 마련되는 단위서브워드선 구동회로를 포함하는 서브워드선 구동부, 서브비트선에 대응해서 마련되는 단위증폭회로 및 열선택스위치를 포함하는 센스앰프 및 지정되는 서브비트선이 열선택스위치를 거쳐서 선택적으로 접속되는 서브공통IO선을 구비한다. 또, 격자형상으로 배치된 64개의 서브메모리매트의 상층에는 X어드레스디코더XD를 기점으로 하는 메인워드선과 Y어드레스디코더YDL 또는 YDR을 기점으로 하는 비트선 선택신호(열선택신호선)이 서로 직교해서 배치됨과 동시에 이들의 비트선 선택신호와 평행하게 메인앰프MAL 또는 MAR을 기점으로 하는 소정수의 메인공통IO선이 배치된다. 또, 메모리블럭MB0 MB3과 메모리블럭을 구성하는 서브메모리매트의 구체적 구성과 동작 및 배치등에 대해서는 후에 상세하게 설명한다.

X어드레스버퍼XB 및 Y어드레스버퍼YB는 어드레스입력단자A0- Ai를 거쳐서 시분할적으로 입력되는 X어드레스신호AX0 AXi 또는 Y어드레스신호AY0 AYi를 페치하여 유지함과 동시에 이들의 X어드레스신호 또는 Y어드레스신호를 기본으로 내부어드레스신호X0 Xi 또는 Y0 Yi를 형성하고, 메모리블럭MB0 MB3의 X어드레스디코더XD 또는 Y어드레스디코더YDL 및 YDR에 공급한다. 또, 최상의 비트의 내부어드레스신호Xi 및 Yi는 메모리블럭선택회로BS에도 공급된다.

X어드레스디코더XD에는 X어드레스버퍼XB에서 공급되는 내부어드레스신호X0 Xi를 디코드해서 대응하는 메인워드선을 택일적으로 유효레벨로 한다. 또, Y어드레스디코더YDL 및 YDR은 Y어드레스버퍼YB에서 공급되는 내부어드레스신호Y0 Yi를 디코드해서 비트선 선택신호가 대응하는 비트를 택일적으로 유효레벨 즉, 선택레벨로 한다. 이 실시예에 있어서, 메인워드선은 후술하는 바와 같 이 비반전 및 반전신호선으로 이루어지는 상보신호선으로 된다. 또, 메인워드선은 서브메모리매트를 구성하는 서브워드선의 X배 즉, 8배의 피치로 배치되고, 비트선 선택신호는 서브비트선의 Y배 즉, 4배의 피치로 배치된다. 이 때문에 서브메모리매트의 서브워드선 구동부는 대응하는 64비트의 메인워드선을 거쳐서 전달되는 행선택신호와 후술하는 8비트의 서브워드선 구동신호선을 거쳐서 전달되는 서브워드선 구동신호에 따라서 대응하는 서브워드선을 선택적으로 선택상태로 하기 위한 단위서브워드선 구동회로를 포함하고, X어드레스디코더XD로 공급되는 내부어드레스신호X0 Xi의 일부는 이들의 서브워드선 구동신호를 선택적으로 유효레벨로 하기 위해 사용된다. 또, 서브메모리매트의 센스앰프는 대응하는 비트선 선택신호의 유효레벨을 받아서 선택적으로 또한 4쌍씩 동시에 온상태로 되어 대응하는 4조의 상보비트선과 서브공통IO선 사이를 선택적으로 접속상태로 하기 위한 스위치MOSFET를 포함한다.

다음에, 메인앰프MAL 및 MAR은 다이나믹형RAM이 라이트모드로 될 때, 데이타입출력 단자IO0 IO7에서 데이타입출력회로IO 및 내부데이타버스IOB0-IOB7을 거쳐서 공급되는 라이트데이타를 메인공통IO선, 서브메인앰프 및 서브공통IO선을 거쳐서 메모리매트MATL 또는 MATR의 지정된 서브메모리매트의 선택된 8개의 메모리셀에 라이트된다. 또, 다이나믹형 RAM이 리드모드로 될 때, 메모리매트MATL 또는 MATR의 지정된 서브메모리매트의 선택된 8개의 메모리셀에서 서브공통IO선(서브공통데이타선), 서브메인앰프 및 메인공통IO선(메인공통데이타선)을 거쳐서 출력되는 리드신호를 증폭하고, 내부데이타버스IO0 IO7을 거쳐서 데이타입출력회로IO의 대응하는 단위회로로 전달된다. 이들의 리드신호는 데이타입출력회로IO의 각 단위회로에서 데이타입출력단자IO0 IO7을 거쳐서 다이나믹형RAM의 외부로 출력된다.

메모리블럭선택회로BS는 X어드레스버퍼XB 및 Y어드레스버퍼YB에서 공급되는 최상위비트의 내부어드레스신호Xi 및 Yi를 디코드해서 도시되지 않은 메모리블럭선택신호BS0 BS3을 선택적으로 유효레벨로 한다. 이들의 메모리블럭선택신호는 대응하는 메모리블럭MB0 MB3에 공급되고, 이것을 선택적으로 활성화시키기 위해 사용된다.

타이밍발생회로TG는 외부에서 기동제어신호로서 공급되는 로우어드레스 스트로브신호RASB(여기서, 그것이 유효로 될 때 선택적으로 로우레벨로 되는 반전신호 등에 대해서는 그 명칭의 말미에 B를 붙여서 표기한다. 이하 동일), 열어드레스 스트로브신호CASB 및 라이트 인에이블신호WEB를 기본으로 각종의 내부제어신호를 선택적으로 형성하고, 다이나믹형RAM의 각부에 공급한다. 또, 내부전압발생회로VG는 외부에서 동작전원으로서 공급되는 전원전압VCC 및 접지전위VSS를 기본으로 내부전압VCH, VCL, HVC, VB1 및 VB2를 형성하고, 다이나믹형RAM의 각부에 공급한

다. 특히, 제한되지 않지만, 전원전압VCC는 +3.3V와 같은 정전위로 되고, 내부전압VCH는 +4V와 같은 비교적 큰 절대값의 정전위로 된다. 또, 내부전압VCL은 +2.2V와 같은 비교적 작은 절대값의 정전위로 되며, 내부전압HVC는 내부전압VCL 및 접지전위VSS의 중간전위 즉, +1.1V로 된다. 또, 내부전압VB1은 -1V와 같은 비교적 작은 절대값의 부전위로 되고, 내부전압VB2는 -2V와 같은 비교적 큰 절대값의 부전위로 된다.

제2도에는 제1도의 다이나믹형RAM의 1실시예의 기판배치도가 도시되어 있다. 동일도면에 의해 이 실시예의 다이나믹형RAM의 칩레이아웃의 개요에 대해서 설명한다. 또, 레이아웃에 관한 이하의 설명에서는 대응하는 배치도의 위치관계를 갖고 칩 등의 각 배치면에 있어서의 상하좌우를 나타낸다.

제2도에 있어서, 이 실시예의 다이나믹형RAM은 P형반도체기판PSUB를 그 기판으로 한다. 또, 이 실시예의 다이나믹형RAM은 소위 LOC(Lead On Chip)형태를 채용하고, 내부리드와 반도체기판PSUB를 결합하기 위한 본딩패드는 반도체기판PSUB의 세로의 중앙선에 따라서 직선형상으로 배치된다. 따라서, 이들의 본딩패드의 가까운 변 즉, 반도체기판PSUB의 중앙부에는 X어드레스버퍼XB 및 Y어드레스버퍼YB와 데이타입출력회로IO 등을 포함하는 주변회로PC가 배치된다. 또, 반도체기판PSUB의 좌측상부 및 우측상부에는 메모리블럭 MB0 및 MB1이 각각 배치되고, 그의 좌측하부 및 우측하부에는 메모리블럭MB2 및 MB3이 각각 배치된다. 이들의 메모리블럭은 메인공통IO선과 각 서브메모리매트를 구성하는 서브비트선이 도면의 수평방향으로 배치되도록 즉, Y어드레스디코더YDL 및 YDR과 메인앰프MAL 및 MAR이 반도체기판PSUB의 안쪽으로 되도록 배치된다. 이 결과, 메인워드선은 서브메모리매트를 구성하는 서브워드선과 평행하게 도면의 수직방향으로 배치되고, 서브메모리매트를 구성하는 서브공통IO선은 메인공통IO선과 직교해서 도면의 수직방향으로 배치되는 형태로 된다. 이것에 의해 메인앰프MAL 및 MAR을 반도체기판PSUB의 중앙부에 배치하면서 이들의 메인앰프에 결합되는 메인공통IO선을 서브공통IO선과 직교 배치하고 효과적인 칩레이아웃을 실현할 수 있다.

제3도에는 제1도의 다이나믹형RAM에 포함되는 메모리블럭MB0의 1실시예의 블 럭도가 도시되어 있다. 또, 제4도에는 제3도의 메모리블럭MB0에 포함되는 서브메모리매트SMR34 및 그 주변부의 1실시예의 부분적인 블럭도가 도시되고, 제5도에는 그 1실시예의 부분적인 접속도가 도시되어 있다. 또, 제6도에는 제4도의 서브메모리매트SMR34에 포함되는 메모리어레이 ARYR34 및 그 주변부의 1실시예의 부분적인 회로도가 도시되어 있다. 이들의 도면을 기본으로 이 실시예의 다이나믹형RAM을 구성하는 메모리블럭 및 서브메모리매트의 블럭구성과 서브메모리매트를 구성하는 메모리어레이 및 그 주변부의 구체적특징, 동작과 그 특징의 일부에 대해서 설명한다. 또, 메모리블럭에 관한 이하의 설명은 메모리블럭MB0을 예로 들어설명하지만, 그 밖의 메모리블럭MB1 MB3에 대해서는 이것과 동일구성으로 되므로 유추하기 바란다. 또, 서브메모리매트 및 메모리어레이와 주변부에 관한 이하의 설명은 서브메모리매트SMR34를 예로 들어 설명하지만, 그 밖의 서브메모리매트SMR00 SMR33 및 SMR35 SMR77에 대해서는 이것과 동일구성으로 되므로 유추하기 바란다.

제3도에 있어서, 메모리블럭MB0은 상술하는 바와 같이 X어드레스디코더XD를 사이에 두는 한쌍의 메모리매트MATL 및 MATR을 포함하고, 이들의 메모리매트의 각각은 8× 8의 격자형상으로 배치된 64개의 서브메모리매트 SML00 SML77과 SMR00 SMR77을 포함한다. 이 실시예에 있어서, 메모리블럭MB0의 메모리매트MATL 및 MATR을 구성하는 서브메모리매트SML00 SML77과 SMR00 SMR77은 제3도에 사선으로 예시되는 바와 같이 열방향으로 인접하는 2개가 각각 쌍을 이루고, 4조의 서브공통IO선SIO0 SIO3*(여기서, 예를 들면 비반전서브공통IO선 SIO0T와 반전서브공통IO선SIO0B를 합쳐서 서브공통IO선SIO0*와 같이 *를 붙여서 나타낸다. 또, 그것이 유효로 될 때 선택적으로 하이레벨로 되는 소위 비반전신호 등에 대해서는 그 명칭의 말미에 T를 붙여서 나타낸다, 이하 동일)을 각각 공유한다. 이것에 의해 쌍을 이루는 2개의 서브메모리매트SMR34 및 SMR35 등내에 있어서, 비트선 선택신호를 단위로 하는 열방향의 결함구제를 실현할 수 있다. 한편, 동일행에 배치된 8쌍 즉, 예를 들면 16개의 서브메모리매트SMR04 SMR74와 SMR05 SMR75는 메인공통IO선MIO40* MIO43*으로 대표되는 4조의 메인공통IO선과 YS40 YS463으로 대표되는 64비트의 비트선 선택신호를 각각 공유하고, 동일행에 배치된 8개 즉, 예를 들면 서브메모리매트SMR30 SMR37은 MW30* MW363*으로 대표되는 64조의 메인워드선을 각각 공유한다. 또, 각 메모리블럭의 메모리매트MATL 및 MATR을 구성하는 서브메모리매트SML00 SML77 및 SMR00 SMR77은 그 행방향 및 열방향의 일부를 용장서브메모리매트로 할 수 있고 이것에 의해 서브메모리매트를 단위로 하는 결함구제를 실현할 수 있다.

여기서, 서브메모리매트SMR00 SML77 및 SMR00 SMR77은 제4도의 서브메모리매트SMR34로 대표해서 도시되는 바와 같이 메모리어레이ARY34와 그 아래쪽 및 우측에 마련된 서브워드선 구동부WDR34 및 센스앰프SAR34를 각각 포함한다. 이 중, 메모리어레이ARYR34는 특히 제한되지 않지만, 제6도에 예시되는 바와 같이 도면의 수직방향과 평행하게 배치되는 실질적으로 512개의 서브워드선SW0 SW511과 수평방향과 평행하게 배치되는 실질적으로 256개의 서브비트선SB0* SB255*를 포함한다. 이들의 서브워드선 및 서브비트선의 교점에는 정보축적캐패시터 및 어드레스선택MOSFET로 이루어지는 실질적으로 131,072개의 다이나믹형 메모리셀이 격자형상으로 배치된다. 이것에 의해 서브메모리매트SML00 SML77 및 SMR00 SMR77의 각각은 소위 128킬로비트의 기억용량을 갖게 된다. 또, 메모리리블럭MB0 MB3의 각각을 128킬로 ×64×2 즉, 소위 16메가비트의 기억용량을 갖게 되고, 다이나믹형RAM은 16메가 ×4 즉, 소의 64메가비트의 기억용량을 갖게 된다.

다음에, 서브워드선 구동부WDR34는 제6도에 예시되는 바와 같이 메모리어레이ARYR34의 우수번호의 서브워드선SW0, SW2 SW510에 대응해서 마련되는 256개의 단위서브워드선 구동회로USWD0, USWD2 USWD510을 포함한다. 이들의 단위서브워드선 구동회로의 출력단자는 그 위쪽에 있어서, 메모리어레이ARYR34의 대응하는 우수번호의 서브워드선SW0, SW2 SW510에 결합되고, 그 아래쪽에 있어서, 인접하는 서브메모리매트SMR33의 대응하는 우수번호의 서브워드선SW0, SW2-SW510에 결합된다. WDR34를 구성하는 단위서브워드선 구동회로 USWD0, USWD2 USWD510의 위쪽의 입력단자는 순차 4개씩 공통결합된 후, 대응하는 메인워드선MW30*-MW363*에 순차

공통결합된다. 또, 그 아래쪽의 입력단자는 순차 4개 걸러 공통결합된 후, 대응하는 서브워드선 구동신호선 DX40, DX42, DX44 및 DX46에 순차 공통결합된다.

한편, 메모리어레이ARYR34를 구성하는 기수번호의 서브워드선SW1, SW3- SW511은 그 위쪽에 있어서 인접하는 서브메모리매트SMR35의 서브워드선 구동부WDR35의 대응하는 단위서브워드선 구동회로USWD1, USWD3 USWD511의 출력단자에 결합된다. 이들의 단위서브워드선 구동회로의 출력단자는 그 위쪽에 있어서, 서브메모리매트SMR35의 메모리어레이ARYR35를 구성하는 기수번호의 서브워드선SW1, SW3 SW511에 결합된다. 서브워드선 구동부WDR35를 구성하는 단위서브워드선 구동 회로USWD1, USWD3 USWD511의 위쪽의 입력단자는 순차 4개씩 공통결합된 후 대응하는 메인워드선MW30* MW363*에 순차 결합된다. 또, 그 아래쪽의 입력단자는 순차 4개 걸러 공통결합된 후 대응하는 서브워드선 구동신호선DX41, DX43, DX45 및 DX47에 공통결합된다.

서브워드선 구동부WDR34 및 WDR35의 단위 서브워드선 구동회로USWD0, USWD2 USWD510 및 USWD1, USWD3 USWD511은 대응하는 메인워드선MW30* MW363*이 유효레벨로 되고 또한 대응하는 서브워드선 구동신호DX40, DX42 DX46 또는 DX41, DX43 DX47이 유효레벨로 될 때, 메모리어레이ARYR33 및 ARYR34 또는 ARYR34 및 ARYR35의 대응하는 서브워드선SW0, SW2 SW510 또는 SW1, SW3 SW511을 택일적으로 소정의 선택레벨로 한다.

이상에서 명확한 바와 같이 이 실시예의 다이나믹형RAM에서는 예를 들면 서브메모리매트SMR34를 구성하는 512개의 서브워드선SW0 SW511은 그 양쪽 즉, 상하에 마련된 한쌍의 서브워드선 구동부WDR34 및 WDR35의 대응하는 단위서브워드선 구동회로에 결합되고, 서브메모리매트SMR34는 실질적으로 2개의 서브워드선 구동부를 필요로 하지만, 서브워드선 구동부의 각 단위서브워드선 구동회로는 상술한 바와 같이 열방향으로 인접하는 2개의 서브메모리매트의 대응하는 서브비트선에 의해 공유되므로, 굳이 서브워드선 구동부의 일련번호와 서브메모리매트의 일련번호를 일치시켜서 대응시켰다. 한편, 서브메모리매트SMR34의 메모리어레이ARYR34에 착안한 경우, 대응하는 서브워드선 구동부WDR34 및 WDR35의 각 단위서브워드선 구동회로는 서브워드선SW0 SW511의 아래쪽 또는 위쪽에 순차 교대로 배치됨과 동시에 순차 8 개씩 대응하는 메인워드선MW30*-MW363*을 공유한다. 이 결과, 각 단위서브워드선 구동회로는 서브워드선의 2배의 피치로 배치하면 좋고, 또 각 메인워드선은 서브워드선의 X배 즉, 8배의 피치로 배치하면 좋게 되고, 이것에 의해서 단위 서브워드선 구동회로 및 상보메인워드선의 배치피치를 완화하여 다이나믹형RAM의 고집적화 및 대규모화를 추진할 수 있게 된다. 또, 서브워드선 구동부WDR34 등을 구성하는 단위서브워드선 구동회로USWD0 USWD511의 구체적구성 및 동작에 대해서는 후에 상세하게 설명한다. 또, 그 접속형태에 대해서는 제3도 제5도의 참조에 의해 더욱 명확해질 것 이다.

다음에, 서브메모리매트SMR34의 메모리어레이ARYR34를 구성하는 서브비트선SB0* SB255*는 그 우측에 있어서, 그 게이트에 공유제어신호SH3L을 공통으로 받는 N채널형의 공유MOSFETNA 및NB를 거쳐서 센스 앰프SAR34의 대응하는 단위회로USA0 및 USA3 USA252 및 USA255에 결합되고, 그의 좌측에 있어서 그 게이트에 공유 제어신호SH4R을 공통으로 받는 동일한 공유MOSFET를 거쳐서 인접하는 서브메모리매트SMR44의 센스앰프SAR44의 대응하는 단위회로USA1 및 USA2 USA253 및 USA254에 결합된다. 센스앰프SAR34의 단위회로USA0 및 USA3 등은 또, 그 우측에서 그 게이트에 공유제어신호SH3R을 공통으로 받는 N채널형의 공유MOSFETNC 및 ND를 거쳐서 인접하는 서브메모리매트SMR24의 메모리어레이ARYR24의 대응하는 서브비트선SB0* 및 SB3*등에 결합되고, 센스앰프SAR35의 단위회로USA1 및 USA2 등은 그의 좌측에서 그 게이트에 고유제어신호SH4L을 공통으로 받는 동일한 공유MOSFET를 거쳐서 메모리어레이ARYR44의 대응하는 서브비트선SB1* 및 SB2* 등에 결합된다.

센스앰프SAR34 및 SAR44의 각 단위회로에는 대응하는 비트선 선택신호YS40 YS463이 순차 4개씩 공통으로 결합된다. 또, 이들의 단위회로는 후술하는 바와 같이 한쌍의 CMOS인버터가 교차결합되어 이루어지는 단위증폭회로와 그 게이트에 대응하는 비트선 선택신호YS40 YS463을 공통으로 받는 한쌍의 스위치MOSFET(열선택스위치)를 각각 포함한다. 이 중, 각 단위증폭회로는 도시되지 않은 공통소오스선을 거쳐서 동작전원이 공급되는 것에 의해 선택적으로 동작상태로 되고, 선택된 서브워드선에 결합되는 메모리셀에서 대응하는 서브배트선을 거쳐서 출력되는 미소리드신호를 증폭해서 하이레벨 또는 로우레벨의 2진 리드신호로 한다. 또, 각 단위회로의 스위치MOSFET쌍은 대응하는 비트선 선택신호US40 US463이 유효레벨로 되는 것에 의해 4쌍씩 선택적으로 온상태로 되어 메모리어레이ARYR34의 대응하는 4조의 서브비트선과 서브공통IO선SIO0* SIO3*사이를 선택적으로 접속상태로 한다.

또, 서브공통IO선SIO0* 및 SIO1*은 제4도에 예시되는 바와 같이 열쌍향으로 인접하는 2개의 서브메모리매트SMR34 및 SMR35에 의해서 공유된다. 또, 이 중, 2조의 서브공통IO선 SIO0* 및 SIO1*은 이들의 서브메모리매트의 우측 즉, 센스앰프SAR34 및 SAR35내에 배치되고, 나머지 2조의 서브공통IO선 SIO2* 및 SIO3*은 이들의 서브메모리매트의 좌측 즉, 센스앰프SAR44 및 SAR45내에 배치된다. 또, 서브공통IO선SIO0*은 서브메모리매트SMR34의 우측아래쪽에 마련된 센스앰프구동부SDR34의 서브메인앰프SMA를 거쳐서 메인공통IO선 MIO40*에 선택적으로 접속되고, 서브공통IO선SIO1*는 서브메모리매트SMR35의 우측아래쪽의 크로스영 역에 마련된 센스앰프구동부SDR35의 서브메인앰프를 거쳐서 메인공통IO선MIO41*에 선택적으로 접속된다. 또, 서브공통IO선 SIO2*는 서브메모리매트SMR45의 우측아래 쪽에 마련된 센스앰프구동부SDR45의 서브메인앰프를 거쳐서 메인공통IO선 MIO42*에 선택적으로 접속되고, 서브공통IOSIO3*는 서브메모리매트SMR46의 우측아래쪽에 마련된 센스앰프 구동부SDR46의 서브메인앰프를 거쳐서 메인공통IO선 MIO43*에 선택적으로 접속된다.

이상에서 명확한 바와 같이 이 실시예의 다이나믹형RAM에서는 예를 들면 서브메모리매트SMR34를 구성하는 256조의 서브비트선SB0* SB255*에는 그 양쪽 즉, 좌우에 마련된 한쌍의 센스앰프SAR34 및 SAR44의 대응하는 단위회로에 결합되고, 서브메모리매트SMR34는 실질적으로 2개의 센스앰프를 필요로 하지만, 각 센스앰프의 각 단위회로는 상술한 바와 같이 행 방향으로 인접하는 2개의 서브메모리매트에 의해 공유되므로, 굳이 센스앰프의 일련번호와 서브메모리 매트의 일련번호를 일치시켜서 대응시켰다. 한편, 서브메모리매트SMR34의 메모리어레이ARYR34에 착안

한 경우, 센스앰프의 대응하는 단위회로는 서브비트선SB0* SB255*의 우측 또는 좌측에 순차 교대로 배치됨과 동시에 순차 4개씩 대응하는 비트선 선택신호YS40 YS463을 공유한다. 이 때문에 센스앰프의 각 단위회로는 서브비트선의 2배의 피치로 배치하면 좋고 또, 각 비트선 선택신호는 서브비트선의 Y배 즉, 4배의 피치로 배치하면 좋게 된다. 이 결과, 센스앰프의 단위회로 및 비트선 선택신호의 배치피치를 완화하여 다이나믹형RAM의 고집적화, 대규모화를 추진할 수 있게 된다. 또, 센스앰프SAR34 및 SAR44 등과 그 단위회로USA0 USA255의 구체적구성에 대해서는 후에 상세히 설명한다. 또, 그 접속형태에 대해서는 제3도 제5도의 참조에 의해 더욱 명확해질 것이다.

그런데, 이 실시예의 다이나믹형RAM에서는 메모리블럭MB0 MB3을 구성하는 메모리매트MATL 및 MATR이 각각 64개의 서브메모리매트 SML00-SML77 또는 SMR00 SMR77로 분할되어 유닛화된다. 이들의 서브메모리매트는 마치 메모리셀과 같이 격자형상으로 배치되고, 그 서브워드선, 서브비트선 및 서브공통IO선은 상층에 배치된 메인워드선, 비트선 선택신호 또는 메인공통IO선과 선택적으로 접속되고, 선택적으로 활성화된다. 상기 분야에 종사하는 기술자들에게는 이미 확실하다고 생각되어지지만, 메모리매트를 여러개의 서브메모리매트로 분할하여 유닛화하는 것은 메모리매트 즉, 다이나믹형RAM의 매트구성에 관한 자유도를 높히고 그 개발기간의 축소에 기여한다. 또, 서브메모리매트로의 유닛화가 계층구조를 워드선, 비트선 및 공통IO선의 전부에 포괄적으로 채용하면서 실행되는 것에 의해 계층구조의 효과를 충분히 발휘할 수 있는 다이나믹형RAM을 실현하여 총합적으로는 다이나믹형RAM의 고속화, 고집적화, 대규모화 및 저코스트를 도모할 수 있게 된다.

제7도(A) 및 제7도(B)에는 제4도의 서브메모리메트SMR34에 포함되는 서브워드선 구동부WDR34의 제1실시예의 부분적인 회로도 및 신호파형도가 도시되어 있다. 또, 제8도(A) 및 제8도(B)에는 서브메모리매트SMR34에 포함되는 서브워드선 구동부WDR34의 제2실시예의 부분적인 회로도 및 신호파형도가 도시되고, 제9도(A) 및 제9도(B)에는 그 제3실시예의 부분적인 회로도 및 신호파형도가 도시되어 있다. 이들의 도면을 기본으로 이 실시예의 다이나믹형RAM의 서브메모리매트를 구성하는 서브워드선 구동부의 구체적인 구성 및 동작과 그 특징에 대해서 설명한다. 또한, 서브워드선 구동부에 관한 이하의 설명은 서브메모리매트SMR34의 서브워드선 구동부WDR34를 예로 들어 설명하지만, 그 밖의 서브워드선 구동부에 대해서는 이것과 동일구성으로 되므로, 유추하기 바란다. 또, 이 서브워드선구동부WDR34를 구성하는 단위서브워드선 구동회로USWD0 USWD510에 관한 이하의 설명은 단위서브워드선 구동회로USWD0을 예로 들어 설명하지만, 그 밖의 단위서브워드선 구동회로USWD2 USWD510에 대해서는 이것과 동일구성으로 되므로, 유추하기 바란다.

제7도(A)에 있어서, 서브워드선 구동부WDR34는 메모리어레이ARYR34를 구성하는 우수번호의 서브워드선SW0, SW2- SW510에 대응해서 마련되는 256개의 단위서브워드선 구동회로USWD0, USWD2 USWD510을 포함하고, 이들의 단위서브워드선 구동회로의 각각은 단위서브워드선 구동회로USWD0에 대표해서 도시되어 있는 바와 같이 대응하는 서브워드선 구동신호선DX40과 서브워드선SW0 사이에 마련되는 P채널 MOSFETP1(제1MOSFET) 및 대응하는 서브드워선SW0와 접지전위VSS사이에 마련되는 N채널MOSFETN1(제2MOSFET)를 포함한다. 이들의 MOSFETP1 및 MOSFETN1의 게이트는 대응하는 메인워드선 MS30*의 반전신호선 즉, 반전메인워드선MW30B에 결합된다. 단위서브워드선 구동회로USWD0은 또, MOSFETP1과 병렬형태로 마련된 N채널MOSFETN2(제3MOSFET)를 포함하고, 이 MOSFETN2의 게이트는 대응하는 메인워드선MW30*의 비반전신호선 즉, 비반전메인워드선MW30T에 결합된다.

여기서, 비반전메인워드선MW30T는 비선택시에 있어서 접지전위VSS 즉, 0V와 같은 무효레벨로 되고, 선택시는 내부전압VCH 즉, +4V와 같은 유효레벨로 된다. 또, 반전메인워드선MW30B는 비선택시에 있어서 내부전압VCH와 같은 무효레벨로 되고, 선택시에는 접지전위VSS와 같은 유효레벨로 된다. 또, 서브워드선 구동신호DX40은 비선택시에 있어서 접지전위VSS와 같은 무효레벨로 되고, 선택시에는 내부전압VCH와 같은 유효레벨로 된다. 또, 내부전압VCH는 상술한 바와 같이 다이나믹형RAM에 내장된 내부전압발생회로VG에 의해 전원전압VCC를 기본으로 형성되고, +4V의 비교적 안정된 전위로 된다.

대응하는 비반전메인워드선MW30T 및 반전메인워드선MW30B가 무효레벨로 될 때, 단위서브워드선 구동회로USWD0에서는 MOSFETP1 및 N2가 모두 오프상태로 되고, MOSFETN1이 온상태로 된다. 이 때문에 서브워드선SW0은 대응하는 서브워드선 구동신호DX40의 레벨에 관계없이 접지전위VSS와 같은 비선택레벨로 된다.

한편, 대응하는 비반전메인워드선MW30T 및 반전메인워드선MW30B가 유효레벨로 되면 단위서브워드선 구동회로USWD0에서는 MOSFETN1이 오프상태로 되고, 대신 MOSFETP1 및 N2가 온상태로 된다.

이 때문에 서브워드선SW0은 대응하는 서브워드선 구동신호DX40의 유효레벨을 받아서 내부전압VCH와 같은 선택레벨로 되고, 그 무효레벨을 받아서 접지전위VSS와 같은 비선택레벨로 된다.

이상과 같이 이 실시예의 다이나믹형RAM의 서브워선 구동부WDR34 등을 구성하는 단위서브워드선 구동회로USWD0 등은 셀프 부트형식을 채용하지 않고 소위 CMOS(상보형MOS)스테이틱형 구동회로로 되므로, 메인워드선MW30* 등과 서브워드선 구동신호DX40 등을 동시에 유효레벨로 할 수 있어 상응해서 다이나믹형RAM의 리드모드에 있어서의 엑세스타임을 고속화할 수 있는 것이다.

또한, 단위서브워드선 구동회로USWD0을 비롯한 단위서브워드선 구동회로는 제8도(A)에 도시되는 바와 같이 대응하는 비반전메인워드선MW30T와 서브워드선SW0 사이에 마련되고, 그 게이트에 대응하는 서브워드선 구동신호DX40을 받는 P채널MOSFETP1 및 서브워드선SW0와 접지전위VSS사이에 병렬형태로 마련되고, 그 게이트가 대응하는 서브워드선 구동신호선DX40 및 반전메인워드선MW30B에 각각 결합되는 N채널MOSFETN1 및 N2에 의해 구성할 수 있고, 제9도(A)에 도시되는 바와 같이 대응하는 비반전서브워드선 구동신호선DX40T와 서브워드선SW0사이에 마련되고, 그 게이트가 대응하는 반전메인워드선MW30B에 결합되는 P채널MOSFETP1 및 서브워드선SW0과 접지전위VSS 사이에 병렬형태로 마련되고, 그 게이트가 대응하는 반전메인워드선MW30B 및 반전서브워드선 구동신호DX40B에 각각 결합되는 N채널MSOFETN1 및 N2에 의해서도 구성할 수 있다. 또, 단위서브워드선 구동회로USWD0은

통상의 2입력의 CMOS OR게이트 등에 의해서도 구성할 수 있지만, 이 경우, 메인워드선 및 서브워드선 구동신호의 양쪽을 단일신호선으로 할 수 있고, 이것에 의해서 소요 배선수를 더욱 삭감하여 다이나믹형RAM의 고집적화를 한층 더 도모할 수 있다.

제10도에는 제4도의 서브메모리매트SMR34에 포함되는 센스앰프SAR34 및 센스앰프구동부SDR34의 제1실시예의 부분적인 회로도가 도시되어 있다. 또, 제11도에는 제4도의 서브메모리매트SMR34에 포함되는 센스앰프구동부SDR34의 제2실시예의 부분 적인 회로도가 도시 되고, 제12도에는 제10도 및 제11도의 센스앰프 구동부SDR34의 1실시예의 신호파형도가 도시되어 있다. 또, 제13도에는 제4도의 서브메모리매트SMR34에 포함되는 센스앰프구동부SDR34의 제3실시예의 부분적인 회로도가 도시되고, 제14도에는 그 1실시예의 신호파형도가 도시되어 있다. 이들의 도면을 기본으로 이 실시예의 다이나믹형RAM의 서브메모리매트에 포함되는 센스앰프 및 센스앰프구동부의 구체적 구성 및 동작과 그 특징에 대해서 설명한다. 또, 센스앰프 및 그 단위회로와 센스앰프 구동부에 관한 이하의 설명은 서브메모리매트SMR34의 센스앰프SAR34 및 그 단위회로USA0과 센스앰프구동부SDR34를 예로들어 설명하지만, 그 밖의 센스앰프 및 단위회로와 센스앰프구동부에 대해서는 이들의 실시예와 각각 동일구성으로 되므로, 유추하기 바란다.

제10도에 있어서, 센스앰프SAR34는 128개의 단위회로USA0, USA3 USA252, USA255를 포함한다. 이들의 단위회로의 좌측의 입력단자는 그 게이트에 반전공유제어신호SH3LB의 센스앰프구동부SDR34의 인버터V1에 의한 반전신호 즉, 비반전공유제어신호SH3L을 공통으로 받는 N채널형의 공유MOSFETNA 및 NB를 거쳐서 메모리어레이ARYR34의 대응하는 서브비트선SB0*, SB3* SB252*, SN255*에 결합되고, 그 우측의 입력단자는 그 게이트에 반전공유제어신호SH3RB의 센스앰프구동부SDR34의 인버터V3에 의한 반전신호 즉, 비반전공유제어신호SH3R을 공통으로 받는 N채널형의 공유MOSFETNC 및 ND를 거쳐서 인접하는 서브메모리매트SMR24의 메모리어레이ARYR24의 대응하는 서브비트선 SB0*, SB3* SB252*, SB255*에 결합된다.

이것에 의해, 다이나믹형RAM은 고유센스방식을 채용하게 되고, 센스앰프SAR34의 단위회로USA0, USA3 USA252, USA255는 인접해서 배치된 한쌍의 서브메모리매트SMR34 및 SMR24의 메모리어레이ARYR34 및 ARYR24에 의해서 공유된다. 그리 고, 반전공유제어신호SH3LB가 로우레벨로 되고, 비반전공유제어신호SH3L이 하이레벨로 될 때, 공유MSOFETNA 및 NB를 거쳐서 그의 좌측에 배치된 메모리어레이ARYR34의 대응하는 서브비트선SB0*, SB3* SB252*, SB255*에 선택적으로 접속되고, 반전공유제어신호SH3RB가 로우레벨로 되고, 비반전공유제어신호SH3R이 하이레벨로 될때, 공유MOSFETNC 및 MOSFETND를 거쳐서 그 우측에 배치된 메모리어레이ASYR24의 대응하는 서브비트선SB0*, SM3* SB252*, SB255*에 선택적으로 접속된다.

여기에서, 센스앰프SAR34를 구성하는 단위회로의 각각은 제10도의 단위회로USA0에 대표해서 도시되어 있는 바와 같이 P채널MOSFETP2 및 N채널MOSFETN3과 P채널MOSFETP3 및 N채널MOSFETN4로 이루어지는 한쌍의 CMOS인버터가 교차결합되어 이루어지는 단위증폭회로와 이들의 단위증폭회로의 비반전 및 반전입출력노드와 서브공통IO선SIO0* 또는 SIO1*의 비반전 및 반전신호선 사이에 각각 마련된 N채널형의 한쌍의 스위치MOSFET(열선택스위치)N8 및 N9를 포함하고, 또 3개의 N채널MOSFETN5 N7이 직렬병렬결합되어 이루어지는 비트선 프리챠지회로를 포함한다.

이 중, 단위증폭회로를 구성하는 MOSFETP2및 P3의 소오스는 공통 소오스선(구동신호선)PP에 공통결합되고, MOSFETN3 및 N4의 공통결합된 소오스는 공통소오스 선PN에 공통결합된다. 공통소오스선PP는 센스앰프구동부SDR34의 센스앰프구동회로SAD를 구성하는 P채널형의 구동형MOSFETP4를 거쳐서 구동전압공급선CPP4에 결합되고, 공통소오스선PN온 N채널형의 구동MOSFETNE를 거쳐서 구동전압공급선CPN4에 결합된다. 또, 공통소오스선PP 및 PN 사이에는 3개의 N채널MOSFETNF NH가 직력병렬 결합되어 이루어지는 공통IO선 프리챠지회로가 마련된다. 센스앰프구동회로SAD를 구성하는 구동MOSFETP4의 게이트는 센스앰프제어신호선SAP3에 결합되고, 구동MOSFETNE의 게이트는 센스앰프제어신호선SAN3에 결합된다. 또, 공통IO선 프리챠지회로를 구성하는 MOSFETNF NH의 게이트에는 프리챠지 제어용의 내부제어신호PC의 인버터V2에 의한 반전신호 즉, 반전내부제어신호PCB가 공통으로 공급된다.

이것에 의해 센스앰프SAR34의 각 단위회로의 단위증폭회로는 센스앰프제어신호SAP3 및 SAN3의 유효레벨을 받아서 센스앰프구동회로SAD의 구동MOSFETP4 및 NE가 온상태로 되고, 구동전압공급선CPP4 및 CPN4에서 공통소오스선PP 및 PN을 거쳐서 소정의 동작전원이 공급되는 것에 의해 선택적으로 동작상태로 되고, 메모리어레이ARYR34 또는 ARYR24의 선택된 서브워드선에 결합되는 256개의 메모리셀에서 대응하는 서브비트선SB0* 및 SB2* 등을 거쳐서 출력되는 미소리드신호를 각각 증폭하여 하이레벨 또는 로우레벨의 2진 리드신호로 한다. 다음에, 센스앰프SAR34의 각 단위회로를 구성하는 스위치MOSFETN8 및 N9의 게이트는 순차 2쌍씩 공통결합되고, Y어드레스디코더YD에서 대응하는 비트선 선택신호US40 등이 공급된다. 상술한 바와 같이 비트선 선택신호YS40 등은 메모리어레이ARYR34의 좌측에 마련된 센스앰프SAR44의 단위회로USA1 및 USA2 등의 2쌍의 스위치MOSFET의 게이트에도 공급된다. 이것에 의해 각 단위회로의 스위치MOSFETN8 및 N9는 대응하는 비트선 선택신호YS40 YS463이 유효레벨로 되는 것에 의해 선택적으로 또한 2쌍씩 동시에 온상태로 되고, 메모리어레이ARYR34 또는 ARYR24의 대응하는 2조의 서브비트선과 서브공통IO선SIO0* 및 SIO1*사이를 선택적으로 접속상태로 한다.

한편, 센스앰프SAR34의 각 단위회로의 비트선 프리챠지회로를 구성하는 MOSFETN5 N7의 게이트에는 상기 반전프리챠지제어신호PCB가 공통으로 공급된다. MOSFETN5 N7은 반전프리챠지제어신호PCB의 유효레벨 즉, 하이레벨을 받아서 선택적으로 온상태로 되고, 센스앰프SAR34의 대응하는 단위회로의 단위증폭회로의 비반전 및 반전입출력노드 사이 즉, 메모리어레이ARYR34 또는 ARYR24의 대응하는 서브비트선의 비반전 및 반전신호선 사이를 단락해서 이퀄라이즈한다.

이 실시예에 있어서, 메모리블럭MB0-MB3을 구성하는 메모리매트MATL 및 MATR은 메모리셀을 비롯한 소자의 미세화를 도모하기 위해 +2.2V와 같은 비교적 작은 절대값의 내부전압VCL과 접지전위VSS 즉, 0V를 그 동작전원으로

하고, 센스앰프SAR34를 구성하는 단위증폭회로도 공통소오스선PP 및 PN을 거쳐서 공급되는 내부전압VCL 및 접지전위VSS를 그 동작전원으로 한다. 그러나, 이 실시예의 다이나믹형RAM은 소위 오버 드라이브방식을 채용하고, 공통소오스선PP에는 센스앰프SAR34가 활성화되는 당초 소정 기간만 전원전압VCC 즉, +3.3V가 공급된다. 이것에 의해 센스앰프의 단위증폭회로의 증폭동작의 상승이 고속화되고, 다이나믹형RAM의 리드동작이 고속화된다.

여기에서, 제12도의 신호파형도를 기본으로 센스앰프의 오버 드라이브방식에 대해서 간단히 설명한다. 제12도에 있어서, 센스앰프제어신호SAP3은 전원전압VCC 즉, +3.3V를 그 무효레벨로 하고, 접지전위VSS 즉, 0V를 그 유효레벨로 한다. 또, 센스앰프제어신호SAN3은 접지전위VSS를 그 무효레벨로 하고, 전원전압VCC를 그 유효레벨로 한다. 구동전압공급선CPP4에는 비선택시 및 센스앰프제어신호SAP3 및 SAN3이 유효레벨로 되고 나서 소정시간이 경과할 때까지의 동안, 전원전압VCC가 공급되고, 소정시간경과후에는 내부전압VCL 즉, +2.2V가 공급된다. 구동전압공급선CPN4에는 정상적으로 접지전위VSS가 공급된다. 도시되지 않은 프리챠지제어신호PC는 센스앰프SAR34가 비활성상태로 될 때, 소정의 타이밍에서 접지전위VSS와 같은 유효레벨로 되고, 활성상태로 된 시점에서 전원전압VCC와 같은 무효레벨로 된다.

센스앰프제어신호SAP3 및 SAN3이 무효레벨로 되고, 센스앰프SAR34가 비활성상태로 될 때, 센스앰프구동부SDR34에서 는 센스앰프구동회로SAD를 구성하는 구동MOSFETP4 및 NE가 오프상태로 됨과 동시에 공통IO선 프리챠지회로를 구성하는 MOSFETNF NH가 프리챠지제어신호PC의 유효레벨을 받아서 일제히 온상태로 된다. 이것에 의해 공통소오스선PP 및 PN은 MOSFETNF NH를 거쳐서 내부전압VCL과 접지전위의 중간전위 즉, 내부전압HVC으로 이퀄라이즈되고, 센스앰프SAR34의 단위회로USA0 등은 모두 비동작상태로 된다. 이 때, 메모리어레이ARYR34 또는 ARYR24에서는 센스앰프SAR34의 대응하는 단위회로의 비트선 프리챠지회로를 거쳐서 서브비트선SB0* SB255*의 비반전 및 반전신호선이 이퀄라이즈되고, 내부전압HVC와 같은 중간레벨로 프리챠지된다.

한편, 센스앰프제어신호SAP3 및 SAN3이 유효레벨로 되면, 센스앰프구동부SDR34에서는 공통IO선 프리챠지회로를 구성하는 MOSFETNF NH가 오프상태로 되고, 대신 센스앰프 구동회로SAD를 구성하는 구동MOSFETP4 및 NE가 온상태 로 된다. 이 때문에, 공통소오스선PP에는 구동전압공급선CPP4에서 구동MOSFETP4를 거쳐서 우선 전원전압VCC와 같은 구동전압이 공급되고, 소정시간경과후에는 내부전압VCL과 같은 구동전압(전원전압)이 공급된다. 또, 공통소오스선PN에는 구동전압공급선CPN4를 거쳐서 접지 전위 (전원전위)VSS가 공급된다. 이것에 의해 센스앰프SAR34의 각 단위회로를 구성하는 단위증폭회로가 동작상태로 되고, 메모리어레이ARYR34 또는 ARYR24의 선택된 서브워드선에 결합된 메모리셀에서 대응하는 서브비트선SB0* 등으로 출력되는 미소리드신호를 각각 증폭하고, 하이레벨 또는 로우레벨의 2진 리드신호로 한다. 또, 센스앰프SAR34가 활성화되는 당초에 있어서, 공통소오스선PP에 오버드라이브를 위한 전원전압VCC가 공급되는 것에 의해 단위증폭회로의 증폭동작의 상승이 고속화되고, 이것에 의해서 다이나믹형RAM의 리드모드의 엑세스타임이 고속화되게 된다.

그런데, 제12도의 실시예에서는 구동전압공급선CPP4를 거쳐서 공급되는 구동전압을 일시적으로 전원전압VCC로 하는 것에 의해서 센스앰프의 오버드라이브를 실현하고 있지만, 제13도(A)에 도시되는 바와 같이 전원전압VCC, 내부전압VCL 및 접지전위VSS가 각각 정상적으로 공급되는 3개의 구동전압공급선을 마련하는 것에 의해서 동일한 오버드라이브를 실현할 수도 있다. 즉, 제13도(A)에서는 공통소오스선PP와 전원전압VCC 및 내부전압VCL 사이에 센스앰프 구동회로SAD를 구성하는 P채널의 구동MOSFETP8 및 P9가 각각 마련되고, 공통소오스선PN과 접지전위VSS 사이에는 N채널형의 구동MOSFETNE가 마련된다.

이 중, 구동MOSFETP8 및 P9의 게이트에는 센스앰프제어신호SAP31 및 SAP32가 각각 공급되고, 구동MOSFETNE의 게이트에는 센스앰프제어신호SAN3이 공급된다. 이 실시예에 있어서, 센스앰프제어신호SAP31에는 제14도에 도시되는 바와 같이 센스앰프제어신호SAN3과 동시에 유효레벨로 되고, 소정시간이 경과한 시점에서 무효레벨로 되돌려진다. 또, 센스앰프제어신호SAP32는 센스앰프제어신호SAP31 및 SAN3이 유효레벨로 되고 나서 소정시간이 경과한 시점에서 센스앰프제어신호SAP31이 무효레벨로 되돌려지는 것과 동시에 우효레벨로 된다. 이 결과, 공통소오스선PP에는 센스앰프제어신호SAP31이 유효레벨로 되고 나서 센스앰프제어신호SAP32가 유효레벨로 되기까지의 동안, 전원전압VCC가 구동전압으로서 소정시간만큼 공급되고, 이것에 의해서 상기 제12도와 동일한 센스앰프의 오버드라이브를 실현할 수 있다.

한편, 이 실시예의 다이나믹형RAM에서는 메모리셀의 리플레쉬동작이 동일행에 배치된 8개의 서브메모리매트SMR00 SMR07 내지 SMR70 SMR77을 단위로 해서 진행된다. 이 때, 센스앰프제어신호SAP0 SAP7 및 SAN0 SAN7은 리플레쉬동작의 진행에 따라서 순차 유효레벨로 되지만, 예를 들면 서브메모리매트SMR30 SMR37의 리플레쉬동작이 종료하고, 서브메모리매트SMR40 SMR47로 이행하는 경우, 센스앰프제어신호 SAP3 및 SAN3은 소정시간만큼 다음의 센스앰프제어신호SAP4 및 SAN4와 동시에 유효레벨로 되어 소위 전하재이용 리플레쉬가 실행된다. 이것에 의해 센스앰프SAR30 SAR37의 공통소오스선PP 및 PN에 챠지된 구동전압VCL 또는 VSS에 상당하는 전하는 구동전압공급선CPP0 CPP7 및 CPN0 CPN7을 거쳐서 센스앰프SAR30 SAR37의 공통소오스선PP 및 PN으로 전달되어 재이용된다. 이 결과, 재차 구동전압공급선CPP0 CPP7 및 CPN0 CPN7을 거쳐서 공급할 구동전압의 전하량이 절약되어 다이나믹형RAM의 저소비전력화가 도모된다.

또, N채널MOSFETNL 및 NM 대신에 서브공통IO선SIO0B, SIO07와 메인공통IO선 MIO40B, MIO40T 사이에 결합되고, 증폭기능을 갖는 신호전송회로를 사용하는 것도 가능하다. 이 경우, 신호(데이타)전송의 고속화를 실현할 수 있다.

제10도의 설명으로 되돌아간다. 이 실시예의 센스앰프구동부SDR34는 또, N채널형의 한쌍의 리드용 차동MOSFETNP 및 NQ와 한쌍의 라이트용 스위치MOSFETNL 및 NM을 포함하는 서브메인앰프SMA와 3개의 P채널MOSFETP5 P7 및 N채널MOSFETN1 NK가 각각 직렬병렬 결합되어 이루어지는 2개의 서브공통IO선 프리챠지회로를 구비한다. 이 중, 한쪽의 서브공통IO선 프리챠지회로를 구성하는 MOSFETNI NK의 게이트에는 상기 내부제어신호PC의

인버터V2에 의한 반전신호 즉, 반전내부회로제어신호PCB가 공통으로 공급되고, 다른쪽의 서브공통IO선 프리챠지회로를 구성하는 MOSFETP5 P7의 게이트에는 내부제어신호PCS가 공통으로 공급된다. 이것에 의해 MOSFETNI-NK는 다이나믹형RAM이 라이트모드로 될 때, 내부제어신호PC가 로우레벨 즉, 반전내부제어신호PCB가 하이레벨로 되는 것에 의해 선택적으로 온상태로 되고, 서브공통IO선SIO0*의 비반전 및 반전신호시간을 내부전압HVC로 이퀄라이즈한다. 또, MOSFETP5 P7은 다이나믹형RAM이 리드모드로 될 때, 내부제어신호PCS가 로우레벨로 되는 것에 의해 선택적으로 온상태로 되고, 서브공통IO선SIO0*의 비반전신호 및 반전신호선 사이를 내부전압VCL로 이퀄라이즈한다.

한편, 서브메인앰프SMA를 구성하는 라이트용 스위치MOSFETNL및 NM의 드레인 및 소오스는 메인공통IO선 MIO40* 및 서브공통IO선 SIO0*의 반전신호 및 비반전신호선에 각각 결합되고, 그 게이트에는 내부제어신호WE3이 공통으로 공급된다. 또, 리드용 차동MOSFETNP 및 NQ의 드레인은 N채널MOSFETNN 및 NO를 거쳐서 메인공통IO선 MIO40*의 비반전 및 반전신호선에 각각 결합되고, 그 공통결합된 소오스는 N채널형의 구동MOSFETNR을 거쳐서 접지전위VSS에 결합된다. 차동MOSFETNP 및 NQ의 게이트는 서브공통IO선 SIO0*의 반전 및 비반전신호선에 각각 결합되고, MOSFETNN 및 NO와 NR의 게이트에는 내부제어신호RE3이 공통으로 공급된다. 또한, 내부제어신호WE3온 다이나믹형RAM이 라이트모드에서 선택상태로 될 때, 소정의 타이밍에서 선택적으로 내부전압VCL과 같은 하이레벨로 되고, 내부제어신호RE3은 리드모드에서 선택상태로 될 때, 소정의 타이밍에서 선택적으로 하이레벨로 된다. 이것에 의해 서브메인앰프SMA의 라이트용 스위치MOSFETNL 및 NM은 다이나믹형RAM이 라이트모드에서 선택상태로 되고, 내부제어신호WE3이 하이레벨로 되는 것에 의해 선택적으로 온상태로 되고, 메인앰프MAR에서 메인공통IO선 MIO40*을 거쳐서 공급되는 라이트신호를 서브공통IO선SIO0*으로 전달된다. 이들의 라이트신호는 서브공통IO선SIO0*에서 센스앰프SAS34의 대응하는 단위회로를 거쳐서 메모리어레이ARVR34의 선택된 메모리셀에 라이트된다. 한편, 서브메인앰프SMA를 구성하는 리드용 차동MOSFETNP 및 NQ는 다이나믹형RAM이 리드모드에서 선택상태로 되 고, 내부제어신호RE3의 하이레벨을 받아서 MOSFETNN 및 NO와 NR이 온상태로 될 때, 이들의 MOSFET와 함께 선택적으로 소위 의사다이렉트형의 차동증폭회로를 구성하고, 메모리어레이ARYR34의 선택된 메모리셀에서 출력되고, 센스앰프SAR34의 대응하는 단위증폭회로에 의해 증폭되고 또한, 서브공통IO선 SIO0*를 거쳐서 출력되는 2진 리드신호를 더욱 증폭해서 대응하는 메인공통IO선 MIO40*으로 전달한다. 상술한 바와 같이 서브공통IO선 SIO0*는 열방향으로 인접하는 2개의 서브메모리매트SMR34 및 SMR35에 의해 공유되고, 그 배선길이는 이들의 서브메모리매트의 비트선방향의 폭에 상당하는 비교적 짧은 것으로 된다. 또, 센스앰프SAR34의 대응하는 단위 증폭회로에서 서브공통IO선 SIO0*으로 출력된 2진 리드신호는 서브메인앰프SMA의 리드용 차동MOSFETNP 및 NQ를 중심으로 하는 차동증폭회로에 의해서 더욱 증폭되고, 비교적 긴 배선길이를 갖는 메인공통IO선MIO40*으로 전달된다.

이들의 결과, 이 실시예에서는 열선택시에 있어서의 센스앰프SAR34의 각 단위증폭회로에 대한 부하를 경감하면서 선택된 메모리셀의 리드신호를 효과적으로 메인공통IO선 MIO40* 즉, *메인앰프MAR이 대응하는 단위회로로 전달할 수 있고, 이것에 의해서 다이나믹형RAM의 리드모드에 있어서의 액세스타임을 고속화할 수 있게 된다. 또한, 이 실시예에 있어서, 서브메인앰프SMA를 포함하는 센스앰프구동회로SAD34는 후술하는 바와 같이 센스앰프SAR34 등의 배치영역과 서브워드선 구동부WDR34 등의 배치영역의 교차영역에 배치되므로, 그 레이아웃면적의 증대를 억제하면서 액세스타임의 고속화를 도모할 수 있다.

그런데, 메인공통IO선 MIO40* 등의 배선길이가 비교적 짧거나 또는 그 부하 용량이 문제로 되지 않는 경우, 서브메인앰프SMA는 제11도 및 제13도에 예시되는 바와 같이 라이트용 및 리드용으로서 겸용되는 스위치MOSFETNL 및 NM만에 의해서 구성 할 수 있다.

제15도에는 제4도의 서브메모리매트SMR34의 메모리어레이ARYR34 및 그 주변부에 있어서의 금속배선층의 1실시예의 평면배치도가 도시되어 있다. 또 제16도에는 제4도의 서브메모리매트SMR34에 포함되는 서브워드선 구동부WDR34의 1실시예의 부분적인 평면배치도가 도시되고, 제17도에는 센스앰프SAR34 및 센스앰프 구동부SDR34의 1실시예의 평면배치도가 도시되어 있다. 이 도면에 의해 서브메모리매트SMR34 및 그 주변부에 있어서의 특히 금속배선층의 평면배치 및 그 특징에 대해서 설명한다. 또한, 금속배선층에 관한 이하의 설명이 서브메모리매트SMR34를 제외한 다른 서브메모리매트에도 적용할 수 있는 것은 물론이다.

제15도에 있어서, 이 실시예의 다이나믹형RAM은 알루미늄 등으로 이루어지는 3층의 금속배선층M1 M3을 갖는다. 이 중, 최상층으로 되는 제3층의 금속배선층M3은 주로 도면의 수평 방향에 즉, 서브비트선과 평행하고 또한, 여러개의 서브메모리매트 사이에 걸쳐서 배치되는 비트선 선택 신호US40 US463 등, 서브워드선 구동신호DX40 DX47 등, 메인공통IO선MIO40* MIO43* 등 및 구동전압공급선CPP2, CPN2, CPP4 및 CPN4 등으로서 사용되고, 제2층의 금속배선층M2는 주로 도면의 수직방향으로 즉, 서브워드선과 평행하고 또한 여러개의 서브메모리매트사이에 걸쳐서 배치되는 메인워드선 MW30* MW363* 등, 서브공통IO선 SIO0* SIO3* 등, 반전공유제어신호선SH3LB SH4LB 및 SH3RB SH4RB 등, 센스앰프 구동신호선SAP3 SAP4 및 SAN3 SAN4 등과 내부제어신호선PC, PCS, WE3 WE4, RE3 등으로서 사용된다. 또, 최하층으로 되는 제1층의 금속배선층M1은 각 회로를 구성하는 MOFSET 등의 소자간 배선 등으로서 사용된다.

이 실시예에 있어서, 제2층의 금속배선층M2로 이루어지는 메인워드선MW30* 즉, 비반전메인워드선MW30T 및 반전메인워드선MW30B 등은 제16도에 예시되는 바와 같이 제1층의 게이트층FG로 이루어지는 메모리어레이ARYR34의 서브워드선SW0 SW7 등의 8배의 피치로 충분한 여유를 갖고 배치된다. 또, 제3층의 금속배선층M3으로 이루어지는 도시되지 않은 우측부에 있어서 2개로 분기된 서브워드선 구동신호선DX40, DX42, DX44 및 DX46 등의 한쪽은 서브워드선 구동부WDR34를 구성하는 P채널MOSFET의 형성영역상에 평행하게 배치되고, 그 다른쪽은 서브워드선 구동부WDR34를 구성하는 N채널MOSFET의 형성영역상에 평행하게 배치된다. 이들의 서브워드선 구동신호의 중간에는 P채널MOSFET의 형성영역으로 되는 N웰영역에 기판전위 즉, 내부전압VCH를 공급하기 위한 공급배선이 마찬

가지로 제3층의 금속배선층M3에 의해서 형성된다. 또, 그 하층에는 인접하는 메모리어레이 ARYR34 및 ARYR33의 우수번호의 서브워드선SW0, SW2, SW4 및 SE6 등을 서로 공통결합하기 위한 결합배선이 제1층의 금속배선층M1에 의해서 형성된다.

한편, 제3층의 금속배선층M3으로 이루어지는 비트선 선택신호YS40등은 제17도에 예시되어 있는 바와 같이 제2층의 게이트층SG로 이루어지는 메모리어레이ARVR34의 서브비트선SB0*- SB3* 즉, 비반전서브비트선SBOT SB3T 및 반전SB0B SB3B 등의 4배 즉, 실질적으로 8배의 피치로 충분한 여유를 갖고 배치된 다. 또, 제3층의 금속배선층M3으로 이루어지는 메인공통IO선 ,MIO40* 즉, 비반전메인공통IO선 MIO40T 및 MIO40B와 구동전압공급선CPP4 및 CPN4 등온 서브워드선 구동부WDR24 및 WDR34와 센스앰프구동부SDR34 등의 배치영역상에 배치되고, 제2층의 금속배선층M2로 이루어지는 서브공통IO선 SIO0* 및 SIO1* 즉, 비반전서브공통IO선 SIO0T 및 SIO1T와 반전서브공통IO선 SIO0B 및 SIO1B 등, 반전공유제어신호선SH3LB 및 SH3RB SH4RB 등, 센스앰프구동신호선SAP3 및 SAN3 등과 내부제어신호선PC, PCS, WE3 및 RE등은 등은 센스앰프SAR34 및 센스앰프구동부SDR34등의 배치영역상에 배치된다. 이상의 결과, 여러개의 서브메모리매트에 걸쳐서 신호전달을 실행하는 신호선이 3층의 금속배선층을 사용해서 효율좋게 배치되고, 이것에 의해서 서브메모리매트 더 나아가서는 다이나믹형RAM의 레이아웃효율이 상승하게 된다.

또, 이 실시예의 다이나믹형RAM에서는 상술한 바와 같이 제2층의 금속배선층M2 또는 제3층의 금속배선층M3으로 이루어지는 특히 집적도가 높은 메모리어레이와 관계가 깊은 메인워드선MW30* MW363* 등 및 비트선 선택 신호 YS40 YS463 등이 충분한 여유를 갖고 배치되므로, 이들의 금속배선층은 소위 위상시프트 마스크를 사용하는 일 없이 패터닝되고, 이들에 의해서 다이나믹형RAM의 저코스트화가 도모된다. 제18도에는 제1도의 다이나믹형RAM의 각 서브메모리매트를 구성하는 메모리어레이 및 주변부의 제1실시예의 평면배치도가 도시되어 있고, 제2도(A), 제2도(B) 및 제2도(C)에는 그 1실시예의 단면구조도가 도시되어 있다. 또, 제19도에는 제1도의 다이나믹형RAM의 각 서브메모리매트를 구성하는 메모리어레이 및 주변부의 제2실시예의 평면배치도가 도시되고, 제22도(A), 제22도(B) 및 제22도(C)에는 그 1실시예의 단면구조도가 도시되어 있다. 또, 제20도에는 제1도의 다이나믹형RAM의 각 서브메모리매트를 구성하는 메모리어레이 및 주변부의 제3실시예의 평면배치도가 도시되고, 제23도(A), 제23도(B) 및 제23도(C)에는 그 1실시예의 단면구조도가 도시되어 있다. 이들의 도면을 기본으로 이 실시예의 다이나믹형SAM의 특히 웰구조의 개요와 기판전압 및 그 특징에 대해서 설명한다. 또, 이하의 실시예에서는 다이나믹형RAM의 웰구조 및 기판전압을 알기 쉽게 설명하는 것을 주안점으로 해서 지금까지 게재한 다이나믹형RAM의 기판배치에 구애받지 않고 심볼릭하게 표현되고 있다. 또, 이하의 기술에서는 우선, 제18도, 제21도(A), 제21도(B) 및 제21도(C)의 제1실시예에 대해서 상세하게 설명하고, 제19도, 제22도(A), 제22도(B) 및 제22도(C)의 제2실시예와 제20도, 제23도(A), 제23도(B) 및 제23도(C)의 제3실시예에 대해서는 이것과 다른 부분에 대해서만 설명을 추가한다.

제18도, 제21도(A), 제21도(B) 및 제21도(C)에 있어서, 다이나믹형RAM은 -1V와 같이 비교적 작은 절대값의 부전위로 되는 내부전압VB1이 인가된 P형 반도체기판PSUB를 그 기판으로 한다. 또, 메모리어레이ARY1을 구성하는 메모리셀MC 즉, 어드레스선택MOSFET로 되는 N채널MOSFET는 반도체기판PSUB상이고 또한 대응하는 센스앰프SA1의 배치영역으로 침범해서 마련된 P웰영역 PW2에 형성되고, 쌍을 이루는 메모리어레이ARY2를 구성하는 메모리셀MC 즉, 어드레스선택MOSFET로 되는 N채널MOSFET도 역시 반도체기판PSUB상이고 또한 대응하는 센스앰프SA1의 배치영역으로 침범해서 마련된 P웰영역PW2에 형성된다. P웰영역PW1 및 PW2에는 기판전압으로서 내부전압VB1이 공급되고, 이 내부전압VB1이 그대로 반도체기판PSUB1의 기판전 압으로 된다.

마찬가지로, 메모리어레이ARY3을 구성하는 메모리셀MC 즉, 어드레스선택MOFFET으로 되는 N채널MOSFET는 반도체기판PSUB상이고 또한 대응하는 센스앰프SA2 및 서브워드구동부WD1의 배치영역으로 침범해서 마련된 P웰영역PW3에 형성되고, 쌍을 이루는 메모리어레이ARY4를 구성하는 메모리셀MC의 어드레스선택MOFSET로 되는 N채널MOSFET도 역시 센스앰프SA2 및 서브워드선 구동부WD2의 배치영역으로 침범해서 마련된 P웰영역PW4에 형성된다. P웰영역PW3 및 PW4에는 기판전압으로서 내부전압VB1이 공급된다.

P웰영역PW1 및 PW3의 우측끝부 및 P웰영역PW2와 PW4의 좌측끝부에는 센스앰프SA1 또는 SA2를 구성하는 N채널MOSFET(NMOS)가 각각 형성된다. 또, P웰영역PW1 및 PW2 사이에서 PW3 및 PW4 사이에는 전원전압VCC를 기판전압으로 하는 N웰영역NW1 및 NW2가 각각 마련되고, 이들의 N웰영역내에는 센스앰프SA1 또는 SA2를 구성하는 P채널MOSFET(PMOS)가 각각 형성된다. P웰영역PW1 및 PW3의 바깥쪽에는 차단용의 N웰영역NW9가 마련되고, P웰영역PW2 및 PW4의 바깥쪽에는 마찬가지로 차단용의 N웰영역NW10이 마련된다.

마찬가지로, P웰영역PW3의 상단부에는 서브워드선 구동부WD1을 구성하는 N채널MOSFET가 형성되고, P웰영역PW4의 상단부에는 서브워드선 구동부WD2를 구성하는 N채널MOSFET가 형성된다. 또, P웰영역PW1 및 PW3 사이와 PW2 및 PW4 사이에는 내부전압VCH를 기판전압으로 하는 N웰영역NW3 및 NW4가 각각 마련되고, 이들의 N웰영역내에는 서브워드선 구동부WD1 또는 WD2를 구성하는 P채널MOSFET가 각각 형성된다. P웰영역PW1 및 PW2의 바깥쪽에는 차단용의 N웰영역NW13이 마련되고, P웰영역PW3 및 PW4의 바깥쪽에는 N웰영역NW14가 마련된다.

한편, 주변회로PC를 구성하는 P채널MOSFET는 반도체기판PSUB상에 마련된 N웰영역NW5에 형성되고, N채널MOSFET는 비교적 깊은 N웰영역DNW1내에 마련된 P웰영역PW5에 형성된다. P웰영역PW5의 우측바깥쪽에는 차단용의 N웰영역NW11이 형성되고, 깊은 N웰영역DNW1에는 이 N웰영역NW11과 상기 N웰영역NW5를 거쳐서 기판전압으로되는 전원전압VCC가 공급된다. P웰영역PW5에는 접지전위VSS가 기판전압으로서 공급된다.

또, 데이타입출력회로IO를 구성하는 P채널MOSFET는 반도체기판PSUB상에 마련된 N웰영역NW6에 형성되고, N채널MOSFET는 비교적 깊은 N웰영역DNW2내에 마련된 P웰영역PW6에 형성된다. N웰영역NW6의 좌측바깥쪽에는 차단용의 P웰영역PW13이 형성되고, P웰영역PW6의 우측바깥쪽에는 차단용의 N웰영역NW12가 형성된다. 깊은 N웰영역DNW2에는 이 N웰영역NW12와 N웰영역NW6을 거쳐서 기판전압으로 되는 전원전압VCC가 공급된다. 또, P

웰영역PW6에는 -2V와 같이 비교적 큰 절대값의 부전위로 되는 내부전압VB2가 기판전압으로서 공급된다.
이상과 같이 이 실시예의 다이나믹형RAM은 소위 트리플웰구조를 채택하고, 메모리어레이ARY1 ARY4의 메모리셀 MC로 되는 N채널MOSFET와 센스앰프SA1 SA2 및 서브워드선 구동부WD1 및 WD2를 구성하는 N채널MOSFET가 동일한 P웰영역에 형성됨과 동시에 웰영역간 분리를 위한 차단영역이 불필요하게 되고, 이것에 의해서 다이나믹형RAM의 칩사이즈를 축소할 수 있다. 또, 센스앰프SA1 SA2의 예를들면 공통소 오스선 구동용의 P채널MOSFET의 형성영역으로 되는 N웰영역NW1 및 NW2가 전원 전압VCC를 기판전압으로 하는 것에 의해 후술하는 전원투입시의 래치업의 위험성을 없앨 수 있다. 그러나, 센스앰프부의 P채널MOSFET에 관해서는 기판효과가 작지만, N채널MOSFET에 관해서는 소오스전위로 되는 접지전위VSS와 기판전압으로 되는 내부전압VB1의 전위차가 1V로 되고, 그 스레쉬홀드전압이 크게 되어 센스앰프의 동작에 영향을 미친다. 또, 메모리어레이ARY1 ARY4의 형성영역으로 되는 P웰영역 PW1 PW4가 반도체기판PSUB상에 직접 형성되는 것에 의해 데이타입출력회로IO의 동작 등에 따른 반도체기판PSUB의 기판전압의 변동이 그대로 노이즈로 되어 메모리셀로 전달됨과 동시에 메모리어레이ARY1 ARY4와 센스앰프SA1-SA2 사이에 차단영역이 마련되지 않는 것에 의해 센스앰프SA1 SA2의 동작에 따른 노이즈가 메모리셀로 전달된다.
다음에, 제19도, 제22도(A), 제22도(B) 및 제22도(C)의 제2실시예의 경우, 다이나믹형RAM은 접지전위VSS가 인가된 P형반도체기판PSUB를 그 기판으로 한다. 메모리어레이ARY1을 구성하는 메모리셀MC 즉, 어드레스선택MOSFET로 되는 N채널MOSFET는 내부전압VCH 즉, 워드선의 선택전위가 인가된 비교적 깊은 N웰영역DNW3내에 또 대응하는 센스앰프SA1의 배치영역으로 침범해서 마련된 P웰영역PW1에 형성되고, 쌍을 이루는 메모리어레이ARY2를 구성하는 메모리셀MC 즉, 어드레스선택MOSFET로 되는 N채널MOSFET도 역시 깊은 N웰영역DNW3내이고 또한 대응하는 센스앰프SA1의 배치영역으로 침범해서 마련된 P웰영역PW2에 형성된다. P웰영역PW1 및 PW2에는 비교적 작은 절대값의 부전위 즉, 내부전압VB1이 기판전압으로서 공급 된다. 마찬가지로, 메모리어레이ARY3을 구성하는 메모리셀MC 즉, 어드레스선택MOSFET로 되는 N채널MOSFET는 상기 깊은 N웰영역DNW3내이고 또한 대응하는 센스앰프SA2 및 서브워드선 구동부WD1의 배치영역으로 침범해서 마련된 P웰영역PW3에 형성되고, 쌍을 이루는 메모리어레이ARY4를 구성하는 메모리셀MC의 어드레스선택MOSFET로 되는 N채널MOSFET도 역시 깊은 N웰영역DNW3내이고 또한 센스앰프SA2 및 서브워드선 구동부WD2의 배치영역으로 침범해서 마련된 P웰영역PW4에 형성된다. P웰영역PW3 및 PW4에는 기판전압으로서 -1V의 내부전압VB1이 공급된다.
P웰영역PW1 및 PW3의 좌측끝부 및 P웰영역PW2 및 PW4의 좌측끝부에 는 센스앰프SA1 또는 SA2를 구성하는 N채널MOSFET가 각각 형성된다. 또, P웰영역PW1 및 PW2 사이와 PW3 및 PW4사이에는 N웰영역NW1 및 NW2가 각각 마련되고, 이들의 N웰영역내에는 센스앰프SA1 또는 SA2를 구성하는 P채널MOSFET가 각각 형성된다. 또, 이들의 N웰영역NW1 및 NW2에는 기판전압으로서 +4V의 내부전압VCH가 공급되고, 이것이 그대로 깊은 N웰영역DNW3의 기판전압으로 된다.
마찬가지로, P웰영역PW3의 상단부에는 서브워드선 구동부WD1을 구성하는 N채널MOSFET가 형성되고, P웰영역PW4의 상단부에는 서브워드선 구동부WD2를 구성하는 N채널MOSFET가 형성된다. 또, P웰영역PW1 및 PW3사이와 PW2 및 PW4사이에는 내부전압VCH를 기판전압으로 하는 N웰영역NW3 및 NW4가 각각 마련되고, 이들의 N웰영역내에는 서브워드선구동부WD1 또는 WD2를 구성하는 P채널MOSFET가 각각 형성된다.
한편, 주변회로PC를 구성하는 P채널MOSFET는 반도체기판PSUB상에 마련된 N채 널영역NW5에 형성되고, 그 N채널MOSFET는 역시 반도체기판본체PSUB상에 마련된 P웰영역PW5에 형성된다. N웰영역NW5에는 기판전압으로서 전원전압VCC가 공급된다. 또, P웰영역PW5에는 기판전압으로서 접지전위VSS가 공급되고, 이것이 그대로 반도체기판PSUB의 기판전압으로 된다.
이상과 같이 이 실시예의 경우, 메모리어레이 ARY1 ARY4의 메모리셀ME로 되는 N채널MOSFET와 센스앰프SA1 SA2 및 서브워드선 구동부WD1 및 WD2를 구성하는 N채널MOSFET가 동일한 P웰영역에 형성되고, 웰영역간 분리를 위한 차단영역이 불필요하게 되어 칩사이즈가 축소됨과 동시에 이들의 회로의 형성영역으로 되는 N웰영역DNW3내에 형성되는 것에 의해 반도체기판PSUB의 기판전압의 변동이 노이즈로되어 메모리어레이ARY1 ARY4의 메모리셀로 전달되는 방지할 수 있다는 장점이 있다. 그러나, 센스앰프SA1 SA2를 구성하는 P채널MOFST의 형성영역으로 되는 N웰영역NW1 및 NW2가 내부전압VCH를 기판전압으로 하는 것에 의해 전원투입시, 내부전압VCH의 전위가 전원전위VCC보다 낮은 동안에 예를 들면, 소오스에 전원전압VCC를 받는 P채널MOSFET의 소오스 확산중에서 N웰영역에 대해서 전류가 흘러 들어가 최악의 경우에는 래치업상태로 될 위험성이 있다. 또, N웰영역NW1 및 NW2가 래치업상태로 될 위험성이 있다. 또, N웰영역NW1 및 NW2가 내부전압VCH를 기판전압으로 하고, N채널MOSFET의 형성영역으로 되는 P웰영역PW1 PW4가 내부전압VB1을 기판전압으로 하는 것에 의해 P채널 및 N채널MOSFET의 기판효과가 모두 크게 되어 그 스레쉬홀드 전압이 크게 되어 센스앰프의 동작에 영향을 미친다. 또, 메모리어레이ARY1 ARY4와 센스앰프SA1 SA2사이에 차단영역이 마련되지 않으므로, 센스앰프SA1 SA2가 일 제히 동작상태로 되는 것에 따른 노이즈가 메모리셀로 전달된다.
다음에, 제19도, 제22도(A), 제22도(B) 및 제22도(C)의 제2실시예의 경우, 다이나믹형RAM은 접지전위VSS가 인가된 P형 반도체기판PSUB를 그 기판으로 한다. 메모리어레이ARY1을 구성하는 메모리셀MC 즉, 어드레스선택MOSFET로 되는 N채널MOSFET는 내부전압VCH 즉, 워드선의 선택전위가 인가된 비교적 깊은 N웰영역DNW3에 또 대응하는 센스앰프SA1의 배치영역에 들어가 마련된 P웰영역PW1에 형성되고, 쌍을 이루는 메모리어레이ARY2를 구성하는 메모리셀MC 즉, 어드레스선택MOSFET로 되는 N채널MOSFET도 역시 깊은 N웰영역DNW3내에 또 대응하는 센스앰프SA1의 배치영역에 들어가 마련된 P웰영역PW2에 형성된다. P웰영역PW1 및 PW2에는 비교적 작은 절대값의 부전위 즉, 내부전압VB1이 기판전압으로서 공급된다.

마찬가지로, 메모리어레이ARY3을 구성하는 메모리셀MC 즉, 어드레스선택MOSFET로 되는 N채널MOSFET는 상기 깊은 N웰영역DNW3내에 또 대응하는 센스앰프SA2 및 서브워드선 구동부WD1의 배치영역에 들어가 마련된 P웰영역PW3에 형성되고, 쌍을 이루는 메모리어레이ARY4를 구성하는 메모리셀MC의 어드레스선택MOSFET로 되는 N채널MOSFET도 역시 깊은 N웰영역DNW3내에 또 센스앰프SA2 및 서브워드선구동부WD2의 배치영역에 들어가 마련된 P웰영역PW4에 형성된다. P웰영역PW3 및 PW4에는 기판전압으로서 -1V의 내부전압VB1이 공급된다.
P웰영역PW1 및 PW3의 우측끝부와 P웰영역PW2 및 PW4의 좌측끝부에는 센스앰프SA1 또는 SA2를 구성하는 N채널MOSFET가 각각 형성된다. 또, P웰영역PW1 및 PW2 사이 및 PW3 및 PW4사이에는 N웰영역NW1 및 NW2가 각각 마련되고, 이들의 N웰영역내에는 센스앰프SA1 또는 SA2를 구성하는 P채널MSOFET가 각각 형성된다. 또, 이들의 N웰영역NW1 및 NW2에는 기판전압으로서 +4V의 내부전압VCH가 공급되고, 이것이 그대로 깊은 N웰영역DNW3의 기판전압으로 된다.
마찬가지로, P웰영역PW3의 상단부에는 서브워드선 구동부WD1을 구성하는 N채널MOSFET가 형성되고, P웰영역PW4의 상단부에는 서브워드선 구동부WD2를 구성하는 N채널MSOFET가 형성된다. 또, P웰영역PW1 및 PW3사이와 PW2 및 PW4사이에는 내부전압VCH를 기판전압으로 하는 N웰영역NW3 및 NW4가 각각 마련되고, 이들의 N웰영역내에는 서브워드선 구동부WD1 또는 WD2를 구성 하는 P채널MOSFET가 각각 형성된다.
한편, 주변회로PC를 구성하는 P채널MOSFET는 반도체기판PSUS상에 마련된 N웰영역NW5에 형성되고 N채널MOSFET는 역시 반도체기판PSUB상에 마련된 P웰영역PW5에 형성된다. N웰영역NW5에는 기판전압으로서 전원전압VCC가 공급된다. 또, P웰영역PW5에는 기판전압으로서 접지전위VSS가 공급되고, 이것이 그대로 반도체기판PSUB의 기판전압으로 된다.
이상과 같이 이 실시예의 경우, 메모리어레이ARY1 ARY4의 메모리셀MC로 되는 N채널MSOFET와 센스앰프SA1 SA2와 서브워드선구동부WD1 및 WD2를 구성하는 N채널MOSFET가 동일한 P웰영역에 형성되고, 웰영역간 분리를 위한 차단영역이 불필요하게 되어 칩사이즈가 축소됨과 동시에 이들 회로의 형성영역으로 되는 P웰영역PW1 PW4 및 N웰영역NW1 NW4가 비교적 깊은 N웰영역DNW3내에 형성되는 것에 의해 반도체기판PSUB의 기판전압의 변동이 노이즈로 되어 메모리어레이ARY1 ARY4의 메모 리셀로 전달되는 것을 방지할 수 있다는 장점을 갖는다. 그러나, 센스앰프SA1 SA2를 구성하는 P채널MOSFET의 형성영역으로 되는 N웰영역NW1 및 NW2가 내부전압VCH를 기판전압으로 하는 것에 의해 전원투입시, 내부전압VCH의 전위가 전원전압VCC보다 낮은 동안에 예를 들면, 그 소오스에 전원전압VCC를 받는 P채널MOSFET의 소오스확산층에서 N웰영역에 대해서 전류가 흘러들어가 최악인 경우에는 래치업상태로 될 위험성이 있다. 또, N웰영역NW1 및 NW2가 내부전압VCH를 기판전압으로 하고, N채널MOSFET의 형성영역으로 되는 P웰영역PW1 PW4가 내부전압VB1을 기판전압으로 하는 것에 의해 P채널 및 N채널MOSFET의 기판효과가 모두 크게 되고 그 스레쉬홀드전압이 크게 되어 센스앰프의 동작에 영향을 미친다. 또, 메모리어레이ARY1 ARY4와 센스앰프SA1 SA2 사이에 차단영역이 마련되지 않으므로, 센스앰프SA1 SA2가 일제히 동작상태로 되는 것에 따른 노이즈가 메모리셀로 전달된다.
마지막으로 제20도, 제23도(A), 제23도(B) 및 제23도(C)의 제3실시예의 경우, 기본적으로는 상기 제2실시예에 가깝지만, 센스앰프SA1 및 SA2를 구성하는 N채널MOSFET는 반도체기판PSUB상에 독립해서 마련된 P웰영역PW11 및 PW12를 형성영역으로 한다. 이들의 P웰영역PW11 및 PW12에는 기판전압으로서 접지전위VSS가 공급된다. 또, P웰영역PW11 및 PW12와 메모리어레이ARY1 및 ARY3이 형성되는 P웰영역PW7 사이에는 N웰영역NW16이 차단영역으로서 마련된다.
이들의 것에서 이 실시예에서는 차단영역이 마련되는 것에 의해 칩사이즈가 약간 크게는 되지만, 상기 제2실시예의 장점을 유지하면서, 센스앰프SA1 및 SA2를 구성하는 P채널 및 N채널MOSFET의 기판효과를 없애고 센스앰프SA1 및 SA2의 동작을 고속화할 수 있음과 동시에 이들의 센스앰프의 동작에 따른 노이즈가 메모리셀로 전달되는 것을 방지하여 더욱 래치업의 위험성을 없앨 수 있다.
이상의 실시예에서 얻어지는 작용효과는 다음과 같다. 즉,
[1] 다이나믹형RAM 등의 메모리매트를 서로 직교해서 배치되는 서브워드선 및 서브비트선과 이들의 서브워드선 및 서브비트선의 교점에 격자형상으로 배치되는 다이나믹형 메모리셀을 포함하는 메모리어레이, 서브워드선과 대응해서 마련되는 단위서브워드선 구동회로를 포함하는 서브워드선 구동부, 서브비트선과 대응해서 마련되는 단위증폭회로 및 열선택스위치를 포함하는 센스앰프, 지정되는 서브비트선이 열선택스위치를 거쳐서 선택적으로 접속되는 서브공통IO선을 각각 구비하는 여러개의 서브메모리매트로 분할하고 유닛화함과 동시에 이들의 서브메모리매트를 격자형상으로 배치하고, 그 상층에 서로 직교해서 배치되는 메인워드선 및 열선택신호선과 지정된 서브공통IO선이 선택적으로 접속되는 메인공통IO선 등을 형성하는 것에 의해 계층구조를 워드선, 비트선 및 공통IO선 모두에 포괄적으로 채용하고 계층구조의 효과를 충분하게 발휘할 수 있는 구성의 다이나믹형RAM 등을 실현할 수 있다는 효과가 얻어진다.
[2] 상기 [1]에 있어서, 단위서브워드선 구동회로를 서브워드선의 양측에 교대로 또한 그 2배의 피치로 배치하고, 단위증폭회로 및 열선택스위치를 서브비트선의 양측에 교대로 또한 그 2배의 피치로 배치함과 동시에 단위서브워드선 구동회로를 열방향으로 인접하는 2개의 서브메모리매트에 의해 공유하고, 단위증폭회로 및 열선택스위치를 행방향으로 인접하는 2개의 서브메모리매트에 의해 공유하는 것에 의해 단위서브워드선 구동회로 및 단위증폭회로와 열선택스위치의 배치피치를 완화하면서 다이나믹형RAM 등의 칩사이즈를 축소할 수 있다는 효과가 얻어진다.
[3] 상 기 [1] 및 [2]에 있어서, 메인워드선 및 열선택시호선을 각각 서브워드선 및 서브비트선의 정수배의 피치로 배치하는 것에 의해 이들의 신호선의 배치피치를 완화할 수 있다는 효과가 얻어진다.
[4] 상기 [1] [3]에 있어서, 서브워드선 구동부의 각 단위서브워드선 구동회로를 서브워드선 구동신호와 대응하는 서브워드선 사이에 마련되고, 그 게이트의 대응하는 메인워드선의 반전신호선에 결합되는 P채널형의 제1MOSFET,

대응하는 서브워드선과 접지전위 사이에 마련되고, 그 게이트가 대응하는 메인워드선의 반전신호선에 결합되는 N채널형의 제2MOSFET, 제1MOSFET와 병렬형태로 마련되고, 그 게이트의 대응하는 메인워드선의 비반전신호에 결합되는 N채널형의 제3MOSFET를 포함하는 소위 CMOS스테이틱형 구동회로로 하는 것에 의해서 브워드선의 선택동작을 고속화하고, 이것에 의해서 다이나믹형RAM 등의 액세스타임을 고속화할 수 있다는 효과가 얻어진다.

[5] 상기 [1] [4]에 있어서, 지정된 서브공통IO선과 메인공통IO선 사이를 선택적으로 접속하기 위한 서브메인앰프를 그 게이트가 대응하는 서브공통IO선의 비반전 및 반전신호선에 각각 결합되고, 그 드레인이 대응하는 메인공통IO선의 반전 및 비반전신호선에 각각 결합되는 리드용 차동MOSFET와 서브공통IO선 및 메인공통IO선의 비반전신호선 사이 및 반전신호선 사이에 각각 마련되는 라이트용 스위치MOSFET를 포함하는 소위 의사다이렉트 센스형 서브앰프로 하고, 이것을 서브 워드선 구동부 및 센스앰프의 배치영역의 교차영역에 배치하는 것에 의해 메모리어레이부의 레이아웃의 면적의 증대를 초래하는 일 없이 다이나믹형RAM의 리드동작을 고속화할 수 있다는 효과가 얻어진다.

[6] 상기 [1] [5]에 있어서, 메인공통IO선을 서브워드선 구동부의 배치영역의 상층에 또한 서브공통IO선과 서로 직교하도록 배치하는 것에 의해 메인공통IO선과 반도체기판의 중앙부에 배치된 메인앰프를 효과적으로 결합할 수 있는 효과가 얻어진다.

[7] 상 기 [1] [6]에 있어서, 구동전압공급선을 거쳐서 공급되는 동작전원을 센스앰프의 단위증폭회로로 선택적으로 전달하기 위한 센스앰프 구동부를 서브워드선 구동부 및 센스앰프의 배치영역의 교차영역에 배치하는 것에 의해 센스앰프 구동부 및 관련하는 신호선을 효과적으로 배치하고, 다이나믹형RAM 등의 칩사이즈를 축소할 수 있다는 효과가 얻어진다.

[8] 상기 [7]에 있어서, 센스앰프의 단위증폭회로를 오버드라이브방식에 의해 구동하는 것에 의해 그 동작의 상승을 고속화하고, 다이나믹형RAM 등의 리드동작을 고속화할 수 있다는 효과가 얻어진다.

[9] 상기 [7] 및 [8]에 있어서, 구동신호선으로 전달된 동작전원을 소정의 스위치수단을 거쳐서 다음에 동작상태로 되는 센스앰프의 구동신호선으로 순차 전달되는 전하재이용 리플레쉬방식을 채용하는 것에 의해 다이나믹형RAM 등의 리플래쉬동작에 있어서의 동작전류를 삭감하고, 그 저소비전력화를 도모할 수 있다는 효과가 얻어 진다.

[10] 상기 [1] [9]에 있어서, 다이나믹형RAM 등에 행방향으로 연속해서 배치되는 소정수의 서브메모리매트로 공유되어 지정된 서브메모리매트의 서브비트선이 선택적으로 접속되는 메인비트선을 마련함과 동시에 센스앰프의 단위증폭회로 및 열선택스위치를 이들의 메인비트선과 대응해서 마련하는 것에 의해 센스앰프의 단위증폭회로 및 열선택스위치의 소정수를 삭감하여 다이나믹형RAM 등의 칩사이즈의 축소와 그 저코스트화를 도모할 수 있다는 효과가 얻어진다.

[11] 상기 [1] [10]에 있어서, 행 및 열방향의 소정수의 서브메모리매트를 용장서브메모리매트로서 사용하는 것에 의해 서브메모리매트를 단위로 하는 결함구제를 효율좋게 실현할 수 있다는 효과가 얻어 진다. [12] 상기 [1] [11]에 있어서, 구동신호선과 구동전압공급선 사이를 선택적으로 접속하기 위한 센스앰프제어신호선을 센스앰프의 배치영역의 상층에 배치하고, 서브워드선 구동신호선, 메인공통IO선 및 구동전압공급선을 서브워드선 구동부의 배치영역의 상층에 배치하는 것에 의해 이들의 신호선을 효율좋게 배치하고, 칩사이즈를 축소할 수 있다는 효과가 얻어진다.

[13] 상기 [1] [12]에 있어서, 메인워드선, 구동신호선 및 센스앰프제어신호 등을 제2층의 금속배선층에 의해 형성하고, 열선택신호선, 서브워드선 구동신호선, 메인공통IO선 및 구동전압공급선 등을 제3층의 금속배선층에 의해 형성하는 것에 의해 이들의 신호선을 다층배선을 활용해서 효율좋게 배치하고, 칩사이즈를 축소할 수 있다는 효과가 얻어진다.

[14] 상기 [1] [13]에 있어서, 제2층 및 제3층 금속배선층을 위상시프트마 스크를 사용하는 일 없이 패터닝하는 것에 의해 다이나믹형RAM 등의 저코스트화를 도모할 수 있다는 효과가 얻어진다.

[15] 상기 [1] [14]에 있어서, 다이나믹형RAM 등을 트리플웰구조로 하고, P형반도체기판의 기판전압으로서 비교적 작은 부전위를 인가함과 동시에 메모리어레이, 센스앰프 및 서브워드선 구동부를 구성하는 N채널MOSFET를 P형반도체기판상의 P웰영역에 형성하고, 주변회로를 구성하는 N채널MOSFET를 전원전압이 인가된 비교적 깊은 N웰영역내의 접지전위가 인가된 P웰영역에 형성하고, 데이타입출력회로를 구성하는 N채널MOSFET를 전원전압이 인가된 비교적 깊은 N웰영역내의 접지전위 또는 비교적 큰 절대값의 부전위가 인가된 P웰영역에 형성하는 것에 의해 메모리어레이와 센스앰프 또는 서브워드선 구동부 사이의 웰영역분리를 위한 차단영역을 없애고, 다이나믹형RAM 등의 칩사이즈를 축소할 수 있음과 동시에 특히 전원투입시에 있어서의 래치업의 위험성을 없앨 수 있다는 효과가 얻어진다.

[16] 상기 [1] [14]에 있어서, 다이나믹형RAM 등을 트리플웰구조로 하고, P형반도체기판의 기판전압으로서 접지전위를 인가함과 동시에 메모리어레이, 센스앰프 및 서브워드선 구동부를 구성하는 N채널MOSFET를 워드선의 선택전위가 인가된 비교적 깊은 N웰영역내의 비교적 작은 절대값의 부전위가 인가된 P웰영역에 형성하고, 주변회로를 구성하는 N채널MOSFET를 P형반도체기판상의 P웰영역에 형성하고, 데이타입출력회로를 구성하는 N채널MOSFET를 전원전압이 인가된 비교적 깊은 N웰영역내의 접지전위 또는 비교적 큰 절대값의 부전위가 인가된 P웰영역에 형성하는 것에 의해 메모리어레이와 센스앰프 또는 서브워드선 구동부 사이의 웰영역분리를 위 한 차단영역을 없애고, 다이나믹형RAM 등의 칩사이즈를 축소할 수 있음과 동시에 P형반도체기판에 있어서의 기판전압의 변동이 노이즈로 되어 메모리어레이를 구성하는 메모리셀로 전달되는 것을 방지할 수 있다는 효과가 얻어진다.

[17] 상기 [1] [14]에 있어서, 다이나믹형RAM 등을 트리플웰구조로 하고, P형 반도체기판의 기판전압으로서 접지전위를 인가함과 동시에 메모리어레이 및 서브워드선 구동부를 구성하는 N채널MOSFET를 워드선의 선택전위가 인가된 비교적 깊은 N웰영역내의 비교적 작은 절대값의 부전위가 인가된 P웰영역에 형성하고, 센스앰프 및 주변회로를 구성하는 N채널MOSFET를 P형 반도체기판상의 P웰영역에 형성하고, 데이타입출력회로를 구성하는 N채널MOSFET를 전원전압이 인가된 비교적 깊은 N웰영역내의 접지전위 또는 비교적 큰 절대값의 부전위가 인가된 P웰영역에 형성하는 것에 의해 P형반도체기판에 있어서의 기판전압의 변동이 노이즈로서 메모리셀로 전달되고, 센스앰프의 동작

에 따른 노이즈가 메모리셀로 전달되는 것을 억제할 수 있음과 동시에 특히 전원투입시에 있어서의 래치업의 위험성을 없앨 수 있다는 효과가 얻어진다.

[18] 상기 [1] [17]에 의해 총합적으로 본 다이나믹형RAM 등의 고속화, 고집적화, 대규모화 및 저코스트화를 도모할 수 있다는 효과가 얻어진다.

이상, 본 발명자들에 의해서 이루어진 발명을 실시예에 따라 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위에서 여러가지 변경가능한 것은 물론이다.

예를 들면, 제1도에 있어서, 다이나믹형RAM은 임의수의 메모리블럭을 구비할 수 있고, 그 비트구성도 임의이다. 또, 전원전압VCC는 임의의 전위를 채택할 수 있고, 내부전압발생회로VG에 의해서 형성되는 내부전압VCH, VCL, HVC, VB1 및 VB2의 구체적인 전위도 이 실시예에 의한 제약을 받지 않는다. 또, 다이나믹형RAM의 블럭구성이나 기동제어신호의 명칭 및 조합과 각 메모리블럭의 구성 등은 여러가지의 실시형태를 취할 수 있다.

제2도에 있어서, 다이나믹형RAM의 기판배치나 반도체기판의 형상 등은 이 실시예에 의한 제약을 받지 않는다. 제3도 및 제4도에 있어서, 메모리블럭MB0 MB3의 각각은 임의수의 서브메모리매트를 구비할 수 있고, 서브메모리매트의 쌍구성의 조합이나 각 신호선의 배치방향 등은 여러가지의 실시형태를 취할 수 있다. 제5도 및 제6도에 있어서, 서브워드선 구동부의 단위서브워드선 구동회로와 메모리어레이의 서브워드선의 관계 및 센스앰프의 단위회로와 메모리어레이의 서브비트선의 관계는 여러가지의 조합을 취할 수 있다. 또, 메인워드선은 예를 들면 4개의 서브워드선과 대응해서 마련해도 좋고, 비트선 선택신호를 예를 들면 8조의 서브비트선과 대응시켜도 좋다.

제7도 제9도에 있어서, 서브워드선 구동부의 각 단위서브워드선 구동회로는 예를 들면 메인워드선 MW30과 서브워드선 구동신호DX40 DX43을 받는 2입력의 CMOS OR게이트에 의해 구성해도 좋다. 이 경우, 메인워드선은 단일신호선으로 되고, 이것에 의해서 메인워드선의 배치피치를 더욱 완화할 수 있다. 단위 서브워드선 구동회로의 구체적구성은 여러가지의 실시형태를 취할 수 있다. 제10도에 있어서, 센스앰프는 공유센스방식을 취할 수 있는 것을 필수조건으로는 하지 않는다. 또, 제10 도, 제11도 및 제13도에 있어서 센스앰프 구동회로SAD를 구성하는 구동MOSFETP4, P8, P9 및 NE는 각각 병렬형태로 되는 여러개의 구동MOSFET로 치환해도 좋다. 센스앰프SAR34 및 센스앰프구동부SDR34 등의 구체적구성이나 MOSFET의 도전형 등은 여러가지의 실시형태를 취할 수 있다.

제15도 제17도에 있어서, 각 신호선의 배치위치나 그 순서 및 금속배선층 등의 층수 및 그 사용방법 등은 이 실시예에 의한 제약을 받지않는다. 제18도 제23도에 있어서, 데이타입출력회로IO의 형성영역으로 되는 P웰영역PW6에는 접지전위VSS를 기판전압으로서 공급할 수 있고, 그 하층에 깊은 N웰영역DNW2가 마련되는 것이 다이나믹형RAM의 필수조건으로 된다는 것은 아니다. 또, 각 실시예에 있어서의 구체적인 웰구조나 기판전압 및 그 조합 등은 여러가지의 실시형태를 취할 수 있다.

이상의 설명에서는 주로 본 발명자들에 의해서 이루어진 발명을 그 배경으로 된 이용분야인 다이나믹형RAM에 적용한 경우에 대해서 설명했지만, 그것에 한정되는 것은 아니고 예를 들면, 싱크로너스DRAM 및 스테이틱형RAM 등의 각종 메모리집적회로나 그와 같은 메모리집적회로를 내장한 디지탈집적회로에도 적용할 수 있다. 본 발명은 적어도 워드선, 비트선 및 공통IO선의 계층구조가 효과적으로 되는 반도체기억장치 및 그와 같은 반도체기억장치를 내장한 장치 및 시스템에 널리 적용할 수 있다.

본원에 있어서, 개시되는 발명 중 대표적인 것에 의해서 얻어지는 효과를 간단하게 설명하면 다음과 같다. 즉, 다이나믹형RAM 등의 메모리매트를 서로 직교해 서 배치되는 서브워드선 및 서브비트선과 이들의 서브워드선 및 서브비트선이 교점에 격자형상으로 배치된 다이나믹형 메모리셀을 포함하는 메모리어레이, 서브워드선과 대응해서 마련되는 단위서브워드선 구동회로를 포함하는 서브워드선 구동부, 서브비트선과 대응해서 마련되는 단위증폭회로 및 열선택스위치를 포함하는 센스앰프, 지정되는 서브비트선이 열선택스위치를 거쳐서 선택적으로 접속되는 서브공통IO선을 각각 구비하는 여러개의 서브메모리매트로 분할하여 유닛함과 동시에 이들의 서브메모리매트를 격자형상으로 배치하고, 그 상층에 서로 직교하고 또한, 각각 서브워드선 및 서브비트선의 정수배의 피치로 배치되는 메인워드선 및 열선택신호선과 지정되는 서브공통IO선이 선택적으로 접속되는 메인공통IO선을 형성한다.

또, 서브워드선 구동부의 각 단위서브워드선 구동회로를 서브워드선 구동신호선과 대응하는 서브워드선 사이에 마련되고, 그 게이트가 대응하는 메인워드선의 반전신호선에 결합되는 P채널형의 제1MOSFET, 대응하는 서브워드선과 접지전위 사이에 마련되고, 그 게이트가 대응하는 메인워드선이 반전신호선에 결합되는 N채널형의 제2MOSFET, 제1MOSFET와 병렬형태로 마련되고, 그 게이트가 대응하는 메인워드선이 비반전신호선에 결합되는 N채널형의 제3MOSFET를 포함하는 소위 CMOS스테이틱형 구동회로로 함과 동시에 지정된 서브공통IO선을 메인공통IO선에 선택적으로 접속하기 위한 서브메인앰프를 그 게이트가 대응하는 서브공통IO선의 비반전 및 반전신호선에 각각 결합되고, 그 드레인이 메인공통IO선의 반전 및 비반전신호선에 각각 결합되는 리드용 차동MOSFET, 서브공통IO선 및 메인공통IO선의 비반전신호선 사이 및 반전신호선 사이에 각각 마련되는 라이트용 스위치MOSFET를 포함하는 소위 의사다이렉트형 센스앰프로 하고, 이것을 서브워드선 구동부 및 센스앰프의 배치영역의 교차영역에 배치한다.

이들의 결과, 우선 단위서브워드선 구동회로로의 CMOS스테이틱형 구동회로의 채용에 의해 메인워드선을 거쳐서 전달되는 행선택신호와 서브워드선 구동신호선을 거쳐서 전달되는 서브워드선 구동신호를 동시에 유효레벨로 하고, 서브워드선의 선택동작을 고속화할 수 있음과 동시에 서브메인앰프로의 의사다이렉트 센스형 서브앰프의 채용과 그 교차영역으로의 배치에 의해 메모리어레이의 레이아웃면적의 증대를 초래하는 일 없이 다이나믹형RAM 등의 리드동작을 고속화할 수 있다. 또, 계층구조를 워드선, 비트선 및 공통IO선 모두에 포괄적으로 채용해서 계층구조의 효과를 충분히 발휘할 수 있는 구성의 다이나믹형RAM 등을 실현하고, 총합적으로 본 다이나믹형RAM 등의 고속화, 고집적화, 대규모화 및 저코스트화를 도모할 수 있다.

(57) 청구의 범위

청구항 1.

여러개의 제1 메인 워드선, 상기 여러개의 제1 메인 워드선의 각각에 대응해서 마련된 여러조의 제1 서브 워드선, 여러쌍의 제1 데이타선, 상기 여러조의 제1 서브 워드선과 상기 여러쌍의 제1 데이타선에 결합된 여러개의 제1 메모리셀을 갖는 제1 메모리어레이;
여러개의 제2 메인 워드선, 상기 여러개의 제2 메인 워드선의 각각에 대응해서 마련된 여러조의 제2 서브 워드선, 여러쌍의 제2 데이타선, 상기 여러조의 제2 서브 워드선과 상기 여러쌍의 제2 데이타선에 결합된 여러개의 제2 메모리셀을 갖는 제2 메모리어레이;
여러개의 제3 메인 워드선, 상기 여러개의 제3 메인 워드선의 각각에 대응해서 마련된 여러조의 제3 서브 워드선, 여러쌍의 제3 데이타선, 상기 여러조의 제3 서브 워드선과 상기 여러쌍의 제3 데이타선에 결합된 여러개의 제3 메모리셀을 갖는 제3 메모리어레이;
여러개의 제4 메인 워드선, 상기 여러개의 제4 메인 워드선의 각각에 대응해서 마련된 여러조의 제4 서브 워드선, 여러쌍의 제4 데이타선, 상기 여러조의 제4 서브 워드선과 상기 여러쌍의 제4 데이타선에 결합된 여러개의 제4 메모리셀을 갖는 제4 메모리어레이;
제1 방향으로 연장하는 제1 서브 공통 데이타선;
상기 제1 방향으로 연장하는 제2 서브 공통 데이타선;
상기 제1 방향으로 연장하는 제3 서브 공통 데이타선;
상기 제1 방향으로 연장하는 제4 서브 공통 데이타선;
상기 제1 방향과 수직인 제2 방향으로 연장하는 제1 메인 공통 데이타선;
상기 제2 방향으로 연장하는 제2 메인 공통 데이타선;
상기 여러쌍의 제1 데이타선과 상기 제1 서브 공통 데이타선 사이에 결합된 제1 스위치회로;
상기 여러쌍의 제2 데이타선과 상기 제2 서브 공통 데이타선 사이에 결합된 제2 스위치회로;
상기 여러쌍의 제3 데이타선과 상기 제3 서브 공통 데이타선 사이에 결합된 제3 스위치회로;
상기 여러쌍의 제4 데이타선과 상기 제4 서브 공통 데이타선 사이에 결합된 제4 스위치회로;
상기 제1 서브 공통 데이타선과 상기 제1 메인 공통 데이타선 사이에 결합된 제5 스위치회로;
상기 제2 서브 공통 데이타선과 상기 제2 메인 공통 데이타선 사이에 결합된 제6 스위치회로;
상기 제3 서브 공통 데이타선과 상기 제1 메인 공통 데이타선 사이에 결합된 제7 스위치회로 및;
상기 제4 서브 공통 데이타선과 상기 제2 메인 공통 데이타선 사이에 결합된 제8 스위치회로를 갖는 반도체기억장치.

청구항 2.

제1 방향으로 연장해서 배치된 제1 영역;
상기 제1 방향으로 연장해서 배치되고 또한 상기 제1 영역과 평행하게 배치된 제2 영역;
상기 제1 방향에 대해서 수직방향으로 되는 제2 방향으로 연장해서 배치된 제3 영역;
상기 제2 영역으로 연장해서 배치되고 또한 상기 제3 영역과 평행하게 배치된 제4 영역;
상기 제1 영역, 상기 제3 영역 및 상기 제4 영역에 그의 3변이 근접해서 배치되는 사각형의 제5 영역;
상기 제1 영역 및 상기 제4 영역에 그의 2변이 근접해서 배치되는 사각형의 제6 영역;
상기 제1 영역, 상기 제2 영역, 상기 제3 영역 및 상기 제4 영역에 그의 4변이 근접해서 배치되는 사각형의 제7 영역 및;
상기 제1 영역, 상기 제2 영역 및 상기 제4 영역에 그의 3변이 근접해서 배치되는 사각형의 제8 영역을 갖는 반도체기억장치로서,
상기 제1 영역에는 상기 제1 방향으로 연장하는 제1 서브 공통 데이타선과 제2 서브 공통 데이타선이 형성되고,
상기 제2 영역에는 상기 제1 방향으로 연장하는 제3 서브 공통 데이타선과 제4 서브 공통 데이타선이 형성되고,
상기 제3 영역에는 상기 제2 방향으로 연장하는 제1 메인 공통 데이타선이 형성되고,
상기 제4 영역에는 상기 제2 방향으로 연장하는 제2 메인 공통 데이타선이 형성되고,
상기 제5 영역에는
[a] 여러개의 제1 워드선, 여러쌍의 제1 데이타선, 상기 여러개의 제1 워드선과 상기 여러쌍의 제1 데이타선에 결합된 여러개의 제1 메모리셀을 갖는 제1 메모리어레이,
[b] 상기 여러쌍의 제1 데이타선에 결합된 여러개의 제1 센스앰프 및
[c] 상기 여러쌍의 제1 데이타선과 상기 제1 서브 공통 데이타선 사이에 결합된 제1 스위치회로가 형성되고,
상기 제6 영역에는
[a] 여러개의 제2 워드선, 여러쌍의 제2 데이타선, 상기 여러개의 제2 워드선과 상기 여러쌍의 제2 데이타선에 결합된 여러개의 제2 메모리셀을 갖는 제2 메모리어레이,
[b] 상기 여러쌍의 제2 데이타선에 결합된 여러개의 제2 센스앰프 및
[c] 상기 여러쌍의 제2 데이타선과 상기 제2 서브 공통 데이타선 사이에 결합된 제2 스위치회로가 형성되고,
상기 제7 영역에는
[a] 여러개의 제3 워드선, 여러쌍의 제3 데이타선, 상기 여러개의 제3 워드 선과 상기 여러쌍의 제3 데이타선에 결합된 여러개의 제3 메모리셀을 갖는 제3 메모리어레이,
[b] 상기 여러쌍의 제3 데이타선에 결합된 여러개의 제3 센스앰프 및
[c] 상기 여러쌍의 제3 데이타선과 상기 제3 서브 공통 데이타선 사이에 결합된 제3 스위치회로가 형성되고,
상기 제8 영역에는

[a] 여러개의 제4 메인워드선, 상기 여러개의 제4 메인워드선의 각각에 대응해서 마련된 여러조의 제4 서브워드선, 여러쌍의 제4 데이타선, 상기 여러조의 제4 서브워드선과 상기 여러쌍의 제4 데이타선에 결합된 여러개의 제4 메모리셀을 갖는 제4 메모리어레이,
[b] 상기 여러쌍의 제4 데이타선에 결합된 여러개의 제4 센스앰프 및
[c] 상기 여러쌍의 제4 데이타선과 상기 제4 서브 공통 데이타선 사이에 결합된 제4 스위치회로가 형성되고,
상기 제1 영역과 상기 제3 영역의 교차영역에는
[a] 상기 제1 서브 공통 데이타선과 상기 제1 메인 공통 데이타선 사이에 결합된 제5 스위치회로 및
[b] 상기 여러개의 제1 센스앰프로 전원전압 및 참조전압을 공급하기 위한 제6 스위치회로가 형성되고,
상기 제1 영역과 상기 제4 영역의 교차영역에는
[a] 상기 제2 서브 공통 데이타선과 상기 제2 메인 공통 데이타선 사이에 결 합된 제7 스위치회로 및
[b] 상기 여러개의 제2 센스앰프로 전원전압 및 참조전압을 공급하기 위한 제8 스위치회로가 형성되고,
상기 제2 영역과 상기 제3 영역의 교차영역에는
[a] 상기 제3 서브 공통 데이타선과 상기 제1 메인 공통 데이타선 사이에 결합된 제9 스위치회로 및
[b] 상기 제3 센스앰프로 상기 전원전압 및 상기 참조전압을 공급하기 위한 제10 스위치회로가 형성되고,
상기 제2 영역과 상기 제4 영역의 교차영역에는
[a] 상기 제4 서브 공통 데이타선과 상기 제2 메인 공통 데이타선 사이에 결합된 제11 스위치회로 및
[b] 상기 여러개의 제4 센스앰프로 상기 전원전압 및 상기 참조전압을 공급하기 위한 제12 스위치회로가 형성되는 반도체기억장치

청구항 3.

여러개의 제1 워드선, 여러쌍의 제1 데이타선, 상기 여러개의 제1 워드선과 상기 여러쌍의 제1 데이타선에 결합된 여러개의 제1 메모리셀을 갖는 제1 메모리어레이;
여러개의 제2 워드선, 여러쌍의 제2 데이타선, 상기 여러개의 제2 워드선과 상기 여러쌍의 제2 데이타선에 결합된 여러개의 제2 메모리셀을 갖는 제2 메모리어레이;
여러개의 제3 워드선, 여러쌍의 제3 데이타선, 상기 여러개의 제3 워드선과 상기 여러쌍의 제3 데이타선에 결합된 여러개의 제3 메모리셀을 갖는 제3 메모리어레이;
여러개의 제4 워드선, 여러쌍의 제4 데이타선, 상기 여러개의 제4 워드선과 상기 여러쌍의 제4 데이타선에 결합된 여러개의 제4 메모리셀을 갖는 제4 메모리어레이;
제1 방향으로 연장하는 제1 서브 공통 데이타선;
상기 제1 방향으로 연장하는 제2 서브 공통 데이타선;
상기 제1 방향으로 연장하는 제3 서브 공통 데이타선;
상기 제1 방향으로 연장하는 제4 서브 공통 데이타선;
상기 제1 방향과 수직인 제2 방향으로 연장하는 제1 메인 공통 데이타선;
상기 제2 방향으로 연장하는 제2 메인 공통 데이타선;
상기 여러쌍의 제1 데이타선과 상기 제1 서브 공통 데이타선 사이에 결합된 제1 스위치회로;
상기 여러쌍의 제2 데이타선과 상기 제2 서브 공통 데이타선 사이에 결합된 제2 스위치회로;
상기 여러쌍의 제3 데이타선과 상기 제3 서브 공통 데이타선 사이에 결합된 제3 스위치회로;
상기 여러쌍의 제4 데이타선과 상기 제4 서브 공통 데이타선 사이에 결합된 제4 스위치 회로;
상기 제1 서브 공통 데이타선과 상기 제1 메인 공통 데이타선 사이에 결합되고 증폭기기능을 갖는 제1 전송회로;
상기 제2 서브 공통 데이타선과 상기 제2 메인 공통 데이타선 사이에 결합되고 증폭기기능을 갖는 제2 전송회로;
상기 제3 서브 공통 데이타선과 상기 제1 메인 공통 데이타선 사이에 결합되고 증폭기기능을 갖는 제3 전송회로;
상기 제4 서브 공통 데이타선과 상기 제2 메인 공통 데이타선 사이에 결합되고 증폭기기능을 갖는 제4 전송회로를 갖는 반도체기억장치.

청구항 4.

서로 직교해서 배치되는 서브 워드선 및 서브 비트선과 이들의 서브 워드선 및 서브 비트선의 교점에 격자형상으로 배치되는 메모리셀을 포함하는 메모리어레이;
상기 서브 워드선에 대응해서 마련되는 단위 서브 워드선 구동회로를 포함하는 서브 워드선 구동부;
상기 서브 비트선에 대응해서 마련되는 단위증폭회로 및 열선택스위치를 포함하는 센스앰프;
지정되는 상기 서브 비트선이 상기 열선택스위치를 거쳐서 선택적으로 접속되는 서브 공통IO선을 각각 구비하고 또한 격자형상으로 배치되는 서브 메모리매트;
상기 서브 메모리매트의 상층에 또한 서로 직교해서 배치되는 메인 워드선과 열선택신호선 및;
지정되는 상기 서브공통IO선이 선택적으로 접속되는 메인공통IO선을 갖는 반도체기억장치.

청구항 5.

제4항에 있어서,
상기 단위 서브 워드선 구동회로는 상기 서브 워드선의 양쪽에 교대로 또한 그의 2배의 피치로 배치되고, 상기 단위증폭회로 및 열선택스위치는 상기 서브비트선의 양쪽에 교대로 또한 그의 2배의 피치로 배치되는 반도체기억장치.

청구항 6.

제4항 또는 제5항에 있어서,
상기 단위 서브 워드선 구동회로는 열방방향으로 인접해서 배치되는 상기 서브 메모리매트의 대응하는 서브 워드선에 의해서 교대로 공유되고, 상기 단위증폭회로 및 열선택스위치는 행방향으로 인접해서 배치되는 상기 서브 메모리

매트의 대응하는 서브비트선에 의해서 교대로 공유되는 반도체기억장치.

청구항 7.

제4항에 있어서,

상기 메인 워드선은 상기 서브 워드선의 X배의 피치로 배치되고, 상기 반도체기억장치는 상기 메인 워드선과 직교해서 배치되는 X비트의 서브 워드선 구동신호선을 구비하고, 상기 단위 서브 워드선 구동회로는 대응하는 상기 메인 워드선을 거쳐서 전달되는 행선택신호와 대응하는 상기 서브 워드선 구동신호선을 거쳐서 전 달되는 서브 워드선 구동신호에 따라서 대응하는 상기 서브 워드선을 선택적으로 선택상태로 하는 반도체기억장치.

청구항 8.

제4항에 있어서,

상기 단위 서브 워드선 구동회로는 CMOS 스테이틱형 구동회로로 되고, 상기 서브 워드선 구동신호선과 대응하는 상기 서브 워드선 사이에 마련되고, 그의 게이트가 대응하는 상기 메인 워드선의 반전신호선에 결합되는 P채널형의 제1 MOSFET, 대응하는 상기 서브 워드선과 접지전위 사이에 마련되고 그의 게이트가 대응하는 상기 메인 워드선의 반전신호선에 결합되는 N채널형의 제2 MOSFET, 상기 제1 MOSFET와 병렬형태로 마련되고, 그의 게이트가 대응하는 상기 메인 워드선의 비반전신호선에 결합되는 N채널형의 제3 MOSFET를 포함하는 반도체기억장치.

청구항 9.

제4항에 있어서,

상기 열선택신호선은 상기 서브 비트선의 Y배의 피치로 배치되고, 상기 서브공통IO선은 상기 서브 메모리매트에 대응해서 Y조씩 마련되고, 상기 열선택스위치는 대응하는 상기 열선택신호선을 거쳐서 전달되는 열선택신호에 따라서 선택적으로 또한 Y조씩 동시에 온상태로 되는 반도체기억장치.

청구항 10.

제4항에 있어서,

상기 서브 공통IO선은 서브 메인앰프를 거쳐서 상기 메인 공통IO선에 선택적 으로 접속되고, 이들의 서브메인앰프는 상기 서브 워드선 구동부 및 센스앰프의 배치영역의 교차영역에 배치되는 반도체기억장치.

청구항 11.

제10항에 있어서,

상기 서브 메인앰프는 그의 게이트가 대응하는 상기 서브 공통IO선의 비반전 및 반전신호선에 각각 결합되고, 그의 드레인이 대응하는 상기 메인 공통IO선의 반전 및 비반전신호선에 각각 결합되는 리드용 차동 MOSFET 상기 서브 공통IO선 및 메인 공통IO선의 비반전신호선 사이 및 반전신호선 사이에 각각 마련되는 라이트용 스위치 MOS를 포함하는 반도체기억장치.

청구항 12.

제4항에 있어서,

상기 메인 공통IO선은 서브워드선 구동부의 배치영역의 상층에 또한 서브 공통IO선과 서로 직교하도록 배치되는 반도체기억장치.

청구항 13.

제4항에 있어서,

상기 단위증폭회로에는 한쌍의 구동신호선을 거쳐서 선택적으로 동작전원이 공급되고, 상기 서브 메모리매트는 한쌍의 구동전압공급선을 거쳐서 공급되는 상기 동작전원을 선택적으로 상기 구동신호선으로 전달하는 센스앰프 구동회로를 구비하고, 상기 센스앰프 구동회로는 상기 서브워드선 구동부 및 센스앰프의 배치영역의 교차영역에 배치되는 반도체기억장치.

청구항 14.

제13항에 있어서,

상기 센스앰프 구동회로는 오버드라이브방식을 채용하고, 상기 구동신호선에는 당초 소정기간만큼 비교적 절대값이 큰 동작전원이 공급된 후, 비교적 작은 절대값의 동작전원이 공급되는 반도체기억장치.

청구항 15.

제13항에 있어서,

상기 반도체기억장치는 전하재이용 리프레쉬 방식을 채용하고, 상기 구동신호선으로 전달된 동작전원은 소정의 스위치수단을 거쳐서 다음에 동작상태로 되는 센스앰프의 구동신호선으로 순차 전달되는 반도체기억장치.

청구항 16.

제4항에 있어서,

상기 반도체기억장치는 행방향으로 연속해서 배치되는 소정수의 상기 서브메모리매트의 서브비트선에 대응해서 마련되고, 지정된 상기 서브 메모리매트의 서브비트선이 선택적으로 접속되는 메인비트선을 구비하고, 상기 센스앰프의 단위증폭회로 및 열선택스위치는 상기 메인비트선에 대응해서 마련되는 반도체기억장치.

청구항 17.

제4항에 있어서,

상기 반도체기억장치는 행 및 열방향의 각각에 소정수의 용장 서브 메모리매트를 구비하는 반도체기억장치.

청구항 18.

제17항에 있어서,

상기 센스앰프의 배치영역의 상층에는 상기 구동신호선과 구동전압공급선 사이를 선택적으로 접속상태로 하기 위한 센스앰프 제어신호를 전달하는 센스앰프 제어신호선이 배치되고, 상기 서브워드선 구동부의 배치영역의 상층에는 상기 서브워드선 구동신호선, 메인 공통IO선 및 구동전압공급선이 배치되는 반도체기억장치.

청구항 19.

제18항에 있어서,

상기 반도체기억장치는 3층의 금속배선층을 구비하고, 상기 열선택신호선, 서브워드선 구동신호선, 메인 공통IO선 및 구동전압공급선은 최상층의 제3층의 금속배선층에 의해 형성되고, 상기 메인 워드선, 구동신호선 및 센스앰프 제어신호선은 제2층의 금속배선층에 의해 형성되는 반도체기억장치.

청구항 20.

제19항에 있어서,

상기 메인 워드선, 구동신호선 및 센스앰프 제어신호선과 열선택신호선, 서브워드선 구동신호선, 메인 공통IO선 및 구동전압공급선은 위상시프트마스크를 사용하지 않고 패터닝되는 반도체기억장치.

청구항 21.

제4항에 있어서,

상기 반도체기억장치는 데이타입출력회로를 구비하고 또한 비교적 작은 절대 값의 부전위가 인가된 P형 반도체기판을 그의 기체로 하고, 상기 메모리어레이, 센스앰프 및 서브워드선 구동부를 구성하는 N채널 MOSFET는 상기 P형 반도체기판내의 P웰영역에 형성되고, 그 밖의 주변회로를 구성하는 N채널 MOSFET는 전원전압이 인가된 비교적 깊은 N웰영역내의 접지전위가 인가된 P웰영역에 형성되고, 상기 데이타 입출력회로를 구성하는 N채널 MOSFET는 전원전압이 인가된 비교적 깊은 N웰영역내의 접지전위 또는 비교적 큰 절대값의 부전위가 인가된 P웰영역에 형성되는 반도체기억장치.

청구항 22.

제4항에 있어서,

상기 반도체기억장치는 데이타입출력회로를 구비하고 또한 접지전위가 인가된 P형 반도체기판을 그의 기체로 하고, 상기 메모리어레이, 센스앰프 및 서브워드선 구동부를 구성하는 N채널 MOSFET는 워드선의 선택전위가 인가된 비교적 깊은 N웰영역내의 비교적 작은 절대값의 부전위가 인가된 P웰영역에 형성되고, 그 밖의 주변회로를 구성하는 N채널 MOSFET는 상기 P형 반도체기판내의 P웰영역에 형성되고, 상기 데이타입출력회로를 구성하는 N채널 MOSFET는 전원전압이 인가된 비교적 깊은 N웰영역내의 접지전위 또는 비교적 큰 절대값의 부전위가 인가된 P웰영역에 형성되는 반도체기억장치.

청구항 23.

제4항에 있어서,

상기 반도체기억장치는 데이타입출력회로를 구비하고 또한 접지전위가 인가 된 P형 반도체기판을 그의 기체로 하고, 상기 메모리어레이 및 서브워드선 구동부를 구성하는 N채널 MOSFET는 워드선 선택전위가 인가된 비교적 깊은 N웰영역내의 비교적 작은 절대값의 부전위가 인가된 P웰영역에 형성되고, 센스앰프 및 그 밖의 주변회로를 구성하는 N채널 MOSFET는 상기 P형 반도체기판내의 P웰영역에 형성되고, 상기 데이타입출력회로를 구성하는 N채널 MOSFET는 전원전압이 인가된 비교적 깊은 N웰 영역내의 접지전위 또는 비교적 큰 절대값의 부전위가 인가된 P웰영역에 형성되는 반도체기억장치.

청구항 24.

여러개의 제1 메인 워드선, 상기 여러개의 제1 메인 워드선에 대응해서 마련된 여러조의 제1 서브워드선, 여러개의 제1 데이타선 및 여러개의 제1 메모리셀을 구비한 제1 메모리어레이;

여러개의 제2 메인 워드선, 상기 여러개의 제2 메인 워드선에 대응해서 마련된 여러조의 제2 서브워드선, 여러개의 제2 데이타선 및 여러개의 제2 메모리셀을 구비한 제2 메모리어레이;

제1 방향으로 연장하는 제1 서브 공통 데이타선;

상기 제1 방향으로 연장하는 제2 서브 공통 데이타선;

상기 제1 방향과 교차하는 제2 방향으로 연장하는 메인 공통 데이타선;

상기 여러개의 제1 데이타선과 상기 제1 서브 공통 데이타선 사이에 접속되는 제1 스위치회로;

상기 여러개의 제2 데이타선과 상기 제2 서브 공통 데이타선 사이에 접속되 는 제2 스위치회로;

상기 제1 서브 공통 데이타선과 상기 메인 공통 데이타선 사이에 접속된 제3 스위치회로 및;

상기 제2 서브 공통 데이타선과 상기 메인 공통 데이타선 사이에 접속된 제4 스위치회로를 구비한 반도체기억장치.

청구항 25.

제1방향으로 연장하는 제1 영역;

상기 제1 영역과 평행하게 연장하는 제2 영역;

상기 제1 방향과 교차하는 제2 방향으로 연장하는 제3 영역;

상기 제1 영역과 상기 제 3영역에 각각 인접하는 2변을 갖는 4변형의 제4 영역 및;

상기 제1 영역, 제2 영역 및 제3 영역에 각각 인접하는 3변을 갖는 4변형의 제5 영역을 구비하고,

상기 제3 영역은 상기 제2 방향으로 연장하는 메인 공통 데이타선을 포함하고,

상기 제4 영역은 여러개의 제1 워드선, 여러개의 제1 데이타선 및 여러개의 제1 메모리셀을 구비한 제1 메모리어레이를 포함하고,

상기 제5 영역은 여러개의 제2 워드선, 여러개의 제2 데이타선 및 여러개의 제2 메모리셀을 구비한 제2 메모리어레

이를 포함하고,
상기 제1 영역은
(a) 상기 제1 방향으로 연장하는 제1 서브 공통 데이타선,
(b) 상기 여러개의 제1 데이타선에 접속되는 여러개의 제1 센스앰프 및
(c) 상기 여러개의 제1 데이타선과 상기 제1 서브 공통 데이타선 사이에 접속된 여러개의 제1 스위치회로를 포함하고,
상기 제2 영역은
(a) 상기 제1 방향으로 연장하는 제2서브 공통 데이타선,
(b) 상기 여러개의 제2 데이타선에 접속된 여러개와 제2 센스앰프 및
(c) 상기 여러개의 제2 데이타선과 상기 제2 서브 공통 데이타선 사이에 접속된 여러개의 제2 스위치회로를 포함하고,
상기 제1 영역과 제3 영역이 교차하는 영역에는 상기 제1 서브 공통 데이타선과 상기 메인 공통 데이타선 사이에 마련된 제3 스위치회로를 포함하고,
상기 제2 영역과 제3 영역이 교차하는 영역에는 상기 제2 서브 공통 데이타선과 상기 메인 공통 데이타선 사이에 마련된 제4 스위치회로를 포함하는 반도체기억 장치.

청구항 26.

제1 방향으로 연장하는 제1 영역;
상기 제1 방향으로 연장하는 제2 영역;
상기 제1 방향과 교차하는 제2 방향으로 연장하는 제3 영역;
상기 제1 영역 및 제3 영역에 각각 인접하는 2변을 갖는 4변형의 제4 영역 및;
상기 제1 영역, 제2 영역 및 제3 영역에 각각 인접하는 3변을 갖는 4변형의 제5 영역을 구비하고,
상기 제3 영역은 상기 제2 방향으로 연장하는 메인 공통 데이타선을 포함하고,
상기 제4 영역은 상기 제1 방향으로 연장하는 여러개의 제1 메인 워드선, 상기 여러개의 제1 메인 워드선에 대응해서 상기 제1 방향으로 연장하는 여러조의 제1 서브워드선, 상기 제2 방향으로 연장하는 여러개의 제1 데이타선 및 여러개의 제1 다이나믹 메모리셀을 구비한 제1 메모리어레이를 포함하고,
상기 제5 영역은 상기 제1 방향으로 연장하는 여러개의 제2 메인 워드선, 상기 여러개의 제2 메인 워드선에 대응해서 상기 제1 방향으로 연장하는 여러조의 제2 서브워드선, 상기 제2 방향으로 연장하는 여러개의 제2 데이타선 및 여러개의 제2 다이나믹 메모리셀을 구비한 제2 메모리어레이를 포함하고,
상기 제1 영역은
(a) 상기 제1 방향으로 연장하는 제1 서브 공통 데이타선,
(b) 상기 여러개의 제1 데이타선에 접속되는 여러개의 제1 센스앰프 및
(c) 상기 여러개의 제1 데이타선과 상기 제1 서브 공통 데이타선 사이에 접속된 여러개의 제1 스위치회로를 포함하고,
상기 제2 영역은
(a) 상기 제1 방향으로 연장하는 제2 서브 공통 데이타선,
(b) 상기 여러개의 제2 데이타선에 접속되는 여러개의 제2 센스앰프 및
(c) 상기 여러개의 제2 데이타선과 상기 제2 서브 공통 데이타선 사이에 접속된 여러개의 제2 스위치회로를 포함하고,
상기 제1 영역과 제3 영역이 교차하는 제1 교차영역에는 상기 제1 서브 공통 데이타선과 상기 메인 공통 데이타선 사이에 마련된 제3 스위치화로를 포함하고,
상기 제2 영역과 제3 영역이 교차하는 제2 교차영역에는 상기 제2 서브 공통 데이타선과 상기 메인 공통 데이타선 사이에 마련된 제4 스위치회로를 포함하는 반도체메모리.

청구항 27.

제26항에 있어서,
상기 제3 영역은 상기 제1 서브워드선에 접속되는 제1 서브워드선 구동회로 및 상기 제2 서브워드선에 접속되는 제2 서브워드선 구동회로를 포함하는 반도체메모리.

청구항 28.

제1 방향으로 연장하는 제1 영역;
상기 제1 방향으로 연장하는 제2 영역;
상기 제1 방향과 교차하는 제2 방향으로 연장하는 제3 영역;
상기 제1 영역과 상기 제3 영역에 각각 인접하는 2변을 갖는 4변형의 제4 영역 및;
상기 제1 영역, 제2 영역 및 제3 영역에 각각 인접하는 3변을 갖는 4변형의 제5 영역을 구비하고,
상기 제4 영역은 여러개의 제1 워드선, 여러개의 제1 데이타선 및 여러개의 제1 메모리셀을 구비한 제1 메모리어레이를 포함하고,
상기 제5 영역은 여러개의 제2 워드선, 여러개의 제2 데이타선 및 여러개의 제2 메모리셀을 구비한 제2 메모리어레이를 포함하고,
상기 제1 영역은
(a) 상기 제1 방향으로 연장하는 제1 서브 공통 데이타선,
(b) 상기 여러개의 제1 데이타선에 접속되는 여러개의 제1 센스앰프,

(c) 상기 여러개의 제1 데이타선과 상기 제1 서브 공통 데이타선 사이에 접속된 여러개의 제1 스위치회로 및
(d) 상기 여러개의 제1 서브 공통 데이타선과 상기 제2 방향으로 연장하는 메인 공통 데이타선 사이에 접속된 제2 스위치회로를 포함하고,
상기 제2 영역은
(a) 상기 제1 방향으로 연장하는 제2 서브 공통 데이타선,
(b) 상기 여러개의 제2 데이타선에 접속되는 여러개의 제2 센스앰프,
(c) 상기 여러개의 제2 데이타선과 상기 제2 서브 공통 데이타선 사이에 접속된 여러개의 제3 스위치회로 및
(d) 상기 제2 서브 공통 데이타선과 상기 메인 공통 데이타선 사이에 접속된 제4 스위치회로를 포함하고,
상기 제1 영역과 제3 영역이 교차하는 영역에는 상기 제1 센스앰프로 전원전압을 공급하는 제5 스위치회로를 포함하고,
상기 제2 영역과 상기 제3영역이 교차하는 영역에는 상기 제2 센스앰프로 전원전압을 공급하는 제6 스위치회로를 포함하는 반도체기억장치.

청구항 29.

제1 방향으로 연장하는 제1 영역;
상기 제1 방향으로 연장하는 제2 영역;
상기 제1 방향과 교차하는 제2 방향으로 연장하는 제3 영역;
상기 제1 영역 및 제3 영역에 각각 인접하는 2변을 갖는 4변형의 제4 영역 및;
상기 제1 영역, 제2 영역 및 제3 영역에 각각 인접하는 3변을 갖는 4변형의 제5 영역을 구비하고,
상기 제4 영역은 상기 제1 방향으로 연장하는 여러개의 제1 메인 워드선, 상기 여러개의 제1 메인 워드선에 대응해서 상기 제1 방향으로 연장하는 여러조의 제1 서브워드선, 상기 제2 방향으로 연장하는 여러개의 제1 데이타선쌍 및 여러개의 제1 다이나믹 메모리셀을 구비한 2교점방식의 제1 메모리어레이를 포함하고,
상기 제5 영역은 상기 제1 방향으로 연장하는 여러개의 제2 메인 워드선, 상기 여러개의 제2 메인 워드선에 대응해서 상기 제1 방향으로 연장하는 여러조의 제2 서브워드선, 상기 제2 방향으로 연장하는 여러개의 제2 데이타선쌍 및 여러개의 제2 다이나믹 메모리셀을 구비한 2교점방식의 제2 메모리어레이를 포함하고,
상기 제1 영역은
(a) 상기 제1 방향으로 연장하는 제1 서브 공통 데이타선쌍,
(b) 상기 여러개의 제1 데이타선쌍에 접속되는 여러개의 제1 센스앰프,
(c) 상기 여러개의 제1 데이타선쌍과 상기 제1 서브공통 데이타선쌍 사이에 접속된 여러개의 제1 스위치회로 및
(d) 상기 여러개의 제1 서브 공통 데이타선쌍과 상기 제2 방향으로 연장하는 메인 공통 데이타선쌍 사이에 접속된 제2 스위치회로를 포함하고,
상기 제2 영역은
(a) 상기 제1 방향으로 연장하는 제2서브 공통 데이타선쌍,
(b) 상기 여러개의 제2 데이타선쌍에 접속되는 여러개의 제2 센스앰프,
(c) 상기 여러개의 제2 데이타선쌍과 상기 제2 서브 공통 데이타선쌍 사이에 접속된 여러개의 제3 스위치회로 및
(d) 상기 여러개의 제2 서브 공통 데이타선쌍과 상기 메인 공통 데이타선쌍 사이에 접속된 제4 스위치회로를 포함하고,
상기 제1 영역과 제3 영역이 교차하는 영역에는 상기 제1 센스앰프로 전원전압을 공급하는 제5스위치회로를 포함하고,
상기 제2 영역과 제3 영역이 교차하는 영역에는 상기 제2 센스앰프로 전원전압을 공급하는 제6 스위치회로를 포함하는 반도체기억장치.

청구항 30.

제29항에 있어서,
상기 제3 영역은 상기 제1 서브워드선에 접속되는 제1 서브워드선 구동회로 및 상기 제2 서브워드선에 접속되는 제2 서브워드선 구동회로를 포함하는 반도체기 억장치.

청구항 31.

제1 방향 및 상기 제1 방향과 교차하는 제2 방향을 따라서 격자형상으로 배치된 여러개의 제1 영역;
상기 제1 방향을 따라서 상기 제1 영역과 교대로 배치된 여러개의 제2 영역;
상기 제2 방향을 따라서 상기 제1 영역과 교대로 배치된 여러개의 제3 영역 및;
상기 제1 방향을 따라서 상기 제3 영역과 교대로 배치된 여러개의 제4 영역을 구비하고,
상기 여러개의 제1 영역은 각각 상기 제1 방향으로 연장하는 여러개의 메인워드선, 상기 여러개의 메인 워드선에 대응해서 상기 제1 방향으로 연장하는 여러조의 서브워드선, 상기 제2 방향으로 연장하는 여러개의 데이타선 및 여러개의 메모리셀을 포함하는 메모리어레이이고,
상기 여러개의 제2 영역은 각각 대응하는 상기 서브워드선에 접속되는 서브워드선 구동회로를 포함하고,
상기 여러개의 제3 영역은 각각 대응하는 상기 데이타선에 접속되는 센스앰프를 포함하고,
상기 여러개의 메인 워드선은 각각 상기 제1 방향을 따라서 1개 또는 그 이상의 상기 메모리어레이를 통해서 연장되는 반도체기억장치로서,
각각이 상기 제3 영역을 통과하고 상기 제1 방향을 따라서 연장하는 여러개 의 서브 공통 데이타선,
각각이 상기 제3 영역에 형성되고 상기 여러개의 데이타선과 상기 서브 공통 데이타선 사이에 접속된 여러개의 제1 스위치회로;

각각이 1개 또는 그 이상의 상기 제2 영역을 통과하고 상기 제2 방향을 따라서 연장하는 여러개의 메인 공통 데이타선 및;
각각이 상기 제4 영역에 형성되고, 상기 메인 공통 데이타선과 상기 서브 공통 데이타선 사이에 접속된 여러개의 제2 스위치회로를 더 구비하는 반도체기억장치.

청구항 32.

제31항에 있어서,
상기 메인 워드선의 하나에 할당되는 상기 메모리어레이의 수는 상기 서브 공통 데이타선의 하나에 할당되는 메모리어레이의 수보다 큰 반도체기억장치.

청구항 33.

제31항에 있어서,
상기 메인 워드선의 1개의 길이는 상기 서브 공통 데이타선의 1개의 길이보다 긴 반도체기억장치.

청구항 34.

제1 방향으로 연장하는 제1 영역;
상기 제1 영역과 평행하게 연장하는 제2 영역;
상기 제1 방향과 교차하는 제2 방향으로 연장하는 제3 영역;
상기 제1 영역 및 상기 제3 영역에 인접하는 2변을 갖는 4변형의 제4 영역 및;
상기 제1 영역, 제2 영역 및 제3 영역에 인접하는 3변을 갖는 4변형의 제5영역을 구비하고,
상기 제3 영역은 상기 제2 방향으로 연장하는 메인 공통 데이타선을 포함하고,
상기 제4 영역은 상기 제1 방향으로 연장하는 여러개의 제1 메인 워드선, 상기 여러개의 제1 메인 워드선에 대응해서 상기 제1 방향으로 연장하는 여러조의 제1 서브워드선, 상기 제2 방향으로 연장하는 여러개의 제1 데이타선 및 여러개의 제1 다이나믹 메모리셀을 구비한 제1 메모리어레이를 포함하고,
상기 제5 영역은 상기 제1 방향으로 연장하는 여러개의 제2 메인 워드선, 상기 여러개의 제2 메인 워드선에 대응해서 상기 제1 방향으로 연장하는 여러조의 제2 서브워드선, 상기 제2 방향으로 연장하는 여러개의 제2 데이타선 및 여러개의 제2 다이나믹 메모리셀을 구비한 제2 메모리어레이를 포함하고,
상기 제1 영역은
(a) 상기 제1 방향으로 연장하는 제1 서브 공통 데이타선,
(b) 상기 여러개의 제1 데이타선에 접속되는 여러개의 제1 센스앰프 및
(c) 상기 여러개의 제1 데이타선과 상기 제1 서브 공통 데이타선 사이에 접속된 여러개의 제1 스위치회로를 포함하고,
상기 제2 영역은
(a) 상기 제1 방향으로 연장하는 제2서브 공통 데이타선,
(b) 상기 여러개의 제2 데이타선에 접속되는 여러개의 제2 센스앰프 및
(c) 상기 여러개의 제2 데이타선과 상기 제2 서브 공통 데이타선 사이에 접속된 여러개의 제2 스위치회로를 포함하고,
상기 제1 영역과 제3 영역이 교차하는 제1 교차영역은
(a) 상기 메인 공통 데이타선에 접속된 제3 스위치회로,
(b) 상기 제1 센스앰프로 제1 정전원전압을 공급하는 제4 스위치회로 및
(c) 상기 제1 정전원전압보다 낮은 제2 정전원전압을 상기 제1 센스앰프로 공급하는 제5 스위치회로를 포함하고,
상기 제2 영역과 제3 영역이 교차하는 제2 교차영역은
(a) 상기 메인 공통 데이타선에 접속된 제6 스위치회로,
(b) 상기 제2 센스앰프로 상기 제1 정전원전압을 공급하는 제7 스위치회로 및
(c) 상기 제2 정전원전압을 상기 제2 센스앰프로 공급하는 제8 스위치회로
를 포함하는 반도체기억장치.

청구항 35.

제34항에 있어서,
상기 제3 영역은 상기 제1 서브워드선에 접속되는 제1 서브워드선 구동회로 및 상기 제2 서브워드선에 접속되는 제2 서브워드선 구동회로를 포함하는 반도체기억장치.

청구항 36.

제34항에 있어서,
상기 제1 및 제2 센스앰프는 각각 PMOS 트랜지스터쌍과 NMOS 트랜지스터쌍을 포함하고,
상기 PMOS 트랜지스터쌍과 상기 NMOS 트랜지스터쌍은 각각 공통으로 접속된 소스쌍, 대응하는 데이타선에 접속된 드레인쌍 및 상기 드레인쌍에 교차접속된 게이트쌍을 갖고,
상기 제1 및 제2 센스앰프는 상기 다이나믹 메모리셀의 하나에 대응하는 정보에 따라서 하이측전압과 로우측전압을 갖는 상보신호를 형성하고,
제1 기간에 있어서 상기 제1 정전원전압에 의해서 상기 제1 및 제2 센스앰프가 구동되고,
상기 제1 기간에 계속되는 제2 기간에 있어서 상기 제2 정전원전압에 의해서 상기 제1 및 제2 센스앰프가 구동되는 반도체기억장치.

청구항 37.

제1 방향으로 연장하는 제1 영역;
상기 제1 영역과 평행한 제2 영역;
상기 제1 방향과 교차하는 제2 방향으로 연장하는 제3 영역;
상기 제1 영역 및 제3 영역에 각각 인접하는 2변을 갖는 4변형의 제4 영역 및;
상기 제1 영역, 제2 영역 및 제3 영역에 각각 인접하는 3변을 갖는 4변형의 제5 영역을 구비하고,
상기 제3 영역은 상기 제2 방향으로 연장하는 메인 공통 데이타선을 포함하고,
상기 제4 영역은 상기 제1 방향으로 연장하는 여러개의 제1 메인 워드선, 상기 여러개의 제1 메인 워드선에 대응해서 상기 제1 방향으로 연장하는 여러조의 제1 서브워드선, 상기 제2 방향으로 연장하는 여러개의 제1 데이타선 및 여러개의 제1 다이나믹 메모리셀을 구비한 제1 메모리어레이를 포함하고,
상기 제5 영역은 상기 제1 방향으로 연장하는 여러개의 제2 메인 워드선, 상기 여러개의 제2 메인 워드선에 대응해서 상기 제1 방향으로 연장하는 여러조의 제2 서브워드선, 상기 제2 방향으로 연장하는 여러개의 제2 데이타선 및 여러개의 제2 다이나믹 메모리셀을 구비한 제2 메모리어레이를 포함하고,
상기 제1 영역은
(a) 상기 제1 방향으로 연장하는 제1 서브 공통 데이타선,
(b) 상기 여러개의 제1 데이타선에 접속되는 여러개의 제1 센스앰프 및
(c) 상기 여러개의 제1 데이타선과 상기 여러개의 제1 서브 공통 데이타선 사이에 접속된 여러개의 제1 스위치회로를 포함하고,
상기 제2 영역은
(a) 상기 제1 방향으로 연장하는 제2 서브 공통 데이타선,
(b) 상기 여러개의 제2 데이타선에 접속되는 여러개의 제2 센스앰프 및
(c) 상기 여러개의 제2 데이타선과 상기 제2 서브 공통 데이타선 사이에 접 속된 여러개의 제2 스위치회로를 포함하고,
상기 제1 영역과 제3 영역이 교차하는 제1 교차영역에는 상기 제1 서브 공통 데이타선과 상기 메인 공통 데이타선 사이에 마련된 제3 스위치회로를 포함하고,
상기 제2 영역과 제3 영역이 교차하는 제2 교차영역에는 상기 제2 서브 공통 데이타선과 상기 메인 공통 데이타선 사이에 마련된 제4 스위치회로를 포함하고,
상기 제3 영역은 상기 제1 서브워드선에 접속되는 제1 서브워드선 구동회로 및 상기 제2 서브워드선에 접속되는 제2 서브워드선 구동회로를 포함하고,
상기 제1 서브워드선 구동회로 및 제2 서브워드선 구동회로는 각각
(a) 상기 여러개의 제1 메인 워드선과 상기 여러개의 제2 메인 워드선중의 대응하는 하나에 접속된 게이트, 상기 서브워드선의 대응하는 하나에 접속된 드레인 및 제1 신호를 받는 소스를 갖는 제1 PMOS 트랜지스터,
(b) 상기 제1 PMOS 트랜지스터의 게이트에 접속된 게이트, 상기 제1 PMOS 트랜지스터의 드레인에 접속된 드레인 및 접지전위에 접속되는 소스를 구비한 제1 NMOS 트랜지스터 및
(c) 상기 제1 NMOS 트랜지스터의 드레인에 접속된 드레인, 상기 접지전위에 접속된 소스 및 제2 신호를 받는 게이트를 갖고, 상기 제1 및 제2 신호는 상보신호인 반도체기억장치.

청구항 38.

제37항에 있어서,
상기 반도체메모리는 P형 기판상에 형성되고, 상기 P형 기판은
(a) 제1 N웰,
(b) 상기 제1 N웰내에 형성된 제2 N웰,
(c) 상기 제1 N웰내에 형성된 제1P웰 및
(d) 상기 제1 N웰내에 형성된 제2 P웰을 포함하고,
상기 제1 PMOS의 소스와 드레인은 상기 제2 N웰내에 있고,
상기 제1 NMOS의 소스와 드레인은 상기 제1 P웰내에 있고,
메모리셀을 구성하는 스위치 NMOS 트랜지스터의 소스와 드레인은 상기 제2 P웰내에 있는 반도체기억장치.

청구항 39.

제38항에 있어서,
상기 제1 N웰에는 상기 제1 신호의 하이레벨에 대응하는 전압이 공급되고, 상기 P형기판에는 상기 접지전위가 공급되는 반도체기억장치.

청구항 40.

제1 메인 워드선, 상기 제1 메인 워드선에 대응해서 마련되는 여러개의 제1 서브워드선, 상기 여러개의 제1 서브워드선과 교차하는 여러개의 제1 비트선 및 상기 여러개의 제1 서브워드선과 상기 여러개의 제1 비트선의 교점에 마련되는 여러개의 제1 메모리셀을 갖는 제1 메모리어레이,
제2 메인 워드선, 상기 제2 메인 워드선에 대응해서 마련되는 여러개의 제2 서브워드선, 상기 여러개의 제2 서브워드선과 교차하는 여러개의 제2 비트선 및 상기 여러개의 제2 서브워드선과 상기 여러개의 제2 비트선의 교점에 마련되는 여러 개의 제2 메모리셀을 갖는 제2 메모리어레이;
상기 여러개의 제1 비트선과 접속되고 제1 방향으로 연장하는 제1 서브 공통 IO선;
상기 여러개의 제2 비트선과 접속되고 상기 제1 방향으로 연장하는 제2 서브 공통 IO선;
상기 제1 및 제2 서브 공통 IO선과 접속되고 상기 제1 방향과 교차하는 제2 방향으로 연장하는 메인 IO선;

상기 여러개의 제1 비트선의 각각과 상기 제1 서브 공통 IO선 사이에 마련되는 여러개의 제1 스위치회로,
상기 여러개의 제2 비트선의 각각과 상기 제2 서브 공통 IO선 사이에 마련되는 여러개의 제2 스위치회로;
상기 제1 서브 공통 IO선과 상기 메인 IO선 사이에 마련되는 제3 스위치회로 및;
상기 제2 서브 공통 IO선과 상기 메인 IO선 사이에 마련되는 제4 스위치회로를 구비하는 반도체기억장치.

청구항 41.

제1 메인 워드선, 상기 제1 메인 워드선에 대응해서 마련되는 여러개의 제1 서브워드선, 상기 여러개의 제1 서브워드선과 교차하는 여러개의 제1 비트선 및 상기 여러개의 제1 서브워드선과 상기 여러개의 제1 비트선의 교점에 마련되는 여러개의 제1 메모리셀을 갖는 제1 메모리어레이;
제2 메인 워드선, 상기 제2 메인 워드선에 대응해서 마련되는 여러개의 제2 서브워드선, 상기 여러개의 제2 서브워드선과 교차하는 여러개의 제2 비트선 및 상기 여러개의 제2 서브워드선과 상기 여러개의 제2 비트선의 교점에 마련되는 여러개의 제2 메모리셀을 갖는 제2 메모리어레이;
상기 여러개의 제1 비트선과 접속되고 제1 방향으로 연장하는 제1 서브 공통 IO선;
상기 여러개의 제2 비트선과 접속되고 상기 제1 방향으로 연장하는 제2 서브 공통 IO선;
상기 제1 및 제2 서브 공통 IO선과 접속되고 상기 제1 방향과 교차하는 제2 방향으로 연장하는 메인 IO선;
상기 여러개의 제1 비트선의 각각과 상기 제1 서브 공통 IO선 사이에 마련되는 여러개의 제1 스위치회로;
상기 여러개의 제2 비트선의 각각과 상기 제2 서브 공통 IO선 사이에 마련되는 여러개의 제2 스위치회로;
싱기 제1 서브공통IO선과 상기 메인IO선 사이에 마련되고, 상기 제1 서브 공통IO선을 전달한 신호를 증폭하기 위한 제1 서브앰프 및;
상기 제2 서브 공통IO선과 상기 메인IO선 사이에 마련되고, 상기 제2 서브 공통IO선을 전달한 신호를 증폭하기 위한 제2 서브앰프를 구비하는 반도체기억장치.

청구항 42.

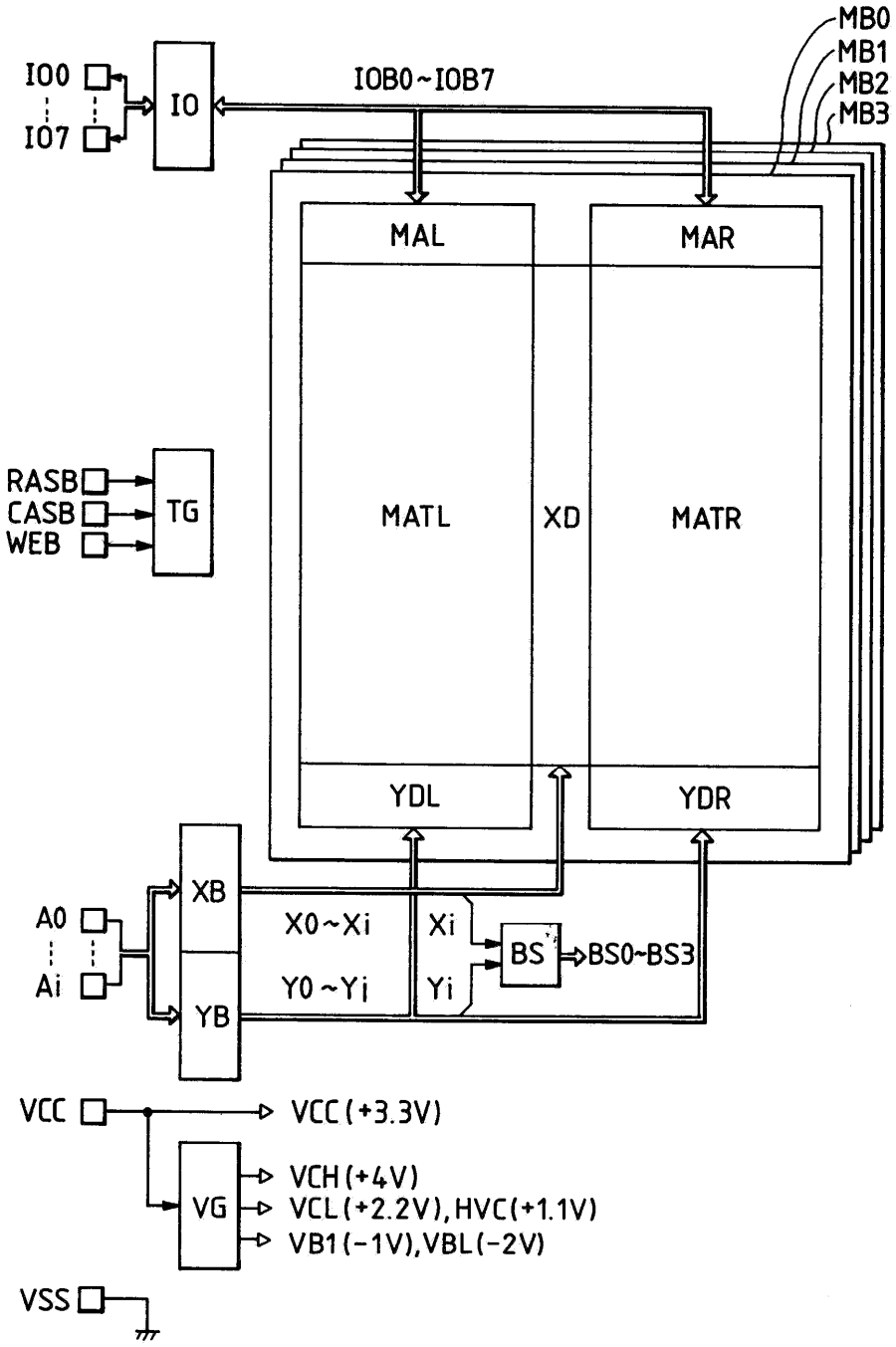
사각형을 형성하는 제1 영역 및 제2 영역;
상기 제1 영역과 상기 제2 영역 사이에 상기 제2 영역의 한변을 따라 마련되고 상기 제1 방향으로 긴 변을 갖는 사각형을 형성하는 제3 영역;
상기 제2 영역의 한변과 대향하는 상기 제2 영역의 다른 한변을 따라 마련되고 상기 제1 방향에 긴 변을 갖는 사각형을 형성하는 제4 영역 및;
상기 제1 및 제2 영역을 따라 마련되고, 상기 제3 및 제4 영역과 교차하는 영역을 갖도록 상기 제1 방향과 교차하는 제2 방향으로 연장하는 긴변을 갖는 사각형을 형성하는 제5 영역을 구비하고,
상기 제1 영역은 여러개의 제1 워드선과 여러개의 제1 비트선의 교점에 마련된 여러개의 제1 메모리셀을 갖는 제1 메모리어레이를 포함하고,
상기 제2 영역은 여러개의 제2 워드선과 여러개의 제2 비트선의 교점에 마련된 여러개의 제2 메모리셀을 갖는 제2 메모리어레이를 포함하고,
상기 제3 영역은 상기 여러개의 제1 비트선의 각각에 대응해서 마련되고 상기 여러개의 제1 비트선에서 리드된 신호를 제1 전압으로 증폭하기 위한 여러개의 제1 센스앰프, 상기 제1 방향으로 연장하는 제1 서브 공통 IO선 및 상기 제1 서브공통 IO선과 상기 여러개의 제1 비트선 사이에 마련되는 여러개의 제1 스위치회로를 포함하고,
상기 제4 영역은 상기 여러개의 제2 비트선의 각각에 대응해서 마련되고 상기 여러개의 제2 비트선에서 리드된 신호를 상기 제1 전압으로 증폭하기 위한 여러개의 제2 센스앰프, 상기 제1 방향으로 연장하는 제2 서브 공통 IO선 및 상기 제1 서브 공통 IO선과 상기 여러개의 제1 비트선 사이에 마련된 여러개의 제2 스위치회로를 포함하고,
상기 제5 영역은 상기 제1 및 제2 서브 공통 IO선에 접속되고 상기 제2 방향으로 연장하는 메인IO선을 포함하는 반도체장치.

청구항 43.

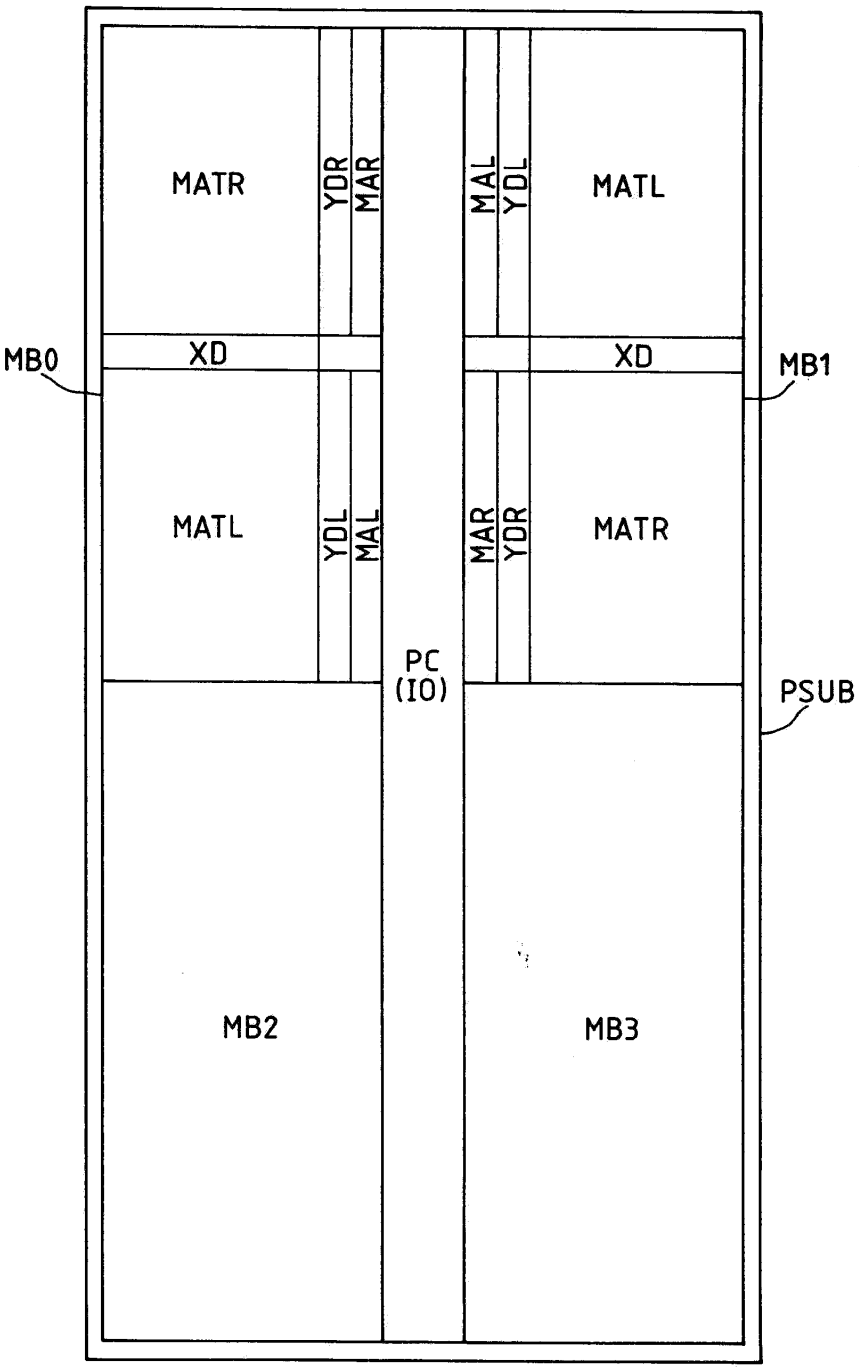
워드선을 메인 워드선과 상기 메인 워드선에 접속되는 서브 워드선으로 계층화하고,
IO선을 메모리셀이 접속되는 비트선, 상기 비트선에 접속되는 서브 공통 IO선 및 상기 서브 공통 IO선에 접속되는 메인 IO선으로 계층화한 반도체기억장치.

도면

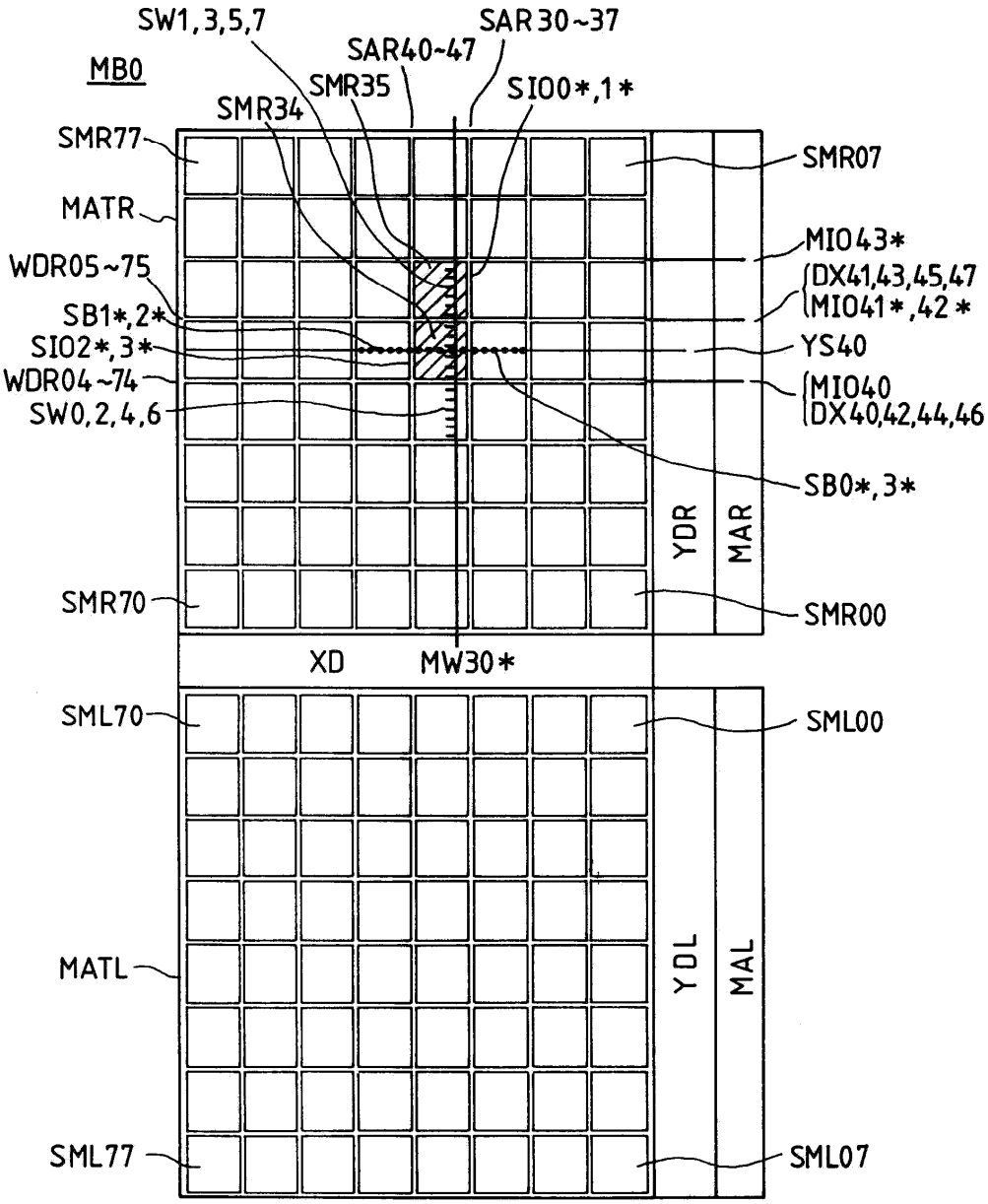
도면1


IO0
IO7
IO
IOB0~IOB7
MB0
MB1
MB2
MB3
MAL
MAR
MATL
XD
MATR
YDL
YDR
RASB
CASB
WEB
TG
A0
Ai
XB
YB
X0~Xi
Y0~Yi
Xi
Yi
BS
BS0~BS3
VCC
VCC(+3.3V)
VG
VCH(+4V)
VCL(+2.2V),HVC(+1.1V)
VB1(-1V),VBL(-2V)
VSS

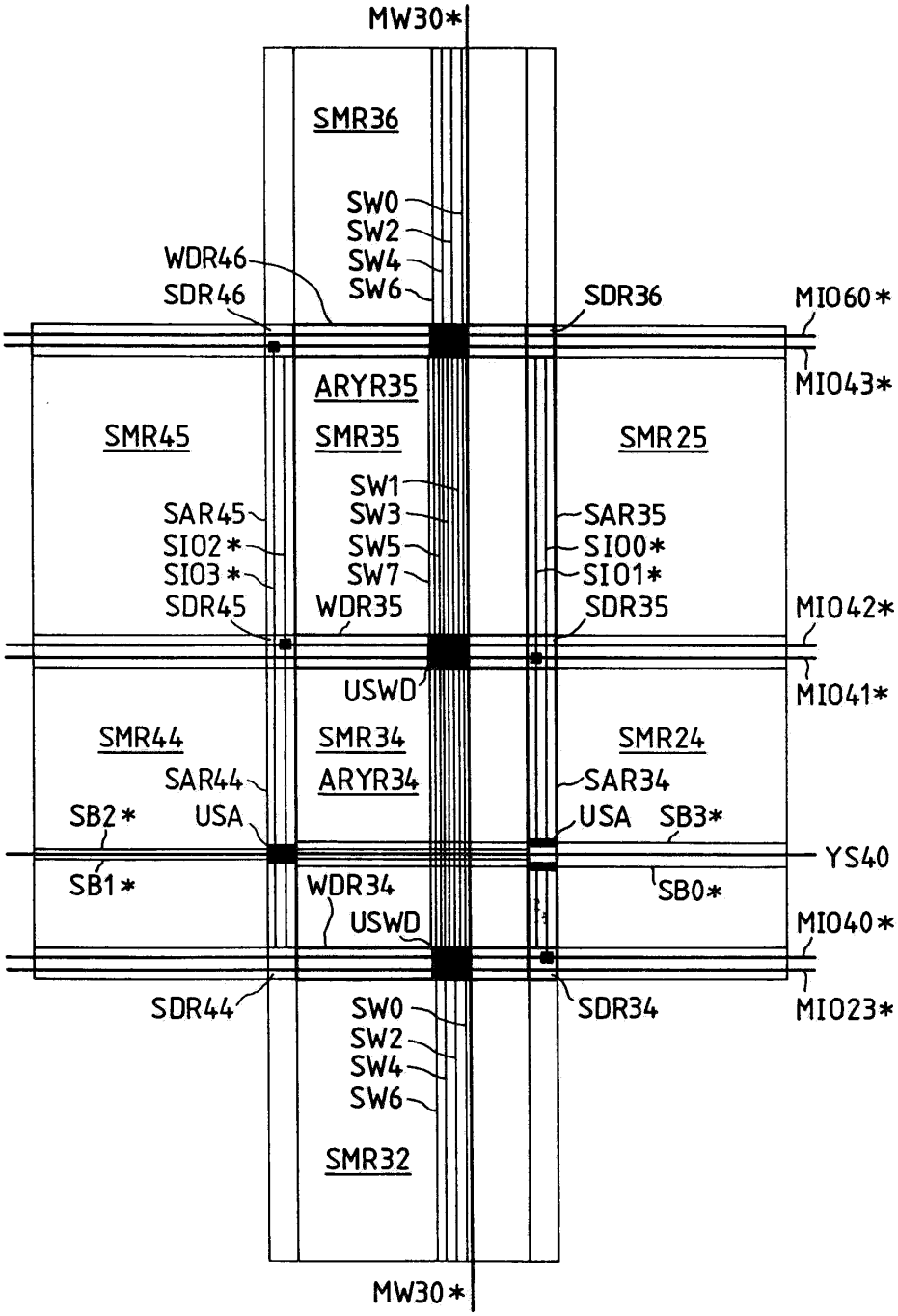
도면2


MATR
YDR
MAR
MAL
YDL
MATL
MB0
XD
XD
MB1
MATL
YDL
MAL
MAR
YDR
MATR
PC
(IO)
PSUB
MB2
MB3

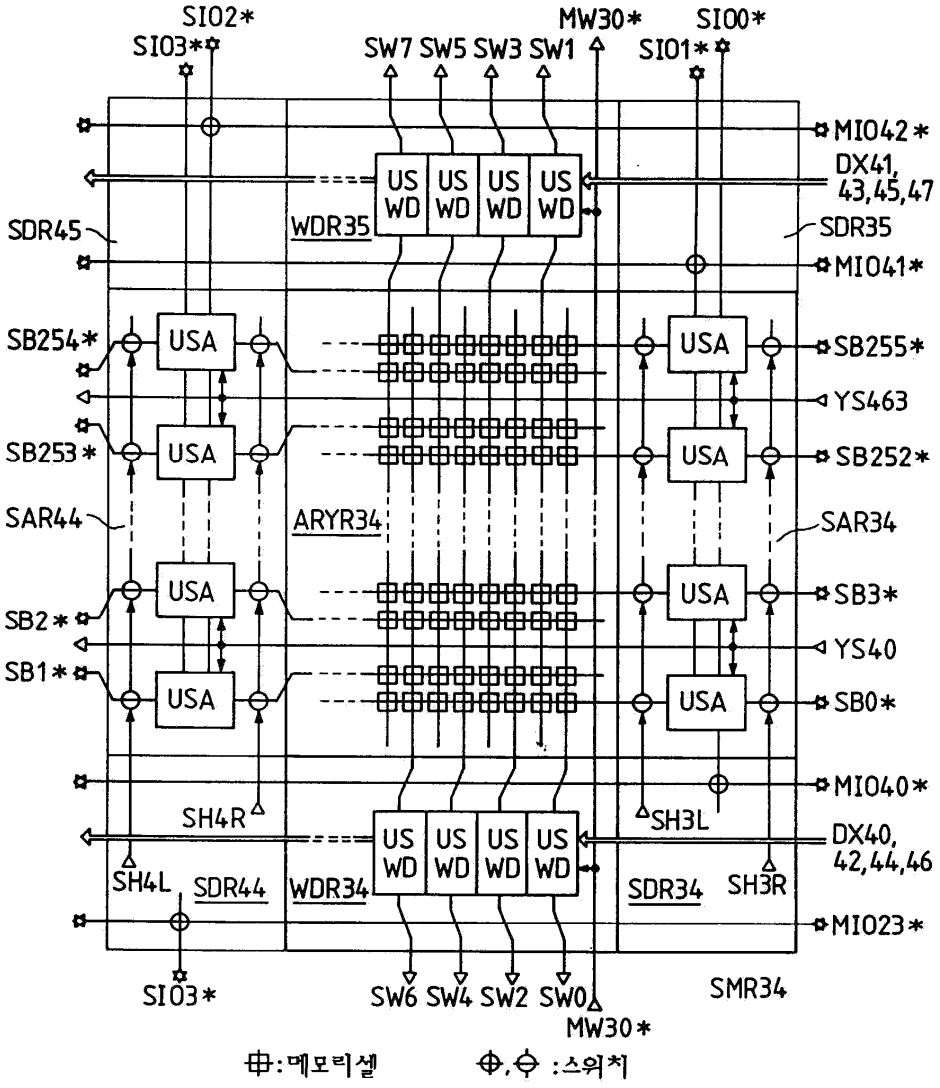
도면3


SW1,3,5,7
SAR40~47
SAR30~37
MB0
SMR35
SIO0*,1*
SMR34
SMR77
SMR07
MATR
MIO43*
WDR05~75
DX41,43,45,47
SB1*,2*
MIO41*,42*
SIO2*,3*
YS40
WDR04~74
MIO40
SW0,2,4,6
DX40,42,44,46
SB0*,3*
YDR
MAR
SMR70
SMR00
XD
MW30*
SML70
SML00
MATL
YDL
MAL
SML77
SML07

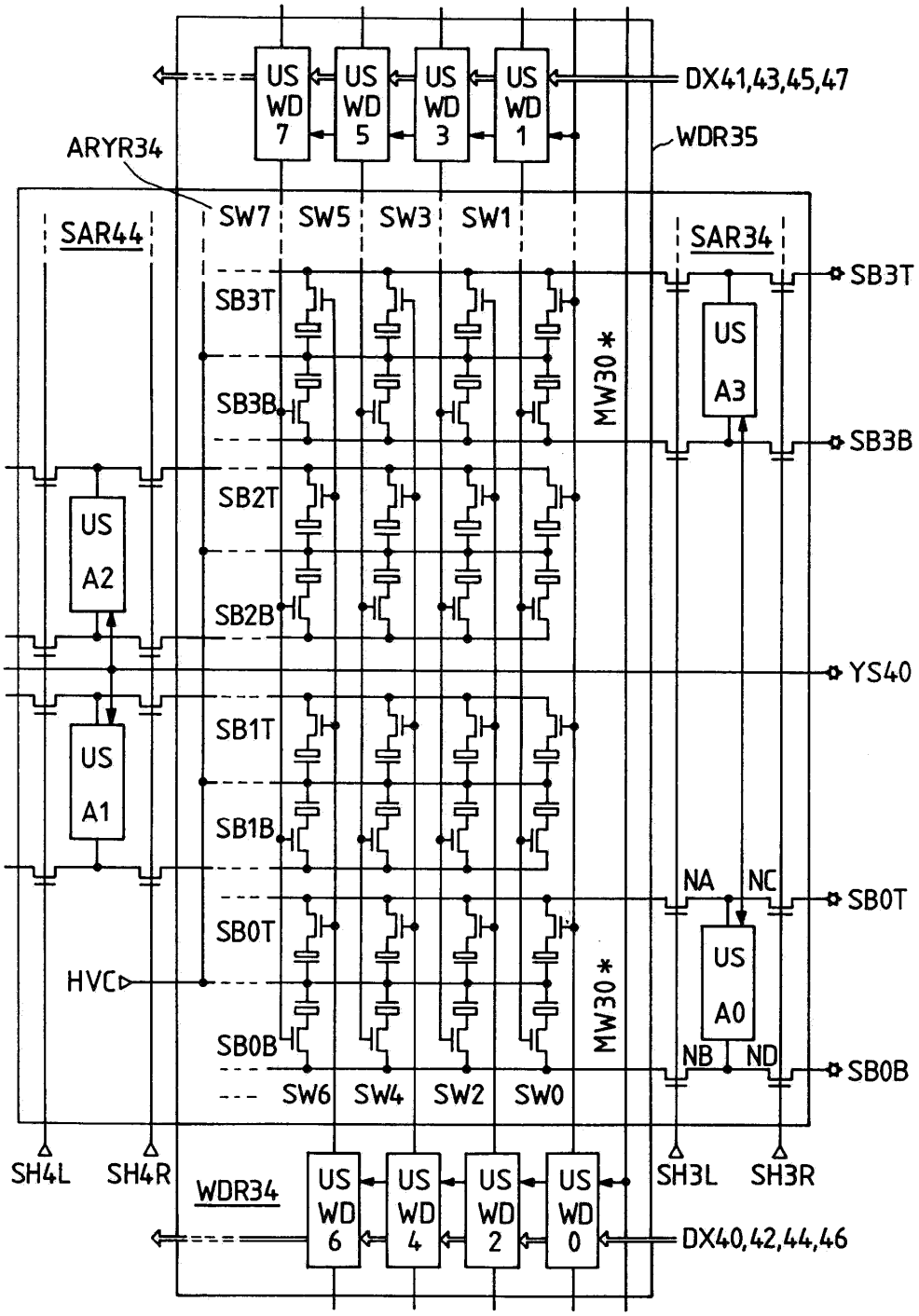
도면4


MW30*
SMR36
SW0
SW2
SW4
SW6
WDR46
SDR46
SDR36
MIO60*
MIO43*
ARYR35
SMR45
SMR35
SMR25
SW1
SW3
SW5
SW7
SAR45
SIO2*
SIO3*
SDR45
WDR35
SAR35
SIO0*
SIO1*
SDR35
MIO42*
MIO41*
USWD
SMR44
SMR34
SMR24
SAR44
ARYR34
SAR34
SB2*
USA
USA
SB3*
YS40
SB1*
WDR34
USWD
SB0*
MIO40*
SDR44
SDR34
MIO23*
SW0
SW2
SW4
SW6
SMR32
MW30*

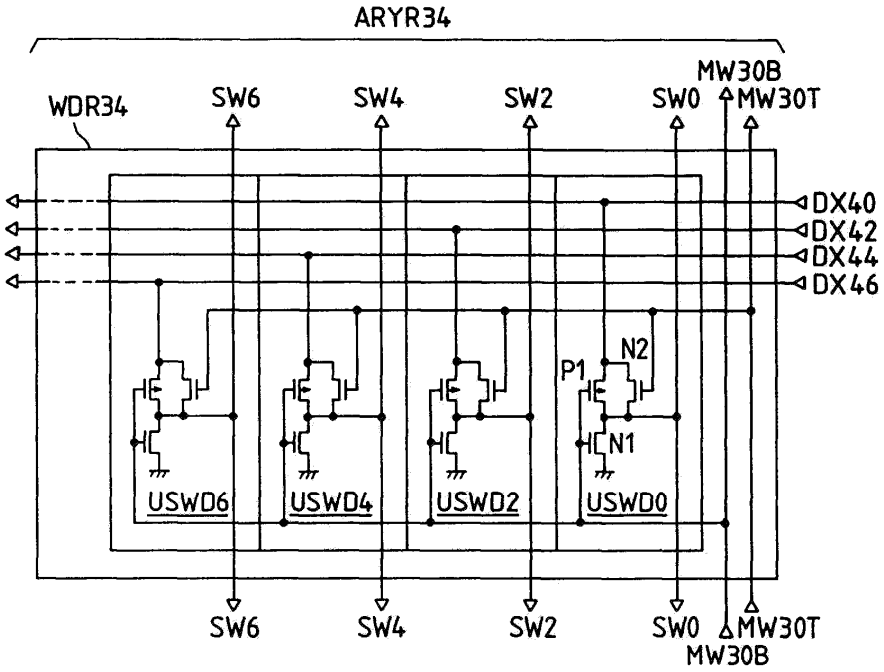
도면5


SIO2*
SIO3*
MW30*
SIO0*
SIO1*
SW7 SW5 SW3 SW1
MIO42*
DX41, 43,45,47
US WD
WDR35
SDR45
SDR35
MIO41*
SB254*
USA
SB255*
YS463
SB253*
SB252*
SAR44
ARYR34
SAR34
SB2*
SB3*
YS40
SB1*
SB0*
MIO40*
SH4R
SH3L
DX40, 42,44,46
SH4L
SDR44
WDR34
SDR34
SH3R
MIO23*
SIO3*
SW6 SW4 SW2 SW0
SMR34
MW30*
:메모리셀
:스위치

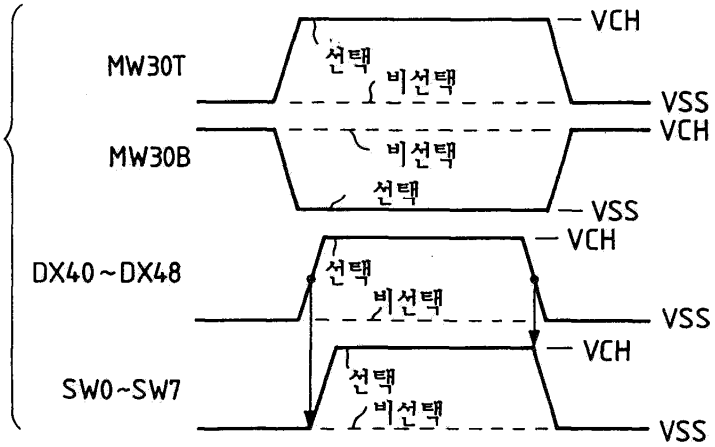
도면6


USWD7
USWD5
USWD3
USWD1
DX41,43,45,47
WDR35
ARYR34
SAR44
SAR34
SW7
SW5
SW3
SW1
SB3T
SB3B
SB2T
SB2B
SB1T
SB1B
SB0T
SB0B
MW30*
USA3
USA2
USA1
USA0
YS40
SB3T
SB3B
SB0T
SB0B
NA
NC
NB
ND
HVC
SW6
SW4
SW2
SW0
SH4L
SH4R
WDR34
USWD6
USWD4
USWD2
USWD0
SH3L
SH3R
DX40,42,44,46

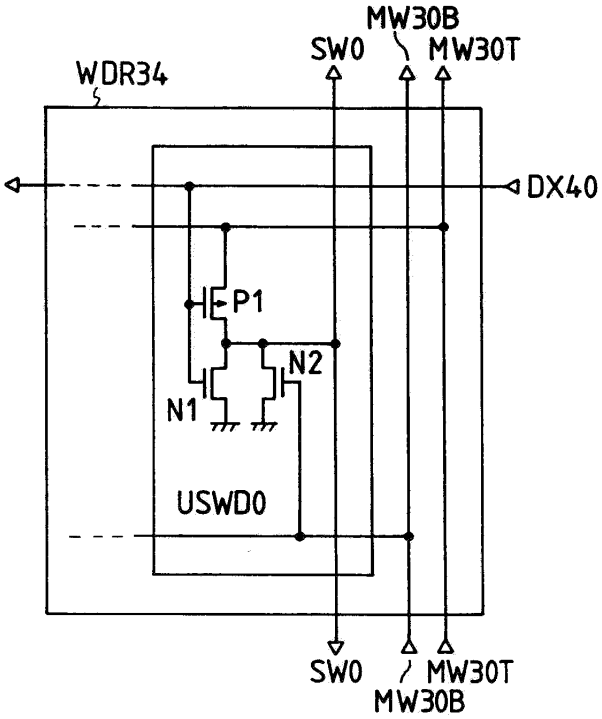
도면7a


ARYR34
WDR34
SW6
SW4
SW2
SW0
MW30B
MW30T
DX40
DX42
DX44
DX46
N2
P1
N1
USWD6
USWD4
USWD2
USWD0
SW6
SW4
SW2
SW0
MW30T
MW30B

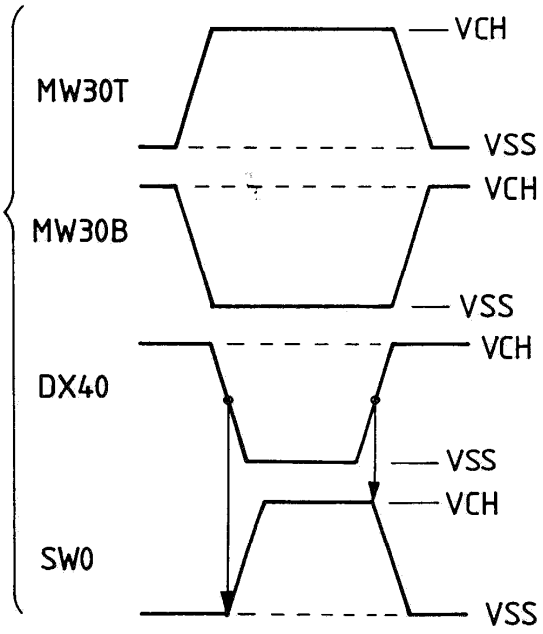
도면7b


MW30T
선택
비선택
VCH
VSS
MW30B
비선택
선택
VCH
VSS
DX40~DX48
선택
비선택
VCH
VSS
SW0~SW7
선택
비선택
VCH
VSS

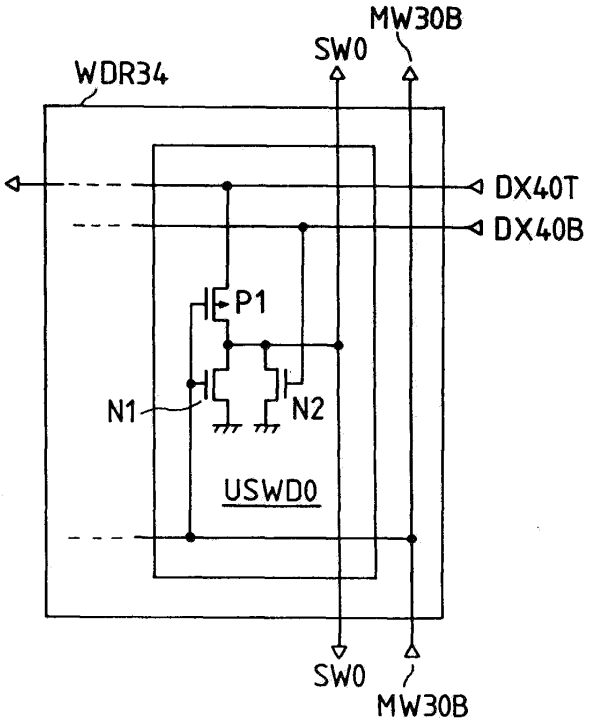
도면8a


MW30B
SW0
MW30T
WDR34
DX40
P1
N2
N1
USWD0
SW0
MW30T
MW30B

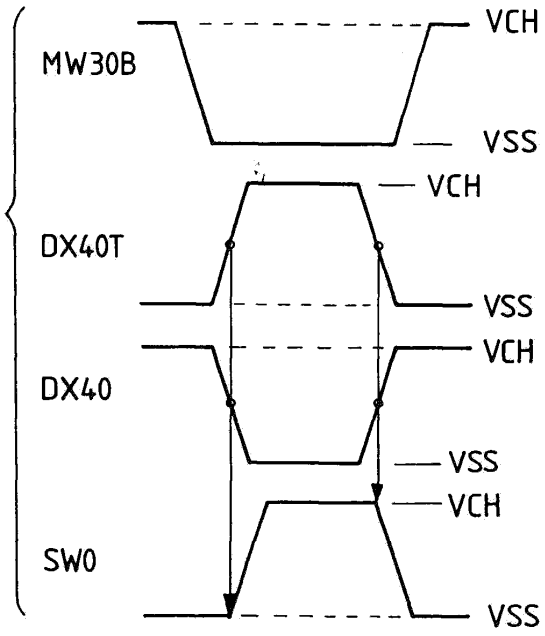
도면8b


MW30T
VCH
VSS
MW30B
VCH
VSS
DX40
VCH
VSS
SW0
VCH
VSS

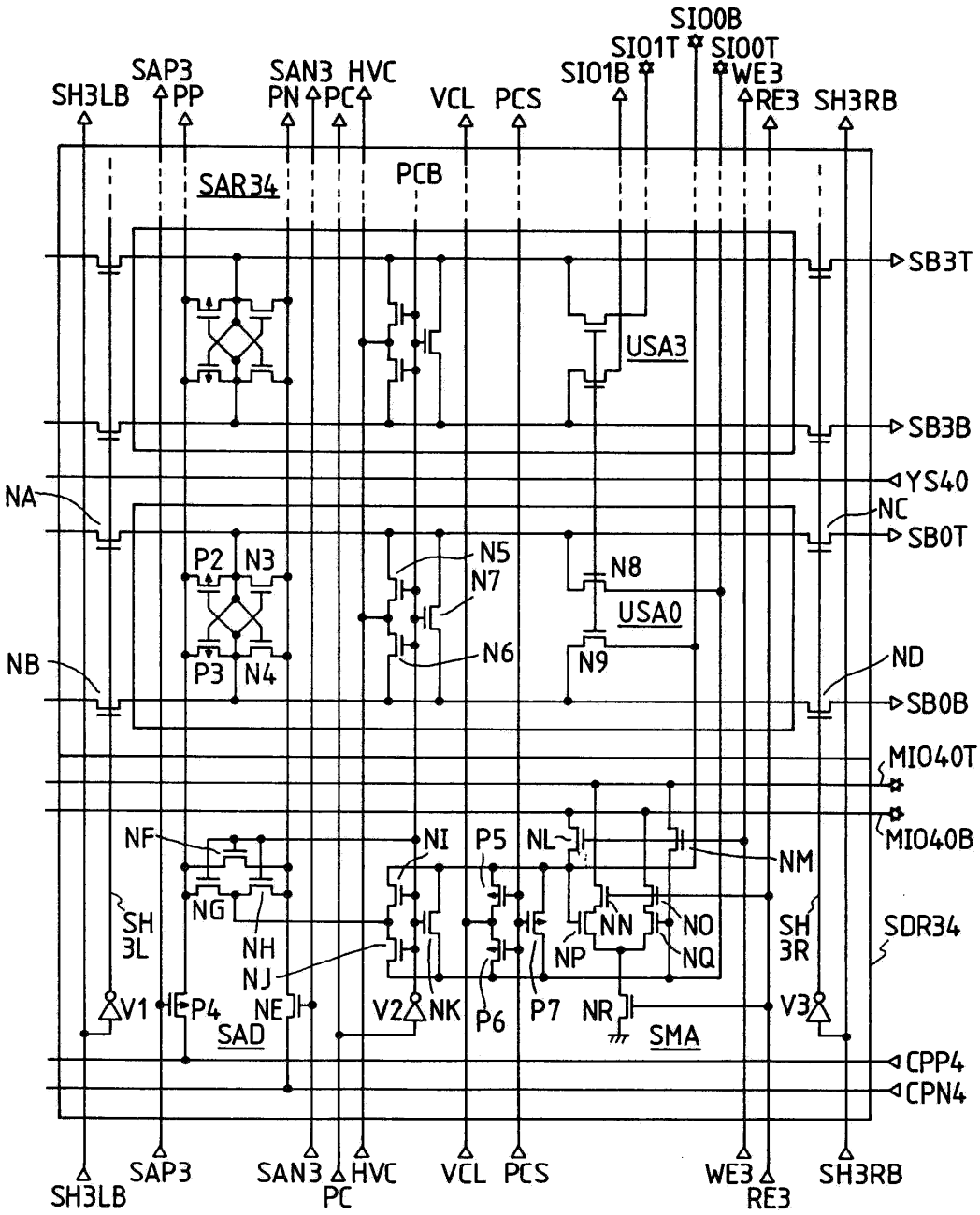
도면9a


MW30B
SW0
WDR34
DX40T
DX40B
P1
N1
N2
USWD0
SW0
MW30B

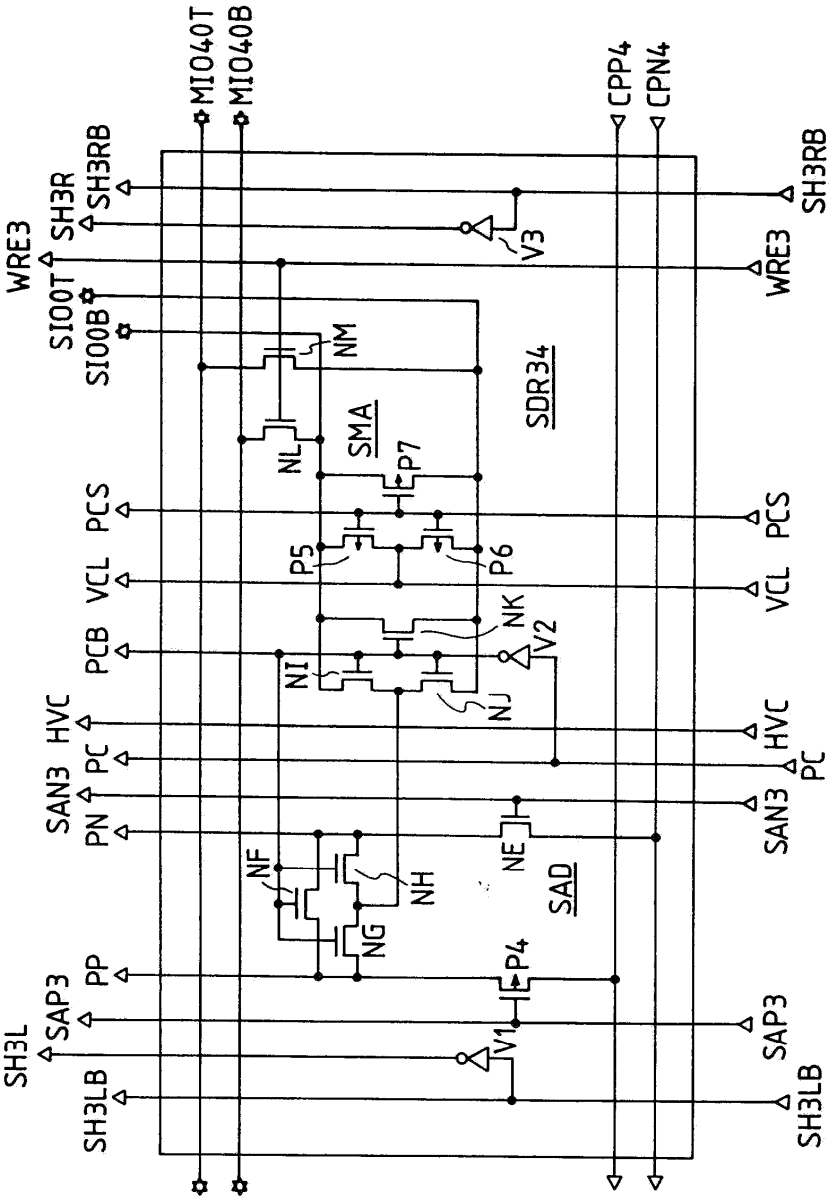
도면9b


MW30B
VCH
VSS
DX40T
VCH
VSS
DX40
VCH
VSS
SW0
VCH
VSS

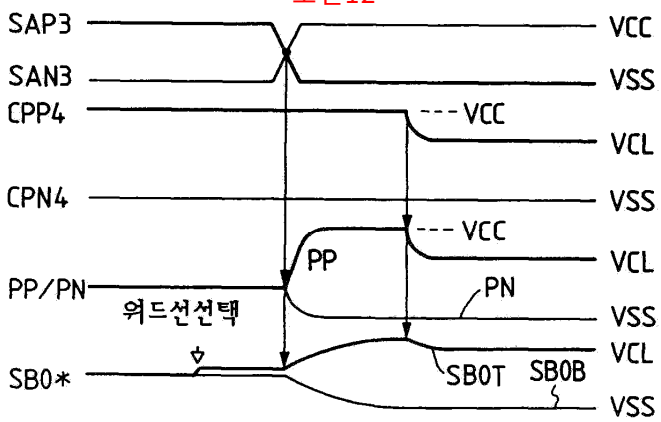
도면10


SIO0B
SIO1T
SIO0T
SAP3
SAN3
HVC
SIO1B
WE3
SH3LB
PP
PN
PC
VCL
PCS
RE3
SH3RB
SAR34
PCB
SB3T
USA3
SB3B
YS40
NA
NC
SB0T
P2
N3
N5
N7
N8
USA0
N6
N9
NB
ND
P3
N4
SB0B
MIO40T
MIO40B
NF
NI
P5
NL
NM
NG
SH
3L
NH
NJ
NN
NO
NP
NQ
SH
3R
SDR34
V1
P4
NE
V2
NK
P6
P7
NR
V3
SAD
SMA
CPP4
CPN4
SH3LB
SAP3
SAN3
HVC
PC
VCL
PCS
WE3
RE3
SH3RB

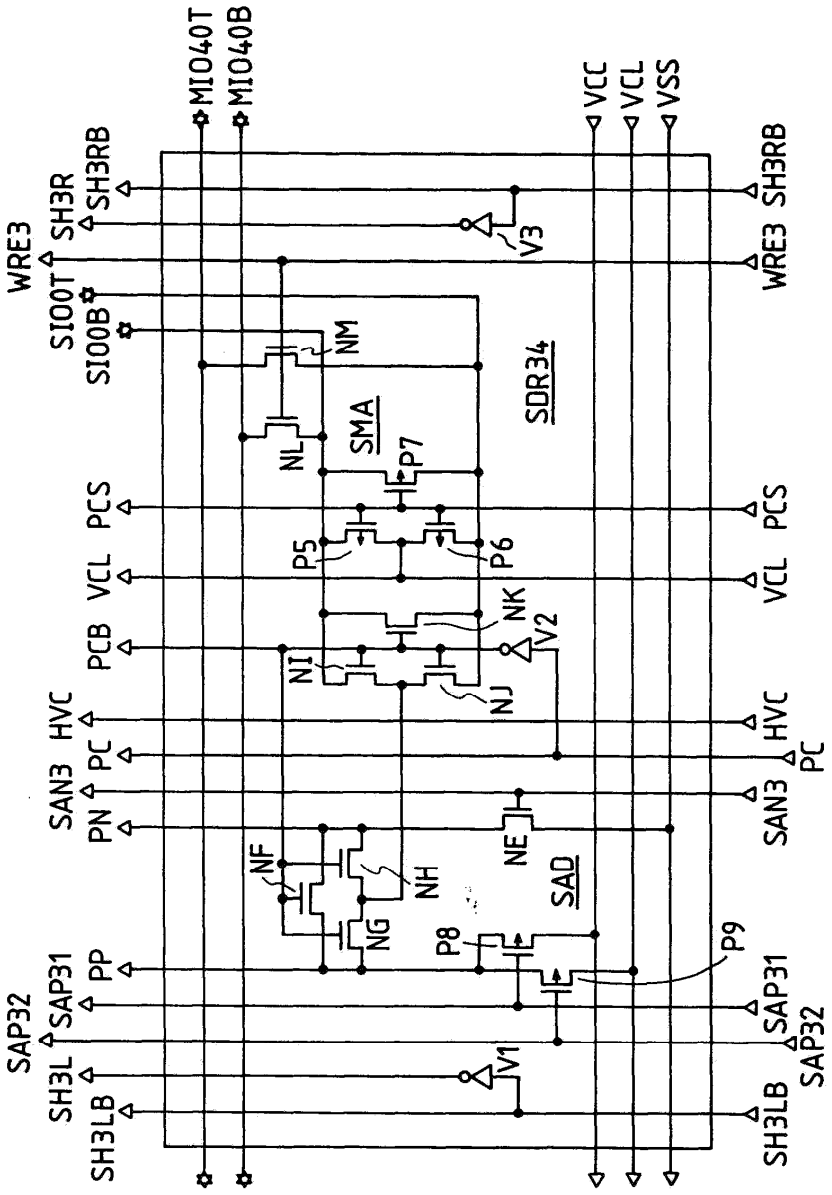
도면11


MIO40T
MIO40B
CPP4
CPN4
SH3RB
SH3R
WRE3
SIOOT
SIOOB
V3
NM
NL
SMA
P7
SDR34
PCS
VCL
P5
P6
PCB
NK
V2
NI
NJ
HVC
PC
SAN3
PN
NE
NF
NH
SAD
NG
PP
SAP3
P4
V1
SH3L
SH3LB

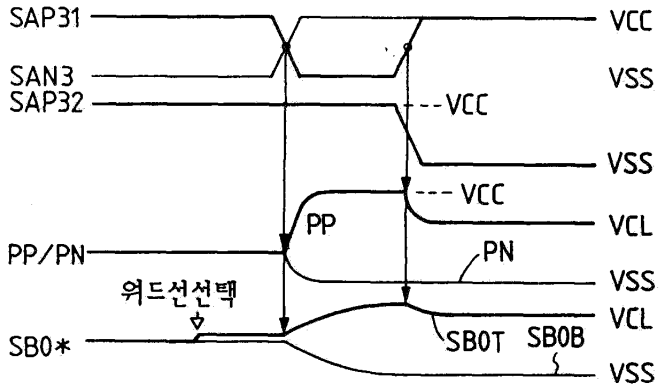
도면12


SAP3
SAN3
CPP4
CPN4
PP/PN
워드선선택
SB0*
VCC
VSS
VCL
PP
PN
SB0T
SB0B

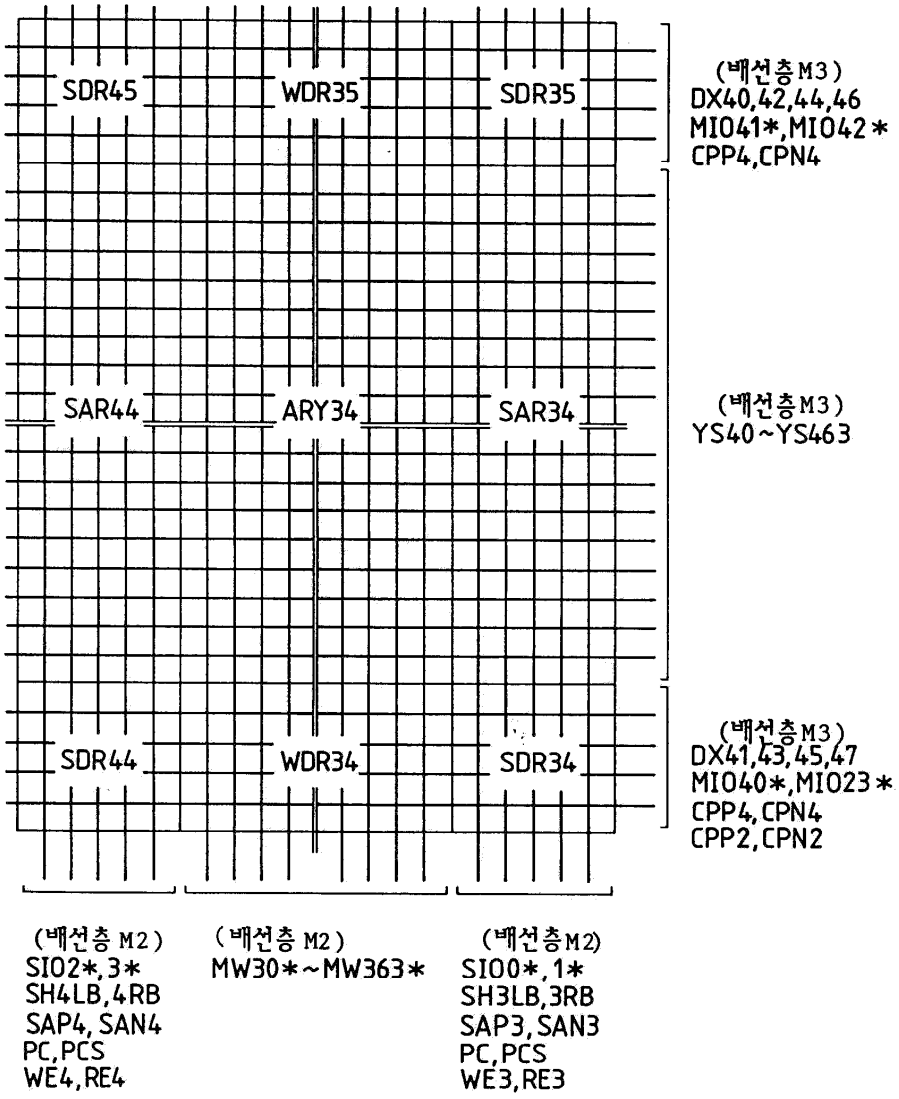
도면13


MIO40T
MIO40B
VCC
VCL
VSS
WRE3
SH3R
SH3RB
SIO0T
SIO0B
V3
NM
NL
SMA
P7
SDR34
P5
P6
PCS
VCL
PCB
NK
V2
NI
NJ
HVC
SAN3
PC
PN
NE
NF
NH
NG
SAD
P8
P9
SAP31
PP
SAP32
SH3L
SH3LB
V1

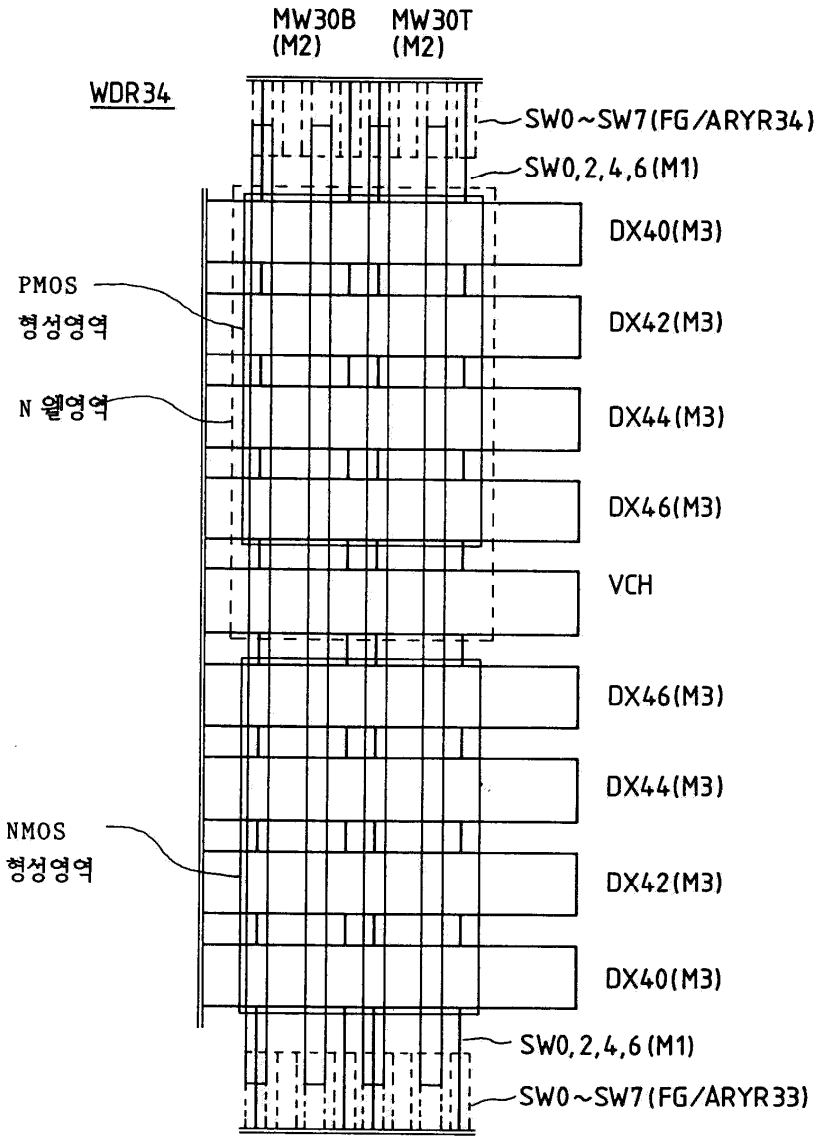
도면14


SAP31
SAN3
SAP32
VCC
VSS
VCC
VSS
VCC
PP
VCL
PP/PN
PN
VSS
워드선선택
VCL
SB0*
SB0T
SB0B
VSS

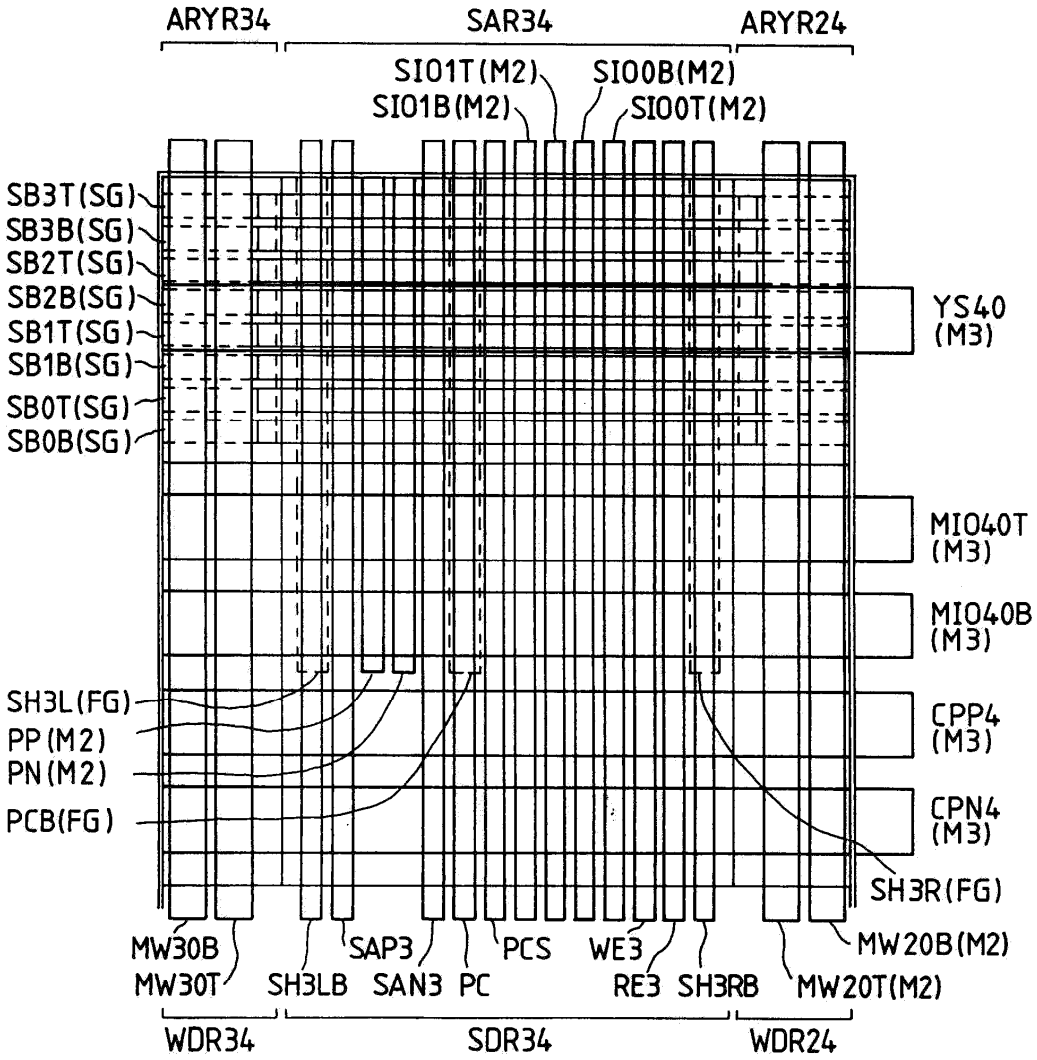
도면15


SDR45
WDR35
SDR35
SAR44
ARY34
SAR34
SDR44
WDR34
SDR34
(배선층M3)
DX40,42,44,46
MI041*,MI042*
CPP4,CPN4
(배선층M3)
YS40~YS463
(배선층M3)
DX41,43,45,47
MI040*,MI023*
CPP4,CPN4
CPP2,CPN2
(배선층M2)
SI02*,3*
SH4LB,4RB
SAP4,SAN4
PC,PCS
WE4,RE4
(배선층M2)
MW30*~MW363*
(배선층M2)
SI00*,1*
SH3LB,3RB
SAP3,SAN3
PC,PCS
WE3,RE3

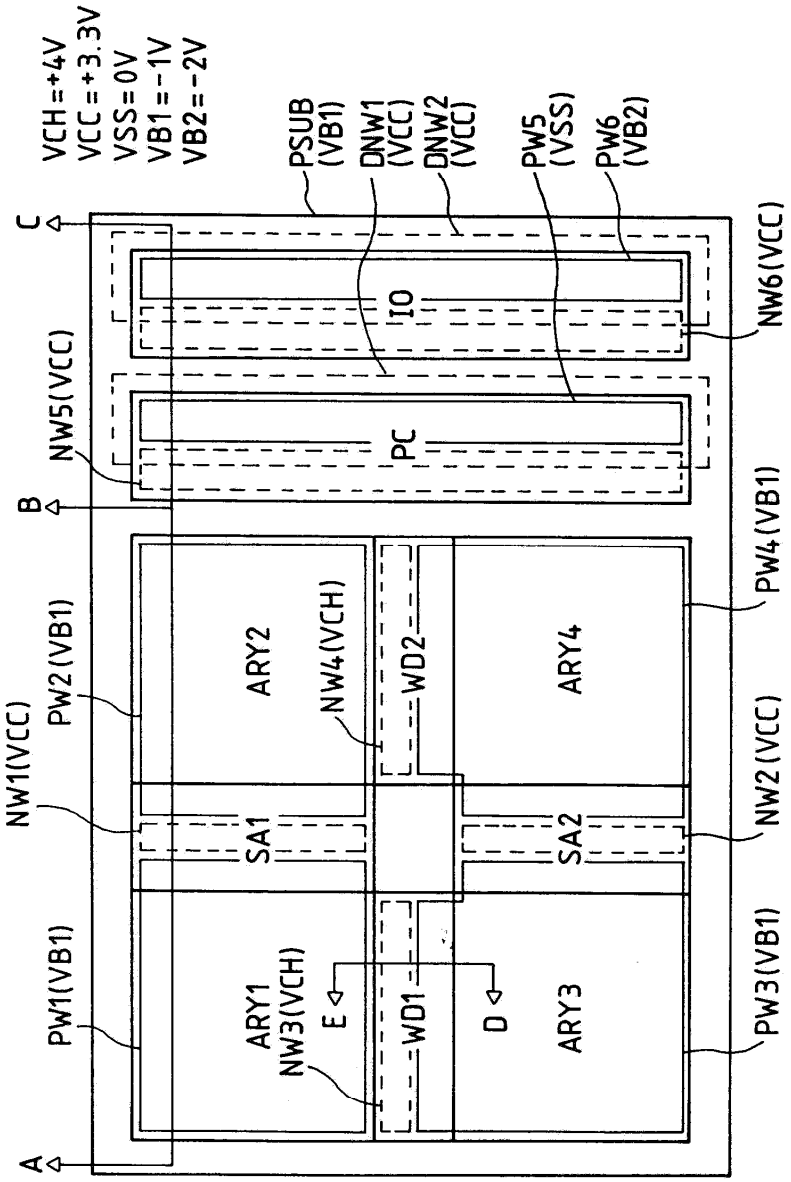
도면16


MW30B
(M2)
MW30T
(M2)
WDR34
SW0~SW7(FG/ARYR34)
SW0,2,4,6(M1)
DX40(M3)
PMOS
형성영역
DX42(M3)
N 웰영역
DX44(M3)
DX46(M3)
VCH
DX46(M3)
DX44(M3)
NMOS
형성영역
DX42(M3)
DX40(M3)
SW0,2,4,6(M1)
SW0~SW7(FG/ARYR33)

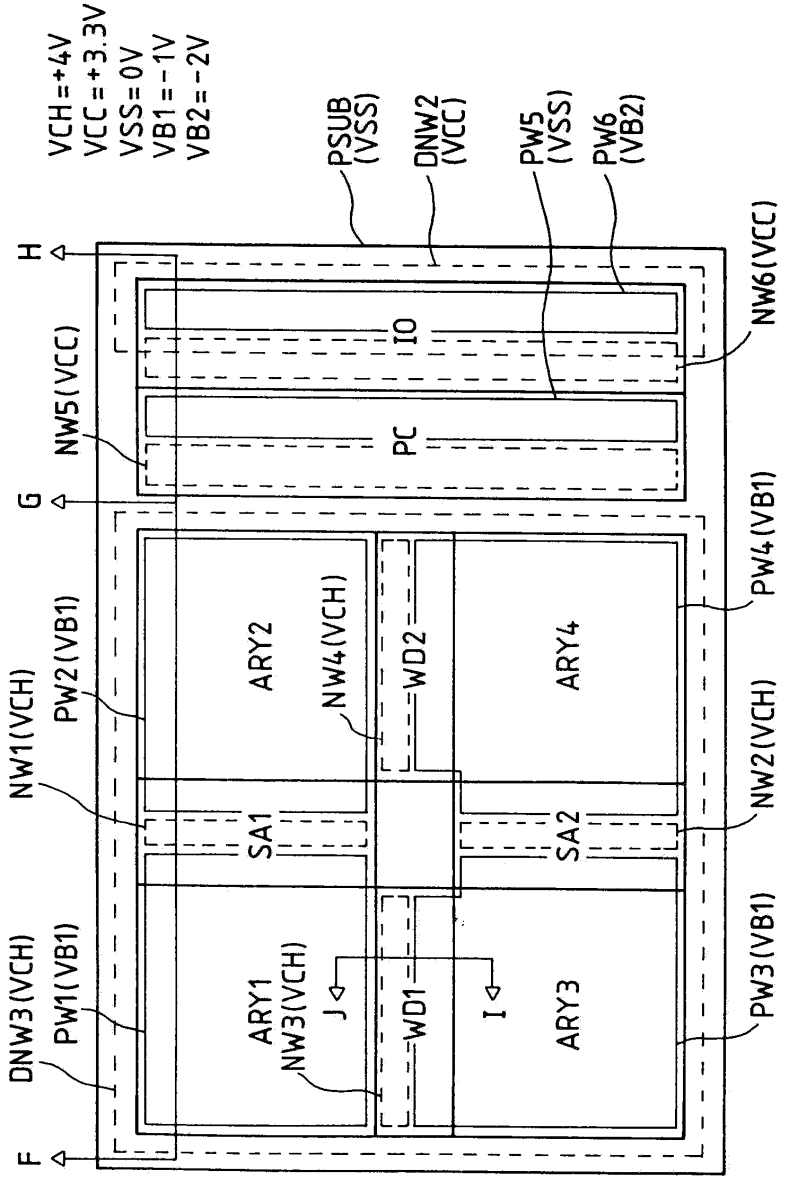
도면17


ARYR34
SAR34
ARYR24
SIO1T(M2)
SIO0B(M2)
SIO1B(M2)
SIO0T(M2)
SB3T(SG)
SB3B(SG)
SB2T(SG)
SB2B(SG)
SB1T(SG)
SB1B(SG)
SB0T(SG)
SB0B(SG)
YS40 (M3)
MIO40T (M3)
MIO40B (M3)
CPP4 (M3)
CPN4 (M3)
SH3L(FG)
PP(M2)
PN(M2)
PCB(FG)
SH3R(FG)
MW30B
MW30T
SH3LB
SAP3
SAN3
PC
PCS
WE3
RE3
SH3RB
MW20B(M2)
MW20T(M2)
WDR34
SDR34
WDR24

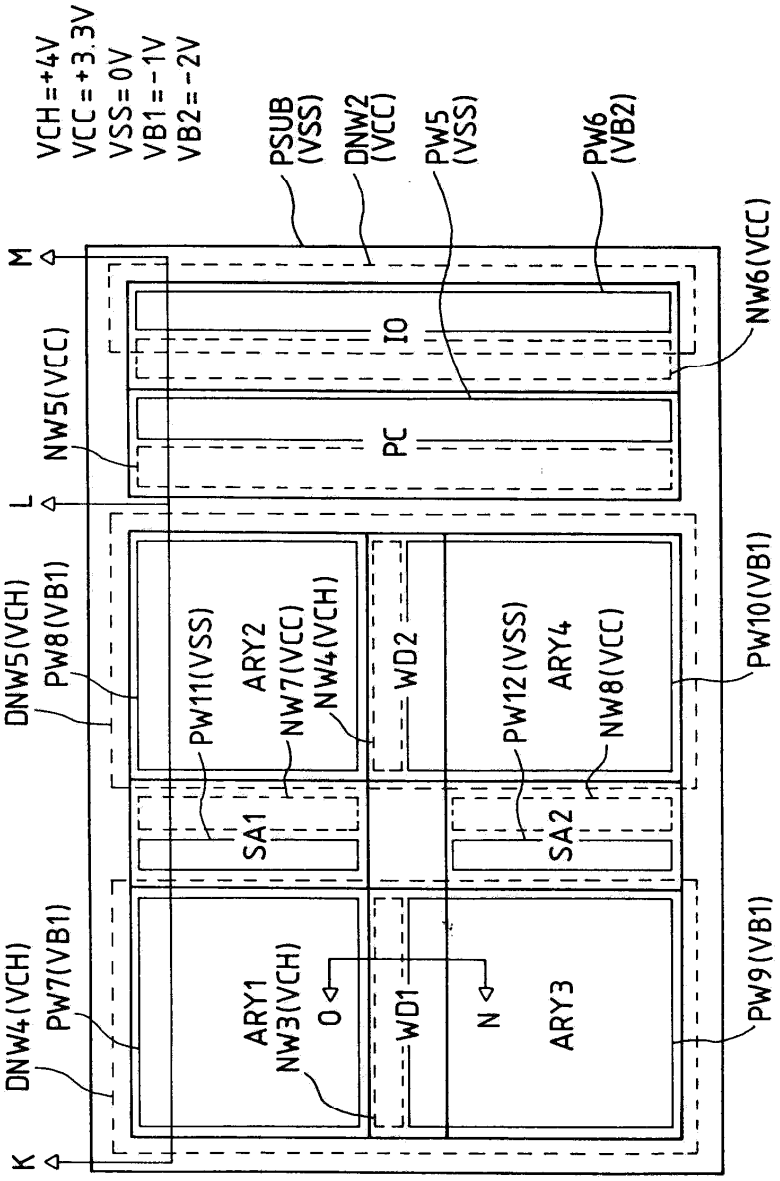
도면18


VCH=+4V
VCC=+3.3V
VSS=0V
VB1=-1V
VB2=-2V
PSUB (VB1)
DNW1 (VCC)
DNW2 (VCC)
PW5 (VSS)
PW6 (VB2)
C
B
A
NW6(VCC)
NW5(VCC)
IO
PC
PW4(VB1)
PW2(VB1)
NW1(VCC)
ARY2
NW4(VCH)
WD2
ARY4
SA1
SA2
NW2(VCC)
PW1(VB1)
ARY1
NW3(VCH)
E
WD1
D
ARY3
PW3(VB1)

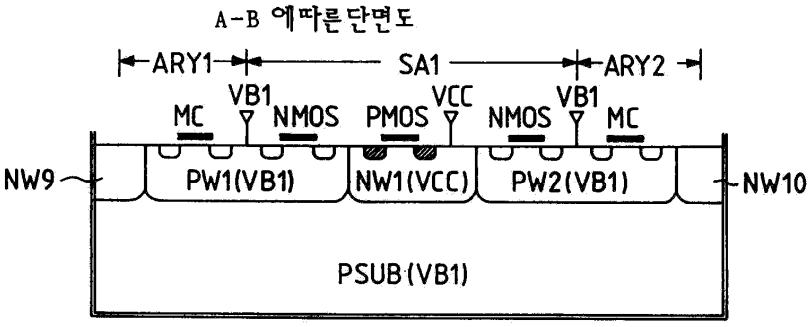
도면19


VCH=+4V
VCC=+3.3V
VSS=0V
VB1=-1V
VB2=-2V
PSUB (VSS)
DNW2 (VCC)
PW5 (VSS)
PW6 (VB2)
NW6(VCC)
H
IO
NW5(VCC)
PC
G
PW4(VB1)
PW2(VB1)
NW1(VCH)
ARY2
NW4(VCH)
WD2
ARY4
NW2(VCH)
SA1
SA2
DNW3(VCH)
PW1(VB1)
ARY1
NW3(VCH)
J
WD1
I
ARY3
PW3(VB1)
F

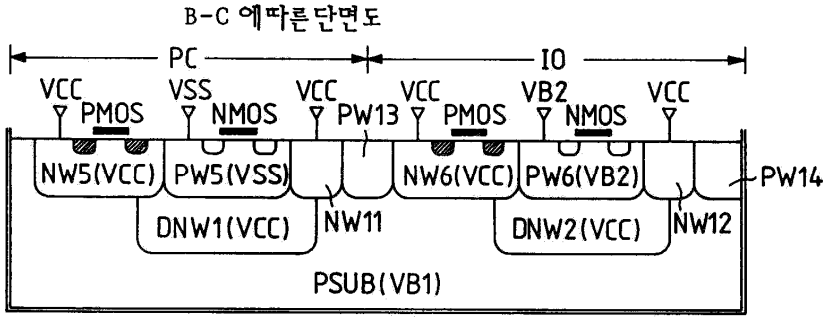
도면20


VCH=+4V
VCC=+3.3V
VSS=0V
VB1=-1V
VB2=-2V
PSUB (VSS)
DNW2 (VCC)
PW5 (VSS)
PW6 (VB2)
M
NW6(VCC)
IO
NW5(VCC)
PC
L
DNW5(VCH)
PW8(VB1)
PW11(VSS)
ARY2
NW7(VCC)
NW4(VCH)
WD2
PW12(VSS)
ARY4
NW8(VCC)
PW10(VB1)
SA1
SA2
DNW4(VCH)
PW7(VB1)
ARY1
NW3(VCH)
O
WD1
N
ARY3
PW9(VB1)
K

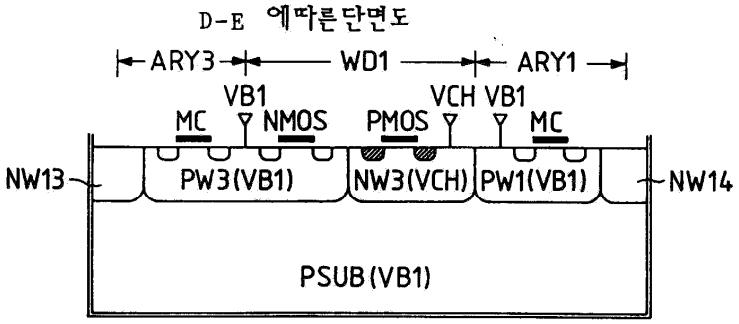
도면21a


A-B 에따른단면도
ARY1
SA1
ARY2
MC
VB1
NMOS
PMOS
VCC
NMOS
VB1
MC
NW9
PW1(VB1)
NW1(VCC)
PW2(VB1)
NW10
PSUB(VB1)

도면21b



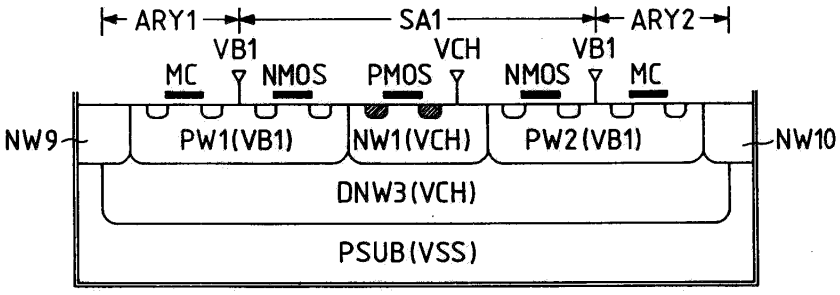
도면21c



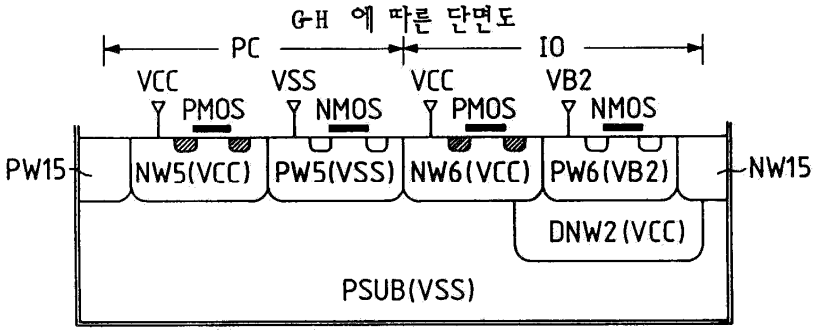
: P^+ 확산층 : N^+확산층

VCH=+4V VCC=+3.3V VSS=0V VB1=-1V VBB=-2V

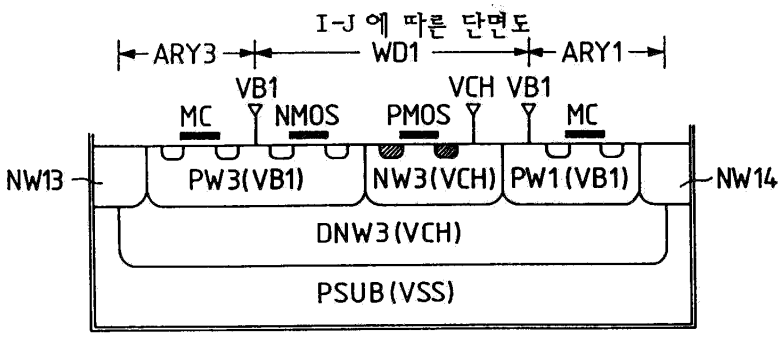
도면22a



도면22b



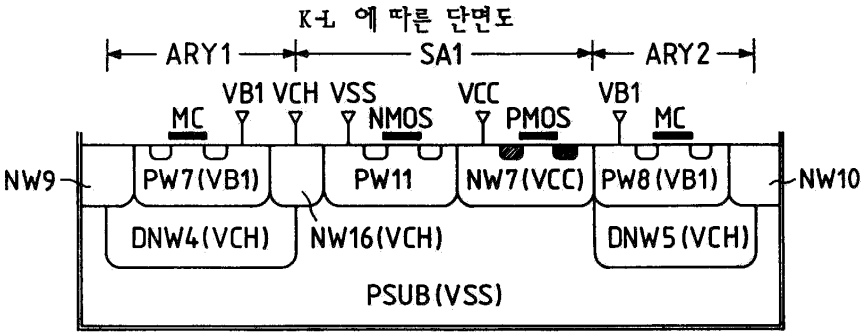
도면22c



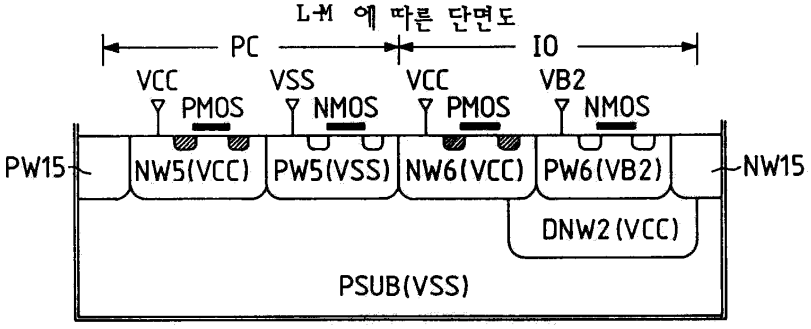
: P^+확산층 N^+ 확산층

VCH=+4V VCC=+3.3V VSS=0V VB1=-1V VBB=-2V

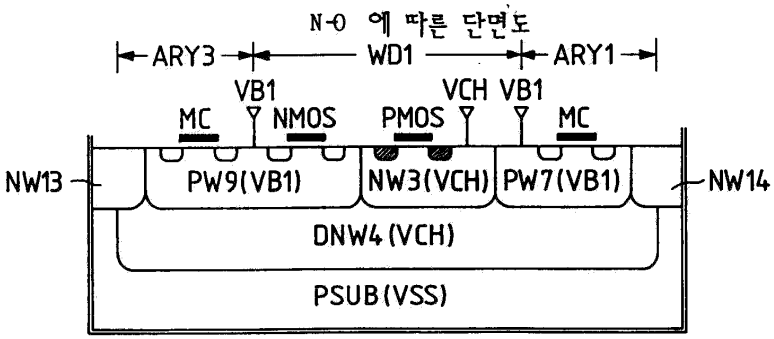
도면23a



도면23b



도면23c



: P^+ 확산층 : N^+ 확산층

VCH=+4V VCC=+3.3V VSS=0V VB1=-1V VBB=-2V