(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0063059
(43) 공개일자 2014년05월27일

(51) 국제특허분류(Int. Cl.)
H03M 1/38 (2006.01)
(21) 출원번호 10-2012-0129957
(22) 출원일자 2012년11월16일
심사청구일자 2012년11월16일

(71) 출원인
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
이승훈
서울 용산구 이촌로 324-10, 2동 210호 (이촌동, 반도아파트)
황동현
서울 마포구 광성로6안길 7, 501호 (신수동, 성조빌딩)
박준상
서울 동작구 상도로 346-1, 102동 1203호 (상도동, 상도엠코타운센트럴파크)
(74) 대리인
특허법인충현

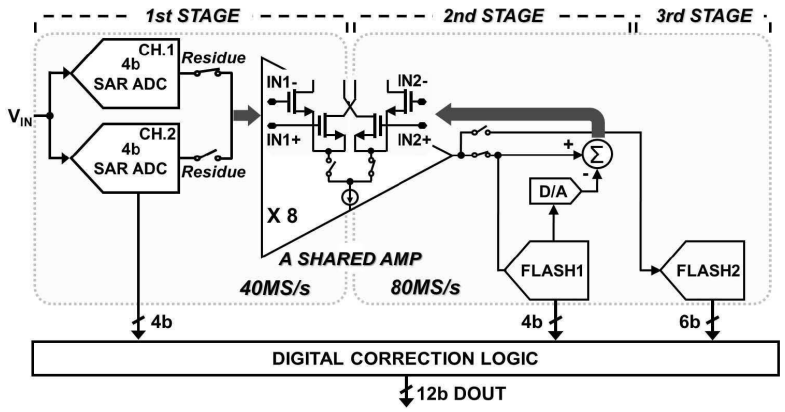
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **이중채널 SAR 및 플래쉬 ADC를 이용한 하이브리드 파이프라인 ADC**

(57) 요 약

본 발명은 파이프라인 ADC에 관한 것으로서 첫 번째 단은 이중채널로 구현되는 두 개의 SAR ADC로 형성되고, 나머지 단은 단일채널로 구현되는 제 1 플래쉬(flash) ADC 및 제 2 플래쉬 ADC로 형성되는 것을 특징함으로써, SHA 없이도 Nyquist의 입력신호까지 적절히 처리할 수 있음과 동시에 SAR ADC에 의해 동작 속도가 제한되지 않으므로 고속 동작이 가능하다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	NRF 2012-0002297
부처명	교육과학기술부
연구사업명	한국연구재단 일반연구자지원사업
연구과제명	선택적 SHA 기반의 저전력 12비트 100MS/s 급 0.13um CMOS ADC 연구
기 여 율	1/2
주관기관	서강대학교 산학협력단
연구기간	2010.05.01 ~ 2013.04.30이 발명을 지원한 국가연구개발사업
과제고유번호	1415123314
부처명	지식경제부
연구사업명	정보통신기술인력양성
연구과제명	아날로그IP설계기술
기 여 율	1/2
주관기관	서강대학교 산학협력단
연구기간	2010.06.01 ~ 2013.12.31

특허청구의 범위

청구항 1

첫 번째 단은 이중채널로 구현되는 두 개의 SAR ADC로 형성되고, 나머지 단은 단일채널로 구현되는 제 1 플래쉬(flash) ADC 및 제 2 플래쉬 ADC로 형성되는 것을 특징으로 하는 파이프라인 ADC.

청구항 2

제 1 항에 있어서,

상기 각 SAR ADC와 MDAC가 증폭기를 공유하고,

상기 증폭기는 상기 두 개의 SAR ADC 중 선택된 SAR ADC의 잔류전압 증폭과 MDAC의 잔류전압 증폭을 교대로 수행하는 것을 특징으로 하는 파이프라인 ADC.

청구항 3

제 2 항에 있어서,

상기 각 SAR ADC는 클록의 반 주기 동안 샘플링을 수행하고, 다음 한 주기 동안 SAR 동작을 수행하며, 다음 반 주기 동안 잔류전압 증폭을 수행하는 것을 반복하고,

상기 MDAC는 상기 클록의 반 주기 동안 샘플링을 수행하고, 다음 반 주기 동안 증폭을 수행하는 것을 반복하며,

상기 각 SAR ADC는 다른 SAR ADC가 상기 SAR 동작을 수행하는 한 주기 동안, 상기 샘플링 및 증폭을 수행하는 것을 특징으로 하는 파이프라인 ADC.

청구항 4

제 2 항에 있어서,

상기 증폭기의 두 개의 입력 단 중 하나의 입력 단은 상기 두 개의 SAR ADC가 공유하고, 나머지 입력 단은 MDAC에 연결되는 것을 특징으로 하는 파이프라인 ADC.

청구항 5

제 4 항에 있어서,

상기 두 개의 SAR ADC가 사용하는 입력 단에 연결되는 SAR ADC 채널은 증폭기 외부의 CMOS 스위치에 의해 선택되는 것을 특징으로 하는 파이프라인 ADC.

청구항 6

제 4 항에 있어서,

상기 두 개의 입력 단은 위상의 일부가 중첩되는 클록에 의해 선택되는 것을 특징으로 하는 파이프라인 ADC.

청구항 7

제 2 항에 있어서,

상기 두 개의 SAR ADC는 피드백 커패시터를 공유하는 것을 특징으로 하는 파이프라인 ADC.

청구항 8

제 2 항에 있어서,

상기 SAR ADC의 SAR 동작 시 사용되는 기준전압과 상기 증폭기의 잔류전압 증폭 동작 시 사용되는 기준전압이 분리되어 있는 것을 특징으로 하는 파이프라인 ADC.

청구항 9

제 8 항에 있어서,

상기 SAR 동작시 사용되는 기준전압과 상기 증폭 동작시 사용되는 기준전압은 기준전압 생성회로는 공유하고, 기준전압 구동회로는 분리되어 있는 것을 특징으로 하는 파이프라인 ADC.

청구항 10

제 1 항에 있어서,

상기 제 1 플래쉬 및 제 2 플래쉬는 인터폴레이션 기법을 이용하여 프리앰프의 개수를 줄인 것을 특징으로 하는 파이프라인 ADC.

청구항 11

제 1 항에 있어서,

상기 제 2 플래쉬 ADC는 최상위 비트를 먼저 결정하고, 하위 비트를 결정하는 2단계 구조로 구현되는 것을 특징으로 하는 파이프라인 ADC.

청구항 12

제 1 항 내지 제 11 항 중 어느 한 항의 파이프라인 ADC를 포함하는 모바일 디스플레이 시스템.

명 세 서

기 술 분 야

[0001] 본 발명은 파이프라인 ADC에 관한 것으로서, 이중채널 SAR 및 플래쉬 ADC를 이용하여 고속으로 동작하는 파이프라인 ADC 및 상기 파이프라인 ADC를 포함하는 모바일 디스플레이 시스템에 관한 것이다.

배 경 기 술

[0002] 최근 휴대용 전자기기 및 통신 시스템의 발전에 따라 high definition (HD)급 영상을 스마트폰에서도 감상이 가능하게 되었다. 이러한 모바일 디스플레이 시스템에는 RGB 신호를 포함한 아날로그 신호를 디지털 신호로 변환하기 위한 A/D 변환기(analog-to-digital converter: ADC)가 필수적으로 요구된다. 이러한 응용을 위한 ADC에는 12비트 수준의 해상도와 75MS/s 이상의 동작 속도가 요구되며, 기존에는 이러한 사양을 구현하기 위해 파이프라인 구조가 통상 사용되었다. 파이프라인 구조에서는 동작의 특성상 아날로그 입력이 multiplying digital-to-analog converter (MDAC)에 사용되는 잔류전압 증폭기와 flash ADC에서 각각 샘플링 됨에 따라 두 블록 간 샘플링 부정합이 발생하는 것을 방지하기 위해 별도의 sample-and-hold amplifier (SHA)를 사용하는 경향이 있다. 이러한 SHA가 전체 ADC에서 차지하는 면적 및 전력의 비중이 적지 않으므로 소면적 및 저전력을 위해 SHA 없이 구현된 파이프라인 구조가 최근 여러 차례 제안되어 왔다. 그러나 SHA를 사용하지 않는 기존 구조는 Nyquist의 입력까지 성능을 유지하기 위해 복잡한 디지털 회로를 추가하거나 정교한 레이아웃을 통해 부분적으로 해결하는 방법 외에는 근본적인 해결책이 없는 실정이다. 한편, successive approximation register (SAR) ADC의 경우 자체적으로 sample-and-hold 기능이 있으므로 별도의 SHA 없이도 높은 주파수의 입력 신호를 적절히 처리할 수 있으나 해상도의 증가에 따라 요구되는 커패시터의 수가 증가하고 내부 회로의 동작 속도가 증가하게 되어 결과적으로 전체 ADC의 해상도 및 동작 속도가 제한된다. 특히 12비트 수준의 고해상도로 설계된 SAR ADC의 경우, 입력 샘플링 시간을 포함하여 최소한 전체 ADC 동작 속도의 13배 이상의 빠른 속도로 내부 회로가 동작하므로 샘플링 및 홀딩 시간이 부족하게 되어 고속 동작이 어렵다. 또한 커패시터 수의 증가에 따른 면적 증가를 완화하기 위해 단위 커패시터의 크기를 작게 하지만 기생 커패시턴스 및 커패시터 부정합에 의한 성능 저하가 더욱 크게 발생하게 된다. 이를 개선하기 위해 2단 파이프라인 구조의 SAR ADC를 사용하여 요구되는 커패시터 수 및 동작 속도를 개선시켰지만 여전히 고속 동작으로는 부족하다.

[0003] 본 발명의 일 실시예에 따른 파이프라인 ADC는 "아날로그-디지털 변환장치(출원번호: KR10-2001-0087244)" 및 "다단 연속 근사 레지스터 아날로그 디지털 변환기 및 이를 이용한 아날로그 디지털 변환 방법(출원번호: KR10-2008-0090653)" 등의 선행기술에 언급된 ADC와 같이, A/D 변환에 사용된다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 첫 번째 과제는 SHA가 없는 파이프라인 ADC에서 Nyquist의 입력 처리 시 성능이 급격히 저하되는 것을 구조적으로 해결하기 위해 이중채널 SAR 및 플래쉬 ADC를 이용한 파이프라인 ADC를 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 두 번째 과제는 이중채널 SAR 및 플래쉬 ADC를 이용한 파이프라인 ADC를 포함하는 모바일 디스플레이 시스템을 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명은 상기 첫 번째 과제를 해결하기 위하여, 첫 번째 단은 이중채널로 구현되는 두 개의 SAR ADC로 형성되고, 나머지 단은 단일채널로 구현되는 제 1 플래쉬(flash) ADC 및 제 2 플래쉬 ADC로 형성되는 것을 특징으로 하는 파이프라인 ADC를 제공한다.

[0007] 본 발명의 일 실시예에 의하면, 상기 각 SAR ADC와 MDAC가 증폭기를 공유하고, 상기 증폭기는 상기 두 개의 SAR ADC 중 선택된 SAR ADC의 잔류전압 증폭과 MDAC의 잔류전압 증폭을 교대로 수행하는 것을 특징으로 하는 파이프라인 ADC일 수 있다.

[0008] 본 발명의 다른 실시예에 의하면, 상기 각 SAR ADC는 클록의 반 주기 동안 샘플링을 수행하고, 다음 한 주기 동안 SAR 동작을 수행하며, 다음 반주기 동안 잔류전압 증폭을 수행하는 것을 반복하고, 상기 MDAC는 상기 클록의 반 주기 동안 샘플링을 수행하고, 다음 반 주기 동안 증폭을 수행하는 것을 반복하며, 상기 각 SAR ADC는 다른 SAR ADC가 상기 SAR 동작을 수행하는 한 주기 동안, 상기 샘플링 및 증폭을 수행하는 것을 특징으로 하는 파이프라인 ADC일 수 있다.

[0009] 본 발명의 다른 실시예에 의하면, 상기 증폭기의 두 개의 입력 단 중 하나의 입력 단은 상기 두 개의 SAR ADC가 공유하고, 나머지 입력 단은 MDAC에 연결되어 있을 수 있으며, 상기 두 개의 SAR ADC가 사용하는 입력 단에 연결되는 SAR ADC 채널은 증폭기 외부의 CMOS 스위치에 의해 선택되는 것을 특징으로 하는 파이프라인 ADC일 수 있다.

[0010] 본 발명의 다른 실시예에 의하면, 상기 SAR ADC의 SAR 동작시 사용되는 기준전압과 상기 증폭기의 증폭 동작시 사용되는 기준전압이 분리되어 있는 것을 특징으로 하는 파이프라인 ADC일 수 있고, 상기 SAR 동작시 사용되는 기준전압과 상기 증폭 동작시 사용되는 기준전압은 기준전압 생성회로는 공유하고, 기준전압 구동회로는 분리되어 있는 것을 특징으로 하는 파이프라인 ADC일 수 있다.

[0011] 본 발명의 다른 실시예에 의하면, 상기 제 2 플래쉬 ADC는 최상위 비트를 먼저 결정하고, 하위 비트를 결정하는 2단계 구조로 구현되는 것을 특징으로 하는 파이프라인 ADC일 수 있다.

[0012] 본 발명은 상기 두 번째 과제를 해결하기 위하여, 상기 파이프라인 ADC를 포함하는 모바일 디스플레이 시스템을 제공한다.

발명의 효과

[0013] 본 발명에 따르면, SHA 없이도 Nyquist의 입력신호까지 적절히 처리할 수 있음과 동시에 SAR ADC에서 처리하는 해상도가 낮아지므로 고속 동작이 가능하다. 또한, 요구되는 세 개의 증폭기를 모두 공유하여 하나의 증폭기만으로 구현하여 증폭기에서 발생하는 부정합을 원천적으로 제거할 수 있으며, 면적 및 전력을 감소시킨다. 나아가, 각 채널에서 사용되는 샘플링 클록은 하나의 기준 클록에 동기화시켜 채널 간 입력 샘플링 신호 부정합 문제가 해결되며, 기준전압 생성회로는 공유하고 기준전압의 안정적 정착을 위해 사용하는 전압 구동회로만을 분리하여 서로 다른 동작 모드가 중첩됨에 따라 발생할 수 있는 기준전압 불안정 문제 및 기준전압 간 발생할 수 있는 부정합 문제가 해결된다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 일 실시예에 따른 파이프라인 ADC를 도시한 것이다.

도 2는 본 발명의 실시예에 따른 파이프라인 ADC의 주요 회로 블록의 타이밍을 도시한 것이다.

도 3은 본 발명의 실시예에 따른 이중 채널의 SAR ADC와 공유 증폭기를 도시한 것이다.

도 4는 본 발명의 실시예에 따른 파이프라인 ADC의 온 칩 클록 생성 회로를 도시한 것이다.

도 5는 본 발명의 실시예에 따른 파이프라인 ADC의 공유 증폭기를 도시한 것이다.

도 6은 본 발명의 실시예에 따른 파이프라인 ADC의 기준전압 구동회로의 분리를 개념적으로 도시한 것이다.

도 7은 본 발명의 실시예에 따른 파이프라인 ADC의 분리된 전압 구동회로가 분리된 기준전압 생성회로 및 기준전류 생성회로를 도시한 것이다.

도 8은 본 발명의 실시예에 따른 파이프라인 ADC가 칩 상에 구현된 것을 도시한 것이다.

도 9는 도 8의 ADC의 측정된 DNL 및 INL을 도시한 것이다.

도 10은 도 8의 ADC의 측정된 FFT 스펙트럼을 도시한 것이다.

도 11은 도 8의 ADC의 측정된 동적성능을 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0015] 본 발명에 관한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하고자 하는 과제의 해결 방안의 개요 혹은 기술적 사상의 핵심을 우선 제시한다.

[0016] 본 발명의 일 실시예에 따른 파이프라인 ADC는 첫 번째 단은 이중채널로 구현되는 두 개의 SAR ADC로 형성되고, 나머지 단은 단일채널로 구현되는 제 1 플래쉬(flash) ADC 및 제 2 플래쉬 ADC로 형성되는 것을 특징으로 한다.

[0017] 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 실시 예를 상세히 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본 발명의 범위가 이에 의하여 제한되지 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.

[0018] 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명의 바람직한 실시 예에 대한 동작 원리를 상세하게 설명함에 있어 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0019] 본 발명의 일 실시예에 따른 파이프라인 ADC는 고속으로 동작하며 고해상도, 저전력, 및 소면적을 동시에 만족하는 파이프라인 구조의 ADC이다. 본 발명의 일 실시예에 따른 파이프라인 ADC는 0.11um CMOS 공정으로 제작된 3단 파이프라인 구조의 12비트 80MS/s ADC일 수 있다.

[0020] 본 발명의 일 실시예에 따른 파이프라인 ADC는 SHA 없이도 Nyquist의 입력신호까지 적절히 처리하도록 첫 번째 단에는 SAR ADC를 사용하고, 나머지 파이프라인 단은 회로가 간단하면서 고속 동작이 가능한 플래쉬(flash) ADC를 사용한다. 결과적으로 SAR ADC에서는 4비트만 처리하므로 요구되는 커패시터의 수가 적으며, 이중채널로 구성함에 따라 80MHz 클록의 반주기 동안 샘플링 및 홀딩하게 되어 SAR ADC에 의해 전체 ADC의 동작속도가 제한되지 않는다. 한편, 3단 파이프라인 ADC에서는 이론적으로 SAR ADC 각 채널의 잔류전압을 증폭해주는 잔류전압 증폭기 및 MDAC에서 사용되는 증폭기까지 총 세 개의 증폭기가 요구된다. 이와 같이 요구되는 증폭기를 있는 그대로 숫자만큼의 증폭기로 구현할 경우, 면적 및 전력의 증가뿐만 아니라 증폭기 간 발생할 수 있는 오프셋 및 이득 부정합에 의해 성능 저하가 발생할 수 있는바, 요구되는 세 개의 증폭기를 모두 공유하여 하나의 증폭기만으로 구현하여 증폭기에서 발생하는 부정합을 원천적으로 제거하며, 면적 및 전력을 감소시킨다. 또한 이중채널 SAR ADC의 각 채널에서 사용되는 샘플링 클록을 하나의 기준 클록에 동기화시켜 채널 간 입력 샘플링 신호 부정합 문제를 최소화할 수 있다. 한편 MDAC 및 한쪽 채널의 SAR ADC에서 증폭 동작 시 다른 채널의 SAR ADC는 고속의 SAR 동작을 하게 되면, 기준전압 정착시간의 불안정 문제가 발생할 수 있지만, SAR ADC와 나머지 파이프라인 단에서 사용하는 기준전압을 분리함으로써 상기 문제를 방지할 수 있다. 이때 기준전압 생성회로는 공유하고 기준전압의 안정적 정착을 위해 사용하는 전압 구동회로만을 분리하여 SAR ADC에서 사용하는 기준전압과 나머지 파이프라인 단에서 사용하는 기준전압 간 발생할 수 있는 부정합을 최소화할 수 있다. 또한 SAR ADC 내부에서 사용하는 320MHz 수준의 고속 클록은 칩 내부에서 생성하여 SoC 응용에 용이하도록 설계할 수 있으며, 외부의 3비트 컨트롤 신호를 통해 주파수 및 duty cycle을 조절할 수 있도록 하여 기준전압 샘플링 및 프리앰프 증폭 시

간을 필요에 따라 조절할 수 있다.

[0021] 상기 설명한 기법들이 적용된 SAR ADC에 대해 도면과 함께 자세히 설명하도록 한다.

[0022] 도 1은 본 발명의 일 실시예에 따른 파이프라인 ADC를 도시한 것이다.

[0023] 본 발명의 일 실시예에 따른 파이프라인 ADC는 첫 번째 단은 이중채널로 구현되는 두 개의 SAR ADC로 형성되고, 나머지 단은 단일채널로 구현되는 제 1 플래쉬(flash) ADC 및 제 2 플래쉬 ADC로 형성된다.

[0024] 보다 구체적으로, 본 발명의 일 실시예에 따른 파이프라인 ADC의 전체 구조는 첫 번째 단 두 개의 4비트 SAR ADC, 하나의 공유 증폭기, 4비트 및 6비트 플래쉬(flash) ADC (제 1 플래쉬 ADC(flash1) 및 제 2 플래쉬 ADC(flash2)), MDAC 및 디지털 교정회로 (digital correction logic: DCL)로 구성되어 있으며, 그 외 기준전류 발생기, 두 종류의 전압 구동회로를 갖는 기준전압 발생기, 타이밍 회로와 클록 생성회로를 포함할 수 있다.

[0025] 구성 블록 중 두 개의 4비트 SAR ADC는 40MS/s로 동작할 수 있으며, SAR 동작 시 사용되는 내부 클록으로는 40MHz 클록의 반주기 동안 4비트를 결정하기 위해 320MHz의 클록을 사용할 수 있으며 이 클록은 칩 내부에서 생성될 수 있다. 이와 같이 두 개의 SAR ADC에서 각각 생성된 40MS/s의 데이터는 DCL에서 80MS/s 데이터로 변환하여 처리하며, 플래쉬 ADC로 구성된 나머지 파이프라인 단의 경우에는 별도의 변환 없이 80MS/s로 동작할 수 있다.

[0026] 상기 제 1 플래쉬 ADC 및 제 2 플래쉬 ADC에는 인터폴레이션 기법을 적용하여 요구되는 프리앰프의 개수를 절반으로 줄일 수 있으며, 추가적으로 제 2 플래쉬 ADC의 경우에 최상위비트(most significant bit, MSB)를 먼저 결정한 뒤 하위 5비트를 결정하는 2단 기준전압 선택기법을 사용하여 요구되는 프리앰프 및 래치의 개수를 절반 수준으로 줄여 요구되는 전력 및 면적을 감소시킬 수 있다.

[0027] 도 2는 본 발명의 실시예에 따른 파이프라인 ADC의 주요 회로 블록의 타이밍을 도시한 것이다.

[0028] 본 발명의 실시예에 따른 파이프라인 ADC는 각 SAR ADC와 MDAC가 증폭기를 공유하고, 상기 증폭기는 상기 두 개의 SAR ADC 중 선택된 SAR ADC의 잔류전압 증폭과 MDAC의 잔류전압 증폭을 교대로 수행한다.

[0029] 보다 구체적으로, 첫 번째 단 SAR ADC는 이중채널로 구현되어 클록의 반주기 내내 샘플링 및 홀딩을 함으로써 SAR ADC의 단점이었던 샘플링 및 홀딩 시간 부족으로 인한 신호 정착 시간의 부족 문제를 해결할 수 있다. 또한 공유된 증폭기의 경우 클록의 Q1 위상에서 항상 MDAC의 증폭기로 동작하고, Q2 위상에서는 잔류전압 증폭기로 동작함으로써 두 개의 SAR ADC 채널 간 부정합을 최소화할 수 있다. 상기 클록은 80MHz 클록을 이용할 수 있다.

[0030] 상기 각 SAR ADC는 클록의 반 주기 동안 샘플링을 수행하고, 다음 한 주기 동안 SAR 동작을 수행하며, 다음 반 주기 동안 잔류전압 증폭을 수행하는 것을 반복하고, 상기 MDAC는 상기 클록의 반 주기 동안 샘플링을 수행하고, 다음 반 주기 동안 증폭을 수행하는 것을 반복하며, 상기 각 SAR ADC는 다른 SAR ADC가 상기 SAR 동작을 수행하는 한 주기 동안, 상기 샘플링 및 증폭을 수행할 수 있다.

[0031] 첫 번째 단 이중채널 SAR ADC에서는 각 채널이 Q1 위상마다 교대로 입력을 샘플링하고, SAR 동작을 통해 4비트의 디지털 코드로 변환한다. 이때 SAR ADC의 특성상 SAR 동작이 완료되면 자동적으로 잔류전압이 남게 되며, 이 값을 Q2 위상일 때 두 개의 채널이 교대로 잔류전압 증폭기를 통해 8배 증폭을 하여 두 번째 단의 제 1 플래쉬 ADC(flash1)와 MDAC에 전달한다. 이후 과정은 일반적인 파이프라인 ADC와 동일하게 처리되어 최종적으로 입력된 아날로그 신호에 대한 12비트 디지털 코드가 80MS/s 속도로 출력될 수 있다.

[0032] 도 3은 본 발명의 실시예에 따른 이중 채널의 SAR ADC와 공유 증폭기를 도시한 것이다.

[0033] 첫 번째 단에 사용된 SAR ADC는 충분한 샘플링 및 홀딩 시간을 확보하기 위해 도 3과 같이 이중채널로 설계하였으며, 채널 간 입력 샘플링 신호 부정합을 해결하기 위해 샘플링 클록을 하나의 기준 클록에 동기화하였다. 또한 기준 전압의 안정화를 위해 동작 모드에 따라 SAR 동작 시 사용하는 기준전압 (reft_sar, refc_sar)과 증폭 동작 시 사용하는 기준전압 (reft_mf, refc_mf)을 선택적으로 사용할 수 있다.

[0034] 아날로그 입력 신호가 최초로 인가되는 SAR ADC의 입력 스위치의 경우, 채널 간 샘플링 부정합을 최소화하고 신호의 크기와 무관하게 왜곡 없이 아날로그 입력 신호를 샘플링하도록 gate-bootstrapping 스위치를 사용할 수 있다. 또한 파이프라인 구조를 사용함에 따라 SAR ADC에서는 4비트만 처리하게 되어 요구되는 단위 커패시터의 수가 고해상도를 처리하는 단일 SAR ADC에 비해 매우 적다. 이에 따라 무리하게 작은 단위 커패시터 대신 kT/C

노이즈를 고려하여 100fF 수준으로 충분히 큰 단위 커패시터를 사용함으로써 커패시터 부정합 및 기생 커패시턴스에 의한 성능 저하를 완화시킬 수 있다.

[0035] 도 4는 본 발명의 실시예에 따른 파이프라인 ADC의 온 칩 클록 생성 회로를 도시한 것이다.

[0036] 본 발명의 실시예에 따른 파이프라인 ADC는 80MHz 클록의 반주기 동안 4비트를 결정하는 SAR 동작을 수행할 수 있으며, 이를 위해 320MHz의 고속 클록 신호가 요구된다. 이러한 320MHz 클록은 외부에서 인가되는 80MHz 메인 클록과의 동기화 및 SoC 응용의 용이성을 위해 도 4의 회로를 통해 내부적으로 생성될 수 있다. 이때 기준전압 샘플링 및 프리앰프 증폭 시간을 필요에 따라 조절하여 회로가 안정적으로 동작하도록 외부에서 3비트 디지털 신호로 클록의 주기 및 duty cycle을 조절할 수 있도록 할 수 있다.

[0037] 도 5는 본 발명의 실시예에 따른 파이프라인 ADC의 공유 증폭기를 도시한 것이다.

[0038] 상기 공유되는 증폭기의 두 개의 입력 단 중 하나의 입력 단은 상기 두 개의 SAR ADC가 공유하고, 나머지 입력 단은 MDAC에 연결된다. 상기 두 개의 SAR ADC가 사용하는 입력 단에 연결되는 SAR ADC 채널은 증폭기 외부의 CMOS 스위치에 의해 선택될 수 있고, 위상의 일부가 중첩되는 클록에 의해 선택될 수 있으며, 상기 두 개의 SAR ADC는 피드백 커패시터를 공유할 수 있다.

[0039] 보다 구체적으로, 상기 공유되는 증폭기는 1Vp-p 이상의 출력 스윙 범위 및 높은 전압이득을 확보하면서 세 가지 동작 모드로 적절히 동작하기 위해 도 5와 같이 두 개의 입력 단을 갖는 2단 folded-cascode 구조를 사용한다. 이때, 세 가지 동작 모드는 각 SAR ADC의 잔류전압을 8배 증폭해주는 잔류전압 증폭기 및 MDAC에서 사용되는 증폭기로 구성될 수 있다. 첫 번째 단 잔류전압 증폭기와 두 번째 단 MDAC에서 사용되는 증폭기는 서로 요구되는 사양이 다르므로 정합성이 중요하지 않지만 두 개 SAR ADC 각 채널의 잔류전압 증폭기 간 부정합은 채널 간 부정합을 발생시키므로 성능저하의 원인이 된다. 첫 번째 단 SAR ADC와 같은 time-interleaving 구조에서 발생할 수 있는 증폭기 간 부정합에는 오프셋 및 이득 부정합이 있다.

[0040] 상기와 같은 부정합을 해결하기 위하여 본 발명의 실시예에 따른 파이프라인 ADC는 증폭기 공유 시 증폭기 입력 단까지 공유한다. 입력 단의 경우, 세 개의 증폭기를 공유함에 따라 증폭기에도 세 개의 입력 쌍이 요구되지만 각각을 별도로 사용할 경우에는 SAR ADC 각 채널에서 사용하는 증폭기 입력을 선택하기 위해 40MHz 클록 라인 및 스위치를 증폭기 내에 추가해야 하며, 입력 단마다 별도의 피드백 커패시터가 요구된다. 따라서 두 개의 입력 단을 각각 SAR ADC 및 MDAC에서 사용하며, SAR ADC에서 사용하는 입력 단은 두 채널이 하나를 사용하되 도 3과 같이 증폭기 외부의 CMOS 스위치로 각 채널을 선택할 수 있다. 이를 통해 증폭기 내에 별도의 회로가 추가되지 않으면서 피드백 커패시터도 두 채널이 공유할 수 있도록 하여 채널 간 발생할 수 있는 부정합을 최소화할 수 있다. 또한, 두 개의 입력 단을 선택할 때 위상의 일부가 중첩되는 클록을 사용함으로써 증폭기 입력 단이 완전히 꺼지는 것을 방지하여 증폭기가 안정적으로 동작하도록 할 수 있다.

[0041] 도 6은 본 발명의 실시예에 따른 파이프라인 ADC의 기준전압 구동회로의 분리를 개념적으로 도시한 것이고, 도 7은 전압 구동회로가 분리된 기준전압 생성회로 및 기준전류 생성회로를 도시한 것이다.

[0042] 상기 SAR ADC의 SAR 동작시 사용되는 기준전압과 상기 증폭기의 증폭 동작시 사용되는 기준전압이 분리되어 있을 수 있으며, 상기 SAR 동작시 사용되는 기준전압과 상기 증폭 동작시 사용되는 기준전압은 기준전압 생성회로는 공유하고, 기준전압 구동회로는 분리될 수 있다.

[0043] 보다 구체적으로, 내부적으로 고속 동작을 하는 SAR ADC 및 잔류전압 증폭기, 두 번째 단의 MDAC이 혼재되어 있으므로 일반적인 파이프라인 구조와 같이 동일한 기준전압을 사용할 경우, 도 6(a)와 같이 서로 다른 동작 모드가 중첩됨에 따라 기준전압 정착이 불안정할 수 있다. 잔류전압 증폭기의 증폭 동작 시 사용되는 기준전압의 경우, 80MHz 클록의 반주기 내에 12비트의 1/2 least significant bit (LSB) 이내로 신호 정착을 해야 한다. 그러나 동일한 타이밍에 SAR ADC에서는 SAR 동작을 하면서 발생하는 고속 스위칭 노이즈가 증폭 동작 시 사용되는 기준전압을 불안정하게 한다. 이를 해결하기 위해 도 6(b)와 같이 SAR 동작 시 사용하는 기준전압과 증폭 동작 시 사용하는 기준전압을 분리하여 상호 간섭을 방지할 수 있다.

[0044] 이때, 기준전압 간 부정합을 최소화하기 위해 도 7과 같이 기준전압 생성 회로까지는 공유하고 안정적인 신호 정착을 위해 사용하는 기준전압 구동회로만을 분리할 수 있다.

[0045] 한편, SAR 동작 시 사용하는 기준전압의 경우 요구되는 해상도는 4비트로 낮지만 320MHz 수준의 빠른 동작 속도로 인해 증폭 동작 시 사용되는 기준전압과는 전혀 다른 사양의 전압 구동회로가 요구된다. 이러한 상황을 고려하여 SAR 동작 시 사용하는 기준전압 구동회로에는 도 7과 같이 reft_sar 노드와 refc_sar 노드 사이에 별도의

커패시터를 추가하고 내부 RC 필터의 크기는 감소시켜 면적 및 전력 효율성을 향상시킬 수 있다.

[0046] 도 8은 본 발명의 실시예에 따른 파이프라인 ADC가 칩 상에 구현된 것을 도시한 것이고, 도 9는 도 8의 ADC의 측정된 DNL 및 INL, 도 10은 도 8의 ADC의 측정된 FFT 스펙트럼, 도 11은 도 8의 ADC의 측정된 동적성능을 도시한 것이다.

[0047] 본 발명의 실시예에 따른 파이프라인 ADC는 12비트 80MS/s ADC는 0.11um CMOS 공정으로 제작되었으며, 1.1V의 단일 전원전압을 사용한다. 전체 칩 사진은 도 8과 같으며, 유휴 공간에는 기준전압 및 전원전압의 안정화를 위해 약 500pF 수준의 MOS decoupling 커패시터를 집적하였다.

[0048] 전체 칩 면적은 1.34mm^2이며, 80MS/s의 동작 속도에서 소모되는 전력은 20.9mW이다. 또한 측정된 differential non-linearity (DNL) 및 integral non-linearity (INL)는 도 9와 같이 각각 최대 0.56LSB, 1.35LSB 수준을 보이는 것을 알 수 있다.

[0049] 도 10은 80MS/s 샘플링 속도에서 4MHz 입력 주파수가 인가되었을 때의 신호 스펙트럼을 나타내며, 측정 결과를 통해 채널 간 오프셋 및 이득 부정합으로 인한 성능 저하가 발생하지 않았음을 알 수 있다. 디지털 출력은 측정 시 고속 동작으로 인해 측정 기판에서 발생하는 노이즈의 영향을 최소화하기 위해 내부의 온-칩 분주기를 사용하여 다운 샘플링하였다. 이때 각 채널이 교대로 출력될 수 있도록 80MHz의 클록을 1/5로 분주하여 측정하였다.

[0050] 도 11은 도 8의 파이프라인 ADC의 샘플링 및 입력 주파수에 따라 측정된 동적 성능을 보여준다. 도 11(a)는 시제품 ADC의 동작 속도가 100MS/s까지 변화할 때, 4MHz의 주파수를 갖는 차동입력 신호를 인가함에 따라 측정된 signal-to-noise-and-distortion ratio (SNDR) 및 spurious-free dynamic range (SFDR)의 성능 변화를 나타내며, 80MS/s의 동작 속도에서 SNDR 및 SFDR은 각각 60.4dB 및 66.5dB를 나타낸다. 또한 도 11(b)는 80MS/s의 동작 속도에서 입력 주파수를 증가시킬 때의 SNDR 및 SFDR이며, Nyquist 주파수의 입력신호를 인가할 때 측정된 SNDR 및 SFDR은 각각 57.4dB 및 63.9dB를 나타낸다.

[0051] 표 1에는 측정된 파이프라인 ADC의 성능을 요약하였으며, 표 2에는 파이프라인 ADC와 기존에 발표된 SAR ADC 및 SHA를 포함한 파이프라인 ADC의 성능을 비교하였다. 본 발명의 실시예에 따른 파이프라인 ADC는 기존의 고해상도 SAR ADC에 비해 높은 수준의 고속 동작이 가능하며, SHA를 포함한 파이프라인 ADC와 비교해도 소모되는 전력 측면에서 우수하고 별도의 SHA가 없이도 Nyquist 입력 조건에서 유사한 동적 성능을 보여준다.

표 1

Resolution	12b	
Conversion Rate	80MS/s	
Process	Dongbu HiTek 0.11um CMOS	
Supply	1.1V	
Input Range	$1.0V_{p-p}$	
DNL	-0.56LSB / +0.55LSB	
INL	-1.14LSB / +1.35LSB	
SNDR / SFDR	80MS/s	100MS/s
	60.4dB / 66.5dB (@ f_{IN}=4MHz)	58.5dB / 66.2dB (@ f_{IN}=4MHz)
	57.4dB / 63.9dB (@ f_{IN}=40MHz)	54.9dB / 62.6dB (@ f_{IN}=50MHz)
ADC Core Power	20.9mW	
Active Die Area	1.34mm^2 (= 1.05mm × 1.28mm)	

[0052]

표 2

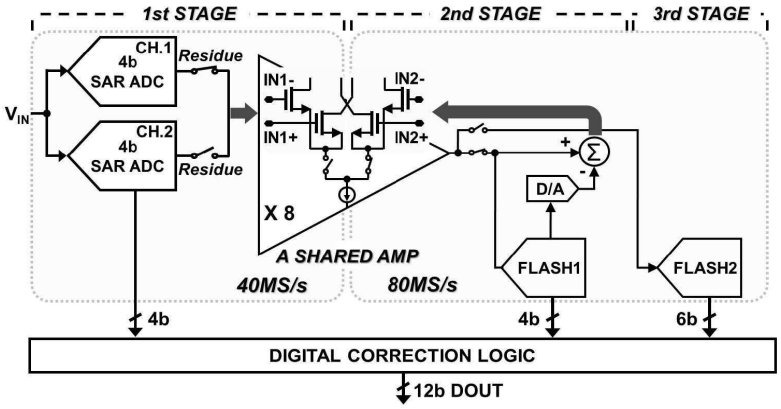
	Resolution (bit)	Speed (MS/s)	Supply (V)	Power (mW)	Area (mm^2)	DNL/INL (LSB)	SNDR @Nyquist (dB)	Process	Structure
This work	**12**	**80**	**1.1**	**20.9**	**1.34**	**0.56 /1.35**	**57.4**	**0.11um CMOS**	**Hybrid pipeline**
JSSC 2011	12	45	1.2	3.0	0.06	-	67.1 (w/ cal.)	0.13um CMOS	SAR
JSSC 2011	12	50	1.3	3.5 (w/oref.)	0.16	0.75 /1.50	64.4	65nm CMOS	SAR-assisted pipeline
IEICE 2011	12	100	1.0	24.0	0.92	0.44 /1.54	56.0	0.13um CMOS	Pipeline w/ SHA
IEICE 2009	12	100	1.2	42.0	1.22	0.38 /0.96	58.0	0.13um CMOS	Pipeline w/ SHA
ESSCC 2006	12	100	1.2	55.0	2.89	1.00 /3.40	56.2	90nm CMOS	Pipeline w/ SHA

[0053]

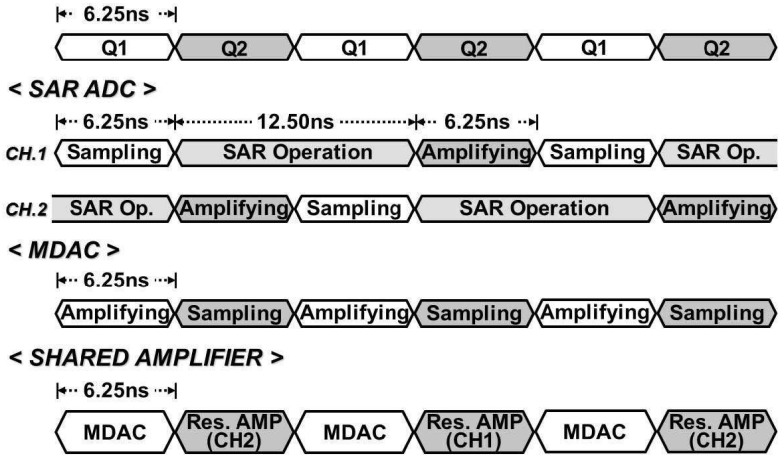
[0054] 본 발명의 일 실시예에 따른 모바일 디스플레이 시스템은 상기 파이프라인 ADC를 포함할 수 있다. 상기 파이프라인 ADC에 의해 RGB 신호를 포함한 아날로그 신호를 디지털 신호로 변환한다. 상기 모바일 디스플레이 시스템은 스마트폰과 같은 휴대용 전자기기에 사용될 수 있다.

도면

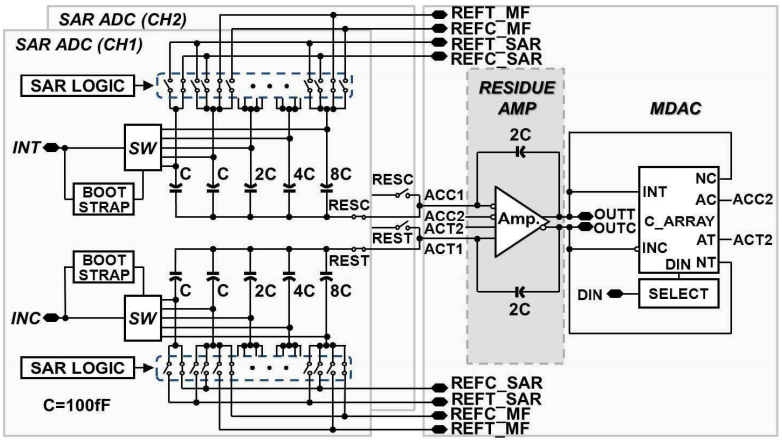
도면1



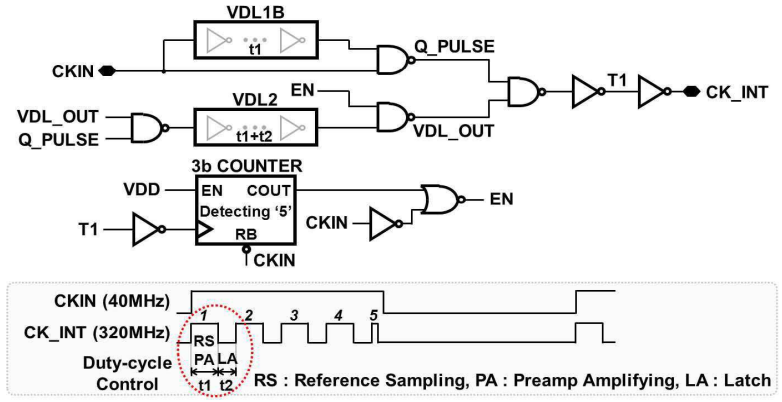
도면2


6.25ns
Q1
Q2
Q1
Q2
Q1
Q2
< SAR ADC >
6.25ns
12.50ns
6.25ns
CH.1
Sampling
SAR Operation
Amplifying
Sampling
SAR Op.
CH.2
SAR Op.
Amplifying
Sampling
SAR Operation
Amplifying
< MDAC >
6.25ns
Amplifying
Sampling
Amplifying
Sampling
Amplifying
Sampling
< SHARED AMPLIFIER >
6.25ns
MDAC
Res. AMP (CH2)
MDAC
Res. AMP (CH1)
MDAC
Res. AMP (CH2)

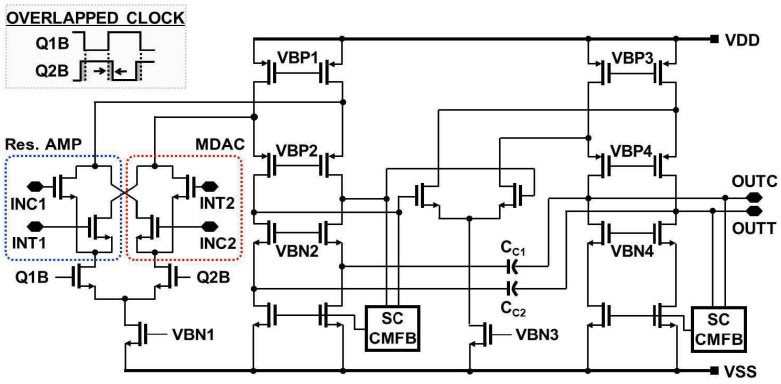
도면3


SAR ADC (CH2)
SAR ADC (CH1)
SAR LOGIC
INT
SW
BOOT STRAP
C
C
2C
4C
8C
RESC
REST
ACC1
ACC2
ACT2
ACT1
RESIDUE AMP
2C
Amp.
2C
MDAC
INT
C_ARRAY
INC
DIN
SELECT
NC
AC
AT
DIN NT
ACC2
ACT2
OUTT
OUTC
REFT_MF
REFC_MF
REFT_SAR
REFC_SAR
C=100fF

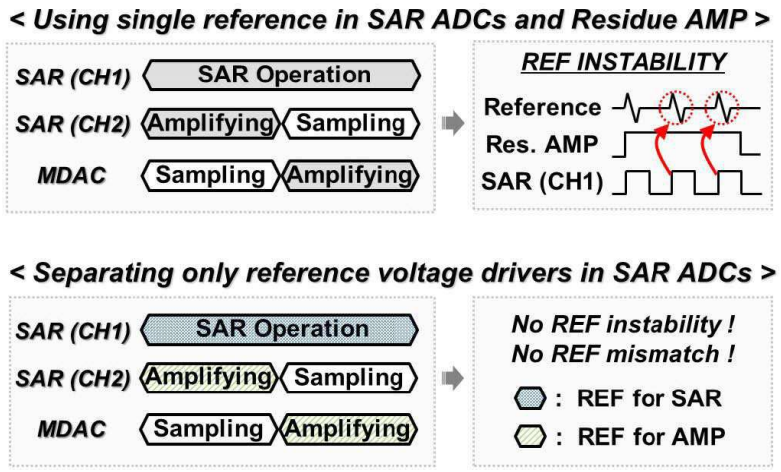
도면4


VDL1B
t1
CKIN
Q_PULSE
EN
VDL2
t1+t2
VDL_OUT
Q_PULSE
VDL_OUT
T1
CK_INT
3b COUNTER
VDD
EN
COUT
Detecting '5'
RB
CKIN
T1
CKIN
EN
CKIN (40MHz)
CK_INT (320MHz)
1
2
3
4
5
RS
PA
LA
t1
t2
Duty-cycle Control
RS : Reference Sampling, PA : Preamp Amplifying, LA : Latch

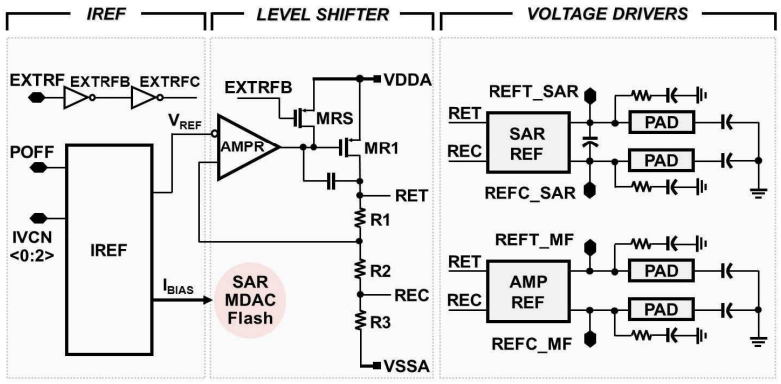
도면5


OVERLAPPED CLOCK
Q1B
Q2B
Res. AMP
MDAC
INC1
INT2
INT1
INC2
Q1B
Q2B
VBN1
VBP1
VBP2
VBN2
SC CMFB
VDD
VBP3
VBP4
VBN4
OUTC
OUTT
C_{C1}
C_{C2}
VBN3
SC CMFB
VSS

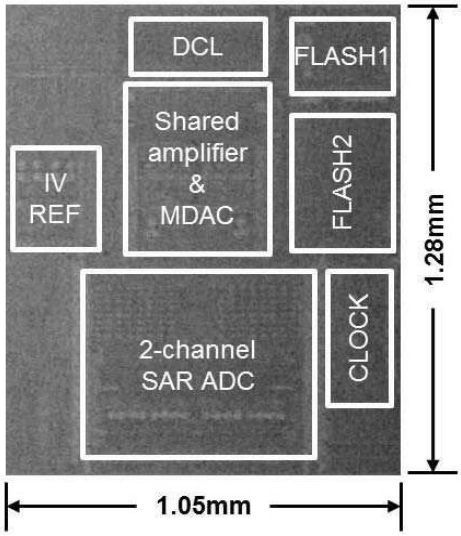
도면6


< Using single reference in SAR ADCs and Residue AMP >
SAR (CH1)
SAR Operation
SAR (CH2)
Amplifying
Sampling
MDAC
Sampling
Amplifying
REF INSTABILITY
Reference
Res. AMP
SAR (CH1)
< Separating only reference voltage drivers in SAR ADCs >
SAR (CH1)
SAR Operation
SAR (CH2)
Amplifying
Sampling
MDAC
Sampling
Amplifying
No REF instability !
No REF mismatch !
: REF for SAR
: REF for AMP

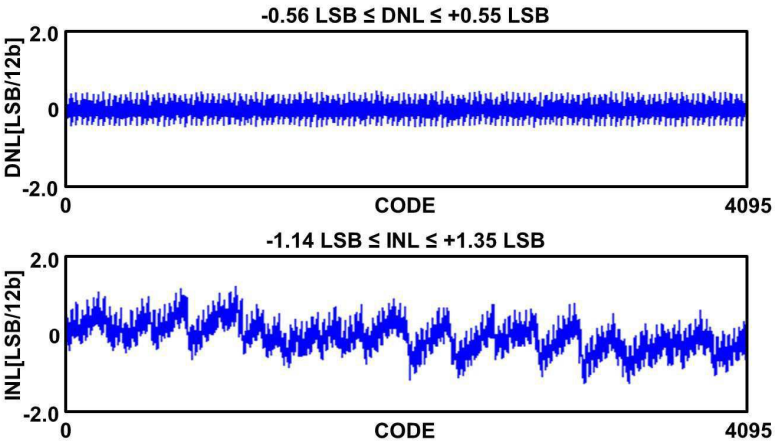
도면7


IREF
LEVEL SHIFTER
VOLTAGE DRIVERS
EXTRF
EXTRFB
EXTRFC
V_{REF}
POFF
IVCN <0:2>
IREF
I_{BIAS}
AMPR
EXTRFB
VDDA
MRS
MR1
RET
R1
R2
REC
R3
VSSA
SAR MDAC Flash
REFT_SAR
RET
REC
SAR REF
REFC_SAR
PAD
PAD
REFT_MF
RET
REC
AMP REF
REFC_MF
PAD
PAD

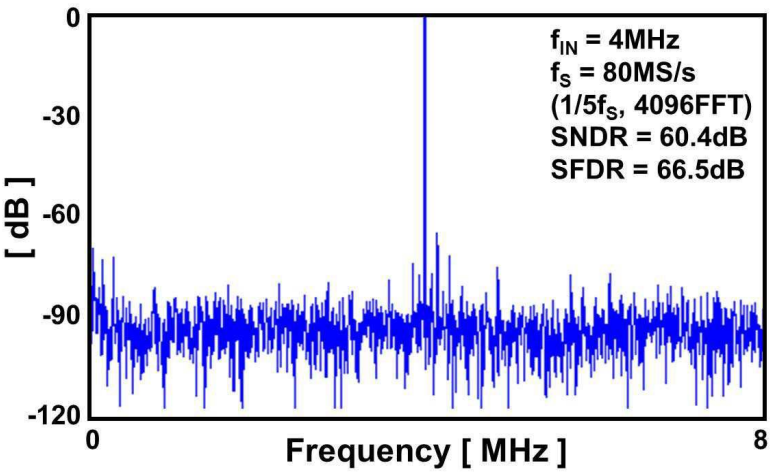
도면8


DCL
FLASH1
Shared amplifier & MDAC
FLASH2
IV REF
CLOCK
2-channel SAR ADC
1.28mm
1.05mm

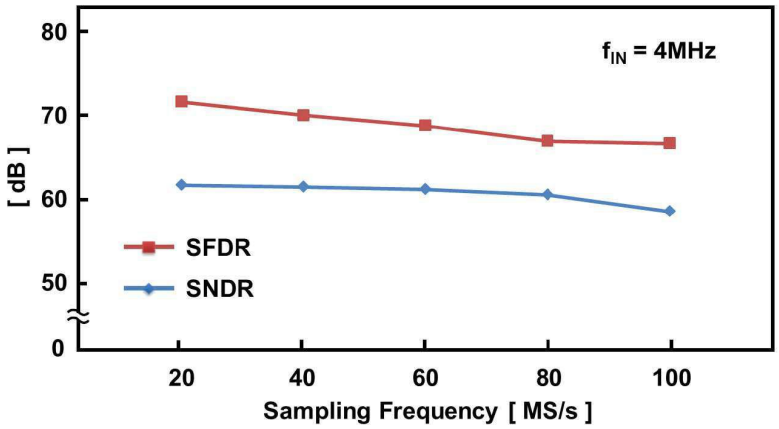
도면9


-0.56 LSB ≤ DNL ≤ +0.55 LSB
DNL[LSB/12b]
2.0
0
-2.0
0
CODE
4095
-1.14 LSB ≤ INL ≤ +1.35 LSB
INL[LSB/12b]
2.0
0
-2.0
0
CODE
4095

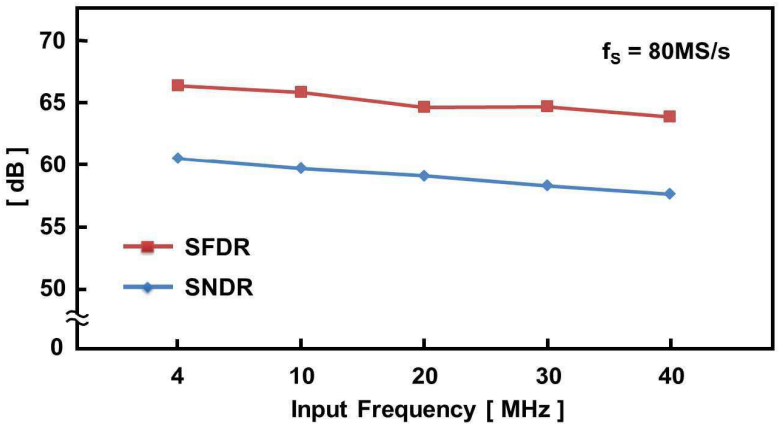
도면10


0
-30
-60
-90
-120
[dB]
f_{IN} = 4MHz
f_S = 80MS/s
(1/5f_S, 4096FFT)
SNDR = 60.4dB
SFDR = 66.5dB
0
Frequency [MHz]
8

도면11a


80
70
60
50
0
[dB]
f_{IN} = 4MHz
SFDR
SNDR
20
40
60
80
100
Sampling Frequency [MS/s]

도면11b


70
65
60
55
50
0
[dB]
f_S = 80MS/s
SFDR
SNDR
4
10
20
30
40
Input Frequency [MHz]