公告本

申請日期：88.11.4	案號：88119187	
類別：H01L 21/76		

（以上各欄由本局填註）

439187

發明專利說明書

一、發明名稱	中文	SOI晶圓的製備方法
	英文	METHOD FOR FABRICATING SOI WAFER
二、發明人	姓名（中文）	1.蘇 相 文
	姓名（英文）	1.Sang Mun, So
	國籍	1.南韓
	住、居所	1.韓國京畿道利川市高潭洞山11番地高潭寄宿舍104-905
三、申請人	姓名（名稱）（中文）	1.現代電子產業股份有限公司
	姓名（名稱）（英文）	1.Hyundai Electronics Industries Co., Ltd.
	國籍	1.南韓
	住、居所（事務所）	1.韓國京畿道利川市夫鉢邑牙美里山136-1
	代表人姓名（中文）	1.鄭 東 洙
	代表人姓名（英文）	1.Dong-Soo CHUNG

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
南韓 KR	1998/12/17	98-55656	無

有關微生物已寄存於　　寄存日期　　寄存號碼

無

五、發明說明 (1)

《發明之範圍》

本發明係關於製造矽在絕緣層上(SOI)晶圓，特別是製造能夠改進元件形成之半導體層之均勻度。

《發明之背景》

隨著半導體元件的高度積體化及高效能，矽在絕緣層上(SOI)晶圓已建議替代矽晶圓成為半導體積體化的技術。這是因為由矽在絕緣層上(SOI)晶圓製成之元件接面電容低能高速運作，低臨界電壓使驅動電壓降低，以及與矽晶圓製程上相比較有較佳之元件隔離以降低閂鎖等優點。矽在絕緣層上(SOI)晶圓含有用來支撐裝置之基底基板的堆疊結構，用來提供主動區域之半導體層，以及用來連結基底基板及半導體層夾層之間的掩埋氧化層。

氧植入隔離法(SIMOX)及矽在絕緣層上(SOI)晶圓的連結方法。氧植入隔離法(SIMOX)可製作含基底基板堆疊結構矽在絕緣層上(SOI)晶圓，其中還包括掩埋氧化層以及植入氧離子至矽晶圓的半導體層，在矽晶圓表面選定掩埋氧化層來將矽晶圓至基底基板分開，對半導體層作熱處理使矽與氧離子作用。連結方法可製造含基底基板、掩埋氧化層及連結兩基板半導體層，例如基底基板及半導體基板之間在任兩個基板交錯的掩埋氧化層，並將此半導體基板拋光至選定厚度以形成元件的半導體層之堆疊結構的矽在絕緣層上(SOI)晶圓。

然而，氧植入隔離法(SIMOX)形成含離子植入之矽在絕緣層上(SOI)晶圓使得控制元件之半導體層的厚度變得

五、發明說明 (2)

困難，且程序上須花長時間。最近，使用連結方法來製作矽在絕緣層上(SOI)晶圓。因為連結方法可在矽在絕緣層上(SOI)晶圓程序中的半導體層形成絕緣層，好處是可在元件程序中排除掉隔離層。

第1A圖至第1D圖為描述先前技術製作矽在絕緣層上(SOI)晶圓的截面圖。參考第1A圖，可提供一基底基板1，及在此基底基板1上形成第一氧化層2。第一氧化層2可由熱氧化法形成的熱氧化層來構成。參考第1B圖，半導體基板3可由矽塊材構成且溝渠型的隔離層4可在半導體基板3表面上形成。可在半導體基板3表面形成選定深度的溝渠，並以氧化層填滿溝渠來形成隔離層4。隔離層4可用來定義主動區域並作為拋光阻擋層。第二氧化層5可在包含隔離層4的半導體基板3表面上形成。

參考第1C圖，基底基板1及及半導體基板3可以互相連接使第一氧化層2與第二氧化層5接觸。參考第1D圖，半導體基板3的另一表面可使用化學機械拋光(CMP) 拋光並以隔離層4作為拋光阻擋層來形成半導體層3a來製造矽在絕緣層上(SOI)晶圓10，並構成基底基板1、含隔離層4的半導體層3a，以及包含第一氧化層2與第二氧化層5的掩埋氧化層。

在矽在絕緣層上(SOI)晶圓中，半導體層的均勻度可作為在矽在絕緣層上(SOI)晶圓上製作半導體元件的重要因素。由於半導體層提供形成元件的主動層，必須保持半導體層的厚度均勻。

五、發明說明 (3)

然而，先前製作矽在絕緣層上(SOI)晶圓並不提供均勻厚度的半導體層。亦即，當使用隔離層作為拋光阻擋層來拋光半導體層另一表面來形成半導體層，半導體層中間部分比半導體層外圍還低，這是由於氧化層及矽化層之間的選擇性使得無法達到均勻厚度，因而特性較差。

《發明之總論》

本發明之目的係提供一種能夠改進半導體層厚度均勻性之矽在絕緣層上(SOI)晶圓的方法。

根據本發明，可提供一矽在絕緣層上(SOI)晶圓，包含步驟如下：提供半導體基板及基底基板；在此基底基板上形成第一氧化層；在半導體基板之一表面上形成含第一類深度之溝渠來形成第一隔離層；在第一隔離層之間的半導體基板表面上形成含第二類深度之溝渠來形成第二隔離層，其中第二類深度較第一類深度深；在含第二及第一隔離層的半導體基板表面形成第二絕緣層；將基底基板及半導體基板連結在一起使第一絕緣層與第二絕緣層接觸；首先，使用第二隔離層作為拋光阻擋層來拋光半導體基板另一表面使第二隔離層裸露；將第二隔離層蝕刻使其與第一隔離層厚度相同；其次使用第一隔離層作為拋光阻擋層將半導體基板另一表面拋光並將第二隔離層蝕刻形成半導體層。

《圖式之簡單說明》

本發明之特色將由下列圖示實施例之詳述而獲得闡釋。

五、發明說明 (4)

第1A圖至第1D圖為描述先前技術製造矽在絕緣層上(SOI)晶圓方法之截面圖。

第2A圖至第2I圖為根據本發明實施例描述矽在絕緣層上(SOI)晶圓方法之截面圖。

《圖式中元件名稱與符號對照》

1、11：基底基板

2、21：第一氧化層

3：半導體基板

4：隔離層

5：第二氧化層

3a：半導體層

10：矽在絕緣層上(SOI)晶圓

12：第一絕緣層

FR1、FR2：場區域

22：第一溝渠

23：第一隔離層

24：第二溝渠

25：第二隔離層

26：第二絕緣層

21a：半導體層：

《較佳具體實施例之詳細描述》

第2A圖至第2I圖為根據本發明實施例描述矽在絕緣層上(SOI)晶圓方法之截面圖。參考第2A圖，可提供一矽塊材構成的基底基板11及在基底基板11一表面上形成1000埃

五、發明說明 (5)

至10000埃的第一絕緣層12。第一絕緣層12可包括熱氧化法氧化基底基板11表面所形成熱氧化層，或是以任何硼磷矽玻璃(BPSG)、旋塗式玻璃(SOG)及臭氧-TEOS(O_3-TEOS)氧化層以及電漿增進化學氣相沈積法所製成的高密度氧化層。

參考第2B圖，可提供可提供由矽塊材構成的半導體基板12。此時，半導體基板21包括主動區域AR，其中元件可在場區域形成來定義主動區域。場區域包括交替置換的場區域FR1及場區域FR2。對應於第一場區域FR1的半導體基板21可蝕刻成第一溝渠22。第一溝渠22之深度為1000埃至3000埃。

參考第2C圖，可在半導體基板21第一場區域FR1上的第一溝渠22形成第一隔離層。利用化學氣相沈積法，可在半導體基板21整個表面上形成氧化層來填滿溝渠22，並接著在無光罩下將其蝕刻使半導體基板21一表面裸露，形成第一隔離層23。在此，第一隔離層23可由以任何硼磷矽玻璃(BPSG)、旋塗式玻璃(SOG)及臭氧-TEOS(O_3-TEOS)氧化層以及電漿增進化學氣相沈積法所製成的高密度氧化層。

參考第2D圖，可將半導體基板21第一隔離層23之間的第二場區域FR2蝕刻以形成第二溝渠24。第二溝渠24之深度為4000埃至6000埃。第二溝渠之深度比第一溝渠還深。

參考第2E圖，第二隔離層25可在第二場區域FR2半導體基板之第二溝渠24上形成。如同第一隔離層23形成之方式，可在半導體基板21整個表面上形成氧化層來填滿第二

五、發明說明 (6)

溝渠24形成第二溝渠24並在無蝕刻光罩下蝕刻並使整個半導體表面裸露，俾使第二溝渠24上形成第二隔離層25。第二絕緣層26可在含第一隔離層23及第二隔離層25之半導體表面上形成。在此，掩埋於第二溝渠24的第二隔離層25及第二絕緣層26可包括以任何硼磷矽玻璃(BPSG)、旋塗式玻璃(SOG)及臭氧-TEOS(O_3-TEOS)氧化層以及電漿增進化學氣相沈積法所製成的高密度氧化層。

參考第2F圖，基底基板11及半導體基板21可以第一混合液$NH_4OH:H_2O_2:H_2O=1:4:20$或是第二混合液$H_2SO_4:H_2O=4:1$來清洗。基板11及半導體基板21可以以第一混合液及第二混合液連續清洗。清洗程序的目的在於移去兩個基板11及21表面接面，也就是第一及第二絕緣層12及26之間存在的顆粒，並使第一及第二絕緣層12及26表面在基板11及半導體基板21連結前親水化。

清洗過的基底基板11及半導體基板21連結在一起，使得第一及第二絕緣層12及26在真空7.5×10^{-1}～7.5×10^{-4}托耳下接觸並接著在溫度800℃至1200℃，氮氣或氧氣的環境停留來加強兩個基板11及21之間的連接強度。夾在基底基板11與半導體基板21之間的第一及第二絕緣層12及26可作為矽在絕緣層上(SOI)晶圓的掩埋氧化層。

參考第2G圖，半導體基板21的另一表面可靠近第二絕緣層26研磨並接著第一次拋光使第二絕緣層26裸露來作為拋光阻擋層。在此，半導體基板21的第一次拋光條件為轉盤速率10～30rpm，主軸壓力為4～8psi，且主軸之旋轉速

五、發明說明 (7)

率20～40rpm。在第一次拋光後，會在半導體基板21第一拋光表面上形成碟狀區域D。

參考第2H圖，裸露的第二隔離層25可使用BOE溶液100-300:1蝕刻成與第一隔離層23相同高度。第二隔離層25的蝕刻過程可避免接下來的拋光過程形成半導體層中在其上形成碟狀區域D。

參考第2I圖，元件所在位置的半導體層21a可藉由相同高度的第一及第二隔離層23及25作為拋光阻擋層第二次拋光第一次已拋光過的半導體體基板21來形成。之後，可製成含基底基板11、包括第一及第二絕緣層12及26之掩埋氧化層30，以及含第一及第二隔離層23及25之半導體層之堆疊結構的矽在絕緣層上(SOI)晶圓40。在此，由於半導體基板21的厚度差異，半導體層21有均勻的厚度。換言之，由於半導體基板21的厚度部分差異，在第二次拋光時，比較較薄之部分，較厚之半導體基板21有相當厚之部分被磨去。因此，在第二次拋光時，可移去第一次拋光所形成的碟狀區域，因而可避免半導體層形成碟狀區域21a。另外，即使形成碟狀區域，碟狀區域的程度也很小，不至於影響元件的特性。如同第二次拋光的方式，半導體基板21的第三次拋光條件為轉盤速率10～30rpm，主軸壓力為4～8psi，且主軸之旋轉速率20～40rpm。

根據本發明，可使用不同深度之隔離層作為拋光阻擋層來拋光半導體基板，來得到均勻的半導體層。因此，可製造含均勻厚度之半導體層來改善半導體層內元件的特

五、發明說明 (8)

性。

本發明以較佳實施例揭示於上，任何熟悉此技術者，在不脫離本發明之精神和範圍，皆可對此作修正及變化，其界定以申請專利範圍所定義。

四、中文發明摘要　(發明之名稱：SOI晶圓的製備方法)

一種製造矽在絕緣層上(SOI)晶圓的方法，包含步驟如下：提供半導體基板及基底基板；在此基底基板上形成第一氧化層；在半導體基板之一表面上形成含第一類深度之溝渠來形成第一隔離層；在第一隔離層之間的半導體基板表面上形成含第二類深度之溝渠來形成第二隔離層，其中第二類深度較第一類深度深；在含第二及第一隔離層的半導體基板表面形成第二絕緣層；將基底基板及半導體基板連結在一起使第一絕緣層與第二絕緣層接觸；使用第二隔離層作為拋光阻擋層來第一次拋光半導體基板另一表面使第二隔離層裸露；將第二隔離層蝕刻使其與第一隔離層厚度相同；使用第一隔離層作為拋光阻擋層將半導體基板另一表面第二次拋光並將第二隔離層蝕刻形成半導體層。

英文發明摘要　(發明之名稱：METHOD FOR FABRICATING SOI WAFER)

A method for fabricating a silicon on insulator wafer, comprising the steps of: preparing a base substrate and a semiconductor substrate; forming first isolation layers of trench types having a first depth in one surface of the semiconductor substrate; forming second isolation layers of trence types having a second depth between the first isolation layers, the second depth being deeper than the first depth; forming a second insulating layer over one sreface

四、中文發明摘要　(發明之名稱：SOI晶圓的製備方法)

[選擇圖　第2I圖]

英文發明摘要　(發明之名稱：METHOD FOR FABRICATING SOI WAFER)

of the semiconductor substrate including the first and second isolation layers; bonding the base substrate and the semiconductor substrate to contact the first insulating layer with the second insulating layer; firstly polishing another surface of the semiconductor substrate to expose the second isolation layers using the second isolation layers as polishing stoppers; etching the second isolation layers to have the same depth as the first isolation layers; and secondly

四、中文發明摘要　(發明之名稱：SOI晶圓的製備方法)

英文發明摘要　(發明之名稱：METHOD FOR FABRICATING SOI WAFER)

polishing the first polished another surface of the semiconductor substrate using the first and second isolation layers as polishing stoppers to form a semiconductor layer.

六、申請專利範圍

1. 一種製備矽在絕緣層上(SOI)晶圓的方法，包含步驟如下：

提供半導體基板及基底基板；

在此基底基板上形成第一氧化層；

在半導體基板之一表面上形成含第一類深度之溝渠來形成第一隔離層；

在第一隔離層之間的半導體基板表面上形成含第二類深度之溝渠來形成第二隔離層，其中第二類深度較第一類深度深；

在含第二及第一隔離層的半導體基板表面形成第二絕緣層；

將基底基板及半導體基板連結在一起使第一絕緣層與第二絕緣層接觸；

使用第二隔離層作為拋光阻擋層來第一次拋光半導體基板另一表面使第二隔離層裸露；

將第二隔離層蝕刻使其與第一隔離層厚度相同；

使用第一隔離層作為拋光阻擋層將半導體基板另一表面第二次拋光並將第二隔離層蝕刻形成半導體層。

2. 根據申請專利範圍第1項之方法，其中第一絕緣層可由熱氧化法將基底基板熱氧化來構成。

3. 根據申請專利範圍第1項之方法，其中第一絕緣層可由任何硼磷矽玻璃(BPSG)、旋塗式玻璃(SOG)及臭氧-TEOS(O_3-TEOS)氧化層以及電漿增進化學氣相沈積法所製成的高密度氧化層所構成。

六、申請專利範圍

4. 根據申請專利範圍第1項之方法，其中第一絕緣層厚度為1000埃至10000埃。

5. 根據申請專利範圍第1項之方法，其中形成第一隔離層的步驟包括:

在半導體基板之一表面上形成含第一類深度之溝渠;

在半導體基板上形成氧化層填滿溝渠;

將氧化層蝕刻使半導體基板表面裸露，形成溝渠的第一隔離層23。

6. 根據申請專利範圍第5項之方法，其中溝渠之深度為1000埃至3000埃。

7. 根據申請專利範圍第5項之方法，其中第一隔離層可由以任何硼磷矽玻璃(BPSG)、旋塗式玻璃(SOG)及臭氧-TEOS(O_3-TEOS)氧化層以及電漿增進化學氣相沈積法所製成的高密度氧化層。

8. 根據申請專利範圍第1項之方法，其中形成第二隔離層的步驟包括:

在第一隔離層之間半導體基板一表面上形成含第二類深度之溝渠;

在半導體基板上形成氧化層填滿溝渠;

將氧化層蝕刻使半導體基板表面裸露，形成溝渠的第二隔離層。

9. 根據申請專利範圍第8項之方法，其中溝渠之深度為4000埃至6000埃。

10. 根據申請專利範圍第8項之方法，其中第二隔離層

六、申請專利範圍

的氧化層可由以任何硼磷矽玻璃(BPSG)、旋塗式玻璃(SOG)及臭氧-TEOS(O_3-TEOS)氧化層以及電漿增進化學氣相沈積法所製成的高密度氧化層所形成。

11. 根據申請專利範圍第1項之方法，其中第二絕緣層可由以任何硼磷矽玻璃(BPSG)、旋塗式玻璃(SOG)及臭氧-TEOS(O_3-TEOS)氧化層以及電漿增進化學氣相沈積法所製成的高密度氧化層所形成。

12. 根據申請專利範圍第1項之方法，其中第二絕緣層厚度為1000埃至10000埃。

13. 根據申請專利範圍第1項之方法，還包括在形成第二絕緣層及連接步驟之間，加入清洗基底基板及半導體基板的步驟。

14. 根據申請專利範圍第13項之方法，其中清洗步驟包括以混合液NH_4OH：H_2O_2：H_2O＝1：4：20或是混合液H_2SO_4：H_2O＝4：1來清洗。

15. 根據申請專利範圍第13項之方法，其中清洗步驟包括以混合液NH_4OH：H_2O_2：H_2O＝1：4：20或是混合液H_2SO_4：H_2O＝4：1來連續清洗。

16. 根據申請專利範圍第1項之方法，其中基底基板及半導體基板在真空7.5×10^{-1}～7.5×10-4托耳下連結。

17. 根據申請專利範圍第1項之方法，其中在連接過程之後，基底基板及半導體基板接著在溫度800℃至1200℃，氮氣或氧氣的環境停留來加強兩個基板之間的連接強度。

六、申請專利範圍

18. 根據申請專利範圍第1項之方法，其中第一拋光過程包括步驟如下：

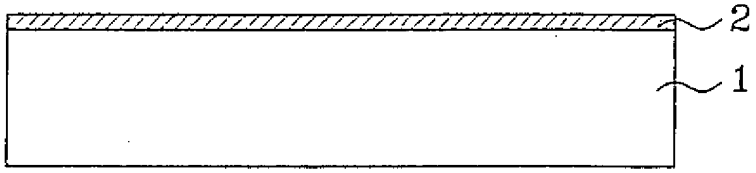
將半導體基板的另一表面靠近第二隔離層研磨，並使用第二隔離層作為拋光阻擋層將半導體基板的另一表面拋光使第二隔離層裸露。

19. 根據申請專利範圍第18項之方法，其中將半導體基板研磨的表面拋光之步驟的條件為轉盤速率10～30 rpm，主軸壓力為4～8psi，且主軸之旋轉速率20～40 rpm。

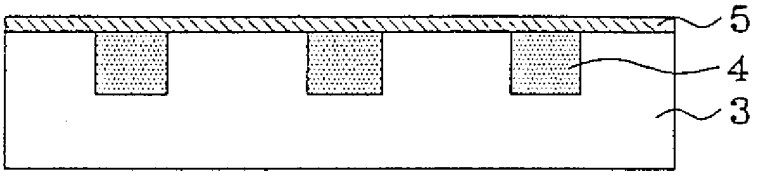
20. 根據申請專利範圍第1項之方法，其中第二隔離層可使用BOE溶液100-300：1蝕刻。

21. 根據申請專利範圍第1項之方法，其中第二拋光之步驟的條件為轉盤速率10～30rpm，主軸壓力為4～8psi，且主軸之旋轉速率20～40rpm。

第 1A 圖
（先前技術）

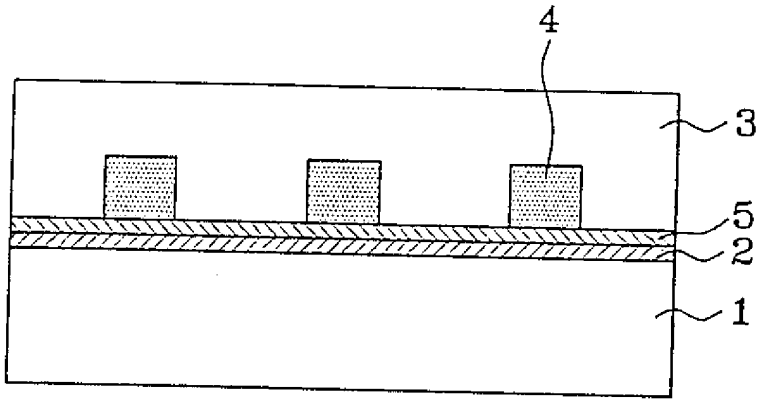


第 1B 圖
（先前技術）



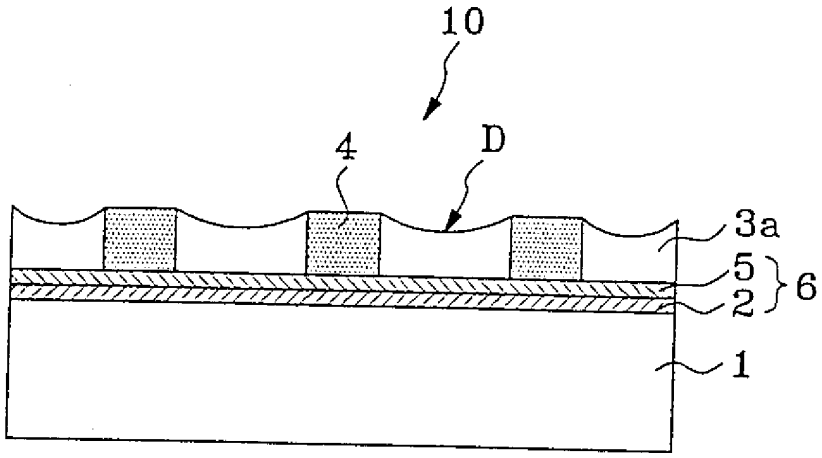
第 1C 圖

（先前技術）

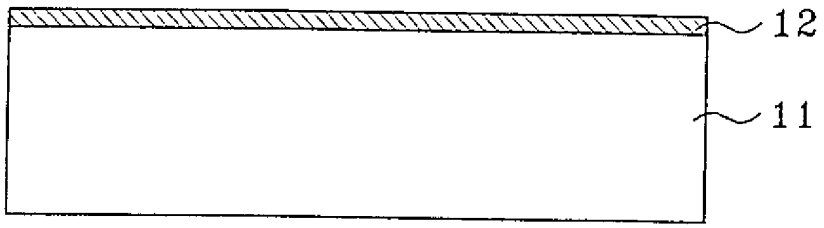


第 1D 圖

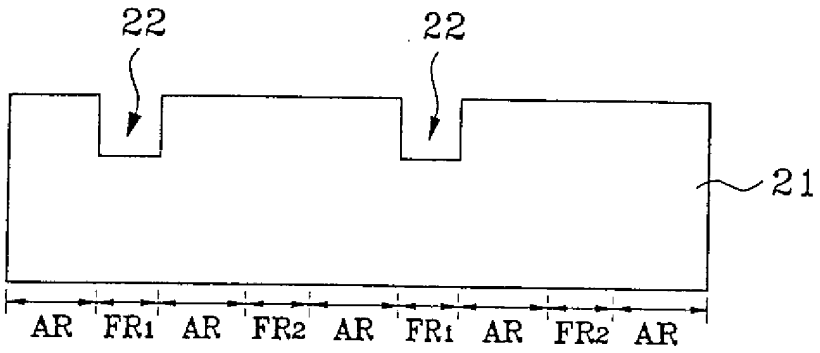
（先前技術）



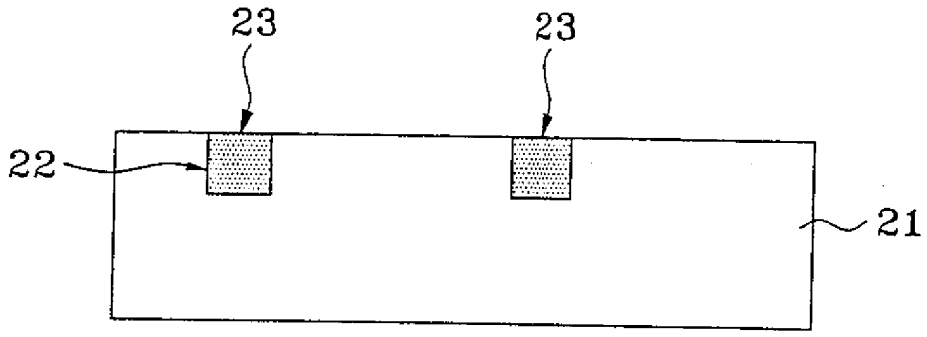
第 2A 圖



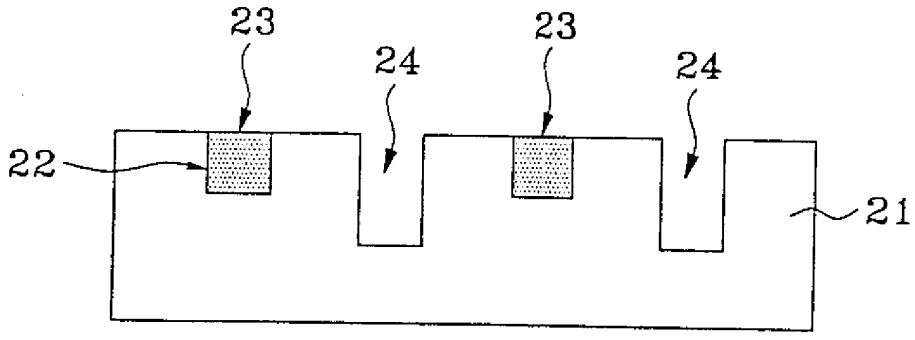
第 2B 圖



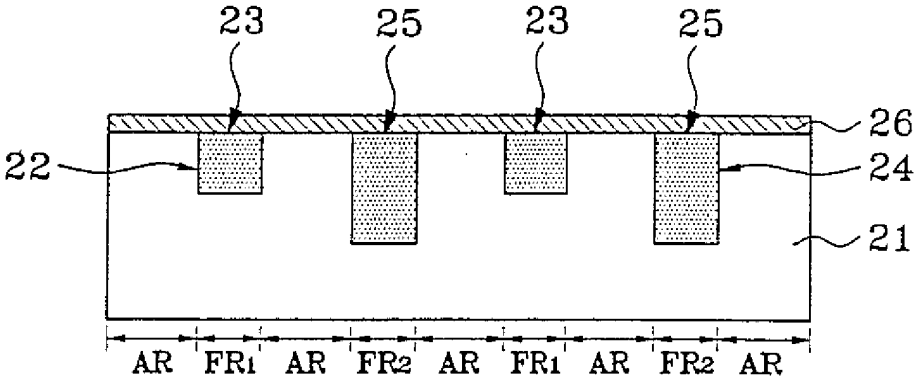
第 2C 圖



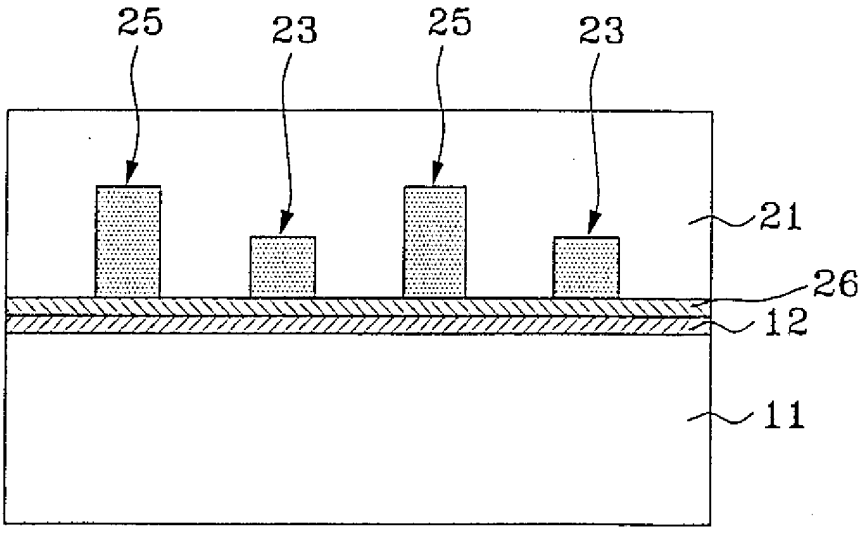
第 2D 圖



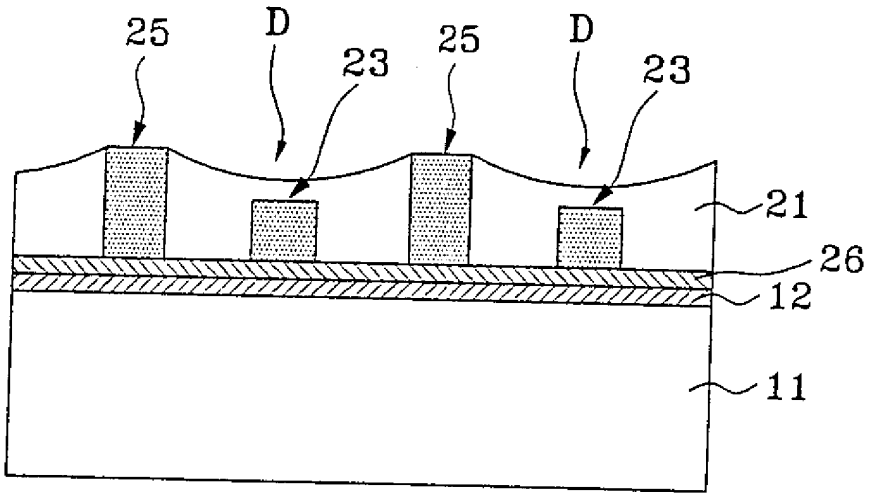
第 2E 圖


23
25
23
25
26
22
24
21
AR
FR1
AR
FR2
AR
FR1
AR
FR2
AR

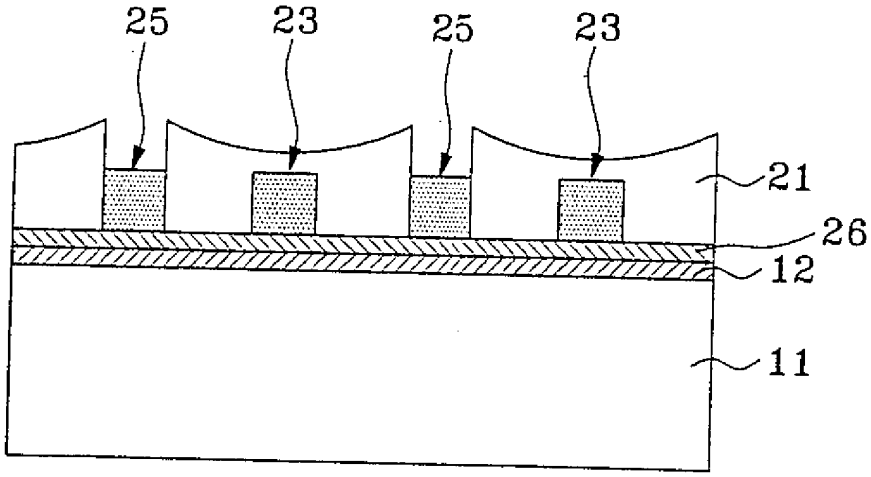
第 2F 圖


25
23
25
23
21
26
12
11

第 2G 圖



第 2H 圖



第 2I 圖

