

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 4 月 11 日 (11.04.2002)

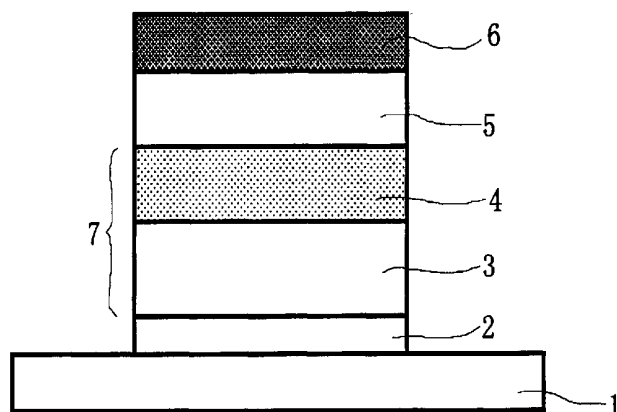
PCT

(10) 国際公開番号
WO 02/29902 A1

- (51) 国際特許分類: **H01L 29/788**, 29/792, 21/8247 (KAWASHIMA, Noriyuki) [JP/JP]. 平 健一 (TAIRA, Kenichi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP01/08493
- (22) 国際出願日: 2001 年 9 月 28 日 (28.09.2001)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2000-303102 2000 年 10 月 3 日 (03.10.2000) JP
特願 2000-347480 2000 年 11 月 15 日 (15.11.2000) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 川島紀之
- (74) 代理人: 杉浦正知 (SUGIURA, Masatomo); 〒171-0022 東京都豊島区南池袋2丁目49番7号 池袋パークビル7階 Tokyo (JP).
- (81) 指定国 (国内): KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: 不揮発性半導体記憶装置及びその製造方法



(57) Abstract: A nonvolatile semiconductor storage device not likely to cause variations in electric characteristics among individual memory cells. A floating-gate electrode provided on a substrate consists of at least two kinds of materials having different carrier trapping efficiencies, carriers are accumulated in this floating-gate electrode to store data to thereby produce an area where a threshold voltage does not change substantially, and cell-to-cell variations and a fast operation are implemented with the small-variation portion used as a margin for a circuit operation.

(57) 要約:

メモリセル毎の電気的特性のばらつきが生じにくい不揮発性半導体記憶装置を提供する。基板上に設けられる浮遊ゲート電極をキャリア捕獲効率の異なる 2 種類以上の材料によって構成して、この浮遊ゲート電極にキャリアを蓄積させてデータを記憶させることで、閾値電圧のあまり変化しない領域を生じさせ、その変化の小さな部分を回路動作のマージンとして、セルごとのばらつきや高速動作を実現する。

明 細 書

不揮発性半導体記憶装置及びその製造方法

5 技術分野

本発明はトンネル絶縁膜上に浮遊ゲート電極を形成した不揮発性半導体記憶装置とその製造方法に関し、特に記憶できるデータとして2値を超えた多値データの記憶が可能な不揮発性半導体記憶装置とその製造方法に関する。

10

背景技術

近年、不揮発性半導体記憶装置の1つとして、一括消去が可能なフラッシュEEPROMが注目されている。このフラッシュEEPROMのメモリセルは、制御ゲート電極とチャンネルが形成される基板との間に、

15 周囲とは絶縁された浮遊ゲート（フローティングゲート）電極を配設したMOSトランジスタ構成を有している。そして浮遊ゲートにおける電荷の有無に応じてトランジスタの閾値電圧が変化し、その閾値電圧の変化に応じて読み出しが可能とされる。

ところで、トランジスタの閾値電圧に応じたオン状態とオフ状態の2

20 状態だけを区別するのではなく、1つのセルで1ビットすなわち“0”と“1”の2値の状態よりも多くの状態を記憶する多値メモリセルを利用する技術が開発されてきている。このような多値メモリセルの構造としては、例えば特開平11-14480号公報に記載されるような浮遊ゲート電極に蓄積される電荷の量の違いから、4種類の閾値を有する4

25 種類の記憶状態とする技術や、或いは特開平11-17037号公報に記載されるような2つの浮遊ゲート電極をソース・ドレイン間のチャン

ネル上に絶縁膜で分離しながら並列して形成し、2つの浮遊ゲート電極にそれぞれ設けられた制御電極を利用して個別に電荷を蓄積させて多値データを記憶させるメモリセルなどがある。

- 第1図と第2図は、それぞれ従来の多値メモリセルへの書き込み時の
5 閾値電圧の変化を示したグラフであり、第1図では書き込み電圧を増加させることで、閾値電圧が高く設定されることを示しており、第2図では書き込み時間を長くさせることで、閾値電圧が高く設定されることを示している。第1図に示すように、閾値電圧は破線で示すようにデータ
(0 0)、(1 0)、(0 1)、(1 1)に対応して4値に区分される。
10 上述のような多値メモリセル技術においては、データの書き込みをした際にベリファイ（検証）回路によって、適切な書き込みがなされているか否か確認され、適切な書き込みが選択されているメモリセルのすべてについて行われるまでベリファイ動作が反復される。浮遊ゲート電極に蓄積される電荷の量の違いから4種類の閾値電圧を得る場合では、ベ
15 リファイ回路によって精度の高い検証動作が必要となり、センスアンプなどの周辺回路の規模が増大したり、複雑な回路が必要となってしまう。また、精密な閾値電圧の制御ができない場合では、ベリファイ動作の繰り返し長くなり、実質的な書き込み時間が増大する。

- 第1図を参照して、この点について説明すると、閾値電圧のうちの中
20 間のレベル（データ(1 0)とデータ(0 1)）では書き込み電圧に対して立ち上がり急峻な点たとえば電圧 V_{p10} を正確に与える必要があり、すこし高い電圧を与えた場合では閾値電圧が次のデータ(0 1)にずれてしまって誤った書き込みとなり、問題を生ずることになる。第2図においても同様に、中間のレベルなどは書き込み時間に対して一定
25 の適正な範囲が決められることになり、その範囲を逸脱してデータの書

き込みを行った場合では、誤った書き込みが生じ、また、メモリセル毎のばらつきが生じた場合ではその均一性が失われることになる。

また、2つの浮遊ゲート電極を並べて形成する多値メモリセルにおいても、製造上の工程数の増大だけではなく、膜厚やチャンネル長の不均一性に起因して、同一の書き込みや消去を行った場合でも、各メモリセル毎にばらつきが生じやすい。したがって同様にベリファイ回路によって高精度の検証動作が必要となり、ベリファイ動作の繰り返しから書き込み時間が長くなる。

そこで、本発明は浮遊ゲート電極にキャリアを蓄積してデータを記憶する不揮発性半導体記憶装置において、メモリセル構造部の膜厚、サイズ、あるいは膜質のばらつきなどに起因するメモリセル毎の電気的特性のばらつきが生じにくい不揮発性半導体記憶装置を提供することを目的とし、特に、2値を超える多値のデータの記憶をメモリセルのばらつきの影響を小さくしながら行って且つ書き込み時間なども短時間化できるような不揮発性半導体記憶装置の提供を目的とする。また、本発明の第2の目的はそのようなばらつきに強い構造の不揮発性半導体記憶装置を製造する方法を提供することにある。

発明の開示

本発明の不揮発性半導体記憶装置は、基板上に設けられたキャリア捕獲効率の異なる2種類以上の材料から構成された浮遊ゲート電極にキャリアを蓄積させてデータを記憶させることを特徴とする。

上述の本発明の不揮発性半導体記憶装置における浮遊ゲート電極は、例えば、キャリア捕獲効率の比較的低い膜とキャリア捕獲効率の比較的高い膜の組み合わせから構成することができ、キャリア捕獲効率の比較的低い膜をキャリア発生領域に近い位置に配設し、キャリア捕獲効率の

比較的高い膜をキャリア発生領域に遠い位置に配設できる。また、これらのキャリア捕獲効率の異なる2種類以上の材料膜が積層した構造を有していても良い。さらに、上述の浮遊ゲート電極は2値のデータの記憶に使用することも可能であるが、2値を超える状態を記憶して多値データの記憶をするように構成しても良い。

本発明の他の不揮発性半導体記憶装置は、浮遊ゲート電極にキャリアを蓄積させることで閾値電圧を変化させてデータを記憶させる不揮発性半導体記憶装置において、書き込み電圧及び書き込み時間の少なくともどちらか一方に対する閾値電圧の変化が変曲点を含んだ非線形であることを特徴とする。

本発明の不揮発性半導体記憶装置の製造方法は、半導体基板又は絶縁基板上の薄膜半導体層上に、トンネル絶縁膜、第1浮遊ゲート電極材料層、該第1浮遊ゲート電極材料層とはキャリア捕獲効率の異なる第2浮遊ゲート電極材料層、層間絶縁層、および制御ゲート電極層が順次積層され、前記トンネル絶縁膜から制御ゲート電極層までを所要のゲート形状に加工した後、前記半導体基板又は前記薄膜半導体層に前記ゲート形状を反映したソース・ドレイン領域を形成することを特徴とする。

本発明の不揮発性半導体記憶装置においては、キャリア捕獲効率の異なる2種類以上の材料から構成された浮遊ゲート電極にキャリアが捕獲される際に、一方のキャリア捕獲効率の比較的に高い材料層に、キャリアが当初集まり、次いでキャリア捕獲効率の比較的に高い材料層が飽和してきたところで、キャリア捕獲効率の比較的に低い材料層にキャリアが蓄積される。したがって、キャリアが主に蓄積される場所が移動する過渡期においては、書き込み時間や書き込み電圧に対しての閾値電圧の変化が滑らかな曲線とはならず、変曲点を伴った或いは書き込み時間や書き込み電圧に対して閾値電圧のあまり変化しない領域が現れることに

なる。この書き込み時間や書き込み電圧に対して閾値電圧のあまり変化しない領域では、それだけ書き込み時間や書き込み電圧のマージンを大きくとることができる、それほど精密な書き込み制御が不要となる。

また、本発明の不揮発性半導体記憶装置の製造方法では、互いにキャリア捕獲効率の異なる第1浮遊ゲート電極材料層と第2浮遊ゲート電極材料層を同時に同じマスクを用いてパターニングでき、これらのサイズの相違によるばらつきは生じない。従って、異なるキャリア捕獲効率の浮遊ゲート電極材料層を形成することによる書き込み時間や書き込み電圧のマージン確保の利点と相俟って、更にメモリセル間の書き込み電圧などに強い構造の素子を提供できる。

図面の簡単な説明

第1図は、従来例の不揮発性半導体記憶装置における書き込み電圧に対する閾値電圧の特性を示すグラフ、第2図は、従来例の不揮発性半導体記憶装置における書き込み時間に対する閾値電圧の特性を示すグラフ、第3図は、本発明の第1の実施形態の不揮発性半導体記憶装置のメモリセル部分の模式断面図、第4図は、本発明の第1の実施形態の不揮発性半導体記憶装置の書き込み電圧に対する閾値電圧の特性を示すグラフ、第5図は、本発明の第1の実施形態の不揮発性半導体記憶装置の書き込み時間に対する閾値電圧の特性を示すグラフ、第6図は、本発明の不揮発性半導体記憶装置を4値のデータを記憶するように構成した場合の書き込み電圧または書き込み時間に対する閾値電圧の特性を示すグラフ、第7図は、本発明の第1の実施形態の不揮発性半導体記憶装置で行った動作確認実験のデータを示す書き込み電圧に対する閾値電圧の特性を示すグラフ、第8図は、本発明の第1の実施形態の不揮発性半導体記憶装置で行った動作確認実験のデータを示す書き込み時間に対する閾値電圧

の特性を示すグラフ、第 9 図は、本発明の第 1 の実施形態の不揮発性半導体記憶装置のゲート部分のポテンシャル図、第 10 図は、本発明の第 2 の実施形態の不揮発性半導体記憶装置のメモリセル部分の模式断面図、第 11 図は、本発明の第 3 の実施形態の不揮発性半導体記憶装置のメモリセル部分の模式断面図、第 12 図は、本発明の第 4 の実施形態の不揮発性半導体記憶装置の製造方法を説明するための工程断面図であり、第 12 図 A はシリコン酸化膜の形成工程、第 12 図 B はシリコン微粒子形成工程、第 12 図 C は電極層の形成工程までのそれぞれ断面図、第 13 図は、本発明の第 4 の実施形態の不揮発性半導体記憶装置の製造方法を説明するための工程断面図であり、第 13 図 A はゲート電極のパターニング工程、第 13 図 B はサイドウォールの形成工程までのそれぞれ断面図、第 14 図は、本発明の第 5 の実施形態の不揮発性半導体記憶装置のメモリセル部分の模式断面図、第 15 図は、本発明の第 5 の実施形態の不揮発性半導体記憶装置における書き込み電圧に対する閾値電圧の特性を示すグラフ、第 16 図は、本発明の第 5 の実施形態の不揮発性半導体記憶装置における書き込み時間に対する閾値電圧の特性を示すグラフ、第 17 図は、本発明の第 5 の実施形態の不揮発性半導体記憶装置のゲート部分のポテンシャル図であり、第 17 図 A は書き込み電圧が低電圧の場合、第 17 図 B は書き込み電圧が中間電圧の場合、第 17 図 C は書き込み電圧が高電圧の場合である。

発明を実施するための最良の形態

以下、本発明の実施の形態を図面を参照しながら説明する。

[第 1 の実施形態]

第 3 図に本実施形態の不揮発性半導体記憶装置の一例を示す。第 3 図は不揮発性半導体記憶装置のメモリセル構造を示す断面図であり、当該

不揮発性半導体記憶装置には第3図に示す構造のメモリセルが複数形成されるが、簡単のため1つのメモリセルについて説明する。

基板1上におよそ膜厚5 nmのトンネル酸化膜2がCVD法などによって形成され、その上に第1浮遊ゲート電極材料層としてシリコン酸化膜3と、第2浮遊ゲート電極層としてシリコン窒化膜4が形成されている。基板1は一例として絶縁基板上に半導体薄膜を形成した構造が使用されるが、後述するようなシリコンなどの半導体単結晶基板であっても良い。また、基板1には図示しないソース・ドレイン領域がゲート電極の両側部にそれぞれ形成され、ソース・ドレイン領域の間の領域がチャンネル領域となる。

第1浮遊ゲート電極材料層としてのシリコン酸化膜3は、後述するような工程によって析出する微粒子のシリコン粒やシリコンクラスターが散在する構造を有している。このシリコン酸化膜3は例えば膜厚15 nmを有している。このシリコン微粒子を含有するシリコン酸化膜3上には、例えば膜厚10 nmのシリコン窒化膜4が第2浮遊ゲート電極材料層として積層されている。すなわち、トンネル酸化膜2上に形成される浮遊ゲート電極7はキャリア捕獲効率の比較的低いシリコン酸化膜3とキャリア捕獲効率の比較的高いシリコン窒化膜4の組み合わせから構成されている。ここでキャリア捕獲効率とは、キャリアの材料層への蓄積し易さを示した値であり、キャリア捕獲効率としてキャリア捕獲断面積を用いた場合では、異なる2種類の材料層の一例として一方のキャリア捕獲断面積を 10^{-12} cm^2 以上とし、他方のキャリア捕獲断面積を 10^{-18} cm^2 以下とするような設定も可能である。

本実施形態では、第1浮遊ゲート電極材料層としてのシリコン酸化膜3と第2浮遊ゲート電極材料層としてのシリコン窒化膜4が積層される構造となっているが、第1浮遊ゲート電極材料層と第2浮遊ゲート電極

材料層は積層構造に限定されず、各材料層が混在するような構造であっても良く、浮遊ゲート領域をブロック毎に区分しながら存在するような構造であっても良い。また、浮遊ゲート電極を構成するキャリア捕獲効率の異なる材料層も2種類に限らず、3種類以上としても良い。

- 5 浮遊ゲート電極材料層は、本実施形態においてはシリコン微粒子を含有するシリコン酸化膜3とシリコン窒化膜4によって形成されているが、これ以外にも例えばポリシリコン膜、アモルファスシリコン膜、シリコン窒化膜、シリコン酸化膜、シリコンゲルマニウム膜、これらの膜にシリコン、ゲルマニウム若しくはシリコンゲルマニウムの微粒子が含有さ
- 10 れた膜、又はこれらの非化学量論的組成の膜の2つ以上を組み合わせる構成された膜などによって形成される。非化学量論的組成の膜とは、ある材料層の化学量論的組成からずれた組成を有する膜であり、例えばシリコン酸化膜であればシリコン原子や酸素原子の量がシリコン1に対して酸素2の割合からずれている場合である。
- 15 浮遊ゲート電極7を構成する2種類の膜は、キャリア捕獲効率の比較的低い膜をキャリア発生領域に近い位置に配設し、キャリア捕獲効率の比較的高い膜をキャリア発生領域に遠い位置に配設するように構成できる。本実施形態においては、トンネル酸化膜2の上にキャリア捕獲効率の比較的低いシリコン酸化膜3が積層され、さらにそのシリコン酸化膜
- 20 4の上にキャリア捕獲効率の比較的高いシリコン窒化膜4が形成される。仮にキャリア捕獲効率の比較的高い膜をキャリア発生部に近いところに配設した場合では、初めにキャリア捕獲効率の比較的高い膜にキャリアが多く蓄積され、それから更にキャリア捕獲効率の比較的低い膜のキャリアが向かうようなことが起き難くなる。このため書き込み電圧や書き
- 25 込み時間に対して閾値電圧の変化が小さくなるような現象が起き難くなり、メモリセルのばらつきの影響を受けやすくなる。例えば、キャリア

が電子の場合は、n M O S 型の構成をメモリセルがとることになり書き込み時にはドレイン領域から浮遊ゲート電極 7 に電子が流れることになる。このため、キャリア捕獲効率の比較的低い膜をよりドレイン側に近く配し、キャリア捕獲効率の比較的高い膜をドレイン側から遠くに配するようにしても良い。

このようなシリコン微粒子を含有するシリコン酸化膜 3 とシリコン窒化膜 4 によって構成される浮遊ゲート電極 7 の上部には、更にゲート酸化膜としてのシリコン酸化膜 5 が積層され、さらにそのシリコン酸化膜 5 上に制御ゲート電極 6 が形成される。

第 4 図と第 5 図は本実施形態の不揮発性半導体記憶装置の書き込み時の挙動を示すグラフである。第 4 図は従来例を説明した第 1 図と対比することが、本実施形態の不揮発性半導体記憶装置を理解する上で望ましく、また第 5 図は従来例を説明した第 2 図と対比することが、本実施形態の不揮発性半導体記憶装置を理解する上で望ましい。

先ず、本実施形態の不揮発性半導体記憶装置の各メモリセルに書き込みを行う場合では、ソース領域と制御ゲート電極 6 の間に 0 から 2.5 V 程度の電圧を印加することで、トンネル酸化膜 2 を通過する Fowler - N o l d h e i m 電流が流れ、浮遊ゲート電極 7 にキャリアである電子を注入することができる。閾値電圧を変化させるためには、通常の方法も考えられるが、本実施形態の不揮発性半導体記憶装置においては、それぞれの制御が有効である。

第 4 図に示すように、書き込み電圧 V_p を変化させていった場合では、低い書き込み電圧 V_p の範囲では閾値電圧が余り上がらず、ある電圧から書き込み電圧に対する閾値電圧が上昇し、次いで書き込み電圧 V_p が上昇しても閾値電圧がほとんど変化しない領域 P_1 (図中、代表点で示

す。)が現れる。この領域 P_1 の周囲では多少書き込み電圧が変動した場合であっても閾値電圧がほとんど変化しないことから、略一定の書き込みが行われるとともに、この部分がマージンとして機能するためメモリセルのばらつきにも強い構造が作られている。閾値電圧がほとんど変
5 化しない領域 P_1 を過ぎたところで再び書き込み電圧 V_p に対する閾値電圧が上昇して、高い閾値電圧が得られることになる。

このような書き込み電圧 V_p が上昇しても閾値電圧がほとんど変化しない領域 P_1 が現れることが、本実施形態の特徴であり、従来のグラフである第1図と比較することでその差が歴然とする。この領域 P_1 につ
10 いてのキャリアの挙動を説明すると、仮説ではあるが、初めに書き込み電圧 V_p が上昇していった時には、キャリア捕獲効率の比較的高いシリコン窒化膜4にキャリアである電子が多く蓄積されていき、シリコン窒化膜4での電子の蓄積が飽和し始めたところで、それからキャリア捕獲効率の比較的低いシリコン酸化膜3へ電子が向かう。この主たる捕獲先
15 がシリコン窒化膜4からシリコン酸化膜3に移行するところが、書き込み電圧 V_p が上昇しても閾値電圧がほとんど変化しない領域 P_1 となって現れる。領域 P_1 は、非線形な書き込み特性の曲線で変曲点を与える領域でもあり、キャリアの挙動によってこのような変曲点が形成される。

第5図は書き込み時間に対する閾値電圧の変化を示した図であり、書き込み時間を増加させていった場合では、短い書き込み時間の範囲では閾値電圧が徐々に上昇するが、やがて書き込み時間に応じて閾値電圧がほとんど変化せずむしろマイナスの傾きを示す領域 P_2 （図中、代表点
20 で示す。）が現れる。この領域 P_2 の周囲では多少書き込み電圧が変動した場合であっても閾値電圧があまり変化しないことから、略一定の書き込みが行われるとともに、この部分がマージンとして機能するためメモリセルのばらつきにも強い構造が作られている。閾値電圧があまり変
25

化しない領域 P_2 を過ぎたところで再び書き込み時間に対する閾値電圧が上昇して、高い閾値電圧が得られることになる。

この書き込み時間に対するキャリアの挙動も書き込み電圧を変化させて行った場合のキャリアの挙動と同様に説明できる。すなわち、仮説ではあるが、書き込み時間が増加していった時には、当初キャリア捕獲効率の比較的高いシリコン窒化膜 4 にキャリアである電子が多く蓄積されていき、シリコン窒化膜 4 での電子の蓄積が飽和し始めたところで、それからキャリア捕獲効率の比較的低いシリコン酸化膜 3 へ電子が向かう。この主たる捕獲先がシリコン窒化膜 4 からシリコン酸化膜 3 に移行するところが、書き込み時間が増加しても閾値電圧がほとんど変化しない領域 P_2 となって現れる。この本実施形態の時間に対する書き込み特性は従来のグラフである第 2 図と比較することでその差が明確となる。

このような閾値電圧があまり変化しない領域 P_1 、 P_2 を有する特性を示す本実施形態の不揮発性半導体記憶装置は、各メモリセルを従来からの 2 値を記憶するように動作させることもでき、あるいは 3 値以上の多値メモリセルとして動作させることもできる。2 値を記憶するメモリセルとして動作させる場合は、閾値電圧があまり変化しない領域 P_1 、 P_2 で “0” と “1” を区別するスレッシュホールドレベルとすることができ、その場合は領域 P_1 、 P_2 がそれぞれマージンとして機能して、書き込み電圧や書き込み時間を明確に 2 分でき、したがって書き込み電圧の精密な制御は不要となる。また、本実施形態の不揮発性半導体記憶装置は、多値メモリセルを制御するものであっても良く、例えば、閾値電圧があまり変化しない領域 P_1 、 P_2 を中間値とするような 3 値を記憶するメモリセル構造とすることができる。この 3 値のメモリセルにおいては、閾値電圧があまり変化しない領域 P_1 、 P_2 を含んだ中間値が書き

込み電圧や書き込み時間を十分に確保していることから、2 値の場合と同様に書き込み電圧の精密な制御は不要となる。

本実施形態の不揮発性半導体記憶装置は、3 値までではなく、数種類のキャリア捕獲効率の異なる材料層を組み合わせることで、第 6 図に示すように、例えば閾値電圧に応じたレベルの差から (1 1)、(1 0)、(0 1)、(0 0) の 4 値をとるように構成することも可能である。すなわち第 6 図に示すように 2 つの閾値電圧があまり変化しない領域を利用することで 4 値のメモリセルが実現される。数種類のキャリア捕獲効率の異なる材料層を組み合わせることに限定されず、キャリア捕獲効率の異なる材料層の位置や厚みあるいは積層構造の工夫、キャリアの捕獲を増強する層や鈍らせる層の形成または不純物の導入、さらには制御電圧の最適化などによっても、4 値以上のメモリセルとしても機能させることが可能である。4 値以上のメモリセルとして動作させる場合であっても、閾値電圧があまり変化しない領域を含んだ中間値が書き込み電圧や書き込み時間を十分に確保することになり、2 値の場合と同様に書き込み電圧の精密な制御は不要となるため、均一な書き込み動作を容易に行うことが可能となる。

本願の発明者らは、このような本実施形態の不揮発性半導体記憶装置の動作確認実験を行っており、その結果を第 7 図と第 8 図に示す。動作確認実験に使用した記憶装置のメモリセルは第 3 図の構造を有し、トンネル酸化膜上に第 1 浮遊ゲート電極材料層としてのシリコン酸化膜と第 2 浮遊ゲート電極材料層としてのシリコン窒化膜が積層される構造を有しており、さらにゲート酸化膜を介して制御ゲート電極が形成された構造となっている。第 1 浮遊ゲート電極材料層としてのシリコン酸化膜にはシリコン微粒子が含まれている。

第7図は書き込み電圧 V_p を変化させていった場合の実験結果を示すグラフである。この書き込み電圧に対する特性のグラフは、書き込み時間を約1秒に固定して閾値電圧のシフトを電圧値で計測したものである。結果は、書き込み電圧がおよそ15V近辺となるところで閾値電圧のシフト量が急激に大きくなり、シフト量3Vまで大きくなるが、そこから書き込み電圧がおよそ18Vとなるところまでは、閾値電圧（のシフト量）があまり変化しない領域が現れる。そして書き込み電圧が18Vを越えた領域では、また書き込み電圧の上昇にしたがって閾値電圧のシフト量が増加する。このように動作確認実験においても、本実施形態の不揮発性半導体記憶装置ではまず書き込み電圧の変化に対して閾値電圧があまり変化しない領域の存在が確認されている。

次に第8図では、書き込み時間を変化させていった場合の閾値電圧のシフト量を示している。この書き込み時間に対する特性のグラフは、書き込み電圧を約19Vに固定して閾値電圧のシフトを電圧値で計測したものである。結果は、書き込み時間がおよそ0.01秒を越えるあたりまでは、書き込み時間の増加に伴って略直線状に閾値電圧のシフト量が増大する。ところが書き込み時間がおよそ0.01秒を越えておよそ1秒の領域に達するまで、書き込み時間に対する閾値電圧のシフト量は増大することなくむしろ減少する。そして、書き込み時間がおよそ1秒を越える領域では再び閾値電圧のシフト量が増大する。このように書き込み時間に対する挙動としては、閾値電圧があまり変化しない領域の1つの形態として閾値電圧がマイナスの傾きをもって変化するすなわち閾値電圧が減少する領域の存在が確認されている。

ここで書き込み時間に対する閾値電圧のシフト量は一部の領域において増大することなくむしろ減少する点について仮説ながら説明を加える。第9図はメモリセル構造の断面方向におけるポテンシャル図である。第

9 図においてトンネル酸化膜 (SiO_2) はシリコン (Si) に隣接するポテンシャル障壁部として描かれており、書き込み動作の場合にはトンネル酸化膜を図中矢印 J_{FN} で示すようにトンネルしながら、シリコン酸化膜 (SiO_x) を越えてポテンシャル W_N を有するシリコン窒化膜 (SiN) に電子が到達し、そこで蓄積される。なお、ポテンシャル W_c はシリコン微粒子のポテンシャルに対応する。この時シリコン窒化膜 (SiN) のトラップ準位 L_s に電子が捕獲されるのに伴い、シリコン窒化膜のポテンシャルが持ち上がり、注入電流 (J_{FN}) が減少する。よって電子の捕獲よりもシリコン窒化膜中の電子の再分布によって閾値電圧変化が支配されている領域が存在する。つまり捕獲された電子がゲート方向に向かって再分布するため閾値電圧が一時的に減少している。もしくはシリコン窒化膜のポテンシャルが持ち上がることにより、ゲート酸化膜に印加される電界が強まり、電流 J_g によってゲート方向に捕獲された電子が抜けているために閾値電圧が減少していることが考えられる。

上述のように本実施形態の不揮発性半導体記憶装置においては、キャリア捕獲効率の異なる2種類以上の材料から構成された浮遊ゲート電極によって、書き込み電圧の変化に対して閾値電圧があまり変化しない領域が生成され、所定電圧を加えながらの書き込み時間の変化に対しては閾値電圧がむしろ減少するような領域が存在する。したがって、キャリア捕獲効率の異なる2種類以上の材料からなる浮遊ゲート電極を組み合わせたメモリセル構造によって、書き込み電圧や時間の精密な制御は不要となり、均一な書き込み動作を容易に行うことが可能となる。また、換言すれば、メモリセルごとのばらつきが回路動作の上で問題とならなくなるように動作マージンを確保することが容易であり、周辺回路の規模や負荷を減らして、高速書き込みなどが可能となる。

[第2の実施形態]

次に第10図を参照しながら、第2の実施形態の不揮発性半導体記憶装置について説明する。当該不揮発性半導体記憶装置には第10図に示す構造のメモリセルが複数形成されるが、簡単のため1つのメモリセル
5 について説明する。

第10図に示すように、単結晶シリコンなどの半導体基板21の表面に、熱酸化により形成された膜厚10nmのトンネル酸化膜24を介し、第1浮遊ゲート電極であるポリシリコン膜26と、さらに膜厚10nmのシリコン酸化膜27を介し、第2浮遊ゲート電極であるシリコン窒化
10 膜28とが積層されている。この積層構造においてポリシリコン膜26とシリコン窒化膜28が互いにキャリア捕獲効率の異なる材料層を構成している。シリコン窒化膜28のさらに上部にはシリコン酸化膜29を介して制御電極30が形成されている。この制御電極30は、基板21若しくはソース・ドレイン領域22、23に対する書き込み電圧や消去
15 電圧を印加するための電極であり、たとえばポリシリコン層をパターンニングして形成されるが、タンガステンシリサイド膜を成膜するようにしても良い。

ソース・ドレイン領域22、23は、半導体基板21の表面にゲート部分を形成した後に、n型ドーパント例えばリン、砒素などのイオン注入
20 などの方法でゲート電極と自己整合的に形成されており、ソース・ドレイン領域22、23の間の半導体基板21の表面部分がチャンネル領域25となる。制御電極30からトンネル酸化膜24にかけての側壁部には、全面のCVD法などによって形成されたシリコン酸化膜をRIE

(反応性イオンエッチング)でエッチングすることで形成されたサイド
25 ウォール31、31が形成される。図示を省略しているが、ソース・ドレイン領域22、23には開口部が形成されて電極の取出しが行われる。

このようなメモリセル構造を有する本実施形態の不揮発性半導体記憶装置においては、キャリア捕獲効率の異なる２種類以上の材料からなる浮遊ゲート電極として、ポリシリコン膜２６とシリコン窒化膜２８が用いられており、書き込み電圧を上げていった場合では、初めにキャリア捕獲効率の高い膜の方にキャリアである電子が蓄積され、キャリア捕獲効率の高い膜の方が飽和し始めたところでキャリア捕獲効率の低い膜に電子が集められる。上述の第１の実施形態と同様に閾値電圧がほとんど変化しない領域が現れることになり、その部分が書き込み時のマージンとして機能することから、精密な書き込み電圧の制御をしなくとも確実な書き込みが可能となり、その結果ベリファイ回路の構成も簡単になると共に、実質的な高速書き込みが実現される。

書き込み動作は、具体的には半導体基板２１の電位若しくはソース領域の電位を０Ｖ（接地電位）とし、制御電極３０におよそ１２Ｖ程度の電圧を印加すれば良い。制御電極３０が１２Ｖの電圧を受けると、基板から浮遊ゲート電極に向かってFowler-Nordheim電流が流れ、それぞれポリシリコン膜２６とシリコン窒化膜２８に電子が注入される。ソース領域２２を接地しながら、制御電極３０とドレイン領域２３にそれぞれ５Ｖを印加することで、ホットエレクトロンによる書き込みを行っても良い。

このような書き込み動作を行った時では、第４図や第５図に示したものと同様の書き込み特性が得られることになる。すなわち、本実施形態の書き込み特性では閾値電圧がほとんど変化しない領域が書き込み時のマージンとして機能する。このため精密な書き込み電圧の制御をしなくとも確実な書き込みが可能となり、その結果ベリファイ回路の構成も簡単になると共に、実質的な高速書き込みが実現されることになる。

また、互いにキャリア捕獲効率の異なる材料層を構成するポリシリコン膜 26 とシリコン窒化膜 28 は同じ電極形状を有し、同じフォトリソグラフィのマスクを用いてパターンニングされることから、ポリシリコン膜 26 とシリコン窒化膜 28 の間にはサイズのばらつきがなく、メモリセルの動作をさらに安定させることができる。

なお、上述の実施形態では、2 種類のキャリア捕獲効率の異なる材料層としてポリシリコン膜 26 とシリコン窒化膜 28 が形成されているが、他の材料層との組み合わせも可能である。たとえば、ポリシリコン膜とシリコン窒化膜に加えて若しくは代えて、アモルファスシリコン、絶縁膜中にシリコン微粒子を含有する膜、シリコンゲルマニウム膜などを用いることができる。同じシリコン窒化膜やシリコン酸化膜などでも膜質の違いに起因する捕獲断面積やトラップ密度が異なる場合は浮遊ゲート電極を構成する他の材料層として利用できる。また、本実施形態の不揮発性半導体記憶装置は、数種類のキャリア捕獲効率の異なる材料層を組み合わせることで、4 値以上の多値メモリセル構成とすることも可能である

[第 3 の実施形態]

本実施形態の不揮発性半導体記憶装置は、TFT（薄膜トランジスタ）型のメモリセルを構成した例であり、第 11 図を参照しながら説明する。

第 11 図は本実施形態の不揮発性半導体記憶装置のメモリセル部分の断面図であり、石英やサファイヤ、ガラスなどの絶縁材料からなる絶縁基板 41 の表面に、結晶化された薄膜半導体層 42 が形成されており、その上に CVD 法などによってトンネル酸化膜 45 が形成されている。このトンネル酸化膜 45 上には、第 2 の実施形態と同様に、第 1 浮遊ゲート電極であるポリシリコン膜 46 と、さらに膜厚 10 nm のシリコン

酸化膜 4 7 を介し、第 2 浮遊ゲート電極であるシリコン窒化膜 4 8 とが積層されている。この積層構造においてポリシリコン膜 4 6 とシリコン窒化膜 4 8 が互いにキャリア捕獲効率の異なる材料層を構成している。シリコン窒化膜 4 8 のさらに上部にはシリコン酸化膜 4 9 を介して制御電極 5 0 が形成されている。この制御電極 5 0 は、ソース・ドレイン領域 4 3、4 4 に対する書き込み電圧や消去電圧を印加するための電極であり、たとえばポリシリコン層をパターンニングして形成されるが、タングステンシリサイド膜を成膜するようにしても良い。

ソース・ドレイン領域 4 3、4 4 は、第 2 の実施形態と同様に、n 型ドーパント例えば燐、砒素などのイオン注入などの方法でゲート電極と自己整合的に形成されており、ソース・ドレイン領域 4 3、4 4 の間の薄膜半導体層 4 2 の表面部分がチャンネル領域となる。制御電極 5 0 からトンネル酸化膜 4 5 にかけての側壁部には、全面の C V D 法などによって形成されたシリコン酸化膜を R I E（反応性イオンエッチング）でエッチングすることで形成されたサイドウォールが形成される。図示を省略しているが、ソース・ドレイン領域 4 3、4 4 には開口部が形成されて電極の取出しが行われる。

このようなメモリセル構造を有する本実施形態の不揮発性半導体記憶装置においては、第 2 の実施形態と同様に、キャリア捕獲効率の異なる 2 種類以上の材料からなる浮遊ゲート電極として、ポリシリコン膜 4 6 とシリコン窒化膜 4 8 が用いられており、書き込み電圧を上げていった場合では、初めにキャリア捕獲効率の高い膜の方にキャリアである電子が蓄積され、キャリア捕獲効率の高い膜の方が飽和し始めたところでキャリア捕獲効率の低い膜に電子が集められる。上述の第 1 の実施形態と同様に閾値電圧がほとんど変化しない領域が現れることになり、その部分が書き込み時のマージンとして機能することから、精密な書き込み電

圧の制御をしなくとも確実な書き込みが可能となり、その結果ベリファイ回路の構成も簡単になると共に、実質的な高速書き込みが実現される。

本実施形態の不揮発性半導体記憶装置はT F T構造であるため、T F Tを用いた他の素子と同一基板上に形成する場合に特に有効である。また、ガラス基板や石英基板などの絶縁基板41上に形成する場合には、アモルファスシリコンをC V D法などによって成膜し、たとえば窒素雰囲気での高温の熱処理やエキシマレーザーアニールによって成膜したアモルファスシリコンを結晶化する。結晶化した薄膜半導体層42をR I Eなどによって素子分離し、C V Dによってトンネル酸化膜45を形成し、次いで、ポリシリコン膜46と、シリコン酸化膜47と、シリコン窒化膜48とを形成し、さらにシリコン酸化膜49と制御電極50を積層する。

また、互いにキャリア捕獲効率の異なる材料層を構成するポリシリコン膜46とシリコン窒化膜48は同じ電極形状を有し、同じフォトリソグラフィのマスクを用いてパターンニングされることから、ポリシリコン膜46とシリコン窒化膜48の間にはサイズのばらつきがなく、メモリセルの動作をさらに安定させることができる。

なお、上述の実施形態では、2種類のキャリア捕獲効率の異なる材料層としてポリシリコン膜46とシリコン窒化膜48が形成されているが、他の材料層との組み合わせも可能である。たとえば、ポリシリコン膜とシリコン窒化膜に加えて若しくは代えて、アモルファスシリコン、絶縁膜中にシリコン微粒子を含有する膜、シリコンゲルマニウム膜などを用いることができる。同じシリコン窒化膜やシリコン酸化膜などでも膜質の違いに起因する捕獲断面積やトラップ密度が異なる場合は浮遊ゲート電極を構成する他の材料層として利用できる。また、本実施形態の不揮発性半導体記憶装置は、数種類のキャリア捕獲効率の異なる材料層を組

み合わせることで、4 値以上の多値メモリセル構成とすることも可能である

[第 4 の実施形態]

第 4 の実施形態は不揮発性半導体記憶装置の製造方法の例であり、特にシリコン微粒子を含有するシリコン酸化膜を形成した製造方法の例である。第 12 図 A ~ C 及び第 13 図 A、B を参照しながら本実施形態をその工程にしたがって説明する。

まず、第 12 図 A に示すように、p 型の単結晶のシリコン基板 61 を LOCOS などによって素子分離を行い、熱酸化法によってトンネル酸化膜 62 をシリコン基板 61 の基板主面に形成する。次に CVD 法によって、非化学量論的組成のシリコン酸化膜 63 を堆積させる。

続いて、第 12 図 B に示すように、非化学量論的組成のシリコン酸化膜 63 を堆積させて成膜したところで、窒素雰囲気中で例えば 800℃ から 1000℃ の熱処理を加える。この熱処理によってシリコン酸化膜 64 には、数ナノメートル程度のシリコン微粒子 65 が析出される。シリコン微粒子 65 を含有するシリコン酸化膜 64 は第 1 浮遊ゲート電極として機能する。

このようなシリコン微粒子 65 を含有するシリコン酸化膜 64 上に、第 12 図 C に示すように、さらにシリコン窒化膜 66 を積層する。このシリコン窒化膜 66 はたとえば CVD 法によって形成されるが、同じシリコン窒化膜でも CVD の成膜において原料ガス SiH_4/NH_3 の流量比など変化させることにより、膜質の異なる膜を成膜できる。そこで、流量比を制御することで、膜質の違いからキャリア捕獲効率の異なる 2 以上のシリコン窒化膜を形成でき、浮遊ゲート電極として利用できる。シリコン窒化膜 66 の形成後、さらにシリコン酸化膜 67 が形成され、次いで制御ゲート電極を構成する電極層 68 が形成される。

- 第13図Aはゲート電極のパターンニングを示しており、RIEなどの方法によって、トンネル酸化膜62、シリコン微粒子65を含有するシリコン酸化膜64、シリコン窒化膜66、シリコン酸化膜67、および電極層68は同じサイズに切断される。互いにキャリア捕獲効率の異なる材料層を構成する、シリコン微粒子65を含有するシリコン酸化膜64とシリコン窒化膜66は同じ電極形状を有し、同じフォトリソグラフィのマスクを用いてパターンニングされることから、シリコン酸化膜64とシリコン窒化膜66の間にはサイズのばらつきがなく、メモリセルの動作をさらに安定させることができる。
- 10 第13図Bでは、イオン注入法などによって、シリコン基板61の表面に例えば磷や砒素などのn型ドーパントを導入し、ゲート電極と自己整合的にソース・ドレイン領域70、70が形成される。次いで全面にCVD法によって絶縁膜を形成し、それをRIEなどによってエッチングすることで浮遊ゲート電極の側壁にサイドウォール69が形成される。
- 15 最後に、ソース・ドレイン領域70、70を開口して図示しない電極を所要のパターンで取り付けてメモリセルを完成する。

- このような本実施形態の不揮発性半導体記憶装置の製造方法においては、既存技術を活用して、キャリア捕獲効率の異なる2種類以上の材料から構成された浮遊ゲート電極を形成することができ、製造された不揮
- 20 発性半導体記憶装置はキャリア捕獲効率の異なる2種類以上の材料による閾値電圧がほとんど変化しない領域を書き込み時のマージンとして用いることができる。このため精密な書き込み電圧の制御をしなくとも確実な書き込みが可能となり、その結果ベリファイ回路の構成も簡単になると共に、実質的な高速書き込みが実現される。
- 25 また、互いにキャリア捕獲効率の異なる材料層を構成する、シリコン微粒子65を含有するシリコン酸化膜64とシリコン窒化膜66は同じ

電極形状を有し、同じフォトリソグラフィのマスクを用いてパターンニングされることから、シリコン酸化膜 64 とシリコン窒化膜 66 の間にはサイズのばらつきがなく、メモリセルの動作をさらに安定させることができる。

5 [第 5 の実施形態]

第 14 図に示すように、単結晶シリコンなどの p 型のシリコン基板 81 のソース・ドレイン領域 82、82 の間に表面に形成されたチャンネル領域上に、熱酸化により形成された膜厚約 5 nm のトンネル酸化膜 83 を介して第 1 浮遊ゲート電極であるシリコン微粒子の埋めこまれたシリコン酸化膜 84 が形成されている。シリコン酸化膜 84 は膜厚約 10 nm の非化学量論組成の膜であり、例えば CVD 法によって堆積される。このシリコン微粒子の埋めこまれたシリコン酸化膜 84 上には、さらに分離膜としての膜厚 5 nm のシリコン酸化膜 85 を介し、第 2 浮遊ゲート電極である膜厚約 5 nm シリコン窒化膜 86 とが積層されている。この積層構造においてシリコン酸化膜 84 とシリコン窒化膜 86 が互いにキャリア捕獲効率の異なる材料層を構成している。シリコン窒化膜 86 のさらに上部には膜厚約 10 nm のシリコン酸化膜 87 を介して制御電極である電極層 88 が形成されている。この電極層 88 は、基板 81 若しくはソース・ドレイン領域 82、82 に対する書き込み電圧や消去電圧を印加するための電極であり、たとえばポリシリコン層をパターンニングして形成されるが、タングステンシリサイド膜を成膜するようにしても良い。

本実施形態の不揮発性半導体記憶装置を製造する際には、はじめに p 型のシリコン基板 81 に LOCOS による素子間分離を施す。ソース・ドレイン領域 82、82 はシリコン基板 81 の表面にゲート部分を形成した後に、n 型ドーパント例えばリン、砒素などのイオン注入など

の方法でゲート電極と自己整合的に形成されており、ソース・ドレイン領域 8 2、8 2 の間のシリコン基板 8 1 の表面部分がチャンネル領域となる。ゲートパターンの加工によって形成される電極層 8 8 からトンネル酸化膜 2 4 にかけての側壁部には、全面の C V D 法などによって形成されたシリコン酸化膜を R I E（反応性イオンエッチング）でエッチングすることで形成されたサイドウォール 8 9、8 9 が形成される。図示を省略しているが、ソース・ドレイン領域 8 2、8 2 には開口部が形成されて電極の取出しが行われる。

このようなメモリセル構造を有する本実施形態の不揮発性半導体記憶装置においては、キャリア捕獲効率の異なる 2 種類以上の材料からなる浮遊ゲート電極として、非化学量論組成のシリコン酸化膜 8 4 とシリコン窒化膜 8 6 が用いられており、第 1 5 図に示すような書き込み電圧に対する閾値電圧のシフト量の特性と、第 1 6 図に示すような書き込み時間に対する閾値電圧のシフト量の特性とが得られる。ここで第 1 5 図は書き込み時間 1 m s での書き込み電圧に対する閾値電圧のシフト量を示した図であり、第 1 6 図は書き込み電圧 2 0 V での書き込み時間に対する閾値電圧のシフト量を示した図である。書き込み電圧に対する閾値電圧のシフト量の特性においては、第 1 5 図に示すように、書き込み電圧がおよそ 1 5 V から 2 0 V 近辺となるところで閾値電圧のシフト量が急激に大きくなり、シフト量約 2 V まで大きくなるが、そこから書き込み電圧がおよそ 2 2 V となるところまでは、閾値電圧のシフト量が逆に減少する領域が現れる。そして書き込み電圧が約 2 2 V を越えた領域では、また書き込み電圧の上昇にしたがって閾値電圧のシフト量が増加する。本実施形態の不揮発性半導体記憶装置では書き込み電圧の変化に対して閾値電圧が逆に減少する領域が存在する。

次に書き込み時間に対する閾値電圧のシフト量の特性においては、第 16 図に示すように、書き込み時間がおよそ 0.01 秒を越えるあたりまでは、書き込み時間の増加に伴って略直線状に閾値電圧のシフト量が増大する。ところが書き込み時間がおよそ 0.01 秒を越えておよそ 1 5 秒の領域に達するまで、書き込み時間に対する閾値電圧のシフト量は増大することなくむしろ減少する。そして、書き込み時間がおよそ 1 秒を越える領域では再び閾値電圧のシフト量が増大する。このように書き込み時間に対する挙動としては、閾値電圧があまり変化しない領域の 1 つの形態として閾値電圧がマイナスの傾きをもって変化するすなわち閾値 10 電圧が減少する領域が存在する。

第 17 図は本実施形態の不揮発性半導体記憶装置の挙動を仮説的に説明するためのポテンシャル図である。第 17 図 A から C はその順に書き込み電圧を上げて行った場合のエネルギーポテンシャルをそれぞれ示す。第 17 図 A に示すように、書き込み電圧が低い状態では、トンネル酸化膜 83 を電子がトンネリングし、第 1 浮遊ゲート電極であるシリコン微粒子の埋めこまれたシリコン酸化膜 84 (SiO_x) の浅いトラップ準位に電子が捕獲される。この時、本実施形態では、分離膜であるシリコン酸化膜 85 (SiO_2) が介在するため、シリコン酸化膜 84 の浅いトラップ準位から次の第 2 浮遊ゲート電極であるシリコン窒化膜 86 20 (SiN_x) への電子の移動は起こり難くなっている。次に、第 17 図 B に示すように、更に書き込み電圧を上昇させると、最初のトンネリングで書き込まれた電子は、分離膜であるシリコン酸化膜 85 をトンネリングしながら第 2 浮遊ゲート電極であるシリコン窒化膜 86 へ移動し、閾値電圧を減少させるように作用する。続いて、第 17 図 C に示すよう 25 に、さらに書き込み電圧を高くすると、Fowler - Nordheim 電流により

指数関数的にチャンネルからゲート方向に流れる電子が増大し、閾値電圧もそれに比例して増大する。

5 以上のように、本実施形態の不揮発性半導体記憶装置においては、書き込み電圧を上げていった場合では閾値電圧が逆に減少する領域が存在する。この閾値電圧が減少する領域は書き込み時のマージンとして機能させることもでき、その結果、精密な書き込み電圧の制御をしなくとも確実な書き込みが可能となり、その結果ペリファイ回路の構成も簡単になると共に、実質的な高速書き込みが実現される。

10 上述のように、本発明の不揮発性半導体記憶装置によれば、キャリア捕獲効率の異なる2種類以上の材料による閾値電圧がほとんど変化しない領域を書き込み時の動作マージンとして用いることができる。このため精密な書き込み電圧の制御をしなくとも確実な書き込みが可能となり、その結果ペリファイ回路の構成も簡単になると共に、実質的な高速書き込みが実現される。

15 また、互いにキャリア捕獲効率の異なる材料層を構成する層を積層構造とすることで、各材料層の間のサイズのばらつきをなくすことができ、メモリセルの動作をさらに安定させることができる。

請 求 の 範 囲

1. 基板上に設けられたキャリア捕獲効率の異なる2種類以上の材料から構成された浮遊ゲート電極にキャリアを蓄積させてデータを記憶させることを特徴とする不揮発性半導体記憶装置。
- 5 2. 前記浮遊ゲート電極は絶縁基板上に薄膜半導体層が形成された構造の上に絶縁膜を介して形成されたもの又は半導体基板の上に絶縁膜を介して形成されたものであることを特徴とする請求の範囲第1項記載の不揮発性半導体記憶装置。
3. 前記浮遊ゲート電極は、ポリシリコン膜、アモルファスシリコン膜、
10 シリコン窒化膜、シリコン酸化膜、シリコンゲルマニウム膜、これらの膜にシリコン、ゲルマニウム若しくはシリコンゲルマニウムの微粒子が含有された膜、又はこれらの非化学量論的組成の膜の2つ以上を組み合わせ構成されたものであることを特徴とする請求の範囲第1項記載の不揮発性半導体記憶装置。
- 15 4. 前記浮遊ゲート電極はキャリア捕獲効率の比較的低いシリコン酸化膜とキャリア捕獲効率の比較的高いシリコン窒化膜の組み合わせからなることを特徴とする請求の範囲第1項記載の不揮発性半導体記憶装置。
5. 前記浮遊ゲート電極は、キャリア捕獲効率の比較的低い膜をキャリア発生領域に近い位置に配設し、キャリア捕獲効率の比較的高い膜をキ
20 ャリア発生領域に遠い位置に配設してなることを特徴とする請求の範囲第1項記載の不揮発性半導体記憶装置。
6. 前記浮遊ゲート電極は、キャリア捕獲効率の異なる2種類以上の材料膜を積層した構造を有してなることを特徴とする請求の範囲第1項記載の不揮発性半導体記憶装置。
- 25 7. 前記浮遊ゲート電極は2値を超える状態を記憶できることを特徴とする請求の範囲第1項記載の不揮発性半導体記憶装置。

8. 浮遊ゲート電極にキャリアを蓄積させることで閾値電圧を変化させてデータを記憶させる不揮発性半導体記憶装置において、書き込み電圧及び書き込み時間の少なくともどちらか一方に対する閾値電圧の変化が変曲点を含んだ非線形であることを特徴とする不揮発性半導体記憶装置。

5 9. 前記浮遊ゲート電極は半導体基板又は絶縁基板上に薄膜半導体層が形成された構造の上に絶縁膜を介して形成されたものであることを特徴とする請求の範囲第8項記載の不揮発性半導体記憶装置。

10 10. 前記浮遊ゲート電極はキャリア捕獲効率の異なる2種類以上の材料から構成されることを特徴とする請求の範囲第8項記載の不揮発性半導体記憶装置。

11. 前記浮遊ゲート電極は、ポリシリコン膜、アモルファスシリコン膜、シリコン窒化膜、シリコン酸化膜、シリコンゲルマニウム膜、これらの膜にシリコン、ゲルマニウムあるいはシリコンゲルマニウムの微粒子が含有された膜、及びこれらの非化学量論的組成の膜の2つ以上を組み合わせて構成されたものであることを特徴とする請求の範囲第10項記載の不揮発性半導体記憶装置。

12. 前記浮遊ゲート電極はキャリア捕獲効率の比較的低いシリコン酸化膜とキャリア捕獲効率の比較的高いシリコン窒化膜の組み合わせからなることを特徴とする請求の範囲第10項記載の不揮発性半導体記憶装置。

13. 前記浮遊ゲート電極は、キャリア捕獲効率の比較的低い膜をキャリア発生領域に近い位置に配設し、キャリア捕獲効率の比較的高い膜をキャリア発生領域に遠い位置に配設してなることを特徴とする請求の範囲第10項記載の不揮発性半導体記憶装置。

25 14. 前記浮遊ゲート電極は2値を超える状態を記憶できることを特徴とする請求の範囲第10項記載の不揮発性半導体記憶装置。

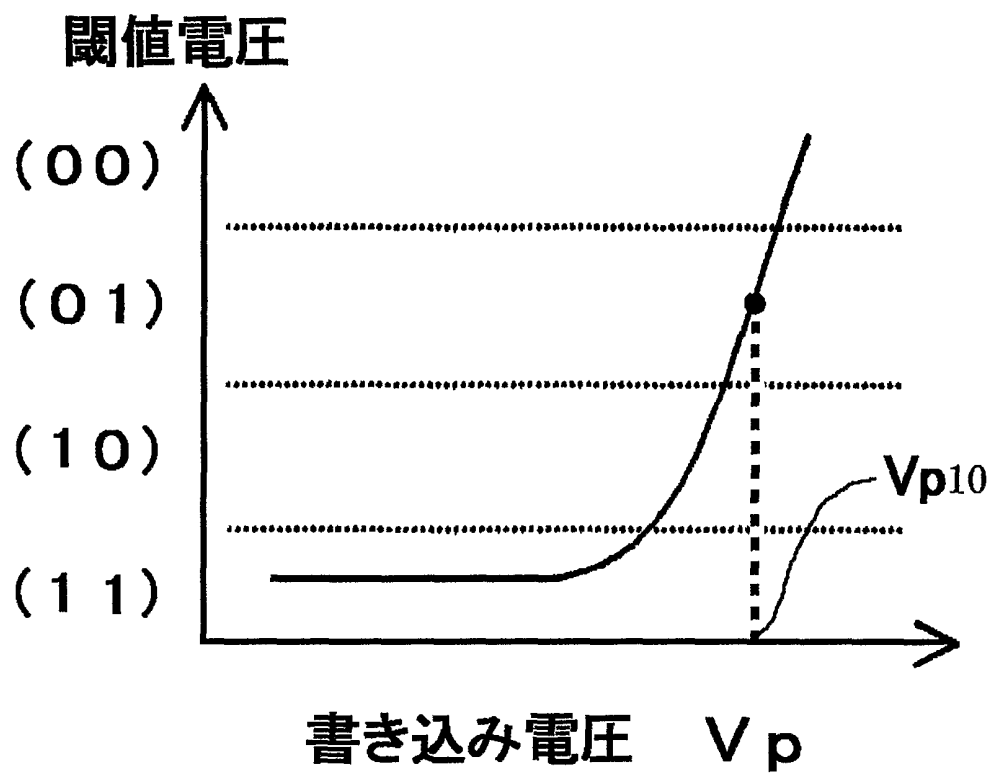
1 5 . 半導体基板又は絶縁基板上の薄膜半導体層上に、トンネル絶縁膜、
第1浮遊ゲート電極材料層、該第1浮遊ゲート電極材料層とはキャリア
捕獲効率の異なる第2浮遊ゲート電極材料層、層間絶縁層、および制御
ゲート電極層が順次積層され、前記トンネル絶縁膜から制御ゲート電極
5 層までを所要のゲート形状に加工した後、前記半導体基板又は前記薄膜
半導体層に前記ゲート形状を反映したソース・ドレイン領域を形成する
ことを特徴とする不揮発性半導体記憶装置の製造方法。

1 6 . 前記第1及び第2浮遊ゲート電極材料層の作成工程の少なくとも
一方は全面に非化学量論的な組成のシリコン絶縁膜を形成し、熱処理で
10 該シリコン絶縁膜中にシリコンまたはゲルマニウムの微粒子を析出させ
る工程を有することを特徴とする請求の範囲第15項記載の不揮発性半
導体記憶装置の製造方法。

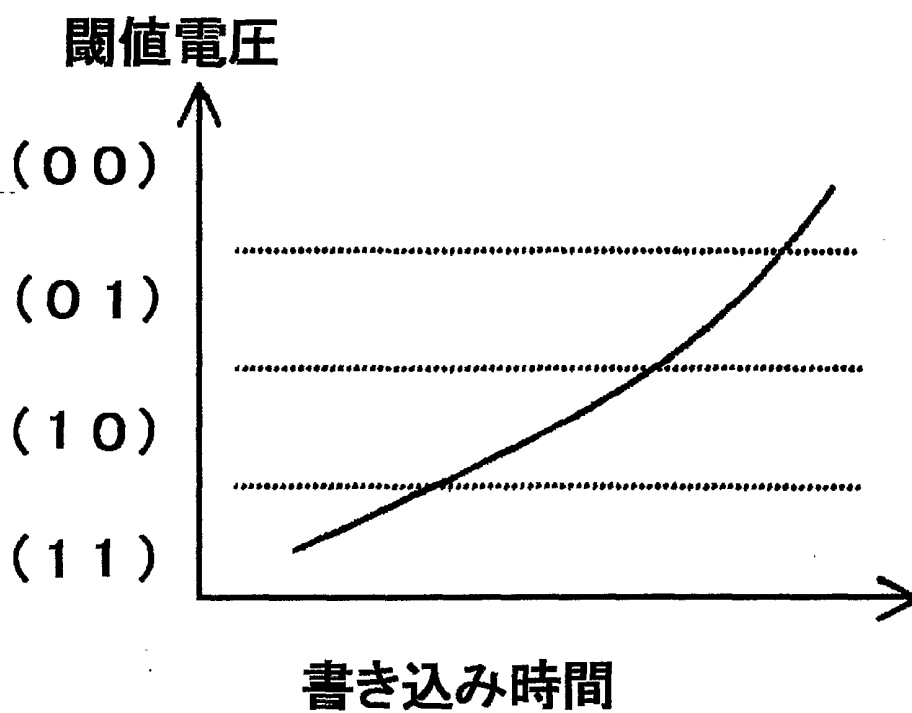
1 7 . 基板上に設けられたキャリア捕獲効率の異なる2種類以上の材料
から構成された浮遊ゲート電極に該キャリア捕獲効率の異なる各材料層
15 ごとに分離する分離膜を介在させ、前記浮遊ゲート電極にキャリアを蓄
積させてデータを記憶させることを特徴とする不揮発性半導体記憶装置。

1 8 . 前記浮遊ゲート電極はキャリア捕獲効率の比較的低い非化学量論
組成のシリコン酸化膜とキャリア捕獲効率の比較的高いシリコン窒化膜
の組み合わせからなり、前記分離膜はシリコン酸化膜からなることを特
20 徴とする請求の範囲第17項記載の不揮発性半導体記憶装置。

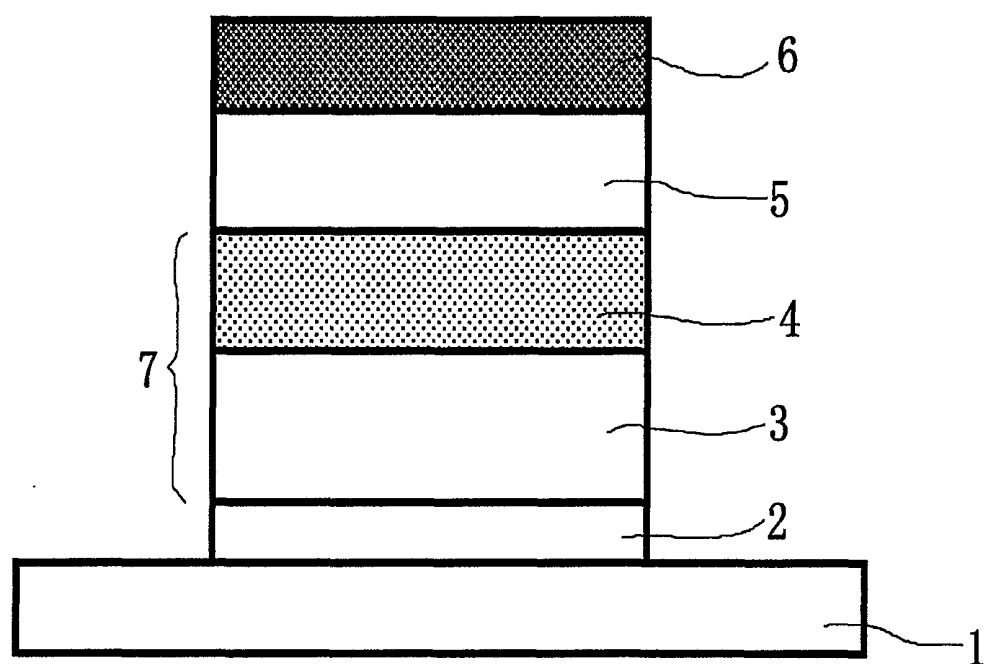
第 1 図



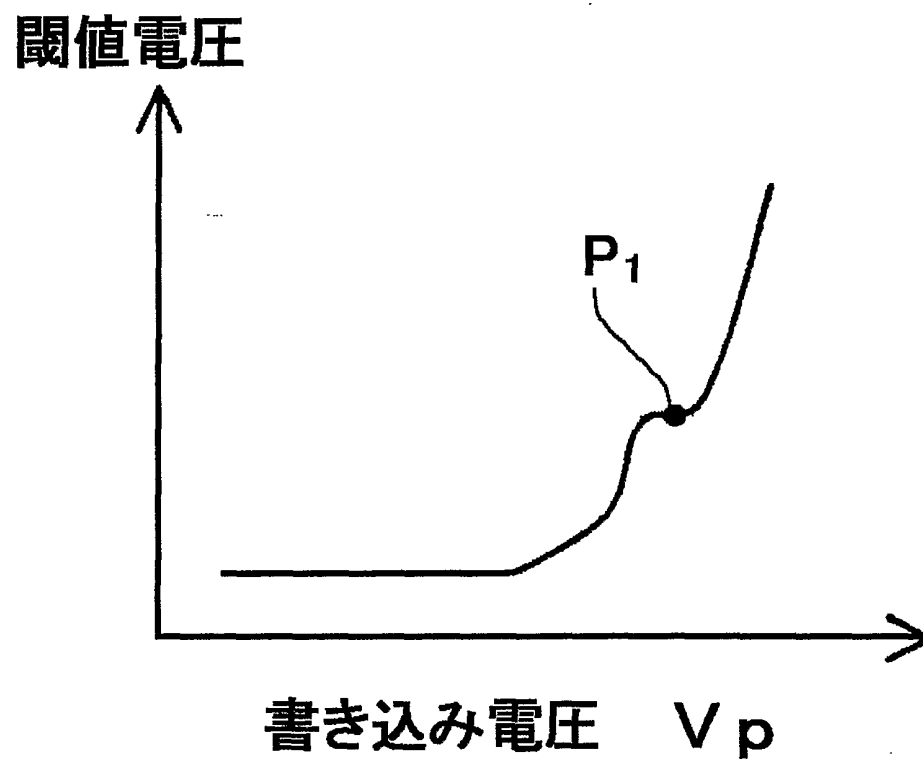
第 2 図



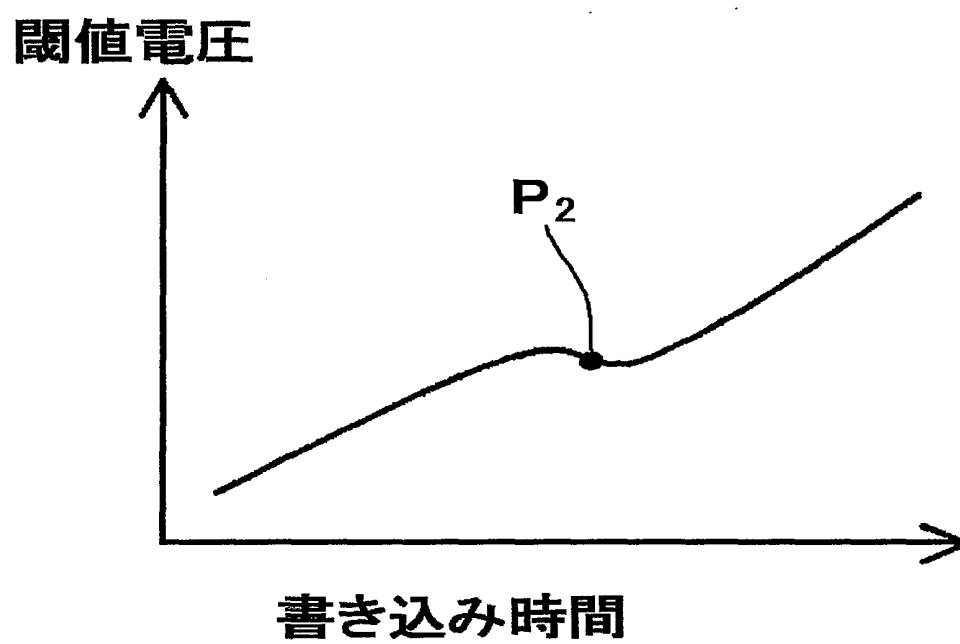
第 3 図



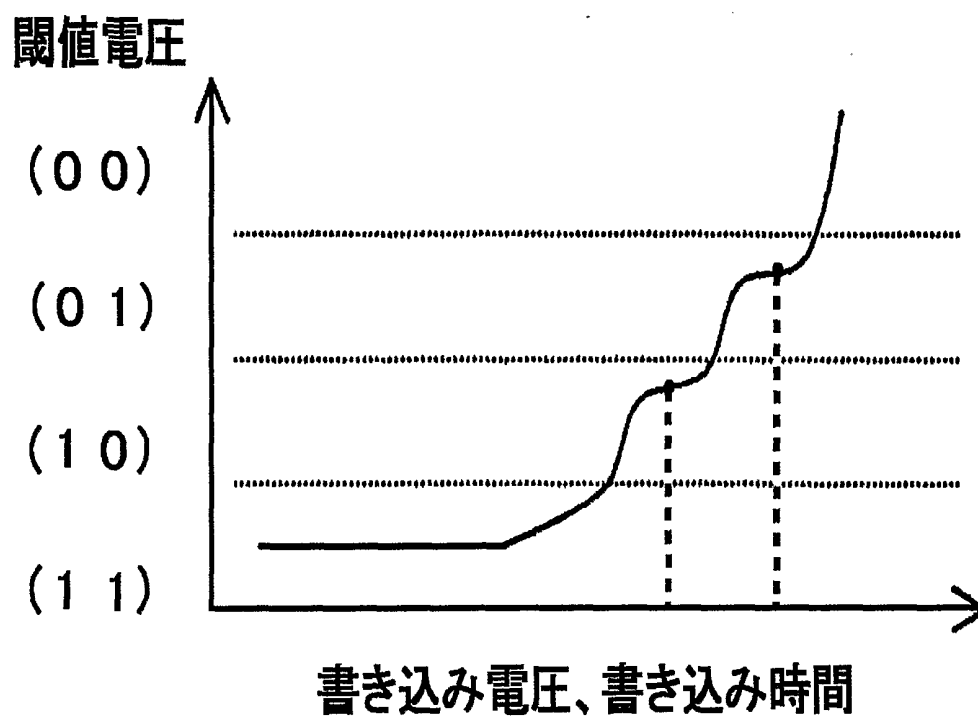
第 4 図



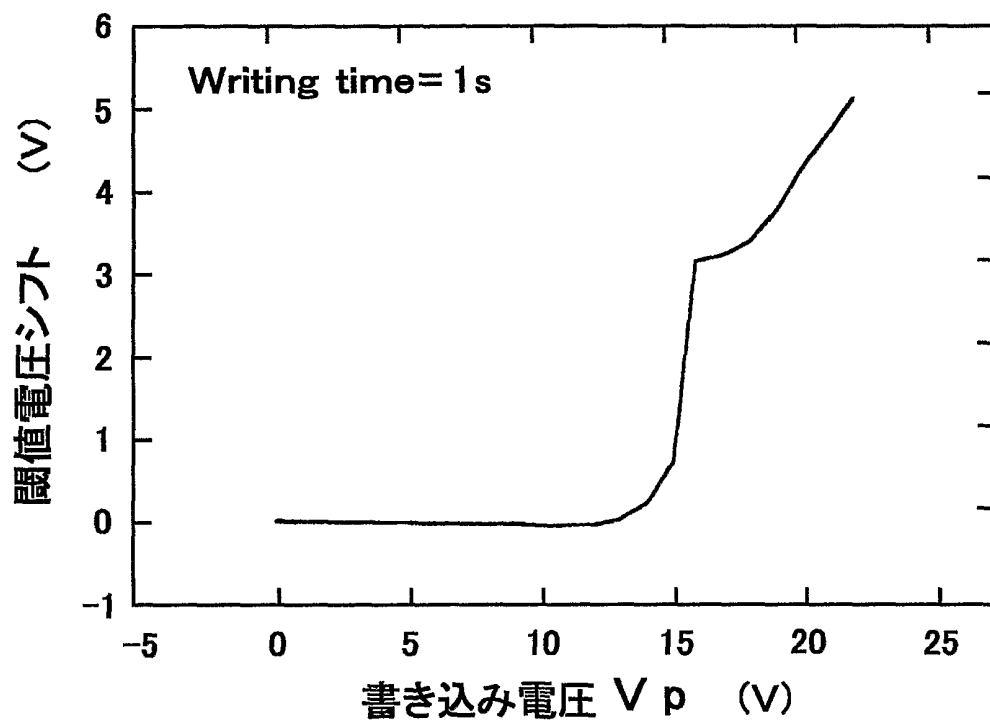
第5図



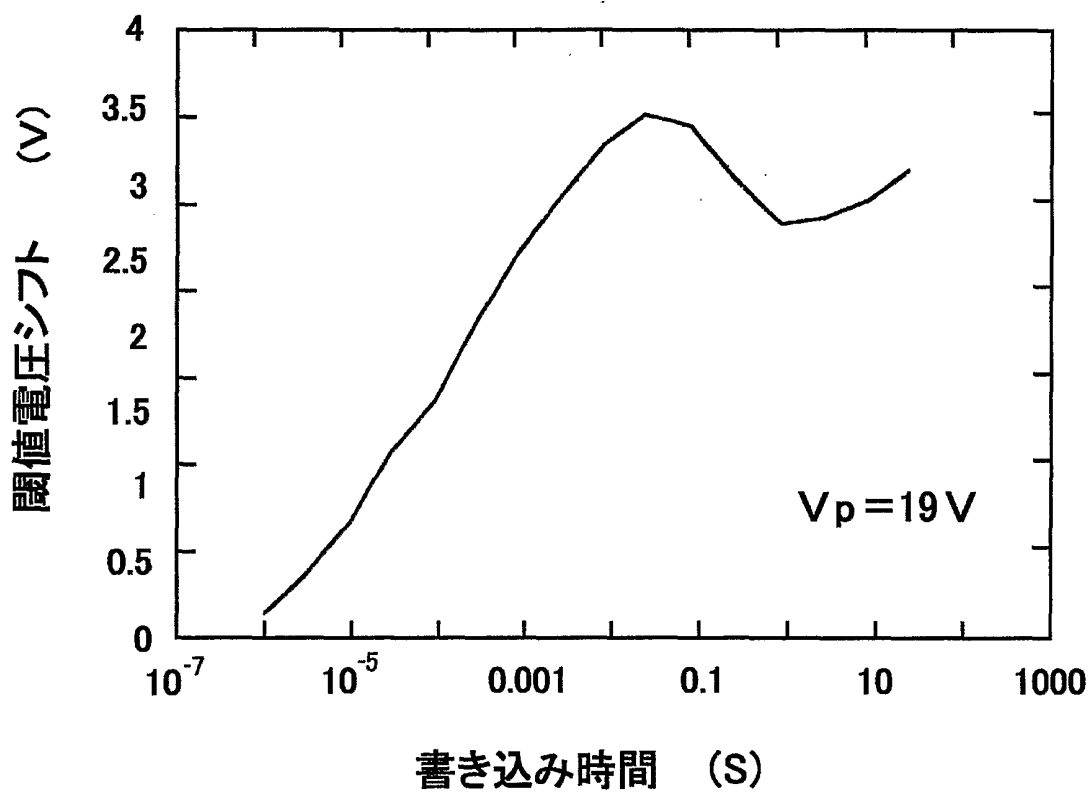
第 6 図



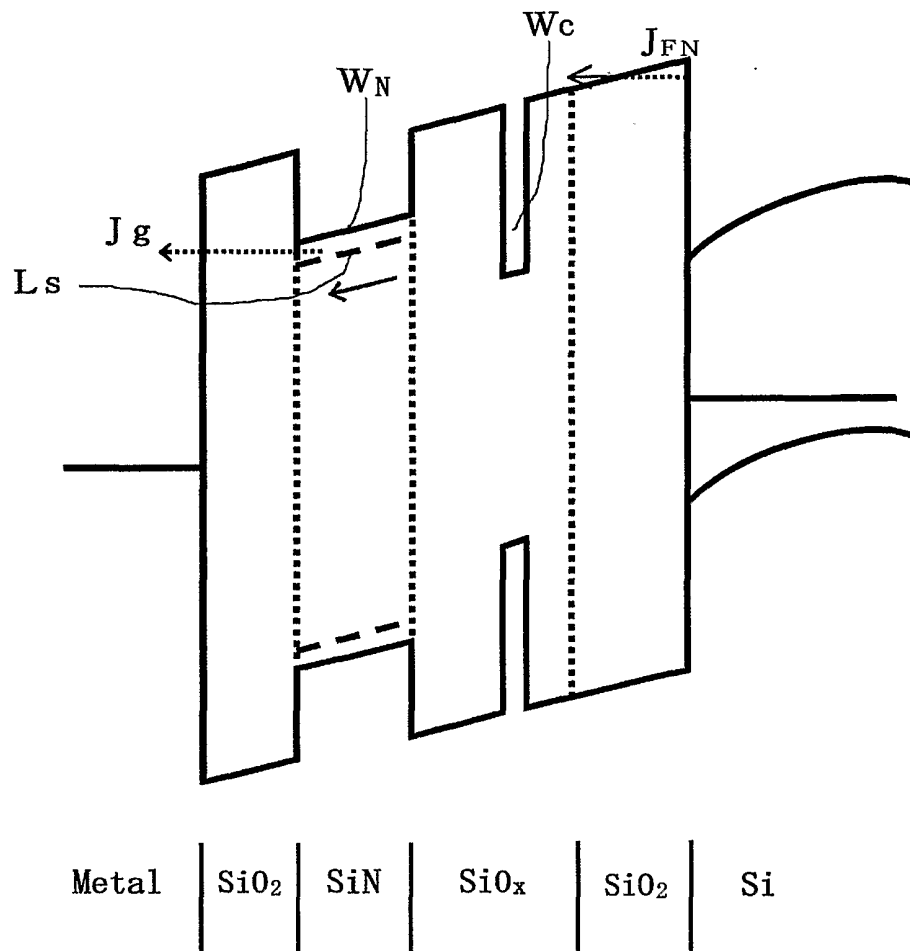
第 7 図



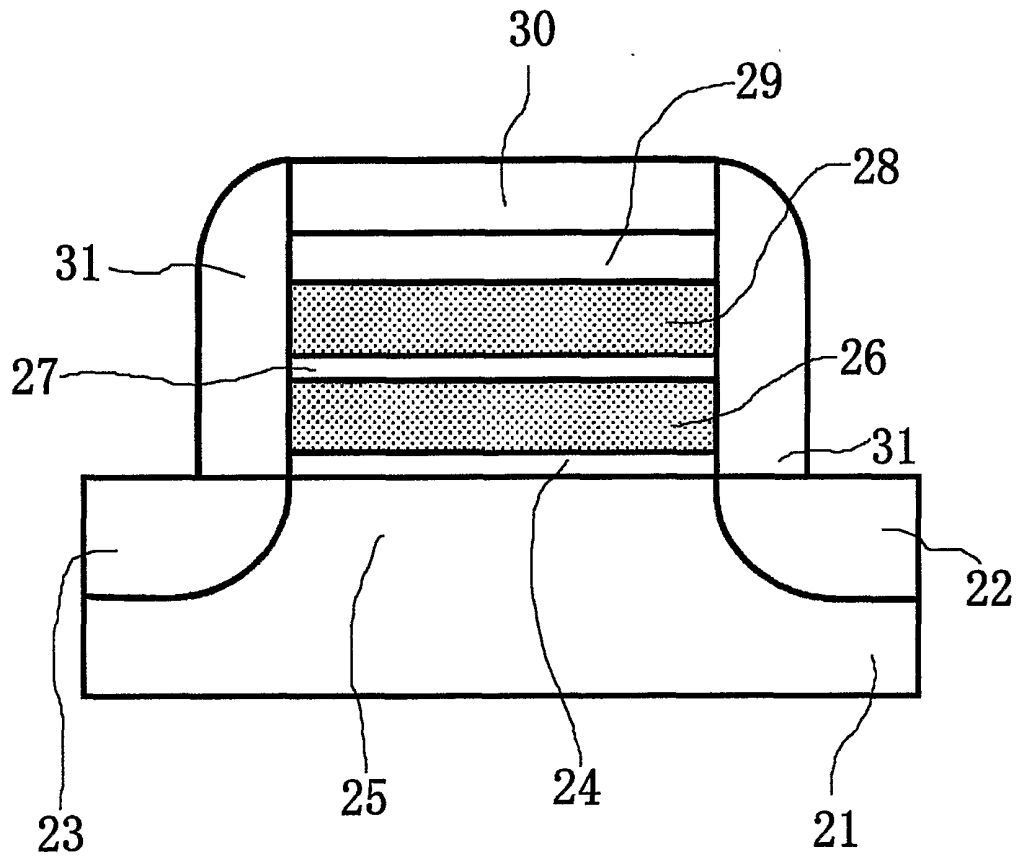
第 8 図



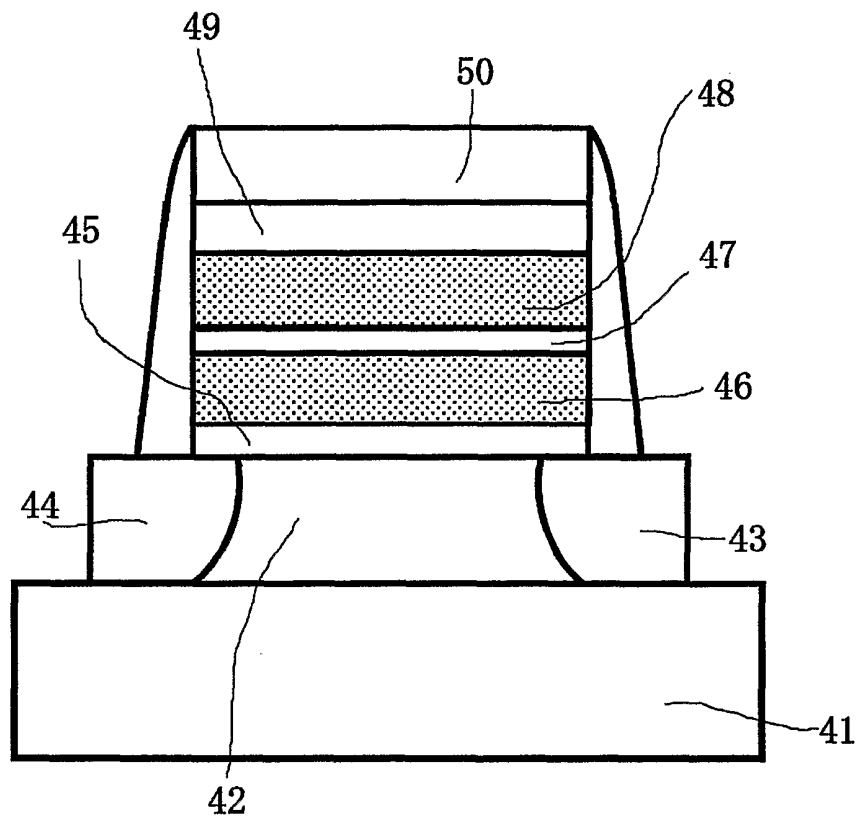
第 9 図



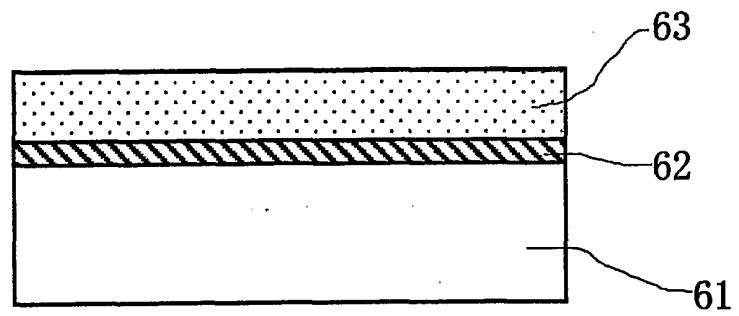
第 1 0 図



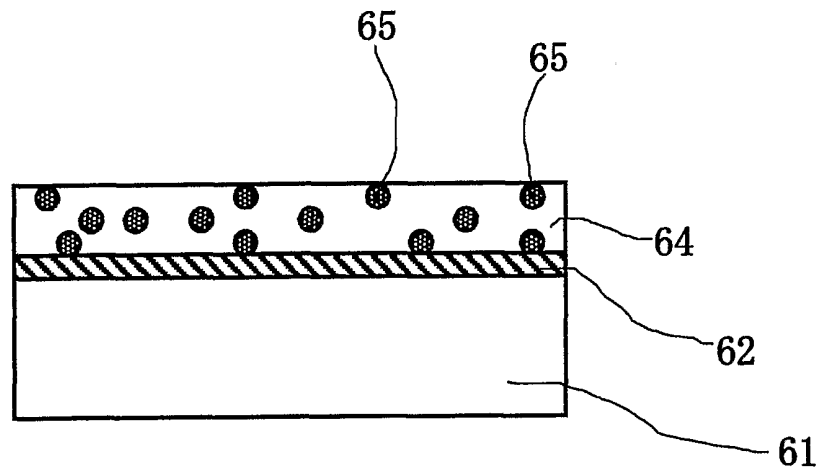
第 1 1 図



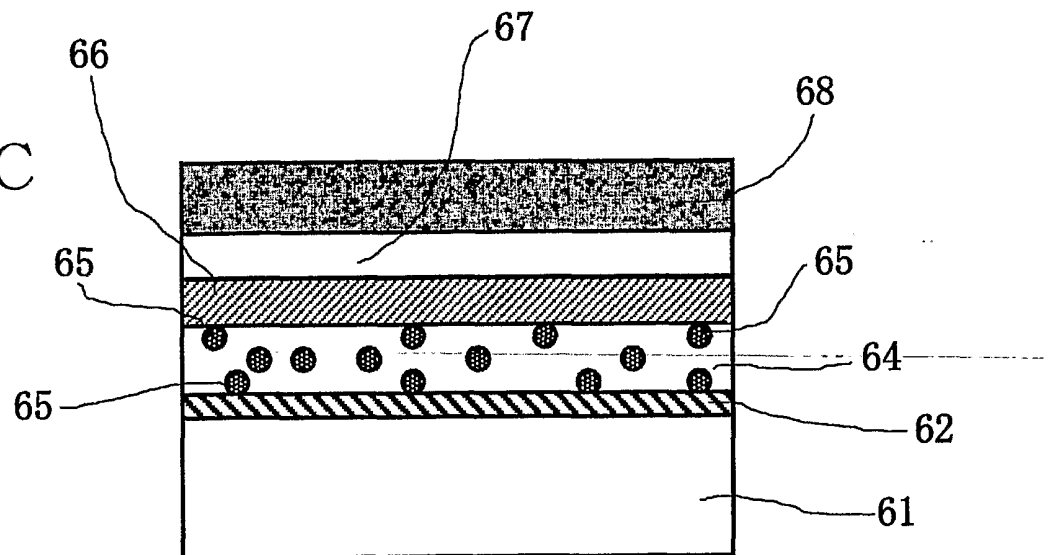
第 1 2 図 A



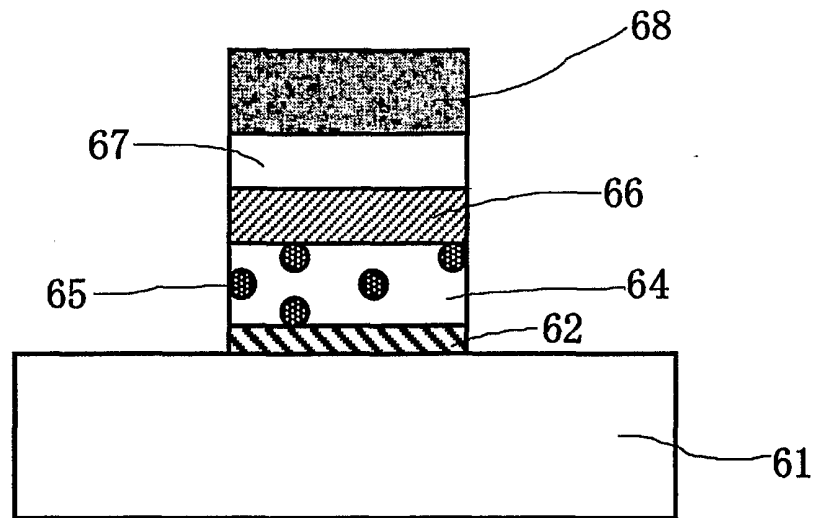
第 1 2 図 B



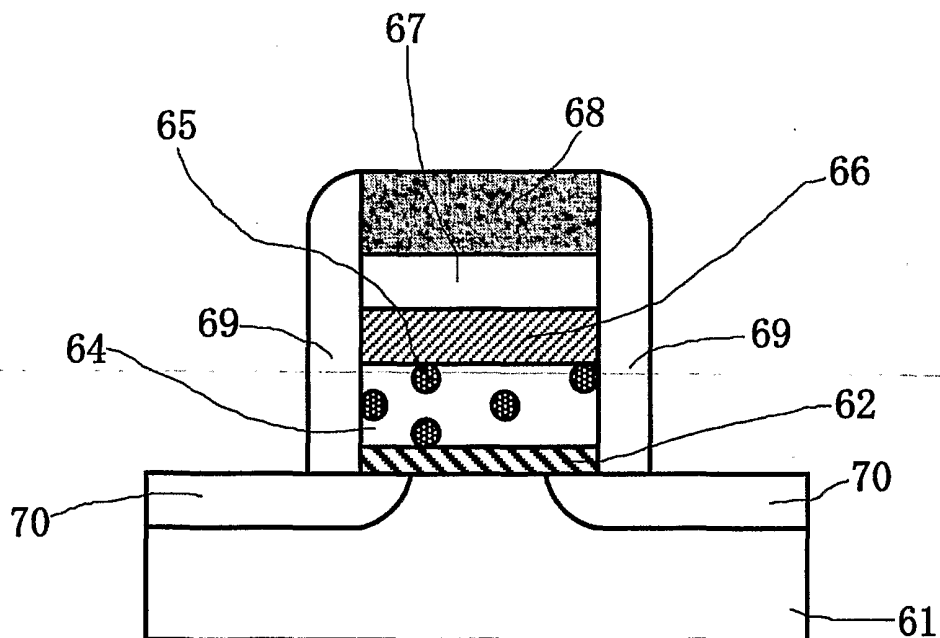
第 1 2 図 C



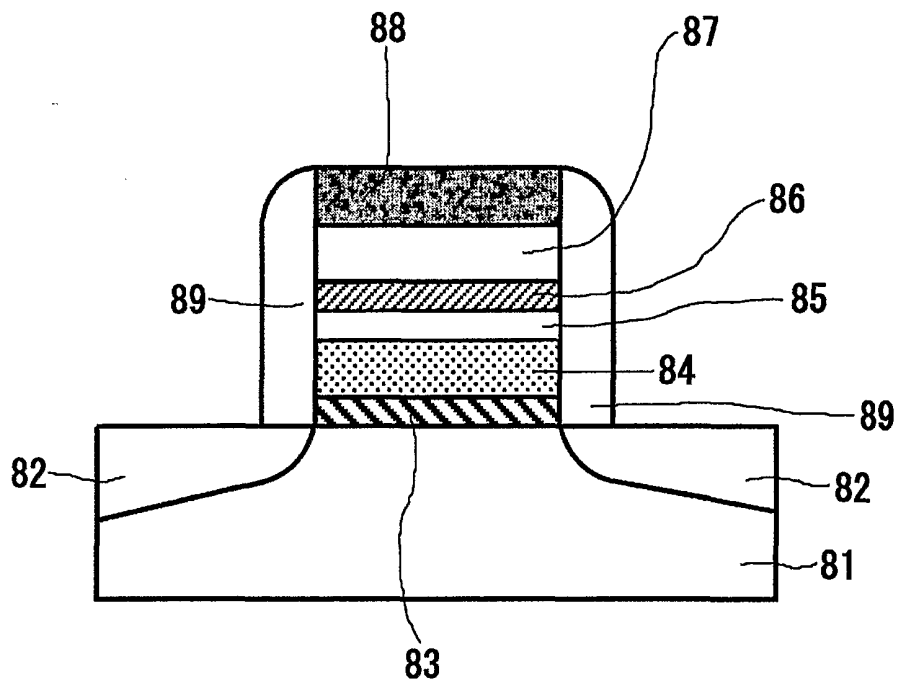
第 1 3 図 A



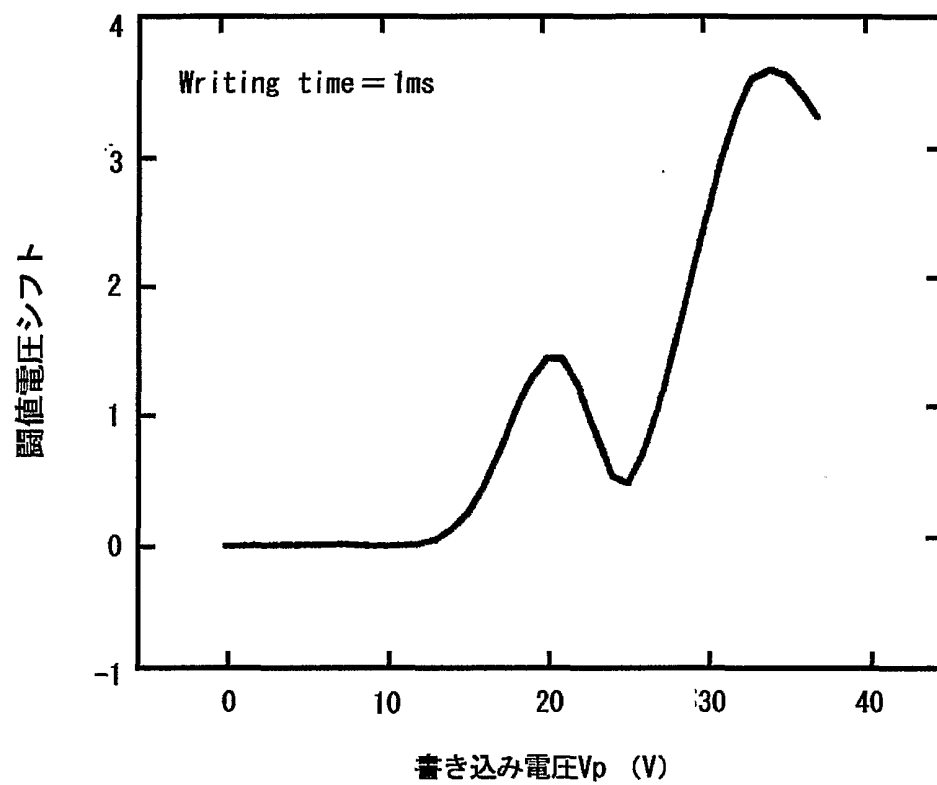
第 1 3 図 B



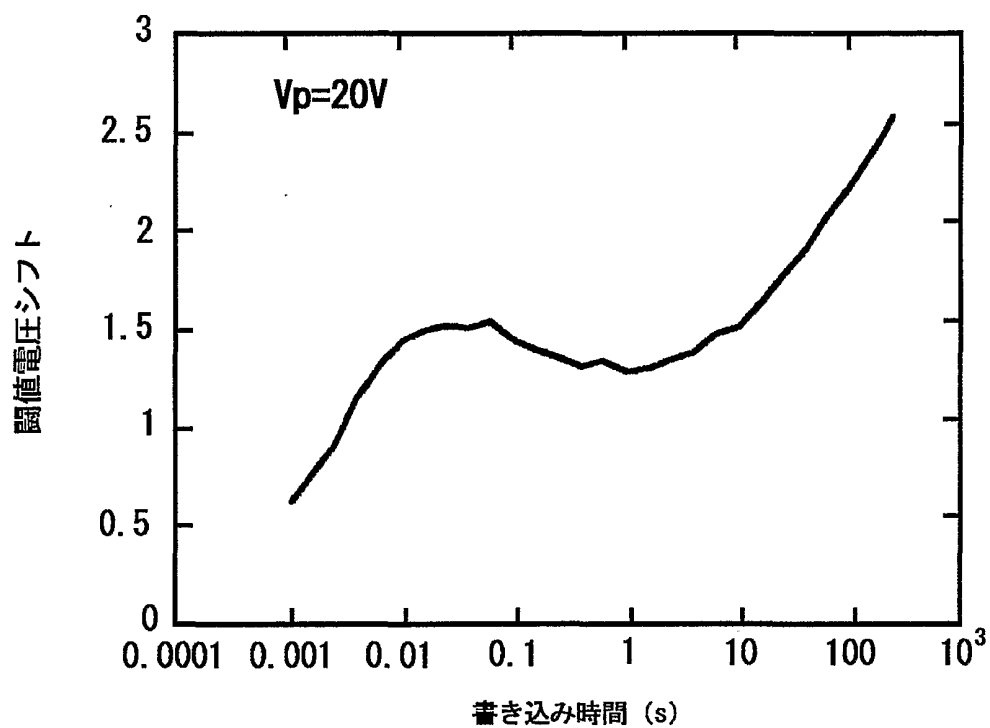
第 1 4 図



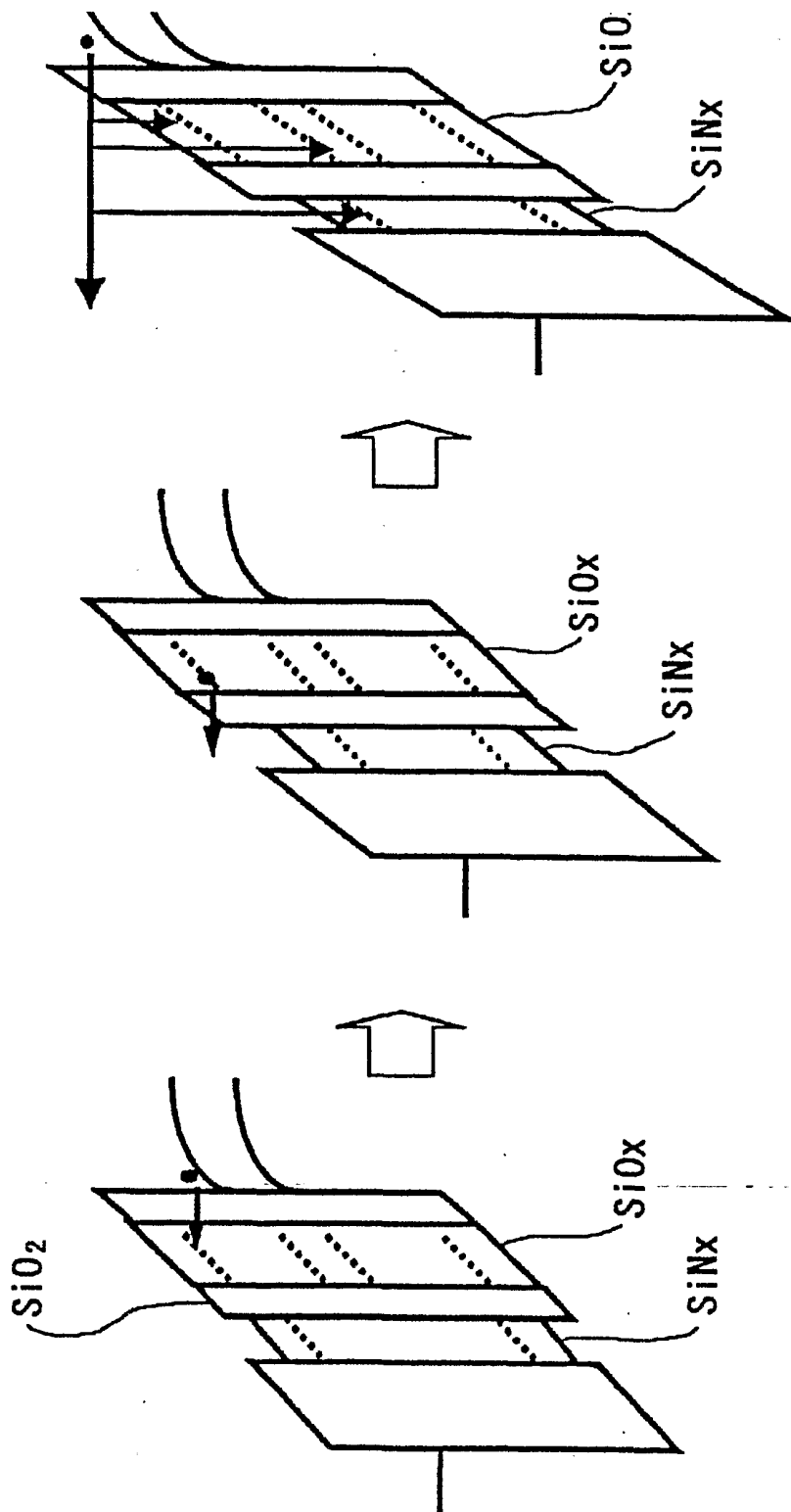
第 1 5 図



第 1 6 図



第17図A 第17図B 第17図C



符号の説明

1	基板
2, 24, 62, 83	トンネル酸化膜
3, 5, 27, 64, 85	シリコン酸化膜
4, 28, 48, 66, 86	シリコン窒化膜
6	制御ゲート電極
7	浮遊ゲート電極
21	半導体基板
22	ソース領域
23	ドレイン領域
26, 46	ポリシリコン膜
30, 50	制御電極
41	絶縁基板
42	薄膜半導体層
61, 81	シリコン基板
65	シリコン微粒子
84	非化学量論組成の シリコン酸化膜

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/08493

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L29/788, 29/792, 21/8247

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L29/788, 29/792, 21/8247

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Toroku Jitsuyo Shinan Koho 1994-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JOIS, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 51-18782 B (TDK Corporation), 12 June, 1976 (12.06.76), Full text; Fig. 2(H)	1-3, 5-8, 8-11, 13, 14, 17
Y	Full text; Fig. 2(H)	15-16
A	Full text; Fig. 2(H) (Family: none)	4, 12, 18
X	JP 55-32235 B (TDK Corporation), 23 August, 1980 (23.08.80), Full text; Fig. 2(H)	1-3, 5-8, 8-11, 13, 14, 17
Y	Full text; Fig. 2(H)	15-16
A	Full text; Fig. 2(H) (Family: none)	4, 12, 18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
25 December, 2001 (25.12.01)

Date of mailing of the international search report
15 January, 2002 (15.01.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/08493

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-289021 A (Hitachi, Ltd.), 19 October, 1999 (19.10.99), Full text	1-4, 6-12, 14, 15, 17, 18
Y	Full text	16
A	Full text (Family: none)	5, 13
Y	Denshi Jouhou Tsuushin Gakkai Gijutsu Kenkyuu Hokoku, Vol.100, No.3, (SDM2000 1-9), pages 51 to 56, 13 April, 2000 (13.04.00); Full text	1-18
A	JP 10-135357 A (Sony Corporation), 22 May, 1998 (22.05.98), Full text (Family: none)	3, 11
A	International Electron Devices Meeting, (1998), IEDM Technical Digest, pages 115 to 118	3, 11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁷ H01L29/788, 29/792, 21/8247

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁷ H01L29/788, 29/792, 21/8247

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2001年
 日本国実用新案登録公報 1996-2001年
 日本国登録実用新案公報 1994-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JOIS、INSPEC

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 51-18782 B (東京電気化学工業株式会社) 12. 6月. 1976 (12. 06. 76) 全文及び第2図 (H)	1-3, 5- 8, 8-11 13, 14, 17
Y	全文及び第2図 (H)	15-16
A	全文及び第2図 (H) (ファミリー無し)	4, 12, 18

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

25. 12. 01

国際調査報告の発送日

15.01.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井原 純



4M 9354

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 55-32235 B (東京電気化学工業株式会社) 23. 8月. 1980 (23. 08. 80) 全文及び第2図 (H)	1-3, 5- 8, 8-11 13, 14, 17
Y	全文及び第2図 (H)	15-16
A	全文及び第2図 (H) (ファミリー無し)	4, 12, 18
X	J P 11-289021 A (株式会社日立製作所) 19. 10 月. 1999 (19. 10. 99) 全文	1-4, 6-12, 14, 15, 17, 18
Y	全文	16
A	全文 (ファミリー無し)	5, 13
Y	電子情報通信学会技術研究報告 Vol.100 No.3(SDM2000 1-9) p.51-56 13. 4月. 2000(13. 04. 00) 全文	1-18
A	J P 10-135357 A (ソニー株式会社) 22. 5月. 1 998 (22. 05. 98) 全文 (ファミリー無し)	3, 11
A	International Electron Devices Meeting 1998. IEDM Technical Digest. p.115-118	3, 11