



(51)5 G 01 R 31/28

ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГНТ СССР

ВСЕОБЩАЯ  
ПАТЕНТНО-ТЕХНИЧЕСКАЯ  
БИБЛИОТЕКА

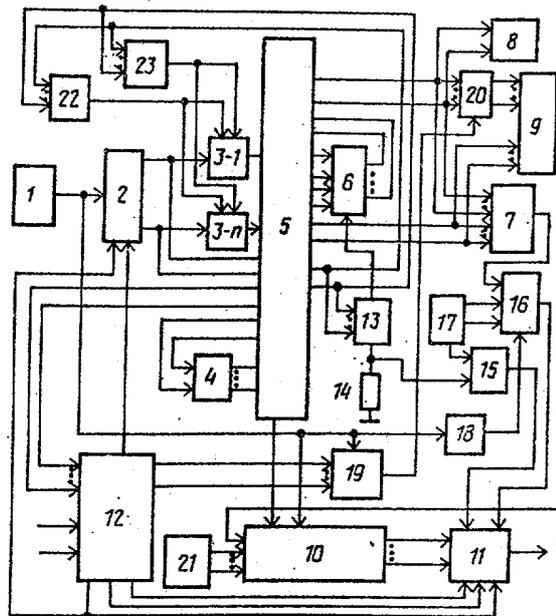
# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4245693/24-21  
 (22) 18.05.87  
 (46) 07.05.90. Бюд. № 17  
 (72) Й.И.Поутанен, В.А.Засядько  
 и В.И.Давыдов  
 (53) 621.317.799 (088.8)  
 (56) Авторское свидетельство СССР  
 № 1140065, кл. G 01 R 31/28, 1982.  
 Авторское свидетельство СССР  
 № 1302220, кл. G 01 R 31/28, 1985.

(54) УСТРОЙСТВО ДЛЯ ФУНКЦИОНАЛЬНО-ПАРАМЕТРИЧЕСКОГО КОНТРОЛЯ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

(57) Изобретение относится к контрольно-измерительной технике. Цель - повышение достоверности контроля устройства за счет уменьшения погрешнос-

ти при контроле задержки распространения сигнала. Цель достигается введением блока 21 задания эталонной сигнатуры, регистра 20 и формирователя 19 импульсов, программируемых источников 22 и 23 питания. Устройство содержит также генератор 1 тактовых импульсов, счетчик 2, формирователи 3-1...3-n логических уровней, дешифратор 4, коммутаторы 5 и 7, блок 8 нагрузки, мультиплексор 9, сигнатурный анализатор 10, анализатор 11 неисправности, программируемый источник 13 питания, датчик 14 тока потребления, компараторы 15 и 16, блок 17 задания граничных уровней, формирователь 18 импульсов и блок 12 управления. 2 з.п. ф-лы, 2 ил.



Фиг.1

Изобретение относится к контрольно-измерительной технике и может быть использовано для контроля логических элементов, например, микросхем (интегральных схем) и плат с микросхемами.

Цель изобретения - повышение достоверности контроля за счет уменьшения погрешности при контроле задержки распространения сигнала.

На фиг. 1 приведена структурная схема устройства; на фиг. 2 - структурная схема одного из возможных вариантов блока управления и связи этого блока с другими блоками устройства.

Устройство содержит генератор 1 тактовых импульсов, счетчик 2, формирователи  $3-1, \dots, 3-n$  логических уровней, дешифратор 4, первый коммутатор 5, контролируемый логический элемент 6, второй коммутатор 7, блок 8 нагрузок, мультиплексор 9, сигнатурный анализатор 10, анализатор 11 неисправности, блок 12 управления, первый программируемый источник 13 питания, датчик 14 тока потребления, первый компаратор 15, второй (двухканальный стробируемый) компаратор 16, блок 17 задания граничных уровней, первый 18 и второй 19 формирователи импульсов, регистр 20, блок 21 задания эталонной сигнатуры, а также второй 22 и третий 23 программируемые источники питания.

Счетный вход счетчика 2, синхровход сигнатурного анализатора 10 и установочные входы первого 18 и второго 19 формирователей импульсов подключены к выходу генератора 1 тактовых импульсов. Выходы счетчика 2 соединены с входами формирователей 3 логических уровней и первыми входами первого коммутатора 5. Входы и выходы дешифратора 4 соединены соответственно с первыми выходами и третьими входами первого коммутатора 5, соединенного своими входами-выходами с клеммами для подключения выводов контролируемого логического элемента 6. Информационные и адресные входы второго коммутатора 7 соединены соответственно с вторыми и третьими выходами первого коммутатора 5. Входы блока 8 нагрузок и информационные входы регистра 20 соединены с четвертыми выходами коммутатора 5. Адресные входы мультиплексора 9 соединены с третьими выходами коммутатора 5, а информацион-

ные его входы с вторыми выходами коммутатора 5, а выход - с первым информационным входом сигнатурного анализатора 10, вторые информационные входы которого соединены с выходами блока 21 задания эталонной сигнатуры, выходы с первыми информационными входами анализатора 11 неисправности, а старт - стопный вход - с пятым выходом коммутатора 5, соединенного шестыми выходами с входами управления первого 13, второго 22 и третьего 23 программируемых источников питания. Блок 12 управления соединен первым выходом в установочными входами анализатора 11 неисправности и счетчика 2, вторым и третьим выходами соответственно - с блокирующим и стробирующим входами анализатора 11 неисправности, четвертыми выходами - с информационными входами второго формирователя 19 импульсов, пятым выходом - с блокирующим входом счетчика 2, первыми входами - с седьмыми выходами первого коммутатора 5. Первый программируемый источник 13 питания соединен первым выходом с клеммой для подключения вывода питания контролируемого логического элемента 6, вторым выходом через датчик 14 тока потребления - с общей шиной устройства и непосредственно - с первым входом первого компаратора 15, выход которого соединен с вторым информационным входом анализатора 11 неисправности, а второй вход - с вторым выходом блока 17 задания граничных уровней. Первые выходы блока 17 задания граничных уровней соединены с вторыми входами второго компаратора 16, первые входы которого соединены с выходами второго коммутатора 7, выход - с третьим информационным входом анализатора 11 неисправности, а стробирующий вход - с выходом первого формирователя 18 импульсов. Выходы регистра 20 соединены с информационными входами мультиплексора 9, а синхровход - с выходом второго формирователя 19 импульсов. Выходы второго 22 и третьего 23 программируемых источников питания соединены соответственно с входами "Уровень нуля" и "Уровень единицы" формирователей  $3-1, \dots, 3-n$  логических уровней.

Блок 12 управления содержит формирователь 24 сигнала сброса, формирователь 25 сигнала управления, програм-

матор 26 задержки, элемент ИЛИ 27 и индикатор 28. Первый входы блока 12 соединены с входами индикатора 28. Первая группа первых входов блока 12 соединена, кроме того, с входами формирователя 25 сигналов управления, а вторая группа - с входами программатора 26 задержки, соединенного выходами с четвертыми выходами блока 12. Второй вход блока 12 управления соединен с первым входом элемента ИЛИ 27, выход которого соединен с пятым выходом блока 12, а второй вход - с вторым выходом блока 12 и первым выходом формирователя 25 сигналов управления, вторые выходы которого соединены с третьими выходами блока 12. Первый выход блока 12 управления соединен с выходом формирователя 24 сигнала сброса, вход которого соединен с третьим входом блока.

При подготовке к работе изготавливаются необходимые для контроля заданных типов логических элементов сменные блоки 8 нагрузок и коммутаторы 5.

При помощи перемычек на сменном коммутаторе 5 задаются необходимые для контролируемого типа логических элементов соединения блоков устройства. Выходы контролируемого логического элемента 6 соединяются с входами регистра 20, блока 8 нагрузок и с информационными входами коммутатора 7. Первые входы блока 12 управления, адресные входы мультиплексора 9 и коммутатора 7, стартстопный вход сигнатурного анализатора 10 и входы программируемых источников 13, 22 и 23 питания подключаются к выходам счетчика 2.

Если контролируемый элемент 6 имеет несовместимые входы (например, пару входов, на которые недопустимо подавать одновременно логический ноль), то эти входы подключаются к выходам дешифратора 4, входы которого подключаются на том же коммутаторе 5 к выходам счетчика 2. При этом совместимые входы таких логических элементов всегда подключаются к выходам формирователей 3.1, ..., 3.n логических элементов.

Если контролируемый элемент 6 не имеет несовместимых входов, то в зависимости от поставленной задачи контроля применяется два режима работы: входы элемента 6 подключаются при по-

мощи коммутатора 5 к выходам счетчика 2 через формирователи 3.1, ..., 3.n; входы элемента 6 подключаются непосредственно к выходам счетчика 2. В последнем случае исключается разброс параметров формирователей 3, в связи с чем осуществляется контроль задержки распространения сигнала элемента 6 с повышенной точностью.

Чтобы обеспечить возможность двух режимов работы, в составе устройства (в формирователе 19) должен быть предусмотрен переключатель (кнопка, тумблер), задающий постоянную часть длительности импульса, формируемого формирователем 19, равную в первом режиме суммарной задержке счетчика 2 и формирователей 3 логических уровней или равную во втором режиме только задержке распространения сигнала счетчика 2.

Перед началом работы с помощью переключателя "Режим" выбирается первый или второй режим работы устройства. С помощью, например, кнопочных переключателей, входящих в блоки 21 и 12 (в программатор 26 задержки и формирователь 25), задаются эталонная сигнатура, граничное значение задержки распространения сигнала и количество сигнатур, которые должны быть сформированы при контроле элемента 6; с помощью сменных резисторов или потенциометров, входящих в блок 17 и программатор источника 13, задаются граничные значения уровней выходных сигналов, граничное значение тока потребления по цепи питания и пределы автоматического изменения напряжения питания контролируемого элемента 6.

Кроме того, в первом режиме с помощью сменных резисторов или потенциометров, входящих в программаторы источников 22 и 23, задаются пределы уровней входных сигналов, поступающих на входы "Уровень логического нуля" и "Уровень логической единицы" формирователей 3.1, ..., 3.n логических уровней.

Пусть, например, контролируемый элемент 6 имеет только совместимые входы в количестве  $i$  и не более 21 выходов. Тогда (для первого режима контроля) при помощи коммутатора 5 входы элемента 6 можно подключить через формирователи 3 к первым  $i$  разрядам счетчика 2, адресные входы второго коммутатора 7 и мультиплексора 9 -

к разрядам  $i+1, i+2, \dots, i+1$ , стартовый вход сигнатурного анализатора 10 - к разряду  $i+1+1$ . Входы формирователя 25 сигналов управления (первая группа первых входов блока 12 управления) подключаются к разрядам счетчика 2, следующим за разрядом  $i+1+1$ , например, к разрядам  $i+1+2, i+1+3, \dots$ . Входы программатора 26 задержки (вторая группа первых входов блока 12) могут быть подключены к разрядам  $i+1, i+2, \dots, i+1$  или к разрядам  $i+1+2, i+1+3, \dots$ . Входы управления программируемых источников 13, 22 и 23 питания рекомендуется подключить к разрядам  $i+1+2, i+1+3, \dots$ .

Устройство работает следующим образом.

Для пуска устройства на третий вход блока 12 управления подается сигнал, обеспечивающий через формирователь 24 сброса в исходное состояние счетчика 2 и триггера "Годен" анализатора 11 неисправности. По сигналу 00...0, поступающему с выходов счетчика 2 на входы формирователя 25 (первые входы блока 12), с одного из его вторых выходов (третьих выходов блока 12) выдается сигнал, сбрасывающий триггер "Брак" анализатора 11 в исходное состояние, а с первого выхода через элемент ИЛИ 27 (пятый вход блока 12) на блокирующий вход счетчика 2 поступает сигнал, разрешающий работу устройства.

После запуска по фронту каждого выходного импульса генератора 1 тактовых импульсов добавляется единица в счетчик 2 и запускается формирователь 19 импульсов (т.е. устанавливается в состояние нуль). Изменение выходного кода счетчика 2 осуществляет полный перебор стимулирующих входных воздействий на входах элемента 6. Формирователи 3-1, ..., 3-n формируют при этом уровни входных сигналов, равные уровням, поступающим с выходов программируемых источников 22 и 23.

Формирователь 19 импульсов формирует импульс, длительность которого равна сумме задержки, заданной программатором 26 (входящим в блок 12), и постоянной задержки, равной суммарной задержке распространения сигнала счетчика 2 и формирователей 3-1, ..., 3-n логических уровней. На программа-

торе 26 устанавливается задержка, равная граничному значению задержки распространения сигнала контролируемого логического элемента 6.

В каждом такте контроля по фронту импульса (переход из состояния "0" в состояние "1"), т.е. по окончании отрицательного импульса, поступающего на синхровход регистра 20 с выхода формирователя 19, информация с выходов контролируемого логического элемента 6 записывается в регистр 20.

Если задержка распространения сигнала элемента 6 окажется больше граничного значения (к приходу фронта импульса на синхровход регистра 20 элемент 6 не успел сформировать на каком-нибудь из своих выходов соответствующий данному такту контроля логический уровень), в регистр 20 запишется ошибочная информация.

Если к входам логического элемента 6 подключены (через формирователи 3)  $i$  младших разрядов счетчика 2, то полный цикл стимуляции элемента 6 составит 2 <sup>$i$</sup>  различных входных воздействий. При этом в первом цикле стимуляции на выходах разрядов  $i+1, i+2, \dots, i+1$  счетчика 2 - логический нуль, в связи с чем на адресные входы второго коммутатора 7 и мультиплексора 9 поступает код 00...0, что приводит к подключению первого выхода элемента 6 к первым входам второго компаратора 16 и первому информационному входу сигнатурного анализатора 10. На вход сигнатурного анализатора 10 при этом информация поступает с первого выхода регистра 20. При последующих циклах стимуляции код, поступающий на адресные входы коммутатора 7 и мультиплексора 9, принимает все значения от 00...01 до 11...1, что приводит к последовательному подключению всех выходов элемента 6 к входам компаратора 16 и сигнатурного анализатора 10.

Полученный таким образом на входе анализатора 10 последовательный код по срезу сигнала, поступающего на синхровход с выхода генератора 1 тактовых импульсов, преобразуется в анализаторе 10 в шестнадцатиразрядную двоичную сигнатуру, характеризующую все выходы элемента 6 по всем входным воздействиям. Если при этом в регистр 20 был записан хоть раз ошибочный

код, полученная сигнатура не совпадет с эталонной.

Так осуществляются функциональный контроль и контроль задержки распространения сигнала элемента 6.

Таким же образом выходным сигналом генератора 1 (через формирователь 18 импульсов) стробируется второй (двухканальный) компаратор 16, на первые информационные входы которого поступает последовательный код с выхода второго коммутатора 7 (подключаются последовательно все выходы контролируемого элемента 6 в соответствии с изменением информации на адресных входах коммутатора 7), а на вторые информационные входы - граничные уровни логических нуля и единицы с первых выходов блока 17 задания граничных уровней. Если к моменту стробирования уровень выходного сигнала контролируемого элемента 6 (поступающего с выхода коммутатора 7) больше граничного уровня логического нуля и в то же время меньше заданного уровня логической единицы, то с выхода компаратора 16 на третий информационный вход анализатора 11 неисправности поступает сигнал "Брак". Таким образом одновременно с функциональным контролем осуществляется контроль уровней выходных сигналов элемента 6.

После получения первой суммарной сигнатуры элемента 6 по всем его выходам сигнал, поступающий с разряда  $i+1+1$  счетчика 2 на стартстопный вход анализатора 10, изменяется с логического нуля на единицу. В результате формирователь сигнатур анализатора 10 останавливается, полученная сигнатура сравнивается с эталонной и переписывается из формирователя сигнатур в регистр индикации, после чего формирователь сигнатур автоматически сбрасывается. Когда на стартстопном входе анализатора 10 появляется вновь логический нуль (разряд  $i+1+1$  счетчика 2 переходит в состояние нуль), начинается новый цикл работы устройства: формируется новая сигнатура, которая при состоянии "1" на стартстопном входе в сигнатурном анализаторе 10 сравнивается с эталонной сигнатурой. Результат сравнения поступает на первый информационный вход анализатора 11 неисправности, который в случае неравенства указанных сигнатур по стробирующему сигналу, поступающему с третьего выхода блока 12 управле-

ния, выдает сигнал "Брак" на индикацию, на выход устройства и на элемент ИЛИ 27 блока 12. Сигнал "Брак" через элемент ИЛИ 27 передается на блокирующий вход счетчика 2, останавливая дальнейшую работу устройства.

В соответствии с изменяющимся кодом, поступающим на управляющие входы программируемых источников 13, 22 и 23 питания, изменяются величина напряжения питания элемента 6 и уровни логических нуля и единицы входных сигналов (формирователи 3-1, ..., 3-n формируют уровни входных сигналов в зависимости от уровней, поступающих с выходов источников 22 и 23). Таким образом, контроль задержки распространения сигнала в элементе 6 и контроль уровней выходных сигналов (так же, как и функциональный контроль) производится при различных значениях напряжения питания и различных уровнях входных сигналов.

После многократного повторения цикла получения сигнатуры элемента 6, которое производится для повышения достоверности контроля при различных значениях напряжения питания элемента 6 и различных значениях уровней входных сигналов, когда код на входах формирователя 25 (первая группа первых входов блока 12) будет равен заданному коду (на который настроен формирователь 25), на первом выходе формирователя 25 появляется сигнал "Конец", останавливающий через элемент ИЛИ 27 счетчик 2 и разрешающий анализатору 11 неисправности выдать сигнал "Годен" на индикацию и на выход устройства.

Граничное значение задержки распространения сигнала может быть задано, например, кнопочным переключателем, входящим в программатор 26 задержки, или может формироваться (различной величины) в соответствии с кодом, поступающим на входы программатора 26 с выходов счетчика 2, подключенных к второй группе первых входов блока 12 управления. В последнем случае имеется возможность измерения задержки распространения сигнала в контролируемом элементе 6, так как величина граничного значения задержки может уменьшаться от одного цикла получения сигнатуры к другому до тех пор, пока с анализатора 11 неисправ-

ности на второй вход блока 12 (на первый вход элемента ИЛИ 27) не придет результат "Брак". При этом код измеренной величины задержки высвечивается индикатором 28.

Возможность подключения входов программатора 26 задержки (второй группы первых входов блока 12) к тем же выходам счетчика 2, к которым подключены адресные входы мультиплексора 9 (в нашем примере разряды  $i + 1$ ,  $i + 2, \dots, i + 1$ ), позволяет осуществить контроль задержки по каждому выходу элемента 6 в отдельности с заданием собственных значений граничного значения задержки. Если же подключить входы программатора 26 к тем же выходам счетчика 2, к которым подключены управляющие входы программируемых источников 13, 22 и 23 питания (например, к разрядам  $i + 1 + 2$ ,  $i + 1 + 3, \dots$ ), то можно осуществить контроль задержки распространения сигнала элемента 6 с заданием граничных значений задержки, зависящих от величины напряжения питания и уровней входных сигналов контролируемого элемента 6.

В процессе контроля (при различных значениях питания и различных уровнях входных сигналов) осуществляется также контроль тока потребления контролируемого логического элемента 6. Для этого используется компаратор 15, сравнивающий величину тока, поступающего с датчика 14, с граничным значением, поступающим с второго выхода блока 17 задания граничных уровней. Если ток, потребляемый элементом 6, превысит граничное значение, с выхода компаратора выдается сигнал "Брак" на второй информационный вход анализатора 11, с выхода которого (как и в случае неравенства сигнатур) сигнал "Брак" выдается на индикацию, на выход устройства и (через элемент ИЛИ 27) на блокирующий вход счетчика 2, останавливая работу устройства.

Во время контроля блок 8 нагрузок обеспечивает нагрузку выходов контролируемого логического элемента 6 до номинальной величины.

Для повторного пуска устройства достаточно через формирователь 24 блока 12 управления осуществить сброс счетчика 2,

Второй режим применяется для того, чтобы одновременно с функциональным контролем обеспечить динамический контроль ИС (не содержащих несовместимых входов) с повышенной точностью. В этом случае входы ИС подключаются непосредственно к выходам счетчика 2, а длительность импульса, формируемого формирователем 19, равна сумме граничного значения задержки распространения сигнала элемента 6, задаваемого программатором 26, (входящим в блок 12), и постоянной задержки, равной задержке распространения сигнала счетчика 2. Таким образом исключается разброс задержки распространения сигнала формирователей 3.1, ..., 3.n и погрешность контроля задержки распространения сигнала элемента 6 зависит только от разброса параметров счетчика 2 и регистра 20.

Чтобы обеспечить возможность контроля логических элементов (например, ИС), имеющих как несовместимые, так и совместимые входы, необходимо подключить при помощи коммутатора 5 входы дешифратора 4 к выходам счетчика 2 (например, к двум младшим разрядам), несовместимые входы элемента 6 - к выходам дешифратора 4, а совместимые входы - к выходам формирователей логических уровней (например 3.3, ..., 3.i).

В остальном подготовка к работе и работа устройства ничем не отличаются от первого режима работы при контроле ИС, не имеющих несовместимых входов. Единственное отличие в работе - неизменяющиеся уровни входных сигналов на несовместимых входах.

Чтобы обеспечить одновременно с функционально-параметрическим контролем ИС, содержащих несовместимые входы, их динамический контроль с достаточной точностью; значения задержки распространения сигнала дешифратора 4 и формирователей 3 должны совпадать.

Для каждого типа логических элементов, имеющих несовместимые входы (например, триггеры, счетчики и т.д.), целесообразно изготовить сменный коммутатор.

Если количество различных типов комбинационных ИС (не содержащих несовместимых входов), подлежащих контролю, невелико, то для них также мо-

гут быть изготовлены сменные коммутаторы. В качестве сменного коммутатора может быть применена ответная часть многоконтактного разъема с перемычками.

Если необходимо контролировать много различных типов комбинационных ИС с одинаковым числом выводов, то рекомендуется изготовить коммутатор, на котором при помощи переключателей выводы ИС в зависимости от того, являются ли они входами или выходами, подключаются к выходам счетчика 2 (через формирователи 3 или непосредственно) или входам регистра 20.

В предлагаемом устройстве наряду с контролем функционирования при автоматически изменяющемся напряжении питания контролем тока потребления и уровней выходного напряжения логических нуля и единицы логического элемента осуществляется контроль задержки распространения сигнала с уменьшенной погрешностью.

Кроме того, введение второго и третьего программируемых источников питания позволяет контролировать логические элементы при автоматически изменяющихся уровнях входных сигналов, что повышает достоверность параметрического контроля.

Таким образом, предлагаемое устройство позволяет одновременно с функциональным контролем осуществить контроль основных статических и динамических параметров с уменьшенной погрешностью, в связи с чем существенно повышается достоверность контроля.

#### Ф о р м у л а и з о б р е т е н и я

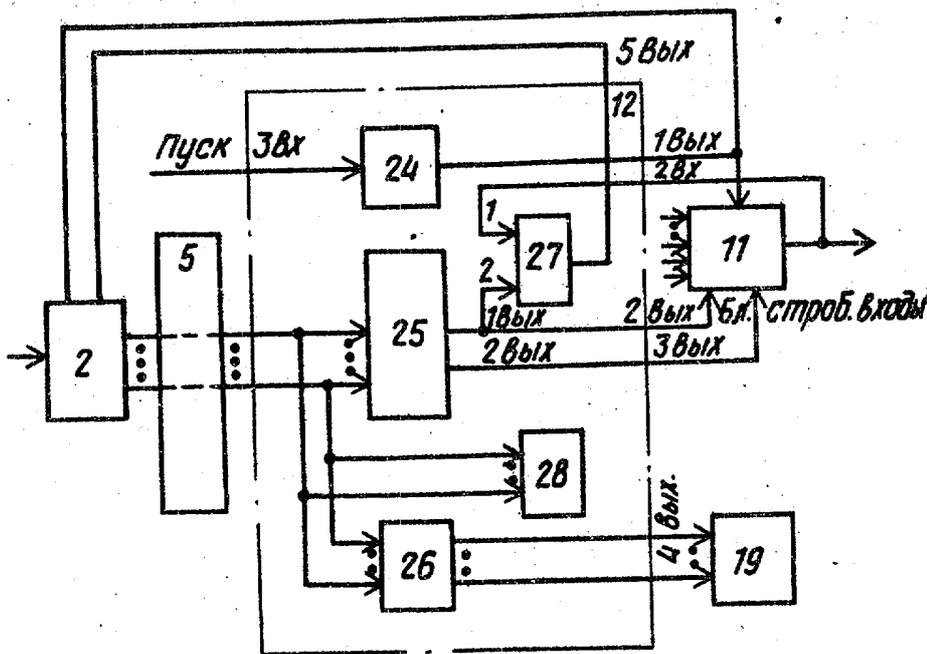
1. Устройство для функционально-параметрического контроля логических элементов, содержащее генератор тактовых импульсов, счетчик, формирователи логических уровней, подключенные информационными входами к выходам счетчика, первый коммутатор, соединенный первыми входами с выходами счетчика, вторыми входами - с выходами формирователей логических уровней, входами-выходами - с клеммами для подключения выводов контролируемого логического элемента, дешифратор, соединенный входами с первыми выходами первого коммутатора, второй коммутатор, информационные и адресные вхо-

ды которого соединены соответственно с вторыми и третьими выходами первого коммутатора, блок нагрузок, соединенный входами с четвертыми выходами первого коммутатора, мультиплексор, подключенный адресными входами к третьим выходам первого коммутатора, а информационными входами - к вторым выходам первого коммутатора, сигнатурный анализатор, соединенный первым информационным входом с выходом мультиплексора, а стартстопным входом - с пятым выходом первого коммутатора, анализатор неисправности, соединенный первыми информационными входами с выходами сигнатурного анализатора, блок управления, соединенный первым, вторым и третьим выходами соответственно с установочным, блокирующим и стробирующими входами анализатора неисправности, программируемый источник питания, соединенный первым выходом с клеммой для подключения вывода питания контролируемого логического элемента, датчик тока потребления, первый компаратор, соединенный выходом с вторым информационным входом анализатора неисправности, а первым входом - с вторым выходом программируемого источника питания и через датчик тока потребления - с общей шиной, второй компаратор, соединенный выходом с третьим информационным входом анализатора неисправности, а первыми информационными входами - с выходом второго коммутатора, блок задания граничных уровней, соединенный первыми выходами с вторыми информационными входами второго компаратора, и первый формирователь импульсов, соединенный выходом со стробирующим входом второго компаратора, о т л и ч а ю щ е е с я тем, что, с целью повышения достоверности контроля, в него введены блок задания эталонной сигнатуры, регистр и второй формирователь импульсов, информационные входы которого соединены с четвертыми выходами блока управления, а выход - с синхровходом регистра, соединенного информационными входами с четвертыми выходами первого коммутатора, а выходами - с информационными входами мультиплексора, вторые информационные входы сигнатурного анализатора соединены с выходами блока задания эталонной сигнатуры, входы управления программируемого источника питания соеди-

нены с шестью выходами первого коммутатора, соединенного третьими входами с выходами дешифратора, второй вход первого компаратора соединен с вторым выходом блока задания граничных уровней, счетный вход счетчика, синхровход сигнатурного анализатора и установочные входы первого и второго формирователей импульсов подключены к выходу генератора тактовых импульсов, установочный и блокирующий входы счетчика соединены соответственно с первым и пятым выходами блока управления, первые входы которого соединены с семью выходами первого коммутатора.

2. Устройство по п. 1, отличающееся тем, что в него введены второй и третий программируемые источники питания, входы управления которых соединены с шестью выходами первого коммутатора, а выходы - соответственно с входами "Уровень нуля" и "Уровень единицы" формирователей логических уровней.

3. Устройство по п. 1, отличающееся тем, что блок управления содержит формирователь сигнала сброса, формирователь сигналов управления, программатор задержки, элемент ИЛИ и индикатор, соединенный входами с первыми входами блока, первая группа которых соединена с входами формирователя сигналов управления, а вторая группа - с входами программатора задержки, соединенного выходами с четвертыми выходами блока, второй вход которого соединен с первым входом элемента ИЛИ, выход которого соединен с пятым выходом блока, а второй вход - с вторым выходом блока и первым выходом формирователя сигналов управления, вторые выходы которого соединены с третьими выходами блока, соединенного первым выходом с выходом формирователя сигнала сброса, вход которого соединен с третьим входом блока.



Фиг. 2

Составитель Е. Строкань

Редактор Л. Гратилло

Техред М. Ходанич

Корректор О. Циле

Заказ 10631

Тираж 558

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101